

УДК

**АНАЛИЗ МЕТОДОВ УМЕНЬШЕНИЯ ТОКА И МОЩНОСТИ УТЕЧКИ
В ЯЧЕЙКЕ SRAM НА ОСНОВЕ FINFET ТРАНЗИСТОРОВ*****РАВИНДРА СИНГХ КУШВАХ, ВАНДНА СИКАРВАР***ITM Университет,
Индия, Гвалиор*

Аннотация. Предложена ячейка статического оперативного запоминающего устройства SRAM (Static Random Access Memory) на основе 6 полевых транзисторов с вертикально расположенным затвором (FinFET транзистор). FinFET устройства использованы для улучшения рабочих характеристик, уменьшения тока и мощности утечки. Цель этой статьи заключается в снижении тока и мощности утечки ячейки SRAM на основе 6 FinFET транзисторов, используя различные методы 45-нм технологии. Разработана ячейка SRAM на основе 6 FinFET транзисторов и проведен анализ тока и мощности утечки. При разработке устройств памяти с низким потреблением наиболее важной проблемой является минимизация под-порогового тока утечки и тока утечки затвора. Эта работа предлагает метод, основанный на одновременной установке соответствующих значений порогового напряжения, толщины оксидного слоя затвора и напряжения источника питания с целью минимизации под-порогового тока утечки и тока утечки затвора в ячейке SRAM на основе 6 транзисторов. Результаты проведенного моделирования получены с помощью программы Cadence Virtuoso для 45-нм технологии

Ключевые слова: FinFET; ток утечки; потребляемая мощность; статическое оперативное запоминающее устройство; ОЗУ; под-пороговый ток утечки; ток утечки затвора

ВВЕДЕНИЕ

Снижение потребляемой мощности является одной из важных задач при разработке схем на основе комплементарных структур типа металл-оксид-полупроводник CMOS (КМОП). Перспективным способом снижения потребляемой мощности является снижение напряжения питания V_{DD} . Однако при снижении напряжения питания увеличивается время задержки сигнала в логическом элементе и снижается рабочая частота. Недавно предло-

жены два метода, которые позволяют снизить V_{DD} без ухудшения рабочих характеристик [1].

Растущие требования к схемам с высокой плотностью упаковки и зависимость тока утечки от толщины слоя оксида $t_{ок}$ и порогового напряжения $V_{п}$ приводят к повышенным требованиям в технологии субмикронных CMOS структур. Существует много факторов, определяющих ток утечки, таких, как ток утечки затвора вследствие очень малой толщины $t_{ок}$ и под-пороговый ток утечки, вызванный низким значением $V_{п}$ [2]. Поскольку размеры в полу-

* Работа выполнена при поддержке ITM университета (Гвалиор, Индия) в сотрудничестве с фирмой Cadence System Design (Бангалор, Индия).