

УДК 621.382.3

## АНАЛИЗ ВЛИЯНИЯ РАСШИРЕННОЙ КОНФИГУРАЦИИ *n*-МОП ТРАНЗИСТОРА НА ПАРАМЕТРЫ 4×1 МУЛЬТИПЛЕКСОРА

П. ДЖЕЙН И А. М. ДЖОШИ

*Национальный технологический институт Малави,  
Индия, Джайпур, 302017, Раджастхан*

**Аннотация.** В статье приведен анализ потребляемой мощности и величины задержки 4×1 мультиплексора на базе расширенной конфигурации *n*-МОП транзистора AT-NMOS (Augmented Transistor NMOS). Рассмотрено влияние различных уровней общей ширины канала транзистора на характеристики мощности утечки и задержки в случае 45 нм технологии. Установлено, что параметр эффективности улучшается в предлагаемой конструкции на основе расширенной конфигурации *p*-МОП транзистора с закороченным участком затвор–исток и *n*-МОП структурой ASG-S PMOS-NMOS (Augmented Shorted Gate-Source PMOS with NMOS) по сравнению с 4×1 мультиплексором на основе конфигурации расширенного *n*-МОП транзистора со статическим порогом ST-ATNMOS (Static Threshold AT-NMOS). При этой комбинации получены желаемые параметры рабочей характеристики проектируемой схемы. В работе рассмотрено два типа моделей для 4×1 мультиплексора. Показано, что мощность утечки существенно сокращается. Характеристика задержки также улучшается до 5% при источнике питания 1 В в случае рассмотрения многоуровневой ширины канала транзистора для оценки моделей 4×1 мультиплексора на основе различных конфигураций расширенного *n*-МОП транзистора AT-NMOS. Моделирование осуществлялось при использовании моделирующих программ Cadence Analog Virtuoso и Spectre Simulator применительно к 45 нм КМОП-технологии.

**Ключевые слова:** расширенный *n*-МОП транзистор со статическим порогом; ST-ATNMOS; расширенный *p*-МОП транзистор с закороченным участком затвор–исток и *n*-МОП структурой; ASG-S PMOS-NMOS; мощность утечки; задержка

### 1. ВВЕДЕНИЕ

Минимизация рассеиваемой мощности становится основной задачей для разработчиков СБИС. В этой работе предложена эффективная модель энергопотребления для системы с низкой рассеиваемой мощностью утечки. Для уменьшения этой мощности необходимо ознакомиться с новыми типами схем для того, чтобы найти лучшие методы их проектирования [1].

В данном случае для достижения этой цели предложены два типа модели 4×1 мультиплексора. Эти два типа 4×1 мультиплексора

основаны на двух разных типах конфигурации МОП-структур. Обе конфигурации используют принцип эффекта подложки [2].

Эффект подложки для канала возможно объяснить используя изменение порогового напряжения, которое определяется следующим уравнением:

$$V_{\text{TB-NMOS}} = V_{\text{T0}} + \gamma_n \left[ \sqrt{V_{\text{SB}} + 2\phi_{\text{B}}} - \sqrt{2\phi_{\text{B}}} \right], \quad (1)$$

где  $V_{\text{TB-NMOS}}$  — пороговое напряжение со смещением подложки для *n*-МОП транзистора,  $V_{\text{T0}}$  — значение порогового напряжения при

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Poon, K. W.; Yan, A.; Wilton, S. J. E. "A flexible power model for FPGAs," *Int. Conf. on Field*

*Programmable Logic and Applications*, 2002, pp. 312–321. DOI: [10.1007/3-540-46117-5\\_33](https://doi.org/10.1007/3-540-46117-5_33).

2. Khouri, K. S.; Jha, N. K. “Leakage power analysis and reduction during behavioral synthesis,” *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 10, no. 6, pp. 876–885, 2002. DOI: [10.1109/TVLSI.2002.808436](https://doi.org/10.1109/TVLSI.2002.808436).

3. Shang, L.; Kaviani, A. S.; Bathala, K. “Dynamic power consumption in Virtex-II FPGA family,” *Proc. of ACM/SIGDA Int. Symp. on Field-Programmable Gate Arrays*, 2002, pp. 157–164. DOI: [10.1145/503048.503072](https://doi.org/10.1145/503048.503072).

4. Gracia, A. “Power consumption and optimization in field programmable gate arrays,” Ph. D. thesis, Departement Communications et Electronique, Ecole Nationale Superieures des Telecommunications, 2000.

5. Chun, J. W.; Chen, C. Y. R. “A novel leakage power reduction technique for CMOS circuit design,” *Proc. of SoC Design Conf.*, ISOC, 22–23 Nov. 2010, Seoul, South Korea. IEEE, 2010, pp. 119–122. DOI: [10.1109/SOCD.2010.5682957](https://doi.org/10.1109/SOCD.2010.5682957).

6. Allan, A.; Edenfeld, D.; Joyner, W. H.; Khang, A. B.; Rodgers, M.; Zorian, Y. “2001 technology roadmap for semiconductors,” *Computer*, vol. 35, no. 1, pp. 42–53, 2002. DOI: [10.1109/2.976918](https://doi.org/10.1109/2.976918).

7. Sylvester, D.; Kaul, H. “Future performance challenges in nanometer design,” *Proc. of Design Automation Conf.*, 22 Jun. 2001, Las Vegas, NV, USA. IEEE, 2001, pp. 3–8. DOI: [10.1145/378239.378245](https://doi.org/10.1145/378239.378245).

8. Halter, J. P.; Najm, F. N. “A gate-level leakage power reduction method for ultra-low power CMOS circuits,” *Proc. of Custom Integrated Circuits Conf.*, 5–8 May 1997, Santa Clara, CA, USA. IEEE, 1997, pp. 475–478. DOI: [10.1109/CICC.1997.606670](https://doi.org/10.1109/CICC.1997.606670).

9. Taun, T.; Lai, B. “Leakage power analysis of a 90nm FPGA,” *Proc. of Custom Integrated Circuits Conf.*, 24 Sept. 2003, San Jose, CA, USA. IEEE, 2003, pp. 57–60. DOI: [10.1109/CICC.2003.1249359](https://doi.org/10.1109/CICC.2003.1249359).

10. Kim, C. H.-I.; Soeleman, H.; Roy, K. “Ultra-low power DLMS adaptive filter for hearing aid applications,” *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 11, no. 6, pp. 1058–1067, 2003. DOI: [10.1109/TVLSI.2003.819573](https://doi.org/10.1109/TVLSI.2003.819573).

11. Kureshi, A. K.; Hasan, M. “DTMOS based low power high speed interconnects for FPGA,” *J. Computers*, vol. 4, pp. 921–926, 2009. DOI: [10.4304/jcp.4.10.921-926](https://doi.org/10.4304/jcp.4.10.921-926).

12. Kumar, D.; Kumar, P.; Pattanaik, M. “Performance analysis of dynamic threshold MOS (DTMOS) based 4-input multiplexer switch for low power and high speed FPGA design,” *Proc. of SBCCI'10*, 6–9 Sept. 2010, Sao Paulo, Brazil. DOI: [10.1145/1854153.1854156](https://doi.org/10.1145/1854153.1854156).

13. Singh, A. K. *Digital VLSI Design*, PHI publication, Eastern Economy Edition, 2011.

14. Assaderaghi, F.; Sinitzky, D.; Parke, S. A.; Bokor, J.; Ko, P. K.; Hu, C. “Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI,” *IEEE*

*Trans. Electron Devices*, vol. 44, no. 3, pp. 414–422, 1997. DOI: [10.1109/16.556151](https://doi.org/10.1109/16.556151).

15. Ghafari, P.; Anis, M.; Elmasry, M. “Impact of technology scaling on leakage reduction techniques,” *Proc. of IEEE Northeast Workshop on Circuit and Systems*, 5–8 Aug. 2007, Montreal, Que, Canada. IEEE, 2007, pp. 1405–1408. DOI: [10.1109/NEWCAS.2007.4488021](https://doi.org/10.1109/NEWCAS.2007.4488021).

16. Weste, N. H.; Eshraghian, K.; Smith, M. J. *Principles of CMOS VLSI Design: A Systems Perspective with Velilog/VHDL Manual*, 2nd ed., Addison Wesley, 2000.

17. Yu, W.; Hai, L.; Huazhong, Y.; Rong, L.; Hui, W. “Simultaneous fine-grain sleep transistor placement and sizing for leakage optimization,” *Proc. of 7th Int. Symp. on Quality Electronic Design*, 27–29 Mar. 2006, San Jose, CA, USA. IEEE, 2006. DOI: [10.1109/ISQED.2006.117](https://doi.org/10.1109/ISQED.2006.117).

18. Augsburg, S.; Nigolic, B. “Combining dual-supply, dual-threshold and transistor sizing for power reduction,” *Proc. of IEEE Int. Conf. on Computer Design: VLSI in Computers and Processors*, 18 Sept. 2002, Freiberg, Germany. IEEE, 2002, pp. 316–321. DOI: [10.1109/ICCD.2002.1106788](https://doi.org/10.1109/ICCD.2002.1106788).

19. Khandelwal, V.; Srivastava, A. “Leakage control through fine-grained placement and sizing of sleep transistors,” *Proc. of IEEE/ACM Int. Conf. on Computer Aided Design*, 7–11 Nov. 2004, San Jose, CA, USA. IEEE, 2004, pp. 533–536. DOI: [10.1109/ICCAD.2004.1382635](https://doi.org/10.1109/ICCAD.2004.1382635).

20. Singh, A. K.; Samanta, J. “Different physical effects in UDSM MOSFET for delay & power estimation: A review,” *Proc. of IEEE Conf. on Electrical, Electronics and Computer Science*, SCEECS, 1–2 May 2002, Bhopal, India. IEEE, 2002, pp. 1–5. DOI: [10.1109/SCEECS.2012.6184747](https://doi.org/10.1109/SCEECS.2012.6184747).

21. Mallik, A.; Chattopadhyay, A. “Tunnel field-effect transistors for analog/mixed-signal system-on-chip applications,” *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 888–894, 2012. DOI: [10.1109/TED.2011.2181178](https://doi.org/10.1109/TED.2011.2181178).

22. Chen, J.; Luo, J.; Wu, Q.; Chai, Z.; Yu, T.; Dong, Y.; Wang, X. “A tunnel diode body contact structure to suppress the floating-body effect in partially depleted SOI MOSFETs,” *IEEE Electron Device Lett.*, vol. 32, no. 10, pp. 1346–1348, 2011. DOI: [10.1109/LED.2011.2162813](https://doi.org/10.1109/LED.2011.2162813).

23. Jain, P.; Akashe, S. “Analysis of ATPMOS configurations-based 4×1 multiplexer with estimation of power and delay,” *Int. J. Electronics*, vol. 101, no. 7, pp. 1006–1018, 2014. DOI: [10.1080/00207217.2013.805391](https://doi.org/10.1080/00207217.2013.805391).

24. Rajani, H. P.; Srimannarayan, K. “Novel sleep transistor techniques for low leakage power peripheral circuits,” *Int. J. VLSI Design Commun. Syst.*, vol. 3, no. 4, pp. 81, 2012. DOI: [10.5121/vlsic.2012.3408](https://doi.org/10.5121/vlsic.2012.3408).

25. Sharma, V. K.; Soni, S. “Comparison among different CMOS inverters for low leakage at different technologies,” *Int. J. Applied Engineering Research*, vol. 1, no. 2, pp. 228, 2010. URI: <http://ipublishing.co.in/jarvol1no12010/EIJAER1021.pdf>.

26. Rani, M. J.; Malarkann, S. “Leakage power reduction and analysis of CMOS sequential circuits,” *Int.*

*J. VLSI Design Commun. Syst.*, vol. 3, no. 1, pp. 13, 2012. DOI: [10.5121/vlsic.2012.3102](https://doi.org/10.5121/vlsic.2012.3102).

27. Lotze, N.; Manoli, Y. "A 62mV 0.13 $\mu$ m CMOS standard-cell-based design technique using Schmitt-trigger logic," *IEEE J. Solid State Circuits*, vol. 47, no. 1, pp. 47–60, 2012. DOI: [10.1109/JSSC.2011.2167777](https://doi.org/10.1109/JSSC.2011.2167777).

28. Kao, J. C.; Ma, W.-H.; Visvesh, S.; Papaefthymiou, M. "Energy-efficient low-latency 600 MHz FIR with high-overdrive charge-recovery logic," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 20, no. 6, pp. 977–988, 2012. DOI: [10.1109/TVLSI.2011.2140346](https://doi.org/10.1109/TVLSI.2011.2140346).

29. Ho, Y.; Chang, C.; Su, C. "Design of a subthreshold-supply bootstrapped CMOS inverter based

on an active leakage-current reduction technique," *IEEE Trans. Circuits and Systems II: Express Briefs*, vol. 59, no. 1, pp. 55–59, 2012. DOI: [10.1109/TCSII.2011.2174674](https://doi.org/10.1109/TCSII.2011.2174674).

30. Akashe, S.; Sharma, S. "Leakage current reduction techniques for 7T SRAM cell in 45 nm technology," *Wireless Pers. Commun.*, vol. 71, no. 1, pp. 123–136, 2013. DOI: [10.1007/s11277-012-0805-1](https://doi.org/10.1007/s11277-012-0805-1).

31. Soni, S.; Akashe, S. "Enhanced power gating schemes for low leakage power and low ground bounce noise in design of ring oscillator," *Wireless Pers. Commun.*, vol. 80, no. 4, pp. 1517–1533, 2015. DOI: [10.1007/s11277-014-2096-1](https://doi.org/10.1007/s11277-014-2096-1)

Поступила в редакцию 02.08.2016

После переработки 20.02.2018