

функциями ISDN. // "Вестник связи", № 4, 2000, – С. 99-105. **10.** Recommendation CCITT X.800. Security architecture for open systems interconnection for CCITT applications. Geneva.1991; **11.** Протоколы информационно-вычислительных сетей: Справочник / С. А. Аничкин, С. А. Белов, А. В. Бернштейн и др. Под ред. И. А. Мизина, А. П. Кулешова. – М.: Радио и связь, 1990. 504 с. **12.** "Порядок захисту державних інформаційних ресурсів в інформаційно-телекомунікаційних системах", затверджений наказом ДСТСЗІ СБУ № 76 від 24. 12.2001 р. **13.** Гладкова И. Г. Живой разговор о NGN // "Вестник связи", № 12, 2003. – С. 37-55. **14.** Панин О. А., Журич С. И. Оптимизация параметров систем охранной сигнализации как задача многокритериального выбора. // Защита информации. Конфидент № 1, 2004. – С. 84-87. **15.** Черноуцкий И. Г. Методы оптимизации и принятия решений. С.-Пб, 2001, С. 248.

УДК 621.372.632

СИНТЕЗАТОРЫ ЧАСТОТЫ НОВОГО ТИПА

Виталий Козлов*, **Анатолий Ситник**, **Борис Петруня**, **Владимир Мартыненко***,
Михаил Прокофьев
НИЦ «ТЕЗИС» НТУУ «КПИ», *НПП «ФОТОН»

Анотація: Излагается новая концепция частотного синтеза, позволяющая на порядок и более повысить быстродействие и спектральную чистоту сигнала. Приводятся экспериментальные результаты.

Summary: The article presents a new conception of frequency synthesis which allows to increase the agility and spectral purity by an order of magnitude and more. There are adduced the experimental results.

Ключові слова: Синтезатор частоты, быстродействие, спектральная чистота.

I Введение

Наиболее важными характеристиками синтезатора частоты являются быстродействие и спектральная чистота сигнала. Достижение высокого уровня этих характеристик позволит создать измерительную и телекоммуникационную аппаратуру высокого качества с надёжной защитой передаваемой информации от несанкционированного доступа благодаря возможности кодирования информации с помощью быстродействующих приёмов частотной и фазовой модуляций.

Как известно, существующие прямые цифровые синтезаторы частоты (Direct Digital Synthesizers – DDS), обладая высоким быстродействием, не обеспечивают спектральной чистоты сигнала, достаточной для многих телекоммуникационных и измерительных систем. Лучшие образцы, такие, например, как AD9852, AD9858 фирмы Analog Devices, имеют гарантированный уровень дискретных помех не лучше, чем минус 52 дБ на верхней частоте диапазона, которая не превышает 400 МГц для AD9858. Чтобы достичь частоты сигнала, например 1000 МГц, используют дополнительные устройства умножения частоты, в результате чего уровень помех поднимается до – 44 дБ. Кроме того, следует отметить недокументированные характеристики синтезаторов DDS, которые проявляются при работе в широком диапазоне частот и различных соотношениях выходной и опорной частоты. В НИЦ «Тезис» НТУУ «КПИ» и ОАО «Институт радиоизмерительной аппаратуры» были проведены исследования спектральных характеристик DDS AD9852 в составе разрабатываемого генератора сигналов в диапазоне частот от 0,1 до 1200 МГц, которые показали наличие помех дробности значительно более высокого уровня, чем это приведено в описании микросхемы. Чтобы добиться результатов по минимизации нежелательных побочных спектральных составляющих до уровня – 50 дБ пришлось использовать в схеме синтезатора переключение частоты опорного генератора (8 значений) в зависимости от значения устанавливаемой частоты синтезатора, что значительно усложнило схему и уменьшило быстродействие генератора сигналов.

Синтезаторы с дробным коэффициентом деления (Fractional-N Synthesizers – FNS), производимые фирмами Analog Devices, Skyworks Incorporated, Philips, National Semiconductor и другими, характеризуются малым потреблением энергии (около 50 мВт и менее) и малой стоимостью (не более \$10), но имеют низкую спектральную чистоту сигнала, которая не превосходит аналогичные параметры в AD9858, и малое быстродействие (полоса пропускания ФАПЧ не более нескольких десятков кГц).

Поэтому, чтобы одновременно обеспечить высокие показатели быстродействия и спектральной чистоты, прибегают к многопетлевым структурам - громоздким, дорогим и неэкономичным по потреблению энергии.

Излагаемая ниже новая, патентованная концепция частотного синтеза [1, 2], будучи воплощённой в однокристалльную интегральную микросхему, соединит в себе преимущества имеющихся в данное время на рынке лучших образцов подобного назначения, а именно: быстродействие синтезаторов прямого типа (DDS),

низкую стоимость и малое потребление мощности синтезаторов с дробным коэффициентом деления (FNS) и высокую спектральную чистоту многопетлевых систем частотного синтеза.

II Описание нового принципа частотного синтеза

Идея новой структуры синтезатора частоты, названного дельта-сигма фазоцифровым синтезатором (DS-PDS), поясняется с помощью рис. 1.

Накапливающий сумматор (аккумулятор), тактируемый опорной частотой f_r , содержит, например, $n=32$ разряда, разделенные на два блока – старших и младших разрядов (MSBs и LSBs соответственно). Эти блоки соединены друг с другом цепью переноса. В качестве примера на рисунке показано, что блок MSBs включает в себя $k = 5$ разрядов, а блок LSBs – $n - k = 27$ разрядов. Информационные входы блоков подключены к процессору, генерирующему управляющий код $X = X1 + X2$ ($X1$ – для блока MSBs и $X2$ – для блока LSBs). Кодом X задается несущая частота сигнала, а также частотная и фазовая модуляции (FSK и PSK).

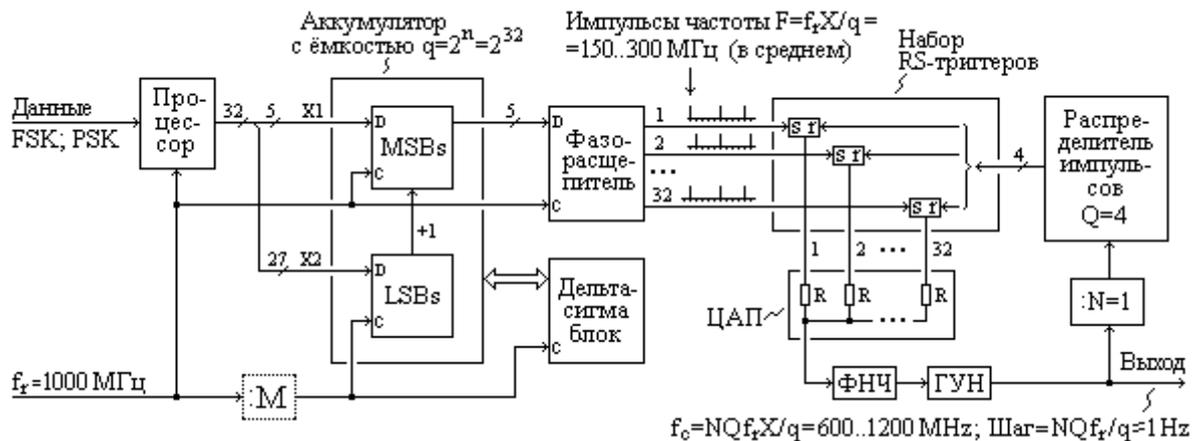


Рисунок 1 – Структурная схема дельта-сигма фазоцифрового синтезатора частоты (DS-PDS)

Фазорасщепитель генерирует на своем $K = 2^k$ разрядном выходе импульсные последовательности частоты $F_r = Xf_r/q$, где $q = 2^n$ – емкость аккумулятора. Каждая из импульсных последовательностей является точной копией процесса переполнения аккумулятора, и эти последовательности сдвинуты во времени относительно друг друга на величину T/K , где $T = q/f_r$. Фактически, названные последовательности являются результатом деления опорной частоты f_r в дробное число раз q/X . Другими словами, здесь сформировано K выходов переполнения аккумулятора, например $K=32$, и сигналы на этих выходах сдвинуты во времени на указанную выше величину.

Таким образом, фазорасщепитель формирует K опорных импульсных последовательностей для петли фазовой автоподстройки частоты (ФАПЧ). Петля содержит генератор, управляемый напряжением (ГУН), делитель частоты: N (если необходимо), распределитель импульсов, средства для фазового сравнения, цифроаналоговый преобразователь (ЦАП) и фильтр нижних частот (ФНЧ). Выход управляемого генератора является выходом синтезатора частоты.

Чтобы произвести фазовое сравнение сигнала с описанными выше опорными импульсными последовательностями, необходимо сформировать аналогичные последовательности в распределителе импульсов. В одном из возможных вариантов это выполняется точно так же, как это описано выше, а именно распределитель импульсов содержит аккумулятор, представляющий собой такой же, как MSBs, блок с емкостью $Q = K$ и фазорасщепитель, оба тактируемые сигнальными импульсами частоты f_c . Аккумулятор управляется кодом Y , который может быть как постоянным, так и переменным, и, таким образом, распределитель импульсов формирует на его $Q = K$ выходах K периодических или квазипериодических (в зависимости от того, кратно ли число Q числу Y) импульсных последовательностей частоты $F_c = f_c Y/K$, сдвинутых во времени относительно друг друга.

Средства фазового сравнения представляют собой набор RS-триггеров, количество которых равно K . S-вход каждого триггера подключен к одному из K выходов фазорасщепителя. R-выходы триггеров подключены к Q выходам распределителя импульсов. Если $Q = K$, тогда R-вход каждого триггера соединяется с соответствующим выходом фазорасщепителя.

В другом варианте синтезатора, если положить, что $Y = 1$, распределитель импульсов превращается в кольцевой счетчик. Его емкость Q может быть много меньше числа K , например $Q = 4$, как это показано на рис. 1. Кольцевой счетчик достаточно прост и удобен на практике. В этом варианте RS-триггеры объединяются в Q групп по K/Q триггеров в каждой группе, и все R-входы триггеров каждой группы подключаются к соответствующему выходу кольцевого счетчика.

Скважность импульсов на выходах RS-триггеров зависит от разности фаз импульсов на выходах фазорасщепителя и распределителя импульсов. Проходя через ЦАП и ФНЧ, импульсы преобразуются в постоянное напряжение, управляющее частотой генератора ГУН. Таким образом, каждый RS-триггер совместно с соответствующим сегментом DAC действует как парциальный фазовый детектор, внося свою долю в полную шкалу управляющего напряжения.

Согласно известному принципу действия системы ФАПЧ, здесь обеспечивается равенство $F = F_r$, т. е. $f_c = NQf_r X/q$. В примере на рис. 1 для обеспечения диапазона частот 600...1200 МГц используются значения $N = 1$, $Q = 4$ и код X меняется в пределах октавы (от значения $X = 00100,1..$ до значения $X = 01001,1..$).

Выбор любого другого октавного диапазона может быть произведен путем изменения коэффициента $N=2, 4...$

Для компенсации помех дробности используется дельта-сигма блок, который модулирует содержимое аккумулятора. Это хорошо известное устройство, которое применяется, например, в синтезаторах типа FNS.

Следует отметить, что всякое изменение содержимого аккумулятора, генерируемое дельта-сигма блоком, приводит к соответствующему изменению текущего значения кода на выходе MSBs блока, и, следовательно, – к соответствующим сдвигам фаз импульсов на входах RS-триггеров средств фазового сравнения, приводящим к соответствующему отклику на выходах последних.

Дельта-сигма модуляция воздействует равномерно на все сегменты ЦАП, так что, если, например, один из сегментов неточен, и это проявляется в спектре сигнала как соответствующее распределение побочных компонентов, то, из-за наличия множества сегментов ЦАП, влияние неточности каждого из них на уровень помех в спектре соответственно понижается.

Опорная, тактовая, частота, т. е. несущая дельта-сигма модуляции, может составлять, например, 1000 МГц и более, поскольку здесь нет жесткой связи между частотой сигнала и частотой, на которой производится фазовое сравнение. Поэтому полоса пропускания ФАПЧ может быть выбрана достаточно широкой, чтобы обеспечить требуемое подавление собственных шумов ГУН и достичь желаемого высокого быстродействия синтезатора.

Кроме того, вследствие снижения коэффициента умножения в петле ФАПЧ шумы всех блоков, приведенные к управляющему входу ГУН, передаются на выход синтезатора с соответственно меньшим умножением.

Линейность фазового детектора значительно выше, чем в FNS, поскольку здесь имеет место статистическая линеаризация его статической характеристики из-за наличия множества образующих его парциальных детекторов.

ЦАП – простое устройство, которое может быть выполнено в виде набора резисторов достаточно низкой точности, например $dA = 5\%$.

III Результаты теоретических исследований

Для расчета помех дробности была разработана в среде Matlab математическая модель многочастотного фазового детектора, позволяющая произвести расчет суммарной мощности помех дробности и спектральной мощности шумов квантования.

Наличие математической модели позволило оптимизировать структуру построения многочастотного фазового детектора по критерию минимизации помех дробности.

На рис. 2, 3 представлены расчетные типичные диаграммы суммарной мощности помех и спектральной плотности шумов квантования в полосе пропускания ФАПЧ.

Расчеты проводились для опорной (тактовой) частоты $f_r = 1000$ МГц, чтобы показать потенциальные возможности рассматриваемой структуры синтезатора. Вместе с тем такая частота вполне реальна, поскольку, например, фирма Analog Devices уже преодолела этот рубеж в своих разработках синтезаторов DDS. Спектр помех пересчитан к частоте сигнала $f_c = 1000$ МГц.

Из приведенных диаграмм видно, что нет проблемы обеспечить полосу ФАПЧ величиной 10 МГц и более для быстродействующих режимов частотной и фазовой модуляций. При этом также обеспечивается исключительно высокая спектральная чистота сигнала. Это обеспечивает возможность создания генераторов сигналов с высоким качеством спектра в диапазоне более высоких частот до 10 ГГц и более.

При необходимости уменьшения энергопотребления, когда не требуется высокое быстродействие синтезатора, например, в мобильных средствах связи или в других системах, может быть подключен

делитель частоты с коэффициентом M для понижения в M раз тактовой частоты блоков LSBs, а также дельта-сигма блока.

Снижение тактовой частоты этих блоков приводит к существенной экономии потребления от источника питания, поскольку значительная доля потребляемой мощности приходится именно на эти блоки.

Достаточно очевидно, что в этом случае уровень помех в низкочастотной области отстроек от несущей остается примерно тем же (см. рис. 4, 5), а в высокочастотной – возрастает, так что полосу пропускания ФАПЧ надо сужать в M раз, и, следовательно, быстродействие синтезатора снижается в это же число раз.

Вместе с тем следует отметить, что фактор умножения шумов в этом случае остается на прежнем низком уровне, поскольку тактовая частота блока MSBs не понижается.

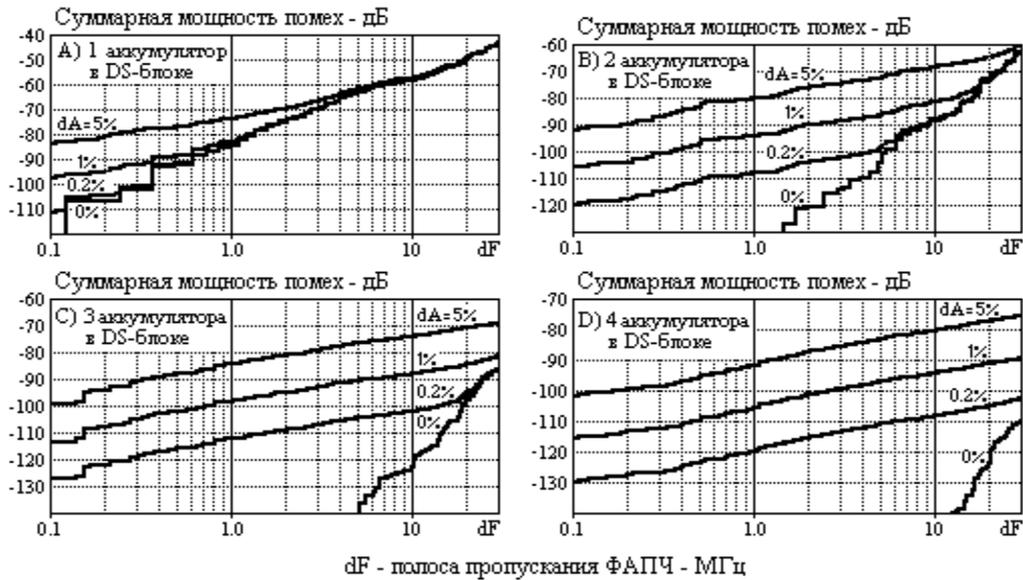


Рисунок 2 – Суммарная мощность помех в полосе пропускания ФАПЧ при $M=1$ и различных значениях dA (типичные случаи; $f_r=f_c=1000$ МГц)

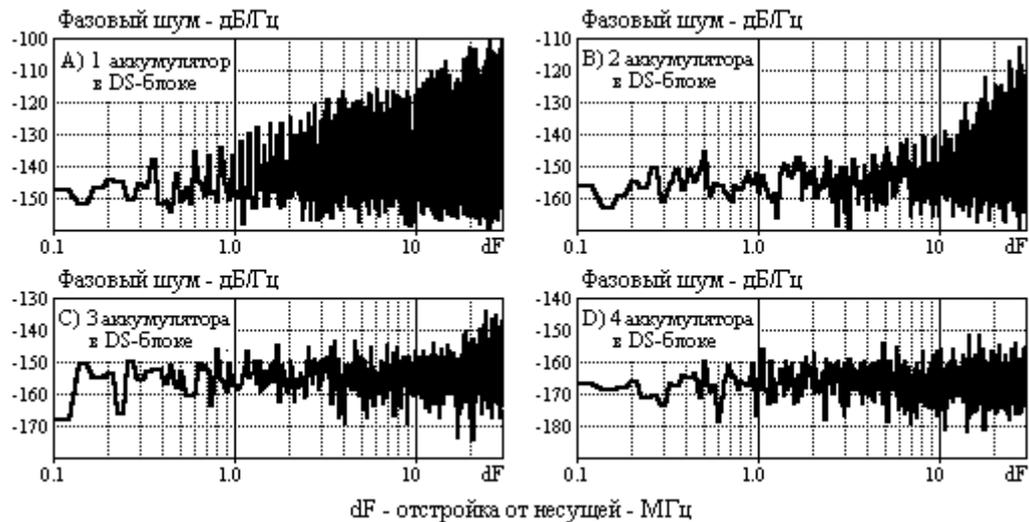


Рисунок 3 – Спектральная плотность фазового шума в полосе пропускания ФАПЧ при $M=1$ и $dA=1\%$ (типичные случаи; $f_r=f_c=1000$ МГц)

Хотя расчеты (рис. 2 – 5) приведены для постоянных значений $f_r = f_c = 1000$ МГц, полученные результаты без особого труда могут быть пересчитаны для любых значений f_r , f_c и M , чтобы оценить достоинства

предлагаемого синтезатора в обеспечении высоких характеристик быстродействия, спектральной чистоты и потребляемой мощности.

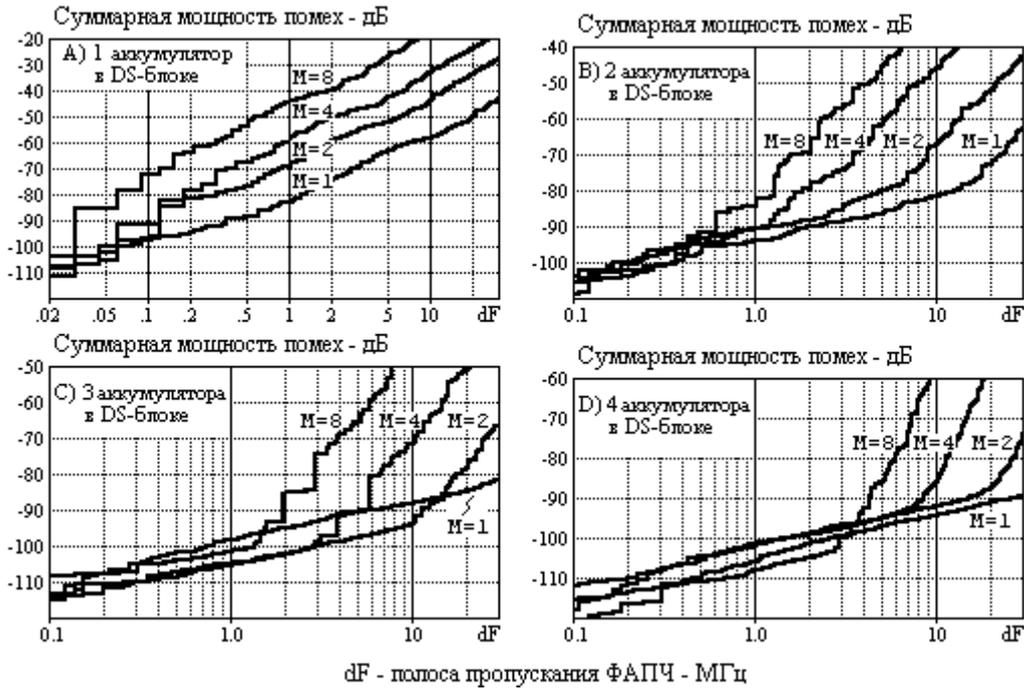


Рисунок 4 – Суммарная мощность помех в полосе пропускания ФАПЧ при различных значениях M и $dA = 1\%$ (типичные случаи; $f_r = f_c = 1000$ MHz)

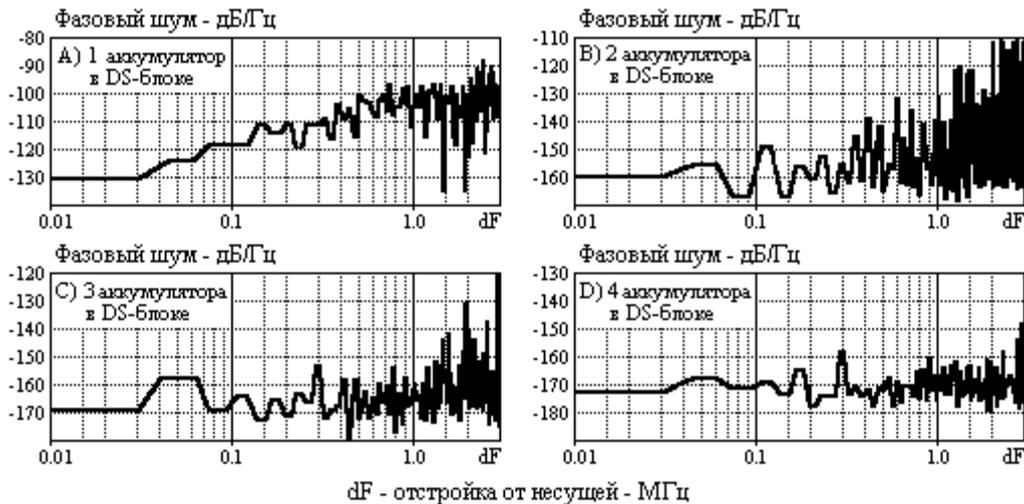


Рисунок 5 – Спектральная плотность фазового шума в полосе пропускания ФАПЧ при $M = 8$ и $dA = 1\%$ (типичные случаи; $f_r = f_c = 1000$ MHz)

IV Практические результаты

Идея новой структуры синтезатора проверялась на серийно выпускаемых зарубежных быстродействующих программируемых логических интегральных микросхемах (ПЛИС или FPGA – в международной терминологии). Такие микросхемы сравнительно дешёвы и потому доступны для широкого использования.

Схема многочастотного фазового детектора была разработана на программируемой логической матрице типа ACEX EP1K50TC-144 фирмы Altera. Выбор ПЛИС осуществлялся исходя из максимального быстродействия и необходимого количества 20 тыс. логических элементов для реализации электрической схемы.

В НИЦ «Гезис» был разработан экспериментальный образец синтезатора в диапазоне частот от 680 до 900 МГц на данной ПЛИС.

На рис. 6 приведена функциональная схема синтезатора, ошествленная в виде печатной платы на рис. 7.

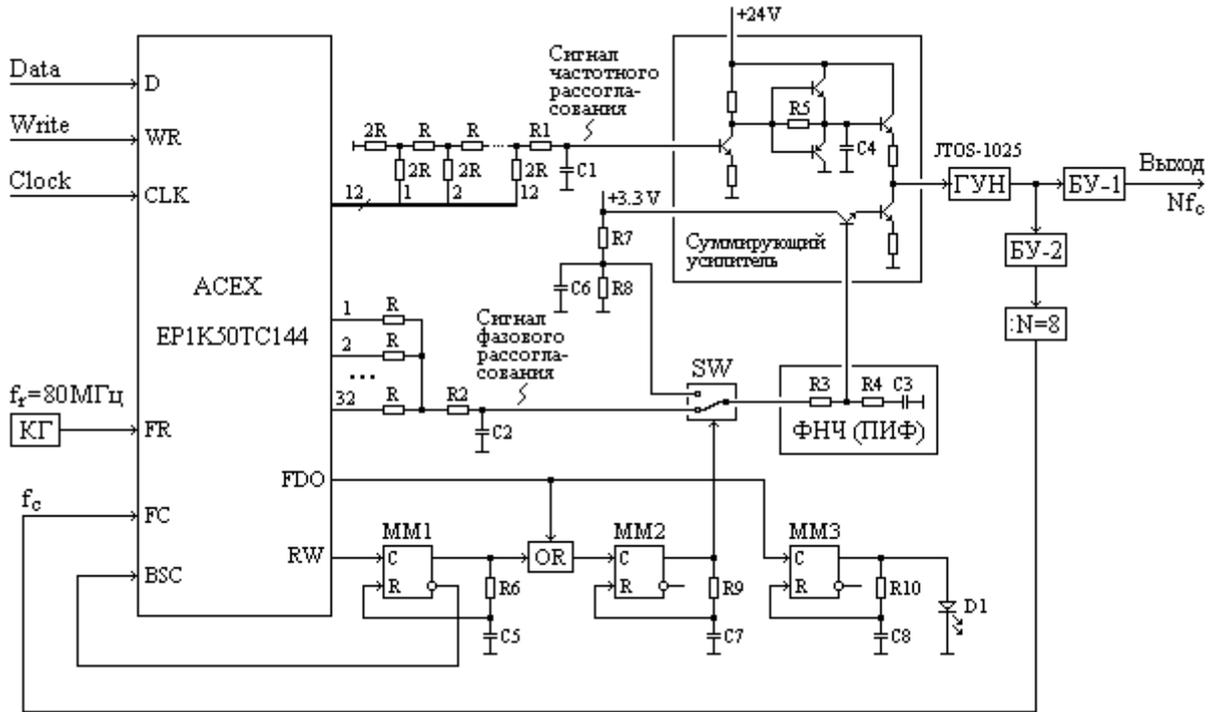


Рисунок 6 – Функциональная схема дельта-сигма фазоцифрового синтезатора частоты

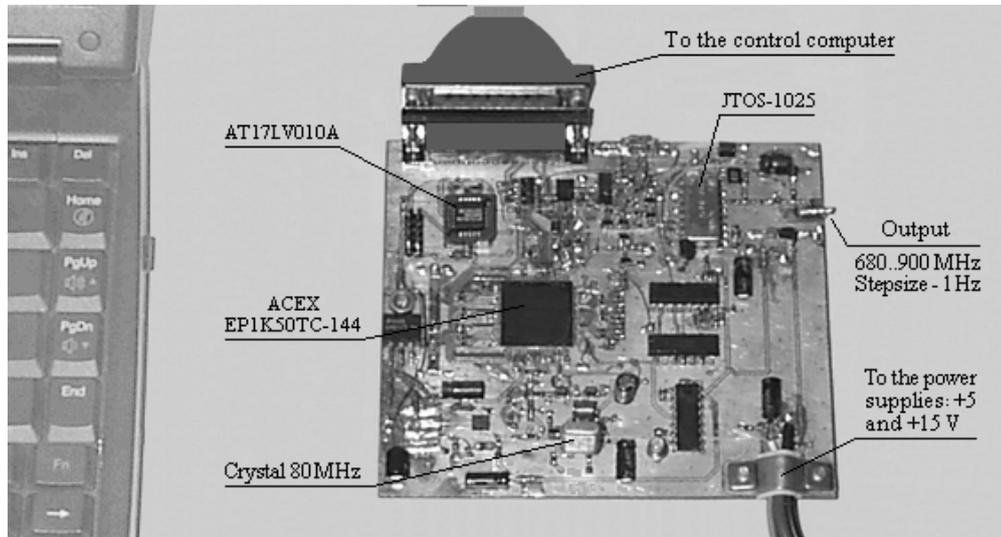


Рисунок 7 – Действующий макет синтезатора частоты на базе FPGA Altera

Синтезатор частоты представляет собой петлю фазовой автоподстройки частоты, в которой генератор, управляемый напряжением (ГУН), настраивается сигналами частотного и фазового рассогласования.

Названные сигналы формируются соответственно схемой поиска и фазовым детектором, цифровые части которых находятся в ПЛИС, а аналоговые (соответственно R2R- и KR-матрицы) – за пределами ПЛИС. Эти сигналы складываются в суммирующем усилителе и поступают в управляющую цепь упомянутого генератора.

Предусмотрены буферные усилители: БУ-1 – для передачи сигнала ГУН на выход синтезатора и БУ-2 – для включения ГУН в петлю ФАПЧ.

Опорный тракт ПЛИС тактируется кварцевым генератором с частотой $f_r = 80\text{МГц}$, причём для тактирования блока MSBs и дельта-сигма блока используется делитель частоты с коэффициентом $M = 4$.

Дельта-сигма блок содержит два 14-разрядных аккумулятора.

В сигнальном тракте включен делитель частоты (прескалер) с коэффициентом $N = 8$ для понижения диапазона частот ГУН, до частот, соответствующих динамическим возможностям ПЛИС. Многочастотный фазовый детектор, заключённый в ПЛИС, обеспечивает разрешение по частоте, равное 1 Гц.

Частотное рассогласование обрабатывается схемой поиска, которая обеспечивает перестройку генератора ГУН во всем его рабочем диапазоне, а фазовый детектор – в ограниченном диапазоне, выбираемом из условия фильтрации помех и быстродействия. Понятно, что фазовый детектор должен также обеспечивать полосу удержания системы ФАПЧ не менее значения уходов частоты генератора из-за изменений окружающей температуры в течение работы на заданной частоте. Соотношение между названными значениями устанавливается в суммирующем усилителе.

Сигнал частотного рассогласования проходит к суммирующему усилителю непосредственно, а сигнал фазового рассогласования - через переключатель SW и пропорционально-интегрирующий фильтр (ПИФ) R3, R4, C3. В усилителе сигнал частотного рассогласования фильтруется узкополосной RC-цепью R5, C4, а сигнал фазового рассогласования проходит через усилитель, не подвергаясь фильтрации.

Упомянутая RC-цепь R5, C4 является узкополосной только в установившемся режиме. В процессе же поиска ее постоянная времени относительно мала, так как конденсатор C4 может перезарядиться с высокой скоростью через открытый переход одного из транзисторов комплементарной пары, к эмиттерам которой этот конденсатор подключен. Таким образом, обеспечиваются высокие характеристики фильтрации помех и быстродействия схемы поиска.

При переключении синтезатора на другую заданную частоту появляется импульс на выходе RW микросхемы ПЛИС. Он воздействует на одновибратор (ждущий мультивибратор) MM1, который генерирует импульс длительности T1 на его инверсном выходе. Ширина импульса T1, которая определяется величинами R6 и C5, выбирается достаточно большой для того, чтобы схема поиска успела уменьшить частотное рассогласование до величины, во-первых, меньшей полосы захвата, а во-вторых, много меньшей полосы удержания системы ФАПЧ. Первое необходимо для передачи функции управления частотой от схемы поиска к схеме фазового детектора, а второе – чтобы обеспечить наиболее широкую область статической характеристики фазового детектора, используемую для удержания генератора ГУН в состоянии синхронизма. Здесь выбрано значение $T1 = 0,1\text{ с}$.

Одновременно, импульс с другого выхода одновибратора MM1 поступает через схему ИЛИ на второй одновибратор (MM2), устанавливая его в такое состояние, в котором переключатель SW, управляемый этим мультивибратором, размыкает петлю ФАПЧ. В этом случае вместо сигнала фазового рассогласования к фильтру ПИФ поступает постоянный потенциал, формируемый резистивным делителем R7, R8 и конденсатором C6. Этим потенциалом задаётся рабочая точка на статической характеристике фазового детектора, в которой заканчивается процесс установления синхронизма.

Состояние разомкнутой петли ФАПЧ поддерживается импульсами с выхода FDO частотного дискриминатора в составе ПЛИС, поступающими на вход мультивибратора через упомянутую выше схему ИЛИ. При большом частотном рассогласовании в петле, когда временные интервалы между импульсами оказываются меньшими, чем постоянная времени $T2 = R9C7$ мультивибратора MM2, последний постоянно находится с состоянии, размыкающем петлю ФАПЧ. Под действием схемы поиска частотное рассогласование уменьшается, и со временем интервалы T между импульсами оказываются меньшими постоянной времени T2 и не могут постоянно поддерживать разомкнутое состояние петли ФАПЧ. Со временем неравенство $T > T2$ становится настолько большим, что петля замыкается на время, достаточное для установления в ней синхронизма.

Величина постоянной времени T2 выбирается достаточно большой, чтобы обеспечить заданную точность установления рабочей точки в середине статической характеристики фазового детектора. Однако, не следует выбирать ее избыточно большой, так как это ведет к увеличению времени переключения частоты (это не касается сравнительно малых частотных приращений, например при ЧМ и ФМ манипуляциях, когда схема поиска не включается). Здесь выбрано значение $T2 = 1\text{ мс}$.

Третий одновибратор ММЗ запускается импульсами с выхода FDO микросхемы ПЛИС. Импульсы на этом выходе присутствуют лишь тогда, когда отсутствует синхронизация в петле ФАПЧ, т. е. в переходном процессе. При наличии синхронизации мультивибратор находится в исходном состоянии, и логический уровень на его прямом выходе постоянен и равен нулю, а на инверсном, соответственно, – единица. Этот факт может быть использован как признак состояния синтезатора. Индикатором может служить, например, светодиод D1. Подключенный к прямому выходу, он будет сигнализировать о переключении на новую частоту диапазона.

Управление синтезатором происходит от компьютера через трёхпроводную шину. Данные о частоте и фазе заносятся в регистры ПЛИС. Рабочие регистры хранят текущие значения частоты и фазы, а буферные – очередные задаваемые значения. Командами, поступающими от компьютера (процессора), регистры могут переадресовываться, благодаря чему осуществляются режимы частотной и фазовой манипуляций.

На рис. 8 приведены типовые спектральные характеристики выходного сигнала описанного действующего макета DS-PDS синтезатора (для компактности спектрограммы, полученные с помощью анализатора спектра фирмы Tektronix, при трех различных полосах обзора приведены на одном рисунке, где Span – значение полосы обзора на деление, а RBW – полоса пропускания).

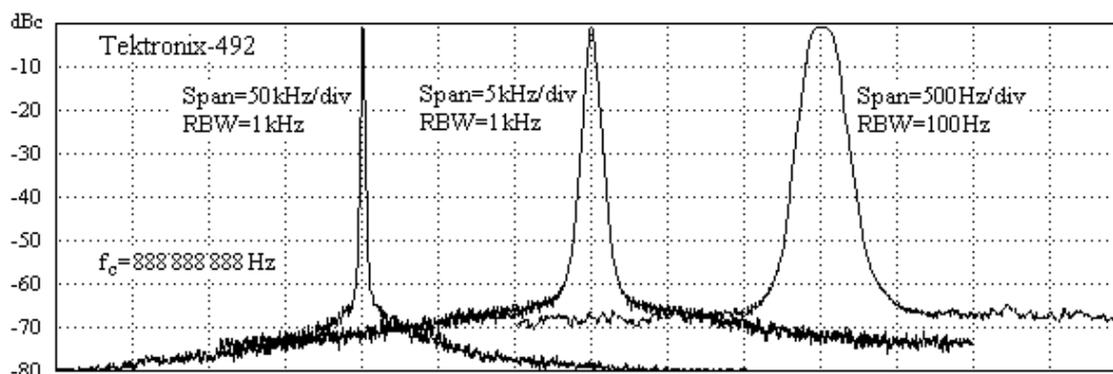


Рисунок 8 – Спектральные характеристики DS-PDS синтезатора частоты (типичный случай)

Конечно, полученные характеристики далеки от теоретических, приведенных выше применительно к тактовой частоте 1000 МГц, что могло бы быть возможным только при выполнении синтезатора в виде заказной микросхемы на передовой технологии. Тем не менее, они, по меньшей мере, на порядок лучше, чем у имеющихся на мировом рынке однокристалльных синтезаторов DDS и FNS типов, выполненных именно на такой технологии.

V Заключение

Достигнутые характеристики разработанного генератора сигналов на базе новой структуры синтезатора частоты позволяют сделать вывод о возможности использования новой концепции частотного синтеза для создания высококачественной аппаратуры с широким частотным диапазоном, высоким быстродействием, стабильностью и точностью установки частоты, малыми габаритами и потреблением, расширенными функциональными возможностями по управлению и режимам модуляции, что может использоваться в средствах технической защиты информации и их контроля.

В настоящее время проводится разработка синтезатора частоты на разработанной в защищенном от копирования варианте микросхемы ПЛИС фирмы Actel.

Дальнейшее повышение эксплуатационно-технологических параметров возможно достичь разработкой заказной микросхемы, на которой может быть реализована более высокая тактовая частота. Применением такой микросхемы достигается приемлемое отношение цена/качество синтезатора частоты.

Литература: 1. V. Koslov, US Patent #5,748,043, "Digital PLL Frequency Synthesizer". 2. В. И. Козлов, Украинская заявка №2003021176 на изобретение, "Цифровой синтезатор частоты с петлей ФАПЧ" от 10. 02. 2003.