

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

**Інститут Прикладного Системного Аналізу
Кафедра Системного Проєктування**

До захисту допущено:

Завідувач кафедри

В.Є. Мухін

«___» _____ 2022 р.

**Дипломна робота
на здобуття ступеня бакалавра
за освітньо-професійною програмою «Інтелектуальні сервіс-орієнтовані
розподілені обчислювання»
спеціальності Комп'ютерні науки
на тему: «Розробка схеми декодування резистивних елементів пам'яті в
інтегральному виконанні для інформаційних технологій»**

Виконав:

Студент IV курсу, групи ДА-82
Герасименко Денис Олександрович

Керівник:

к.т.н., ст.н.с., доц. Стіканов Валерій Юхимович

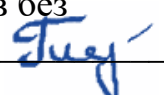
Консультант з нормоконтролю:

доцент, к.т.н. Б. А. Кирюша

Рецензент:

проф. ННПСА НТУУ «КПІ імені Ігоря Сікорського»,
д.т.н., П. І. Бідюк



Засвідчую, що у цій дипломній роботі немає
запозичень з праць інших авторів без
відповідних посилань. Студент 

Київ – 2022

Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Інститут прикладного системного аналізу

Кафедра Системного проєктування

Рівень вищої освіти – перший (бакалаврський)

Спеціальність – 122 «Комп'ютерні науки та інформаційні технології»

Освітньо-професійна програма «Інтелектуальні сервіс-орієнтовані розподілені обчислювання»

ЗАТВЕРДЖУЮ

Завідувач кафедри В. Є. Мухін

«___»_____2022 р.

ЗАВДАННЯ

на дипломну роботу студенту Герасименку Денису Олександровичу

1. Тема роботи: «Розробка схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій», керівник роботи Стіканов Валерій Юхимович, к.т.н., ст.н.с., доцент, затверджені наказом по університету від «06» червня 2022 р. № 906-с.

2. Термін подання студентом роботи 10 червня 2022 р.

3. Вихідні дані до роботи:

- система проєктування Cadence;
- бібліотека компонентів gpdk045;
- напруга живлення 2 В;
- технологія CMOS.

4. Зміст роботи

1. Огляд та аналіз сучасних технічних рішень за темою роботи.
2. Розробка схеми декодування та її тестування.
3. Розробка схеми мультиплексора/демультиплексора на базі аналогового ключа.
4. Розробка топології схеми декодування на сучасних нормах проєктування та її верифікація.
5. Розробка схеми зчитування.
6. Функціонально-вартісний аналіз проєкту.

5. Перелік ілюстративного матеріалу (із зазначенням плакатів, презентацій тощо):

1. Презентація до захисту роботи.

6. Консультанти розділів роботи:

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		Завдання видав	Завдання прийняв
Функціонально- вартісний аналіз проєкту	Рощина Н. В.		

7. Дата видачі завдання 15.02.2022

Календарний план

№ з/п	Назва етапів виконання дипломної роботи	Термін виконання етапів роботи	Примітка
1	Отримання завдання	15.02.2022	
2	Огляд та аналіз сучасних технічних рішень за темою роботи	10.04.2022	
3	Розробка схеми декодування та її тестування	20.04.2022	
4	Розробка схеми мультиплексора/демультиплексора на базі аналогового ключа	05.05.2022	
5	Розробка топології схеми декодування на сучасних нормах проєктування та її верифікація	15.05.2022	
6	Розробка схеми зчитування	20.05.2022	
7	Функціонально-вартісний аналіз проєкту	25.05.2022	
8	Оформлення звіту з дипломної роботи	07.06.2022	
9	Отримання допуску до захисту та подача роботи в ДЕК	10.06.2022	

Студент
Керівник



Герасименко Д. О.
Стіканов В. Ю.

Анотація

бакалаврської дипломної роботи Герасименка Дениса Олександровича на тему
«Розробка схеми декодування резистивних елементів пам'яті в інтегральному
виконанні для інформаційних технологій»

Сьогодення не можна уявити без створення нових технічних засобів, додатків, програм тощо. Серед іншого, нові інформаційні технології потребують більших обсягів пам'яті, а як наслідок — і нових методів її роботи та організації.

Дипломна робота «Розробка схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій» присвячена розробці технічних рішень для керування резистивною пам'яттю. Це перспективний різновид енергонезалежної пам'яті, який при успішному вирішенні технологічних проблем дозволить значно підвищити можливості інформаційних технологій.

У роботі з використанням сучасного засобу автоматизації проєктування Cadence розроблені електричні схеми декодування та зчитування інформації з матриці накопичувача на базі резистивних елементів пам'яті та відповідна топологія схем декодування на сучасних нормах проєктування визначених у бібліотеці gpdk045 згідно договору з міжнародною організацією Europractice. Виконані розрахунки та тестування відповідних технічних рішень і верифікація топології.

Результат роботи: Електрична схема декодування резистивних елементів пам'яті у складі матриці накопичувача та топологія на 45-нм нормах проєктування.

Загальний обсяг роботи: сторінок 89, рисунків 53, таблиць 14, джерел 16.

Ключові слова: RRAM, резистивна пам'ять, схема, топологія, Cadence, gpdk045, CMOS, дешифратор, мультиплексор, комірка пам'яті.

Annotation

of the bachelor's thesis of Herasymenko Denys on the topic
"Development of a circuit for decoding resistive memory elements in integral
implementation for information technology"

The present cannot be imagined without the creation of new technical means, applications, programs, etc. Among other things, new information technologies require more memory, and as a result, new methods of its operation and organization.

Thesis "Development of a circuit for decoding resistive memory elements in integral implementation for information technology" is devoted to the development of technical solutions for resistive memory management. This is a promising type of non-volatile memory, which, if successfully solved technological problems, will significantly increase the capabilities of information technology.

Using the modern design automation tool Cadence developed electrical decoding schemes and reading information from the storage matrix based on resistive memory elements and the corresponding topology of decoding schemes according to modern design standards defined in the library gpdk045 in accordance with the international organization Europractice. Calculations and testing of relevant technical solutions and topology verification were performed.

The result: Electrical circuit for decoding resistive memory elements in the drive matrix and topology at 45nm design standards.

The total amount of work: pages 89, figures 53, tables 14, sources 16.

Keywords: RRAM, resistive memory, circuit, topology, Cadence, gpdk045, CMOS, decoder, multiplexer, memory cell.

Зміст

Перелік умовних позначень, символів, скорочень і термінів.....	9
Вступ.....	10
1 Огляд та аналіз сучасних технічних рішень за темою роботи	11
1.1 Огляд та аналіз джерел інформації	11
1.2 Огляд теоретичних відомостей про RRAM.....	15
1.2.1 Принцип роботи, різновиди та операції RRAM	15
1.2.2 Конструкція комірки пам'яті R-RAM	18
1.3 Висновки до розділу	22
2 Розробка схеми декодування та її тестування.....	23
2.1 Огляд середовища розробки Cadence	24
2.2 Опис бібліотеки gpdk045.....	26
2.3 Опис базового маршруту виготовлення інтегральних схем.....	30
2.4 Створення базових елементів NOT і AND	31
2.5 Розробка схеми дешифратора на 64 розряди	34
2.6 Розробка допоміжної схеми для автоматизації тестування.....	36
2.7 Тестування дешифратора	38
2.8 Висновки до розділу	39
3 Розробка схеми мультиплексора/демультиплексора на базі аналогового ключа ..	40
3.1 Розробка аналогового ключа.....	41
3.2 Розробка мультиплексора/демультиплексора.....	44
3.3 Аналіз схеми керування елементами пам'яті.....	47
3.4 Висновки до розділу	50

4 Розробка топології схеми декодування на сучасних нормах проектування та її верифікація.....	51
4.1 Розробка та верифікація топології базових елементів	53
4.2 Розробка та верифікація топології аналогового ключа.....	56
4.3 Розробка та верифікація топології дешифратора	58
4.4 Розробка та верифікація топології схеми декодування	60
4.5 Розробка топології схеми керування пам'яттю у складі матриці накопичувача	62
4.6 Розробка схеми зчитування.....	65
4.7 Висновки до розділу	71
5 Функціонально-вартісний аналіз проєкту	72
5.1 Постановка задачі техніко-економічного аналізу.....	73
5.1.1 Обґрунтування функцій проєкту	73
5.1.2 Варіанти реалізації основних функцій.....	74
5.2 Обґрунтування системи параметрів проєкту	77
5.2.1 Опис параметрів	77
5.2.2 Кількісна оцінка параметрів	77
5.2.3 Аналіз експертного оцінювання параметрів	78
5.3 Аналіз рівня якості варіантів реалізації функцій.....	81
5.4 Економічний аналіз варіантів розробки проєкту.....	82
5.5 Висновки ФВА	86
Висновки	87
Список використаних джерел	88

Перелік умовних позначень, символів, скорочень і термінів

R-RAM — Resistive random-access memory (резистивна пам'ять із довільним доступом).

CMOS — complementary metal-oxide-semiconductor (комплементарна структура метал-оксид-напівпровідник).

SLC — single-level cell (однорівнева комірка).

MLC — multi-level cell (багаторівнева комірка).

HRS — high-resistance state (стан високого опору).

LRS — low-resistance state (стан низького опору).

MIM — metal-insulator-metal (структура метал-ізолятор-метал).

ECM — electrochemical metallization (електрохімічна металізація).

BAX — вольт-амперна характеристика.

WL — word line (словарна шина).

BL — bit line (бітова шина).

SL — source line (шина витоку).

Вступ

Сучасність вже давно не можна собі уявити без постійного технічного прогресу: кожен день відзначається новими відкриттями та винаходами. Постійно вдосконалюються смартфони, комп'ютери, різноманітні пристрої та засоби обміну інформацією.

Важливу роль в інформаційних технологіях відіграє енергонезалежна пам'ять. Нові інформаційні технології вимагають ще більших обсягів пам'яті, а як наслідок — і нових методів її роботи та організації.

Дипломна робота «Розробка схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій» присвячена дослідженню, розробці та аналізу технічних рішень для керування резистивною пам'яттю.

Актуальність роботи полягає в унікальних властивостях резистивних елементів пам'яті, пов'язаних зі швидкодією та щільністю компонування.

Метою роботи є дослідження, розробка та аналіз схем декодування інформації у резистивних елементах пам'яті в інтегральному виконанні.

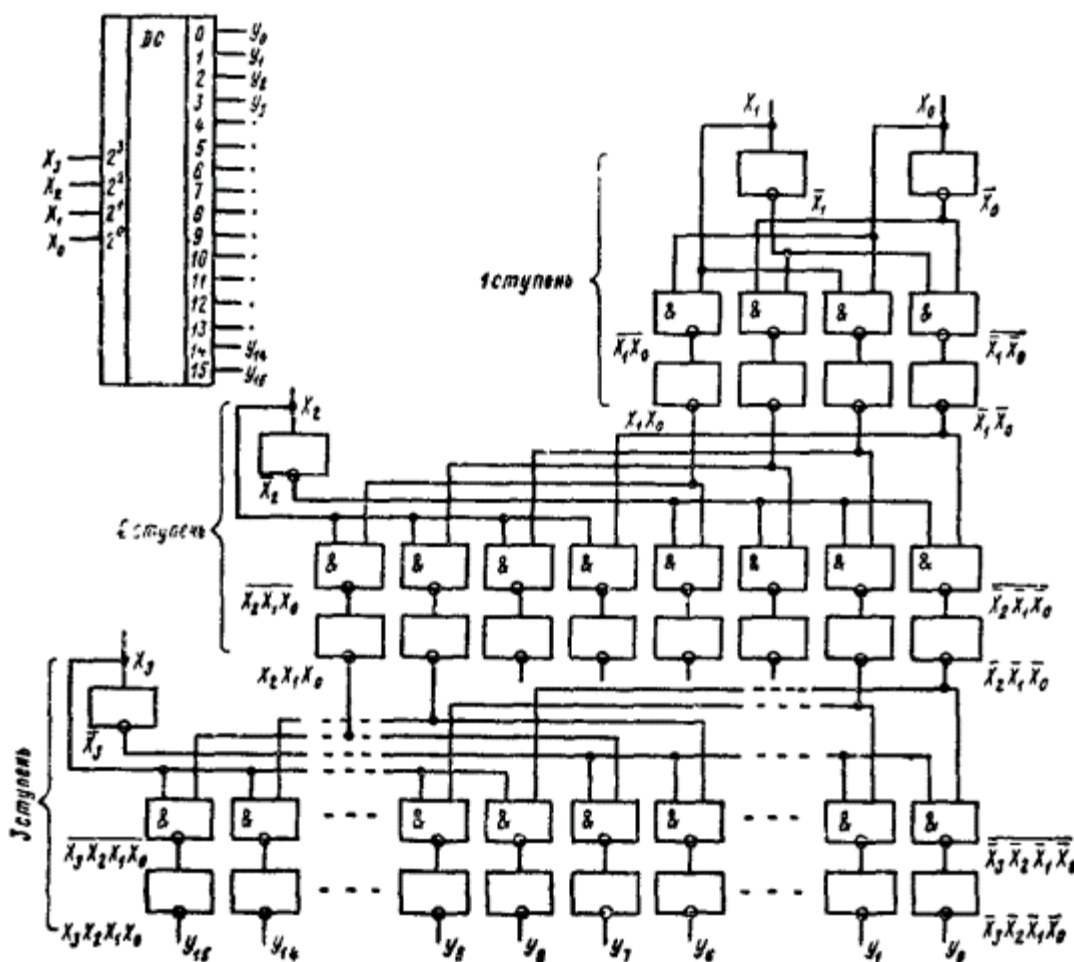


Рисунок 1.2 — Схема пірамідального дешифратора [1]

У роботі [2] описані різноманітні варіанти RRAM, пов'язані з нею операції, структури тощо.

Робота резистивної оперативної пам'яті з довільним доступом (R-RAM) основана на різниці опорів у різних логічних станах. Зазвичай пристрій зберігання даних R-RAM має багатофункціональну структуру метал-ізолятор-метал (MIM). Змінюючи шар ізолятора на стан високого опору (HRS) або стан з низьким опором (LRS), пристрій R-RAM може представляти логічний «0» або «1» відповідно. Завдяки своїй високій щільності, низькому енергоспоживанню та гарній масштабованості R-RAM — ймовірніша заміна традиційним технологіям зберігання даних [2].

Заслуговують на увагу дані [2], [4], [14] щодо залежностей перемикання станів для різних вхідних даних, методів створення, матеріалів та ін. Для розрахунку параметрів при створенні схеми управління матрицею накопичувача проаналізовані методи побудови комірок пам'яті. Рекомендована архітектура комірки — 1T1R (один транзистор, один резистор), оскільки транзистор часто використовується для обмеження струму, щоб запобігти пробою через розгін після утворення шнурування струму. З іншого боку, архітектура точки перетину більш компактна і може забезпечувати вертикальне накладання шарів пам'яті. За відсутності будь-яких транзисторів ізоляція повинна бути забезпечена пристроєм селектора, таким як діод, послідовно з елементом пам'яті. Але такі можливості ізоляції поступаються використанню транзисторів і обмежують можливість роботи з дуже великими масивами у цій архітектурі [16]. Проаналізувавши джерела, вибрана конструкція з транзистора та резистора. Заслуговує на увагу перспективна властивість комірки — багаторівневість. За допомогою зчитувача можливо декодувати стан комірки, отримавши запис двох і більше бітів інформації. У дипломній роботі використана ця можливість для побудови схеми зчитування.

У роботах [3] та [4] приведені теорія щодо технологій резистивної пам'яті, дослідження «імпульсного формування та поведінки біполярного резистивного перемикання інтегрованих пристроїв TiN/HfO₂/Ti/TiN 1T-1R 600×600 нм на задній частині лінії в масиві пам'яті 4 кбіт» [4] та наведені ВАХ, що описують процеси у комірці RRAM. За допомогою цих значень розроблена схема зчитування інформації з одно- та двобітової комірки пам'яті.

Аналіз електронного ресурсу [14] дозволив виконати огляд матеріалів та порівняти з наведеним у роботі [2]. Інформація щодо механізму перемикання, продуктивності та моделювання MLC застосована для розробки багаторівневої комірки та зчитування. Ресурс [8] є центром новин та знань про технології резистивної оперативної пам'яті (наприклад, серед останніх новин є демонстрація ізраїльським розробником RRAM Weebit Nano свого першого масиву RRAM з

поперечною структурою та запуск чіпа RRAM 12 Мбіт, оголошений Fujitsu Semiconductor Memory Solution). Дані з інтернет-джерела використані при розробці топології. Ресурс є перспективним джерелом інформації для майбутніх досліджень та покращення роботи.

1.2 Огляд теоретичних відомостей про RRAM

1.2.1 Принцип роботи, різновиди та операції RRAM

До резистивної пам'яті зазвичай відносять всі технології виготовлення пам'яті, які засновані на зміні опору для зберігання інформації [8]. Дані зберігаються у вигляді двох (SLC) або більше (MLC) станів опору резистивного комутаційного пристрою. Резистивне перемикання в оксидах перехідних металів виявлено в тонкій плівці NiO кілька десятиліть тому. Відтоді підтверджено, що велика різноманітність металооксидних матеріалів має резистивні характеристики перемикання. Переваги використання бінарної оксидної системи включають просту структуру пристрою та сумісність зі звичайною обробкою комплементарних металооксидних напівпровідників (CMOS) [2].

R-RAM має такі переваги, як енергонезалежність, нульова потужність у режимі очікування та висока щільність.

Пристрій зберігання даних R-RAM має багатофункціональну структуру метал-ізолятор-метал (MIM). Змінюючи шар ізолятора на стан високого опору (HRS) або стан з низьким опором (LRS), пристрій R-RAM може представляти логічний «0» або «1» відповідно. Досліджено багато матеріалів на основі різних фізичних механізмів.

Оскільки R-RAM покладається на різницю опорів запам'ятовувального пристрою для диференціації збереженого логічного значення, іноді такий пристрій також називають осередком комутації опору. Зазвичай це MIM-структура, яка має регульований ізолятор, затиснутий між двома металевими електродами.

Шнурування струму (filament) — це ключове слово при описі провідності R-RAM. Шнурування всередині ізолятора — це крихітні доріжки, які з'єднують два металеві електроди. Вони займають лише невелику частину ізолятора, а решта залишаються непровідними.

У наноіонному R-RAM така доріжка може з'являтися або зникати, керуючи умовою зміщення на електродах пристрою.

У структурі MIM метал одного електрода є інертним, наприклад Au, Pt тощо. Активні метали, такі як Cu, Al, Ni тощо, використовуються для іншого електрода, який бере участь у процесі формування filament: зміщення на електродах змушує активні іони металу мігрувати в ізолятор і з'єднуватися з іоном, що розчиняється в шарі ізолятора. В результаті утворюється стабільна сполука з провідними характеристиками [2]. Щоб розірвати слабкий хімічний зв'язок ізолятора, а потім утворити з'єднання стабільного енергетичного стану в процесі формування, необхідно подати безперервну напругу або струм. Після того, як в ізоляторі стане достатньо електропровідних сполук, нитки утворюються від активного електрода до інертного електрода. Електрони можуть вільно рухатися «доріжкою» і проводити струм між двома електродами. Таким чином, пристрій переходить в стан низького опору. Аналогічно, для деяких ізоляторів, виготовлених з електролітів, катіон реагує з електролітами, утворюючи т.зв. нитку.

Пристрій з механізмом електрохімічної металізації (ECM) може використовуватися як осередок пам'яті або комутаційний пристрій у застосуванні R-RAM. На малюнку 1.3 наведено приклад комірки ECM R-RAM з GeSe в якості електроліту, Ag як активного металу та Pt як інертного металу [2]. Електроліт Ag і GeSe утворюють нитку для транспортування носія.

Виходячи з різних механізмів перемикавання, умови зміщення, що надаються до різних матеріалів R-RAM, і, отже, відповідні схеми роботи можуть бути різними.

З точки зору програмування, всі RRAM поділяються лише на два типи: з уніполярним перемиканням та біполярним перемиканням. На рисунку 1.4 (a, b) показані вольт-амперні характеристики уніполярної та біполярної конструкцій R-RAM відповідно [2].

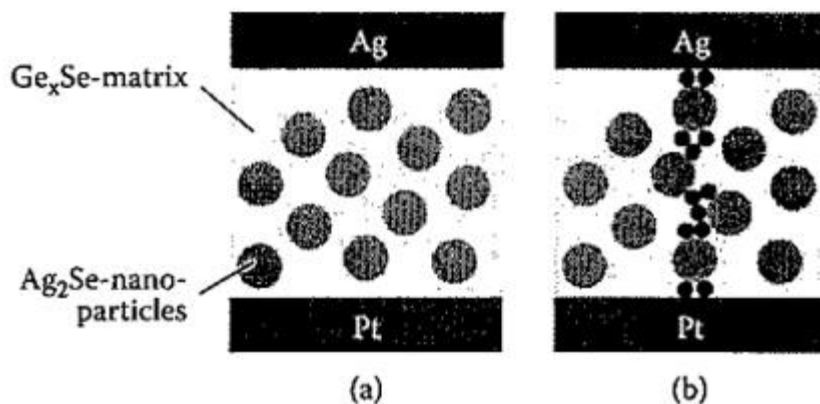


Рисунок 1.3 — Приклад комірки з GeSe (електроліт), Ag (активний метал) та Pt (інертний метал): а — неактивний стан; б — активний стан [2]

Уніполярний режим виконує програмування/стирання за допомогою коротких/довгих імпульсів або за допомогою високої/низької напруги з однаковою полярністю напруги. Умова зворотного зміщення заборонена. Деякі уніполярні конструкції R-RAM з'єднують запам'ятовувальний елемент з діодом, щоб усунути напругу або струм зміщення в непотрібному напрямку. Для перемикавання статусу опору напруга встановленої операції (програмування) завжди вища, ніж напруга операції скидання (стирання), а струм скидання завжди вищий за встановлений струм. В ідеалі споживана енергія під час операції встановлення та скидання має бути еквівалентною. Багато матеріалів продемонстрували характеристики однополярного перемикавання, такі як пам'ять зміни фази. Основна складність конструкції уніполярного R-RAM полягає в тому, щоб точно контролювати ширину імпульсу для операцій встановлення та скидання [2].

Операції конструкції R-RAM з біполярним перемиканням прості. Короткі імпульси з протилежною полярністю напруги подаються для операцій встановлення та скидання, як показано на рисунку 1.4 (b). Абсолютне значення встановленої напруги не повинно збігатися з абсолютним значенням напруги скидання. Це справедливо для більшості матеріалів R-RAM.

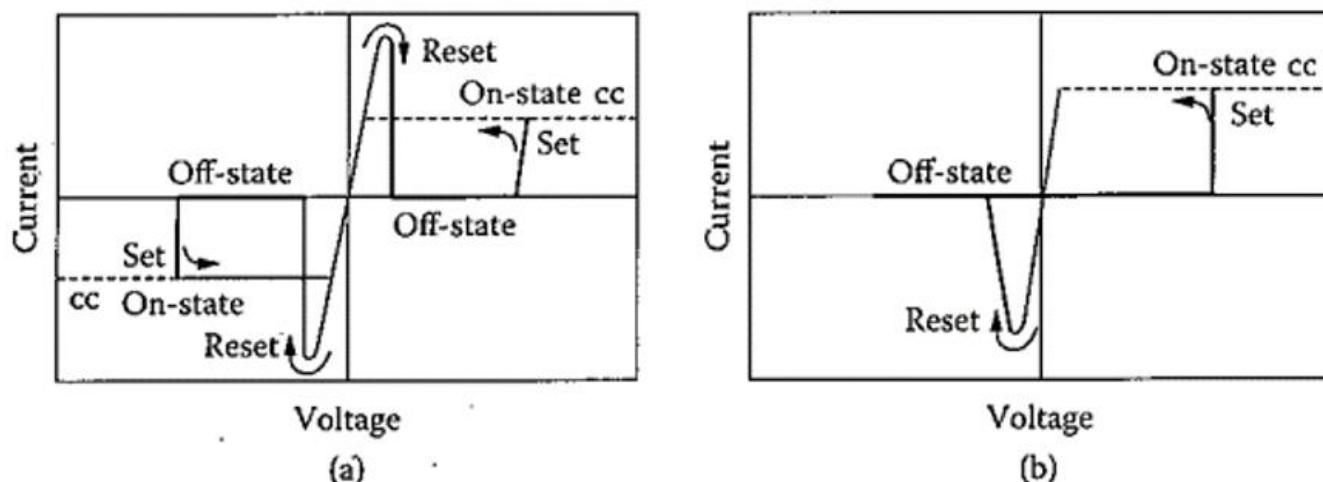


Рисунок 1.4 — ВАХ уніполярної (а) та біполярної (б) операцій R-RAM [2]

Зазвичай set (запис) використовується для опису переходу стану від HRS до LRS. Reset (стирання) — процедура, зворотна цій операції. Однак пряме зміщення не завжди пов'язане з заданою операцією, а операція стирання не завжди вимагає зворотного зміщення для всіх пристроїв. Виходячи з різного механізму провідності пристрою, треба переконатися, що для запам'ятовувального пристрою можна забезпечити правильну амплітуду напруги/струму та полярність [2].

1.2.2 Конструкція комірки пам'яті R-RAM

Завдяки високому співвідношенню R_{off}/R_{on} пам'ять може бути створена без будь-яких комутаційних пристроїв у комірці пам'яті, щоб досягти високої щільності масиву. Однак у схемах для кращого контролю доступу до пам'яті перевага надається застосуванню комірок з комутаційними пристроями.

Поперечні структури (crossbar) широко використовується для побудови RRAM через їх високу щільність [2]. Вперше така структура продемонстрована в телекомунікаційній комутаційній системі, яка містила два комплекти проводів і перемикачів у точках перетину. Маршрутизація сигналу контролювалася шляхом правильного вибору комутаторів. У нанометровій конструкції пам'яті високої щільності зберігається подібна структура: елемент зберігання розміщується в кожній точці перетину двох комплектів металевих дрітків. Теоретично, можливо досягти

найменшої площі комірки пам'яті $4F^2$, використовуючи структуру масиву поперечних перемичок, де F — мінімальний розмір функції.

Рисунок 1.5(a) ілюструє вигляд зверху поперечної структури R-RAM з $4F^2$ площею комірки, а на рисунку 1.5(b) показана відповідна схема. Тут лінія слів (WL) і бітова лінія (BL) представляють горизонтальні та вертикальні з'єднання відповідно. Для досягнення найменшої площі необхідні мінімальна ширина та простір металевого дроту геометрії, що в основному визначається обмеженням літографії. Як бачимо, кожна сторона такої комірки пам'яті має розмір $2F$, а площа однієї комірки пам'яті дорівнює $4F^2$.

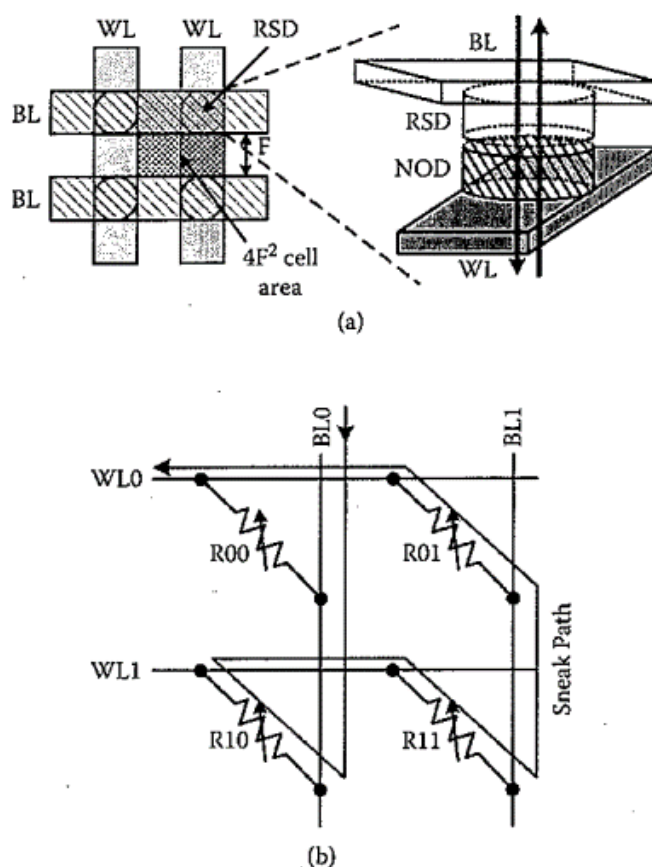


Рисунок 1.5 — Поперечна структура R-RAM з площею комірки $4F^2$:
вигляд топології зверху (a) та відповідна схема (b) [2]

3D-конструкція, створена шляхом створення кількох вертикальних шарів пам'яті має переваги над конструкцією з тонкою товщиною пристрою. Однак масив

поперечних перемичок без перемикання може утворювати паразитні шляхи, які мають три або більше комірок послідовно, як показано на рисунку 1.5(b). У такій конструкції напруга на обраній комірці має бути набагато вищою, ніж напруга на інших елементах, щоб гарантувати належну функціональність. При збільшенні розміру масиву запас сприйняття під час операції зчитування може швидко погіршуватися через існування прохідного шляху. Відповідно, потрібно, щоб матеріал RRAM мав високий опір у LRS та велику різницю в опорі між HRS та LRS.

В роботі [4] розглядається комірка з транзистором вибірки (рис. 1.6). Досліджується імпульсне формування та поведінка біполярного резистивного перемикання.



Рисунок 1.6 — Схема зміщення для режиму стирання та запису [4]

У цій же роботі наводиться важлива вольт-амперна характеристика пристроїв під час запису та стирання (рис. 1.7). Приведені значення використані під час розробки рішень дипломної роботи.

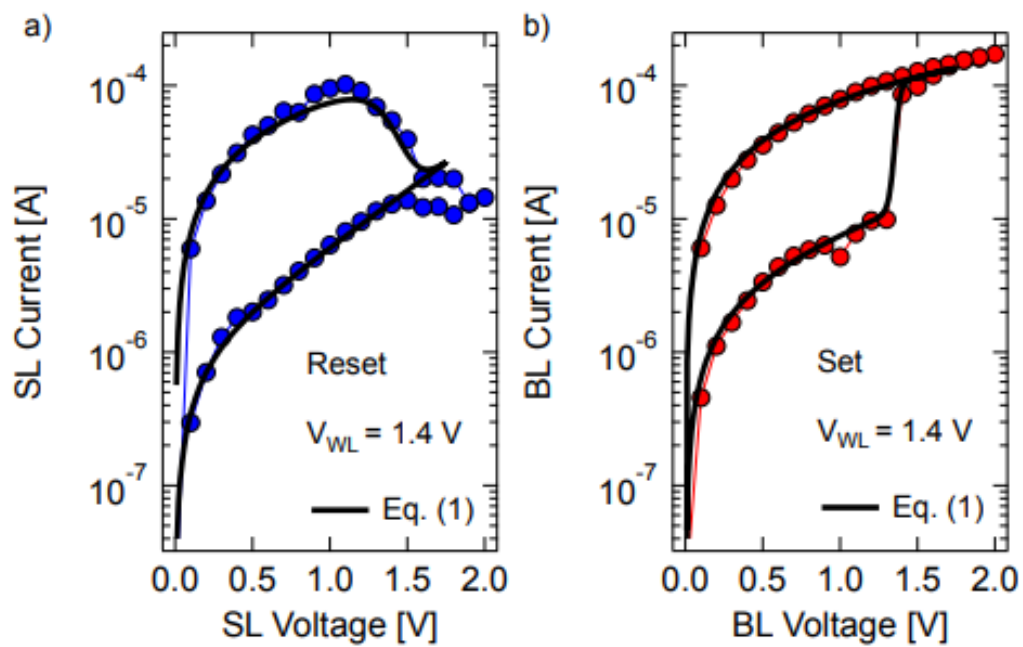


Рисунок 1.7 — Типові ВАХ для процесів стирання (a) та запису (b) [4]

1.3 Висновки до розділу

За результатами аналізу джерел інформації:

- отримані дані для розробки пірамідального (східчастого) метода побудови дешифратора, оскільки кількість входів перевищує 4 ($m = 6$).
- отримані дані щодо залежностей перемикання станів для різних вхідних даних: методів створення, матеріалів та конструкції комірки пам'яті з транзистором та резистором.
- застосовані ВАХ, що дозволяють розробити схему зчитування інформації з двобітової комірки пам'яті, використовуючи опорні значення: 100 кОм, 30 кОм, 20 кОм та 10 кОм.
- отримана інформація щодо механізму перемикання, продуктивності та моделювання MLC, що застосована для розробки багаторівневої комірки та зчитування.

2 Розробка схеми декодування та її тестування

Розробка електричної схеми дешифратора виконана на базі елементів NOT і AND методом пірамідального нарощування розрядів (див. рис. 1.2 [1]). Це обумовлено тим, що розрядність перевищує оптимальну для створення лінійного дешифратора. Оскільки кількість комбінацій для роботи дуже велика (див. рис. 1.1), прийнято рішення розробити допоміжну схему автоматизації тестування розроблених технічних рішень. Оптимальною для цієї задачі є схема лічильника на 6 розрядів, який допоможе автоматизувати тестування схеми: пристрій перебирає всі можливі вхідні комбінації, дозволяючи перевірити роботу пристрою згідно з таблицею істинності.

2.1 Огляд середовища розробки Cadence

Дипломна робота виконана у середовищі Cadence, використовуючи технології VPN-з'єднання та віддаленого робочого стола за допомогою програми MobaXterm Personal.

Основне вікно — Library Manager (рис. 2.1). Тут створюється власна бібліотека, в якій за допомогою вбудованої бібліотеки *gpdK045* створені всі схеми.

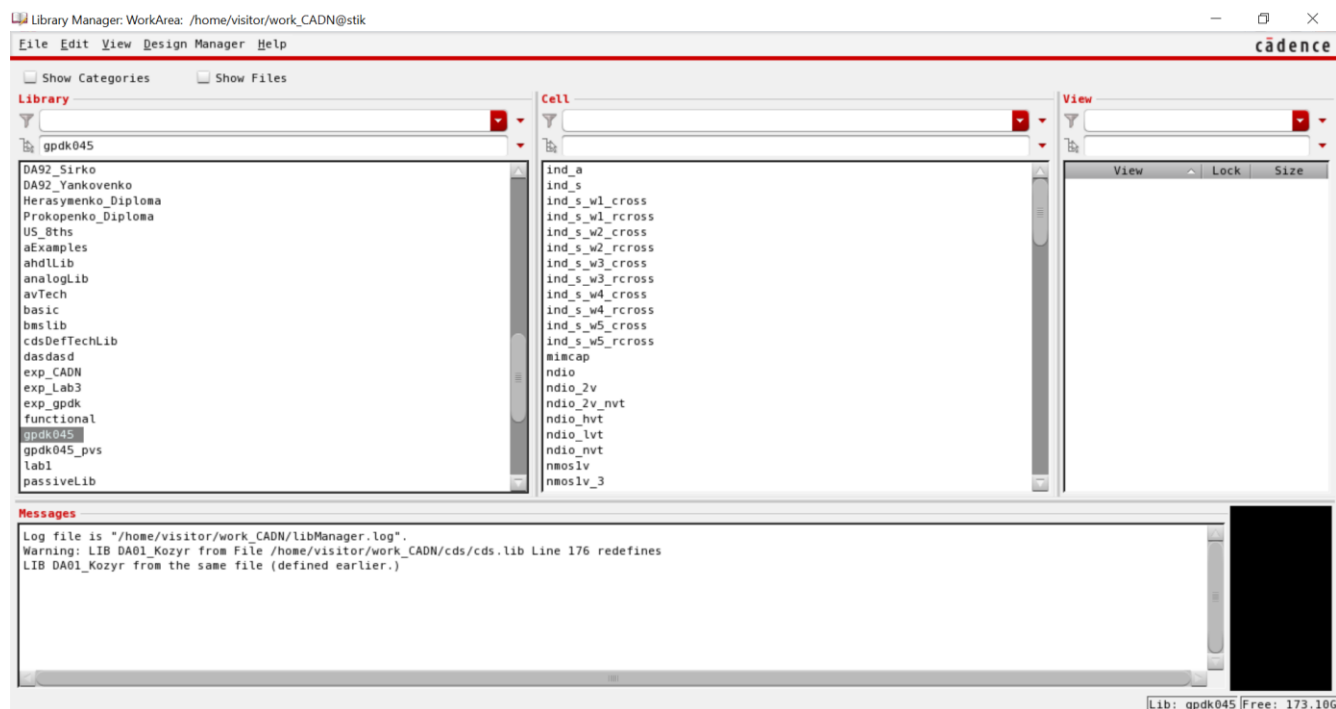


Рисунок 2.1 — Library Manager

Після створення теки (Library) та комірки типу «schematic», вигляд середовища зображено на рис. 2.2. Використовуючи документацію [5], опановані основні операції, включаючи призначення «гарячих клавіш».

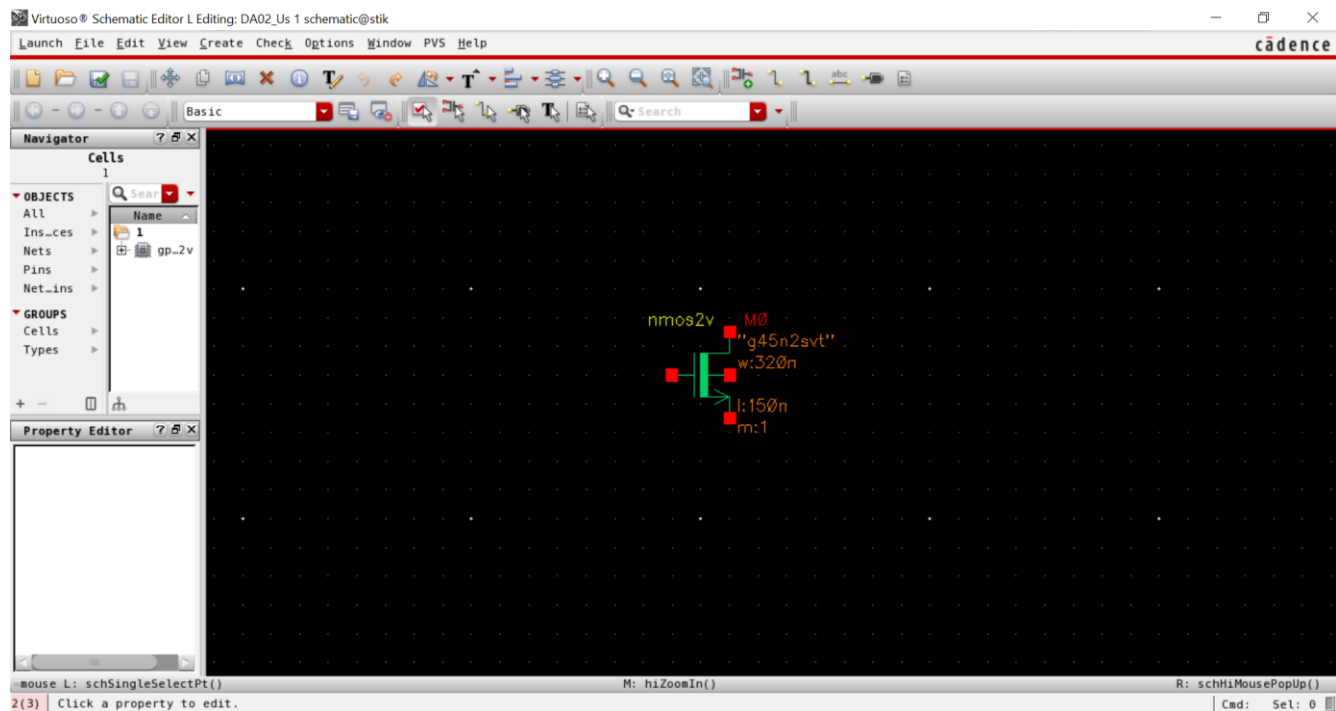


Рисунок 2.2 — Вигляд середовища Cadence

2.2 Опис бібліотеки gpdk045

Основний інструментарій для роботи над проєктом знаходиться у бібліотеці gpdk045 — Generic 45nm Salicide Process Design Kit (загальний набір для дизайну саліцидних процесів на 45-нм нормах проєктування) [5]. Бібліотека gpdk045 надана компанією Cadence Design Systems, Inc. («Cadence») і безпосередньо доступна в однойменному середовищі розробки.

Розробка топології схеми відбувається безпосередньо за допомогою можливостей, наданих бібліотекою gpdk045. У табл. 1 описано шари, які доступні для створення пристроїв [5].

Таблиця 1 — Шари для створення пристроїв [5]

Назва шару	Номер потоку GDSII	Назва DFII LSW	Назва шару DFII	Мета шару DFII	Номер шару DFII	Опис
Bondpad	36	Bondpad	Bondpad	drawing	95	Bonding Pad
CapMetal	14	CapMetal	CapMetal	drawing	97	MiM capacitor metal
Nburied	19	Nburied	Nburied	drawing	18	N+ Buried Layer
Nhvt	18	Nhvt	Nhvt	drawing	11	NMOS High Vt
Nlvt	26	Nlvt	Nlvt	drawing	26	NMOS Low Vt
Nimp	4	Nimp	Nimp	drawing	12	N+ Implant
Nwell	2	Nwell	Nwell	drawing	6	Nwell
Nzvt	52	Nzvt	Nzvt	drawing	15	NMOS Zero Vt
Oxide	1	Oxide	Oxide	drawing	2	Active Area
Oxide_thk	24	Oxide_thk	Oxide_thk	drawing	4	1.8V Active Area
Phvt	23	Phvt	Phvt	drawing	13	PMOS High Vt
Plvt	27	Plvt	Plvt	drawing	27	PMOS Low Vt
Pimp	5	Pimp	Pimp	drawing	14	P+ Implant
Poly	3	Poly	Poly	drawing	10	Poly
SiProt	72	SiProt	SiProt	drawing	16	Salicide Block

При генеруванні основних елементів топології застосовані створені базові конструкції та елементи (див. рис. 4.1), використання яких значно спрощує розробку.

У таблиці 2 описано шари, які використовуються для з'єднання пристроїв (шари, що застосовані в роботі, у бібліотеці ж представлені шари до Metal11 та Via10) [5].

Таблиця 2 — Шари для з'єднання пристроїв у дипломній роботі [5]

Назва шару	Номер потоку GDSII	Назва DFII LSW	Назва шару DFII	Мета шару DFII	Номер шару DFII	Опис
Cont	6	Cont	Cont	drawing	20	Metal Contact до Oxide/Poly
Metal1	7	Metal1	Metal1	drawing	30	1-й Metal для взаємозв'язку
Metal2	9	Metal2	Metal2	drawing	34	2-й Metal для взаємозв'язку
Metal3	11	Metal3	Metal3	drawing	38	3-й Metal для взаємозв'язку
Metal4	31	Metal4	Metal4	drawing	42	4-й Metal для взаємозв'язку
Metal5	33	Metal5	Metal5	drawing	46	5-й Metal для взаємозв'язку
Via1	8	Via1	Via1	drawing	32	Via між 1st і 2nd Metal
Via2	10	Via2	Via2	drawing	36	Via між 2nd і 3rd Metal
Via3	30	Via3	Via3	drawing	38	Via між 3rd і 4th Metal
Via4	32	Via4	Via4	drawing	44	Via між 4th і 5th Metal

Нижче наведені основні дані щодо розмірів шарів та норм проектування. У таблиці 3 наведені правила проектування для шару NWELL.

Таблиця 3 — Правила проектування для шару NWELL [5]

Назва правила	Опис	Значення, мкм
NW.W.1	Minimum Nwell Width	0.3
NW.SP.1	Minimum Nwell spacing to Nwell (same potential)	0.3
NW.SP.2	Minimum Nwell spacing to Nwell (different potential)	0.6
NW.SE.1	Minimum Nwell spacing to N+ Active Area	0.16
NW.SE.2	Minimum Nwell spacing to P+ Active Area	0.16
NW.A.1	Minimum Nwell area	0.18

Таблиця 4 демонструє правила проектування для шару POLY.

Таблиця 4 — Правила проєктування для шару POLY [5]

Назва правила	Опис	Значення, мкм
POLY.W.5	Minimum Poly interconnect width	0.045
POLY.SP.2	Minimum Poly gate space	0.06
POLY.SP.3	Minimum Poly interconnect space	0.06
POLY.SE.2	Minimum Poly interconnect to related Active Area space	0.05
POLY.E.3	Minimum Active Area (source/drain) to gate enclosure	0.1
POLY.A.1	Minimum area for Poly interconnect	0.02

Нижче наведені таблиці, що містять правила проєктування для шарів CONTACT (табл. 5), METAL 1 (табл. 6), METAL k ($k = 2, 3, 4, 5, 6, 7, 8, 9$; табл. 7) та VIA k ($k = 1, 2, 3, 4, 5, 6, 7, 8$; табл. 8).

Таблиця 5 — Правила проєктування для шару CONTACT [5]

Назва правила	Опис	Значення, мкм
CONT.W.1	Maximum and minimum Contact width/length	0.06
CONT.SP.1	Minimum Contact to Contact spacing	0.06
CONT.SE.1	Minimum Contact on Active Area to gate spacing	0.05
CONT.SE.3	Minimum gate Contact on Active Area spacing	0.06
CONT.X.1	Contact on gate is NOT allowed	—
CONT.X.3	Contact must be covered by Metal1 and Active Area or Poly	—

Таблиця 6 — Правила проєктування для шару METAL 1 [5]

Назва правила	Опис	Значення, мкм
METAL1.W.1	Minimum Metal 1 width	0.06
METAL1.W.2	Maximum Metal 1 width	6.0
METAL1.SP.1.1	Minimum Metal 1 to Metal 1 spacing	0.06
METAL1.A.1	Minimum Metal 1 area	0.02

Таблиця 7 — Правила проєктування для METAL k (k = 2, 3, 4, 5, 6, 7, 8, 9) [5]

Назва правила	Опис	Значення, мкм
METALk.W.1	Minimum Metal k width	0.08
METALk.W.2	Maximum Metal k width	6.0
METALk.SP.1.1	Minimum Metal k to Metal k spacing	0.07
METALk.A.1	Minimum Metal k area	0.02

Таблиця 8 — Правила проєктування для VIA k (k = 1, 2, 3, 4, 5, 6, 7, 8) [5]

Назва правила	Опис	Значення, мкм
VIAk.W.1	Minimum and maximum Via k width	0.07
VIAk.SP.1	Minimum Via k to Via k spacing.	0.07
VIAk.E.3	At least 2 Via k must be used to join two Metal k when they are within 3.0um of a metal plate (Metal k or Metal k+1) when the metal plate size is has width > 1.5 and length > 1.5	—
VIAk.X.3	Vias 1 through 8 may be consecutively stacked up to four high when only one Via is connecting two Metal layers for any level of the stack.	—

Користуючись таблицями, наведеними у даному розділі, можна створити топологію згідно з 45-нм нормами проєктування.

2.3 Опис базового маршруту виготовлення інтегральних схем

У роботі [15] наведено базовий маршрут виготовлення інтегральних схем. Нижче наведений короткий опис основних етапів розробки.

Перший етап — очищення пластини (кислотою, йонізованою водою тощо). Для забезпечення захисту відбувається окислення ($T = 1000^{\circ}\text{C}$, товщина — 0.2-0.3 мкм) та нанесення шару нітриду силіцію. Далі відбувається перша фотолітографія N_well (отвір) та проводиться йонне легування (P) при енергії 50-60 KeV. Сама кишенька формується паралельно з локальним окисом: дифузія при $T = 1000^{\circ}\text{C}$ [15].

Друга фотолітографія Active (маска) виділяє активні області та дозволяє ізолювати їх. На інших областях при $T = 1000^{\circ}\text{C}$; $t \approx 10$ год вирощується локальний окис у місцях, де відсутній технологічний шар Si_3N_4 (росте і вверх, і вглиб; приблизно 0.6 мкм). На цьому етапі визначається ширина каналу для струму.

Наступний етап — видалення Si_3N_4 відкритим травленням. Після цього нарощується новий якісний окис. Окис під затвор 1 (ОПЗ 1) становить приблизно 60 – 100 Å та створюється при $T = 950^{\circ}\text{C}$; $t \approx 5\text{--}10$ хв. ОПЗ 2 має товщину 200 Å та параметри створення $T = 950\text{--}1000^{\circ}\text{C}$; $t \approx 10\text{--}30$ хв [15].

Створення міжшарової ізоляції 1 (0.2 мкм) передбачає $T = 400\text{--}500^{\circ}\text{C}$; $t \approx 6$ хв; міжшарової ізоляції 2 (і вище) — товщина 0.2–0.3 мкм, $T = 700^{\circ}\text{C}$; $t \approx 5\text{--}10$ хв. Щоб окис заповнив всі нерівності, додають домішки (5–10% В чи Р).

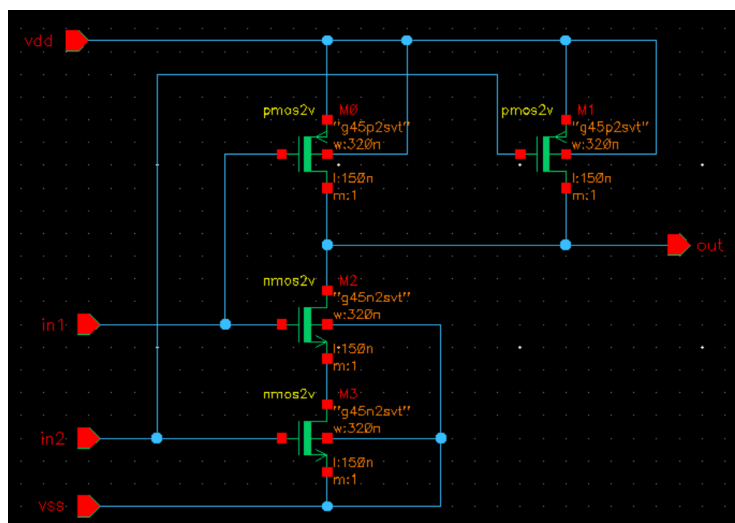
Між ізоляціями створюються шари металу: Metal 1 (Al або Cu) товщиною 0.6 мкм створюється при $T = 500^{\circ}\text{C}$; $t \approx 5\text{--}10$ хв методом електронно-променевого розпорошення. Metal 2 (і вище) є додатковими рівнями комутації товщиною 2–3 мкм, що створюються при аналогічних умовах.

Верхнім шаром є Passive (пасивація), що строго більша за 2–3 мкм (більша за товщину Top metal). Створюється при T до 500°C ; $t \approx$ десятки хв. Вся структура покривається шаром ізоляції для захисту від вологи та бруду [15].

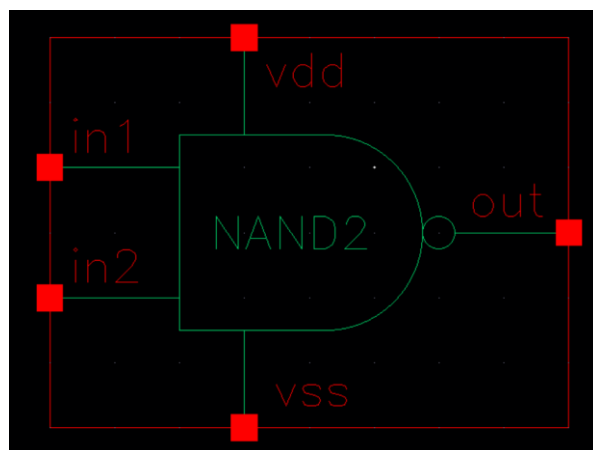
2.4 Створення базових елементів NOT і AND

Зважаючи на те, що елемент AND можна побудувати з комбінації NAND та NOT, вирішено розробити пристрій саме на такому базисі [1].

Використовуючи транзистори pmos2v та nmos2v, розроблені схеми логічних вентилів NAND на 2 входи (скорочено — NAND2) та NOT. Схеми та символи цих елементів наведені на рис. 2.3 та 2.5 відповідно.



а



б

Рисунок 2.3 — Схема (а) та символ (б) елемента NAND2

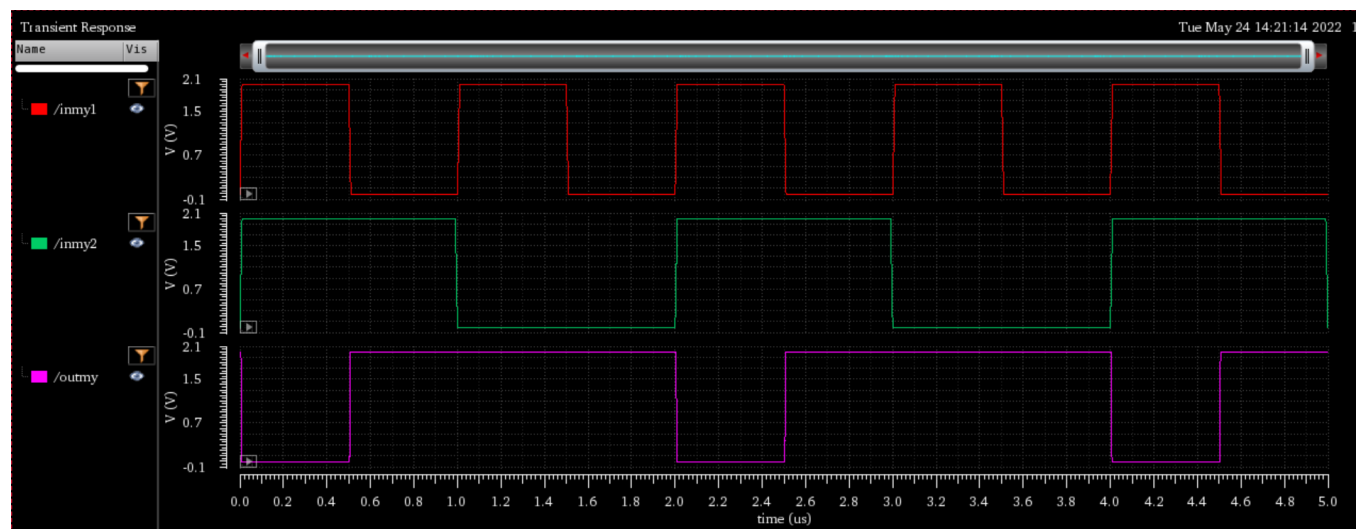
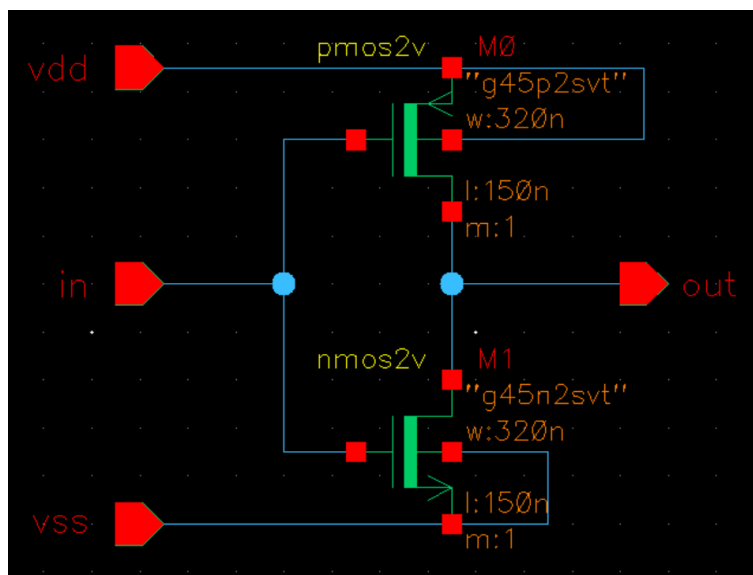
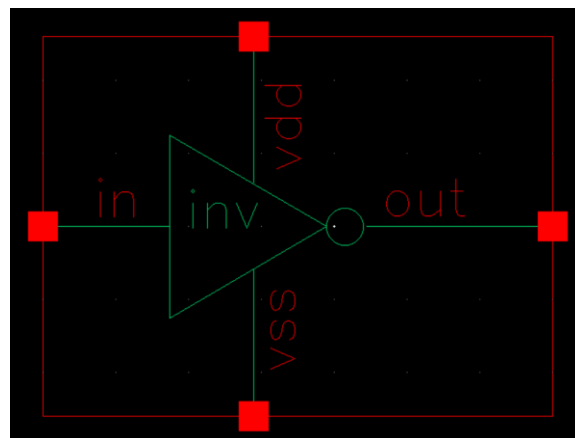


Рисунок 2.4 — Тестування елемента NAND2 у режимі tran

Конфігурація сигналів (рис. 2.4) збігається з таблицею істинності для елемента NAND2. Характеристики пристрою: затримка — 39.3 пс (задній фронт), 151 пс (передній фронт); частота тестування — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В.

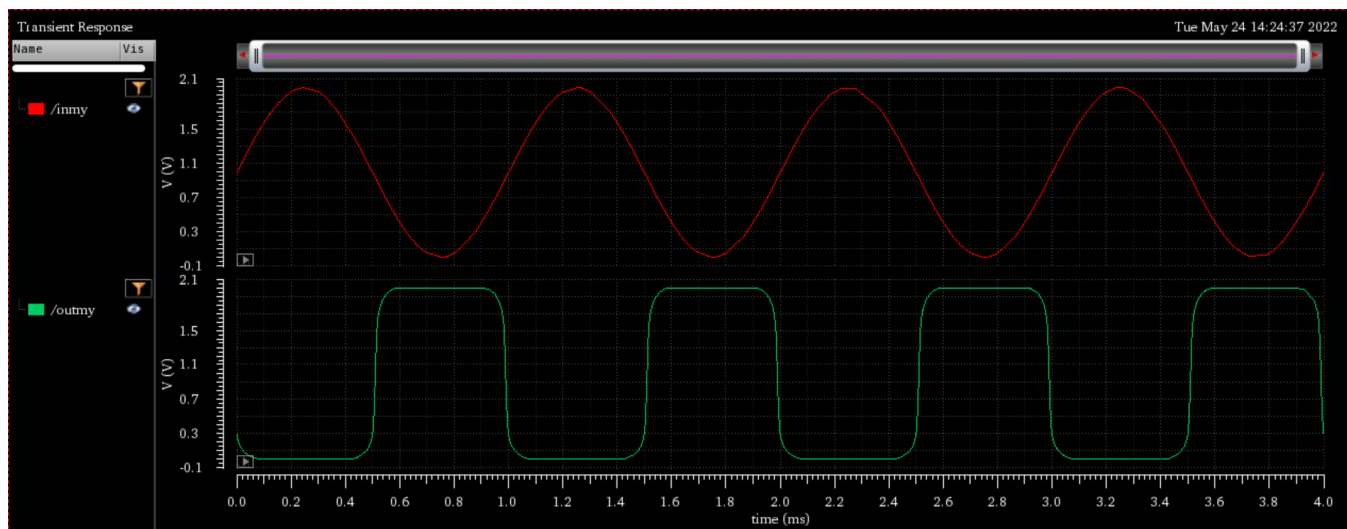


а

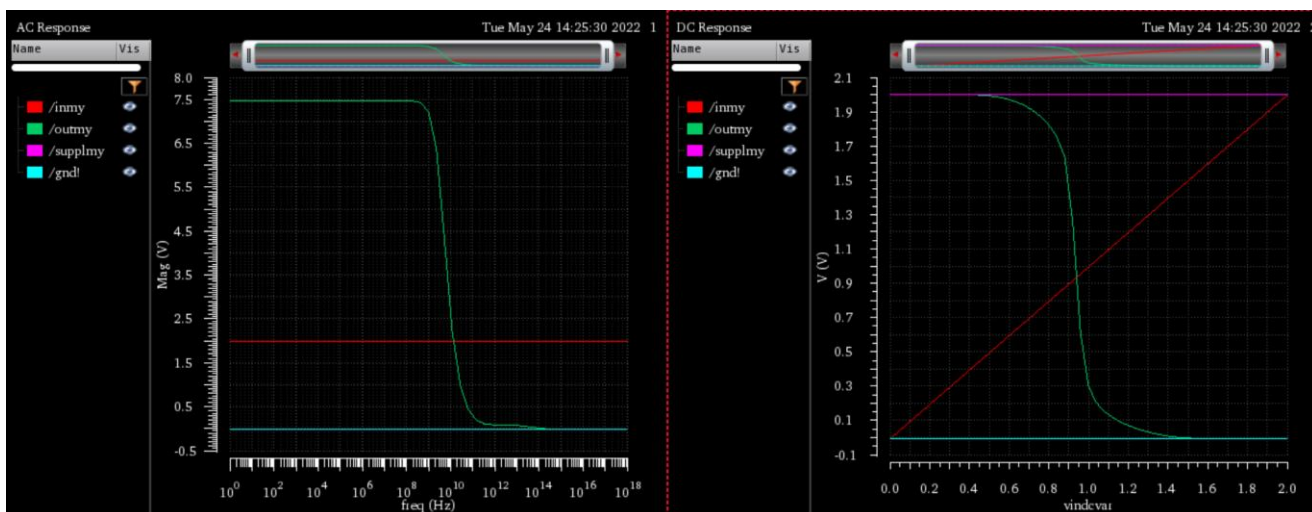


б

Рисунок 2.5 — Схема (а) та символ (б) елемента NOT



а



б

в

Рисунок 2.6 — Тестування елемента NOT у режимі tran (а), AC (б) та DC (в)

Перевіряючи роботу логічного елемента, встановлена її коректність: конфігурація сигналів (рис. 2.6) сходиться з таблицею істинності для NOT.

Характеристики пристрою: затримка — 50.5 пс (задній фронт), 34.4 пс (передній фронт); частота тестування — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В.

2.5 Розробка схеми дешифратора на 64 розряди

За допомогою базових елементів розроблено дешифратор, спираючись на схему, зображену на рис. 1.2. У схемі, щоб збільшити розрядність, достатньо за аналогією подвоювати ступінь кожної ітерації. Перші каскади пристрою, що включають входи 0-2, показані на рис. 2.7.

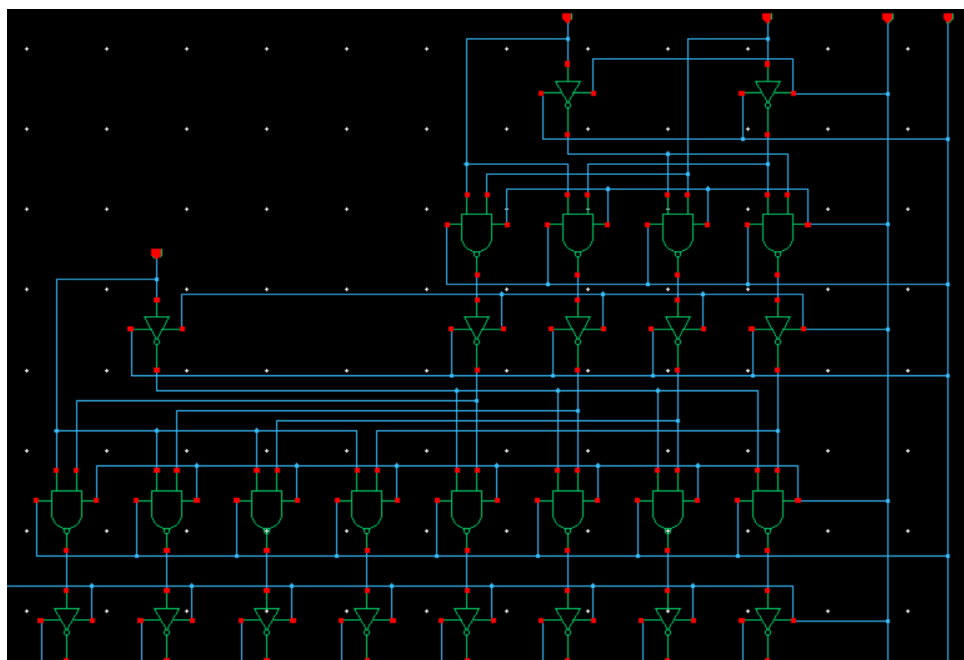


Рисунок 2.7 — Перші каскади пристрою, що включають входи 0-2

Аналогічно слідуючи принципу побудови, виконано масштабування схеми до шести входів (рис. 2.8):

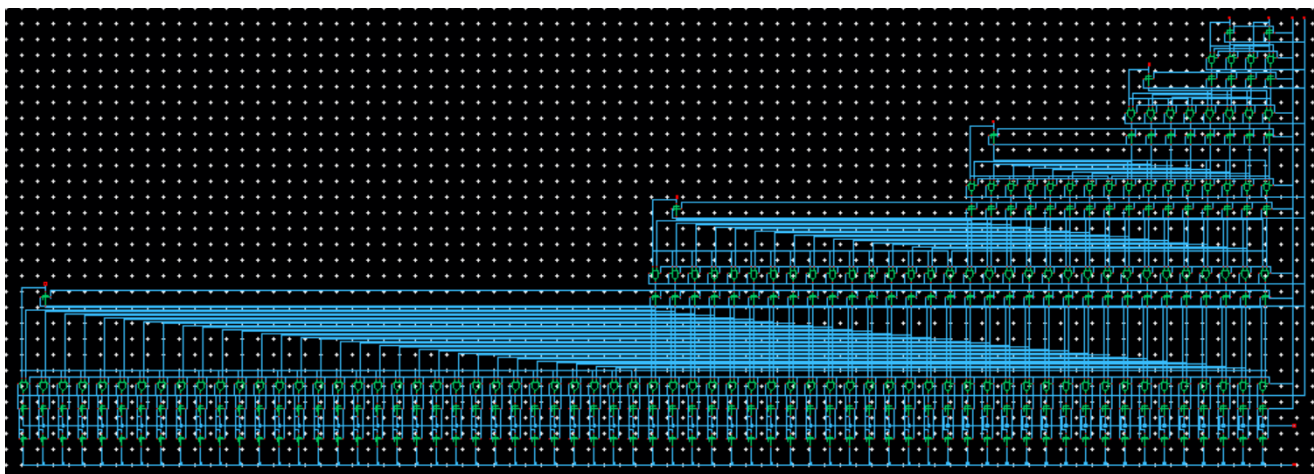


Рисунок 2.8 — Повна схема пристрою, що включає входи 0-5

Розроблена електрична схема дешифратора на 64 розряди, використовуючи логічні вентиля, побудовані на транзисторах з параметрами: ширина $w=320$ нм та довжина $l=150$ нм каналу. Для подальшого об'єднання з аналоговими ключами, на кожний вихід треба вивести ще і його інверсію. Отже, отримано 128 виходів (64 прямих та 64 інверсних). Для зручності кожен набір виходів компактно об'єднаний шиною, що значно зменшує позначення символа (рис. 2.9):

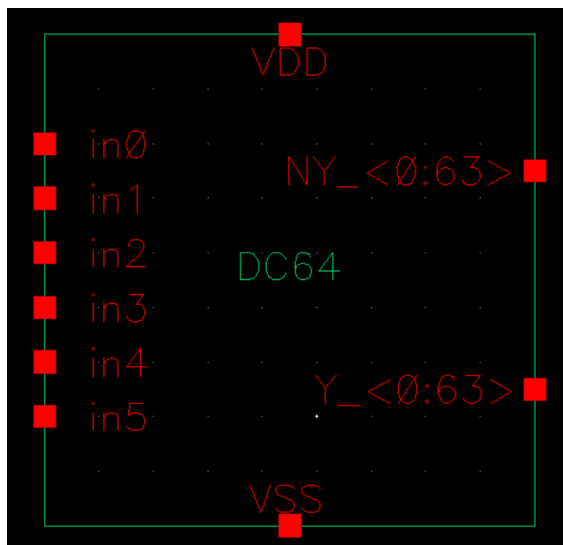
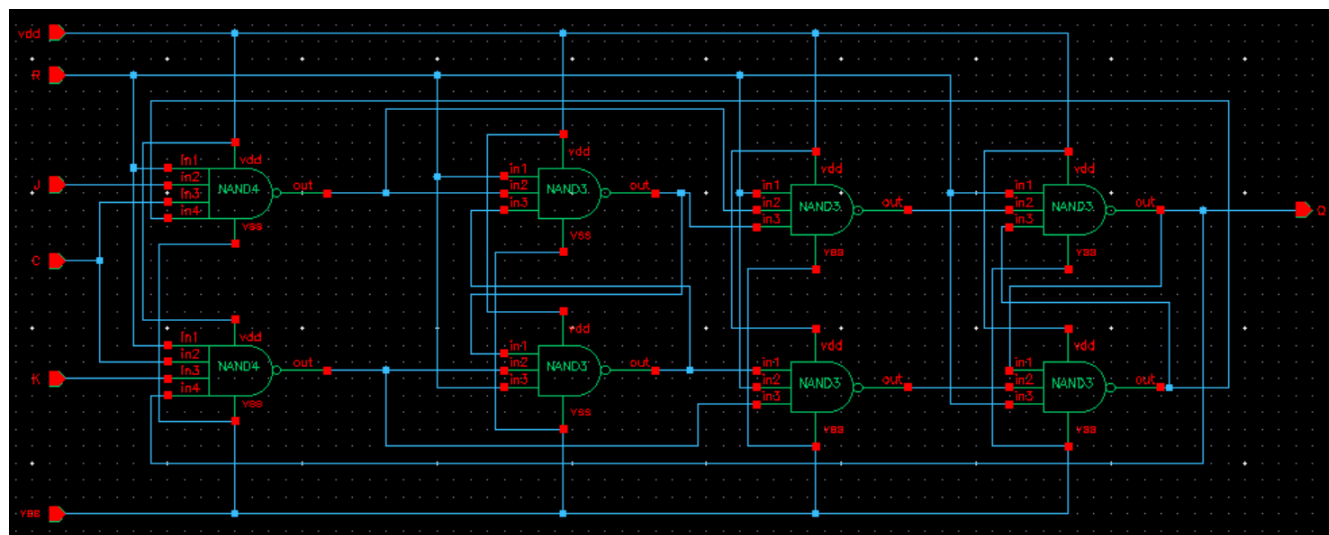


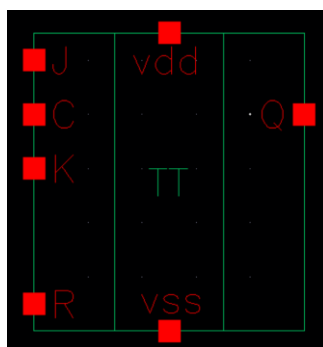
Рисунок 2.9 — Символ дешифратора

2.6 Розробка допоміжної схеми для автоматизації тестування

Оскільки набір можливих комбінацій для роботи дуже великий, прийнято рішення розробити схему лічильника на 6 розрядів, який допоможе автоматизувати тестування основної схеми. Останній побудовано на двотактних JKRS-тригерах, що розроблені та протестовані (рис. 2.10).



а



б

Рисунок 2.10 — Схема (а) та символ (б) JKRS-тригера

Вмикаючи послідовно 6 тригерів і подаючи на обидва входи логічну “1”, отримаємо лічильник на 6 розрядів (рис. 2.11).

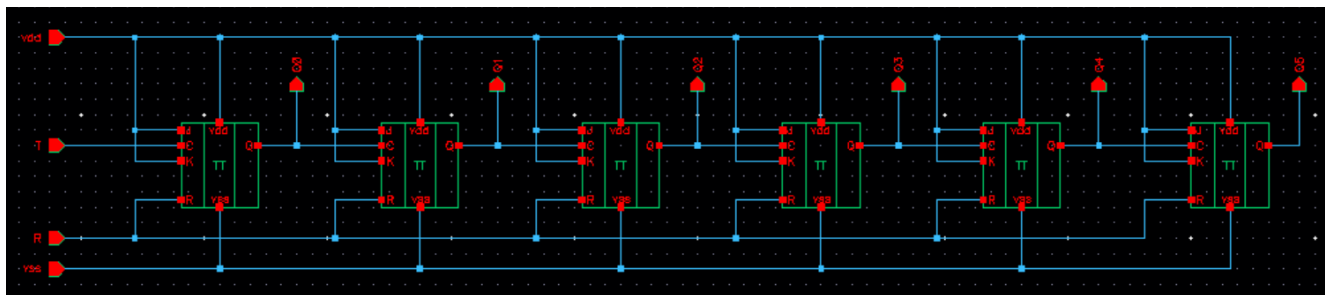


Рисунок 2.11 — Схема лічильника на 6 розрядів

Перевірка роботи пристрою наведена нижче.

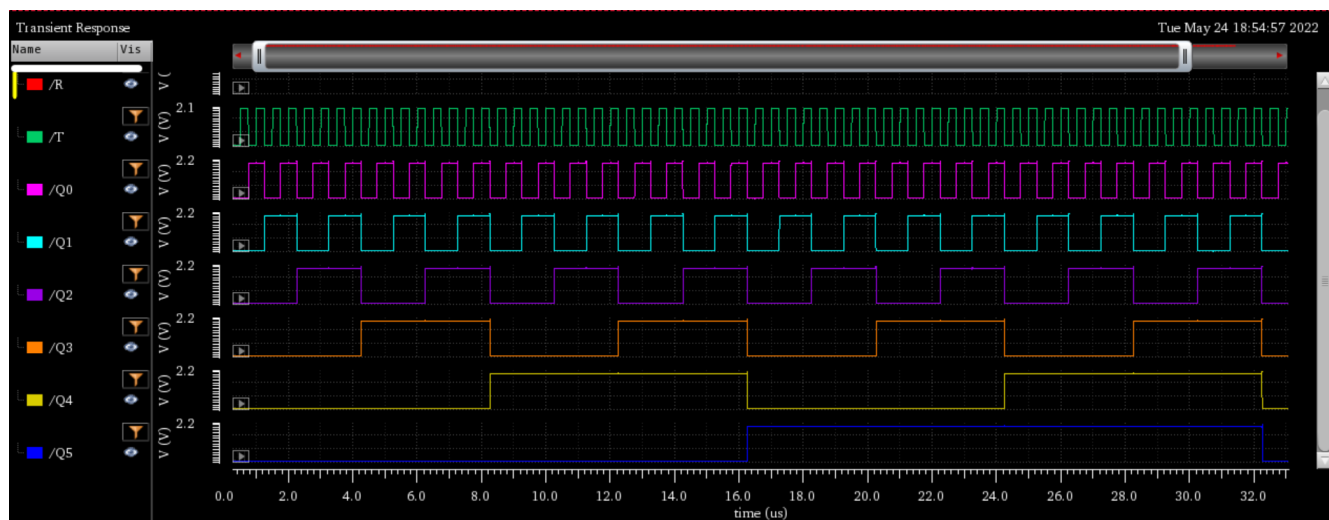


Рисунок 2.12 — Тестування лічильника у режимі tran

Робота пристрою (рис. 2.12) відповідає вимогам дипломної роботи (частота роботи — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В).

2.7 Тестування дешифратора

Розроблений лічильник дозволяє зручно отримати всі можливі комбінації для перевірки роботи дешифратора. На скриншоті не вистачить місця для всіх 64 комбінацій, тому нижче наведені сигнали перших та останніх виходів.

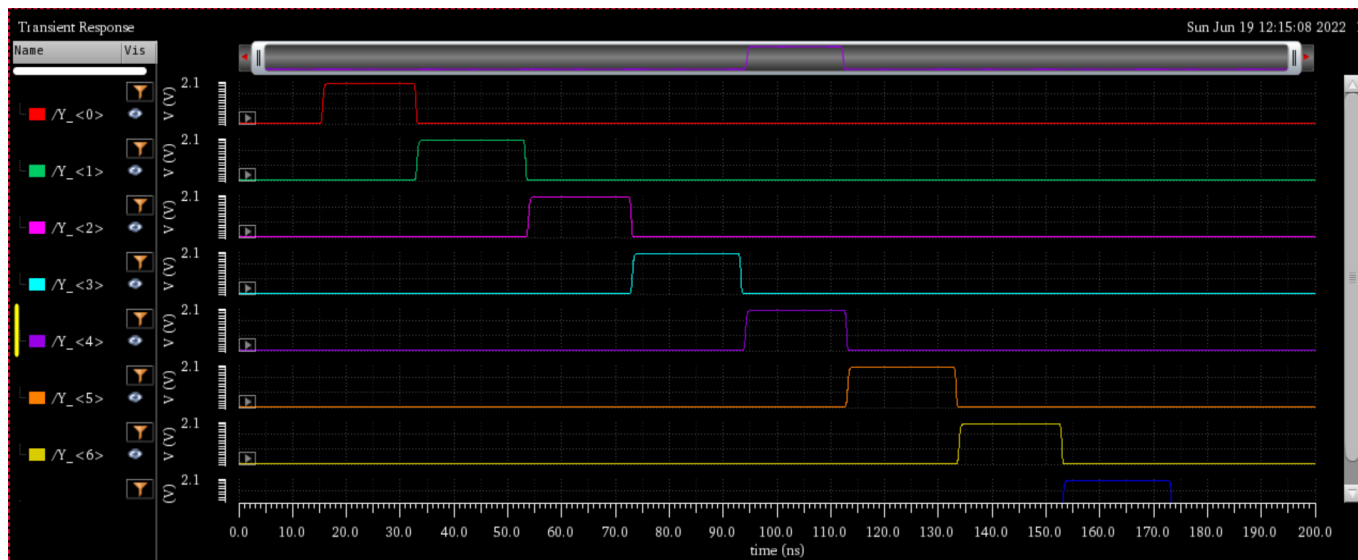


Рисунок 2.13 — Тестування дешифратора у режимі tran

Робота пристрою відповідає вимогам дипломної роботи: конфігурація сигналів (рис. 2.13) відповідає таблиці істинності для дешифратора (рис. 1.1).

Характеристики пристрою: затримка — 2.4 нс (задній фронт), 2.24 пс (передній фронт); потужність споживання — 8.2 мВт; частота тестування — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В.

2.8 Висновки до розділу

- У середовищі Cadence розроблені базові елементи NOT і AND, які є основою для побудови схеми.
- Розроблена схема пірамідального дешифратора на 64 розряди на базі елементів NOT і AND.
- Розроблена допоміжна схема для автоматизації тестування розроблених технічних рішень.
- Проаналізовані основні відомості, технологічні можливості бібліотеки gpdk045 та визначені шари для застосування у роботі.
- Описано базовий маршрут виготовлення інтегральних схем.

3 Розробка схеми мультиплексора/демультиплексора на базі аналогового ключа

Для розробки електричної схеми мультиплексора/демультиплексора для керування елементами пам'яті у складі матриці накопичувача застосовані аналогові ключі до дешифратора (два відповідні входи до прямого та інверсного виходів). Таким чином, отримана схема дозволяє вибирати з поміж 64 стовпців розряду один. Використання розробленої схеми наведене у подальших розділах.

3.1 Розробка аналогового ключа

Оскільки з дешифратора виводяться прямі та інверсні виходи, необхідно створити аналоговий ключ з двома комплементарними транзисторами pmos2v та nmos2v (технологія gpdk045 [5]), які реагують на відповідні сигнали. Розроблена схема наведена на рис. 3.1:

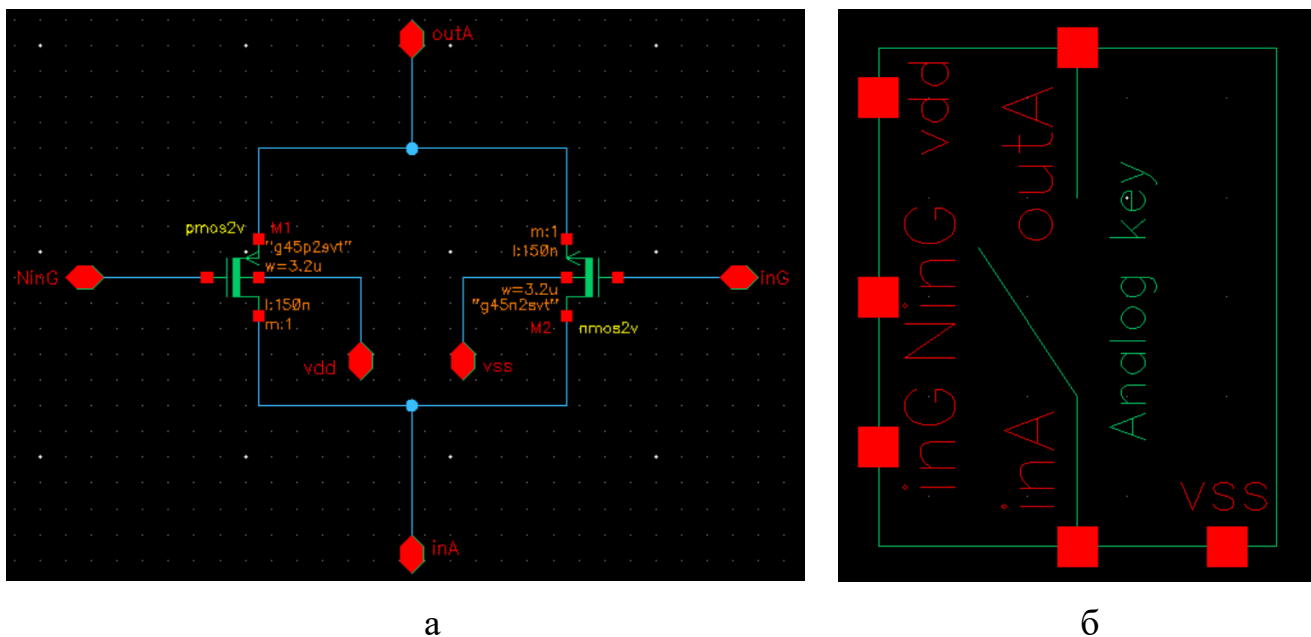


Рисунок 3.1 — Схема (а) та символ (б) аналогового ключа

Довжина l та ширина w транзисторів розраховувалась з урахуванням вимоги падіння напруги на аналоговому ключі менше 0.1 В при струмі 100 мкА. Ці вимоги забезпечуються при ширині 3.2 мкм та довжині 150 нм каналу транзисторів та напрузі на затворі 2 В.

Для тестування елемента зібрано частину схеми, яка складається з раніше створеного дешифратора та двох аналогових ключів, що протестовані на прямому та інверсному виходах схеми (рис. 3.2).

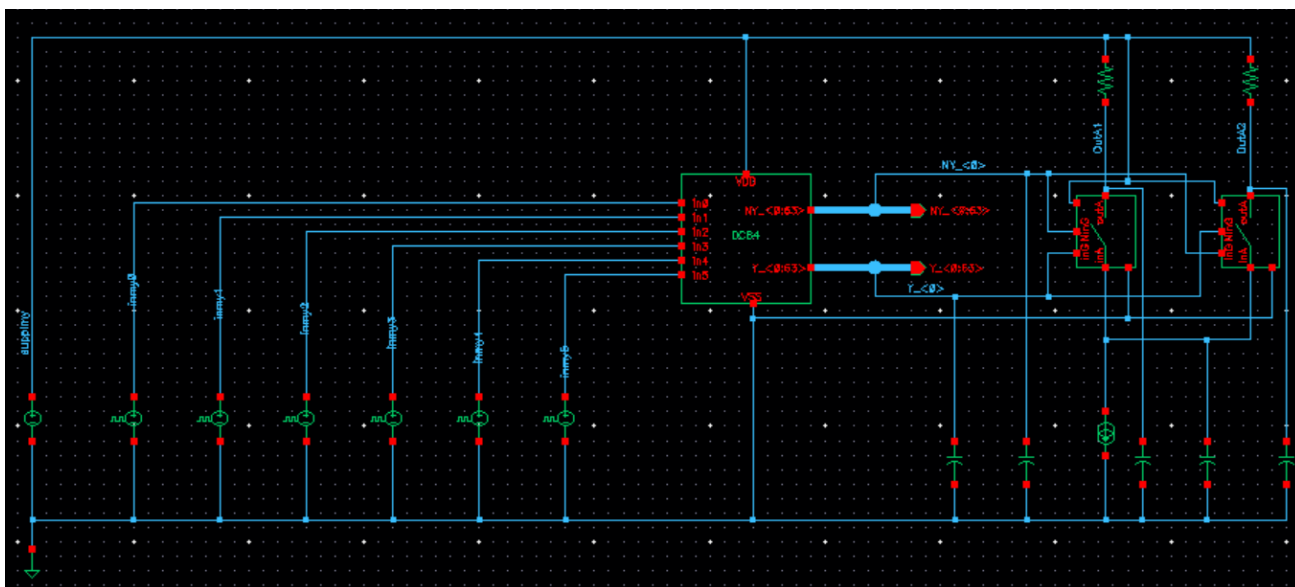


Рисунок 3.2 — Схема для тестування аналогового ключа

Графіки роботи пристрою зображені на рис. 3.3. Струм, який надходить на вхід, успішно проходить тоді, коли сигнал на керуючому вході дорівнює логічній “1”. І навпаки, якщо сигнал на керуючому вході дорівнює логічному “0”, то струм, який надходить на вхід, далі не проходить.

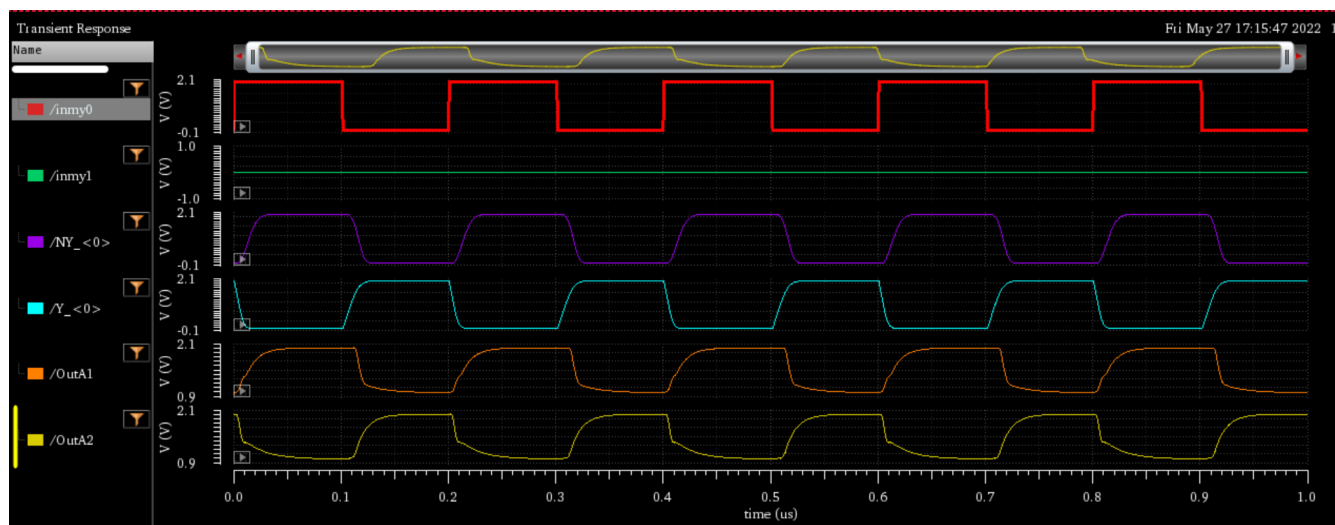


Рисунок 3.3 — Результат тестування аналогового ключа

За результатами тестування доведена коректність роботи аналогового ключа. Виходи аналогових ключів утворюють шини, що надходять до матриці

накопичувача. Це означає, що саме ці сигнали керують вибором окремого стовпчика комірок матриці.

Характеристики пристрою: затримка — 673 пс (задній фронт), 43.1 пс (передній фронт); частота тестування — 50 МГц; ємність на каналі — 1 pf, напруга живлення — 2 В.

3.2 Розробка мультиплексора/демультиплексора

Для узагальнення використання схеми вирішено створити її у вигляді регулярної схеми [1]. Так, шини, vss (земля), виходи дешифратора та аналоговий вхід ключів протягнуті вздовж усієї схеми. Це дозволило уніфікувати її форму. Розроблена схема зображена на рис. 3.4.

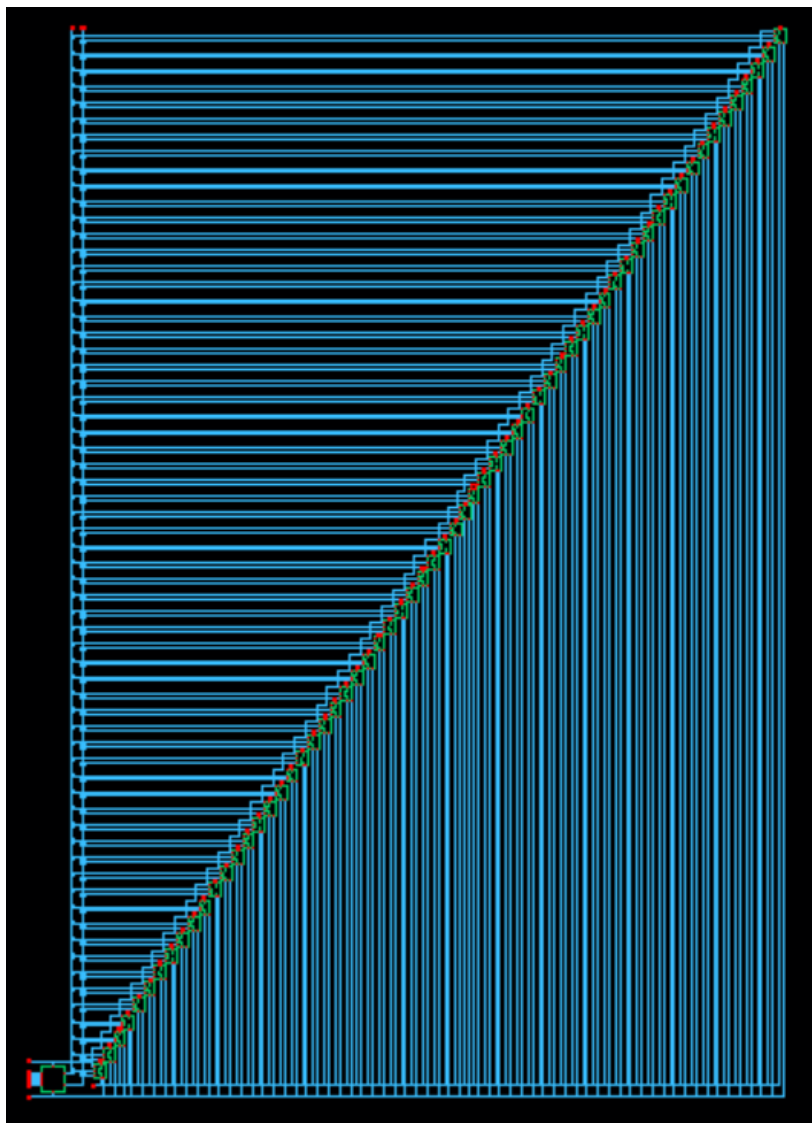


Рисунок 3.4 — Схема мультиплексора/демультиплексора на 64 розряди

Оскільки роздільна здатність екрана не дозволяє повністю зрозуміти суть схеми, нижче наведено частину схеми у збільшенні (рис. 3.5):

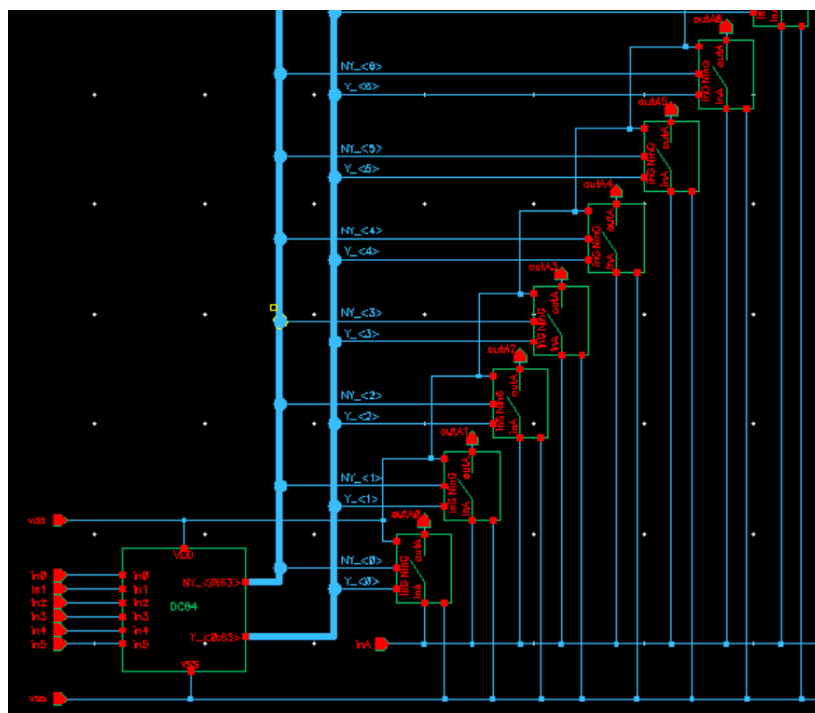


Рисунок 3.5 — Частина схеми мультиплексора/демультиплексора

Розроблена схема для тестування мультиплексора/демультиплексора наведена на рис. 3.6. Оскільки кількість виходів пристрою велика та не може бути показана на одному скриншоті, вирішено виводити результати тестування у декілька кроків. Результат тестування перших 16 виходів схеми у режимі trap показаний на рис. 3.7.

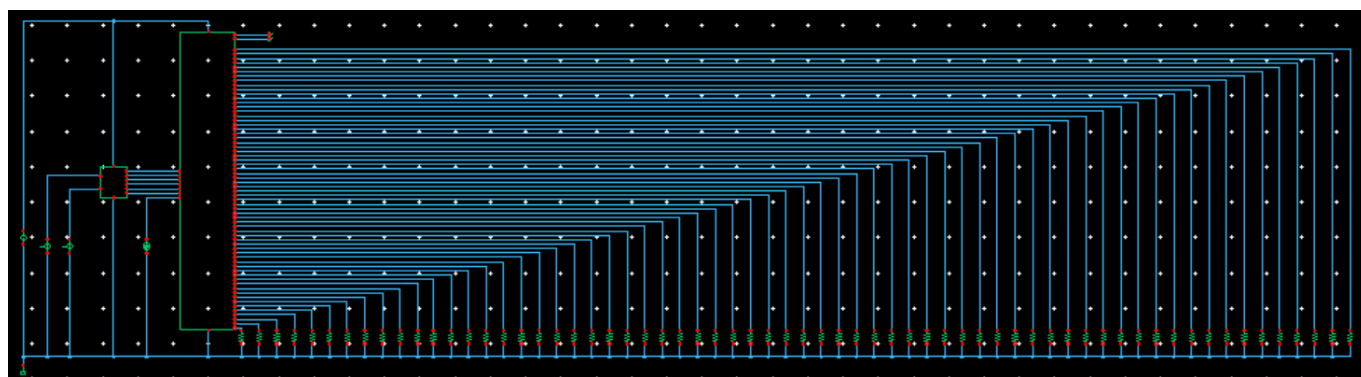


Рисунок 3.6 — Схема для тестування мультиплексора/демультиплексора

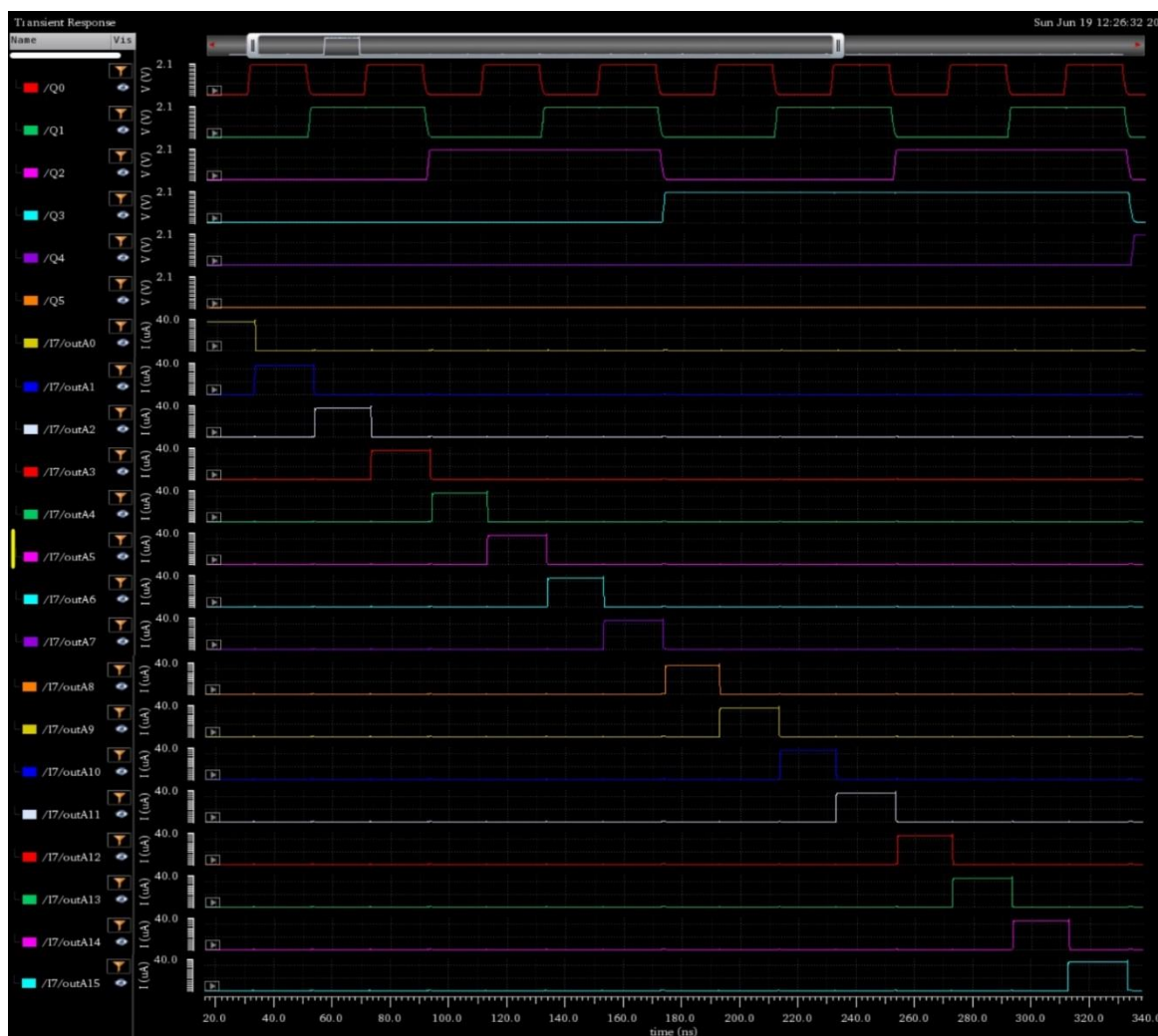


Рисунок 3.7 — Результат тестування перших 16 виходів
мультиплексора/демультиплексора

На рис. 3.7 зображені графіки: Q0 – Q5 — входи схеми, /I7/outA0 – /I7/outA15 — виходи. Видно, що функціональна робота пристрою відповідає завданню.

Характеристики пристрою: затримка — 4.6 нс (задній фронт), 2.25 нс (передній фронт); частота тестування — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В.

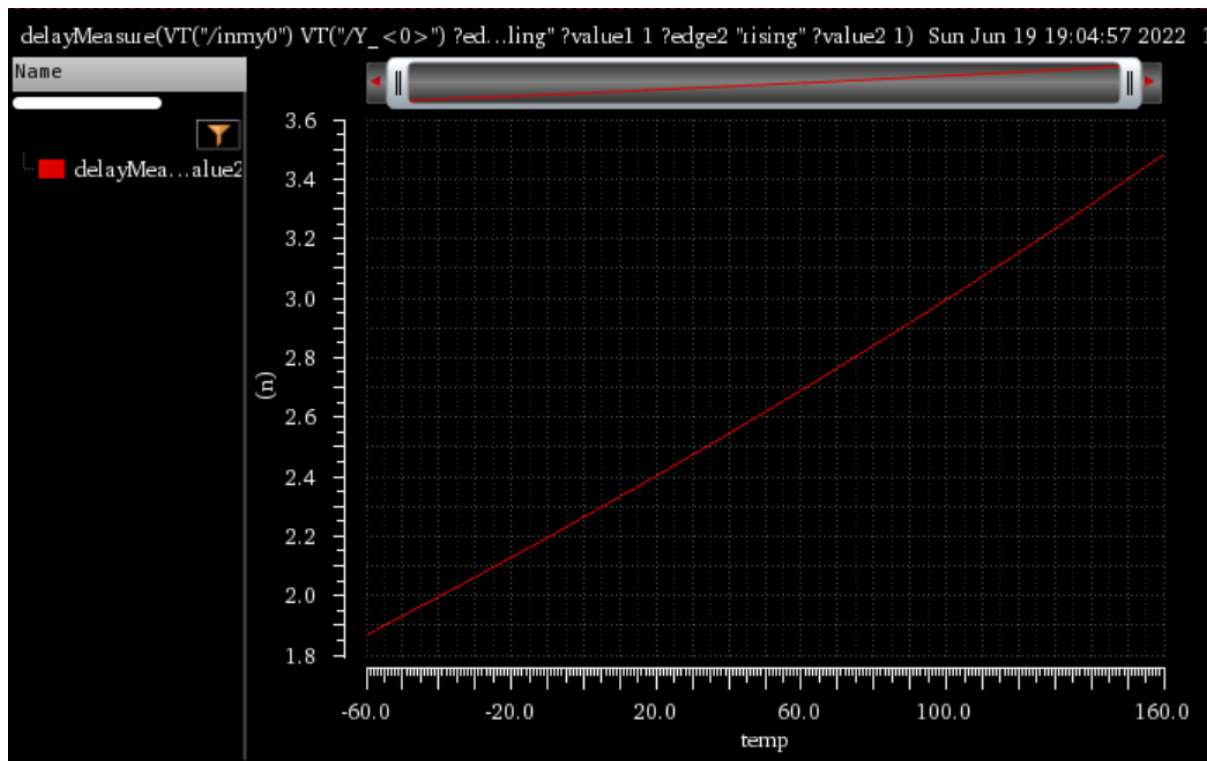
3.3 Аналіз схеми керування елементами пам'яті

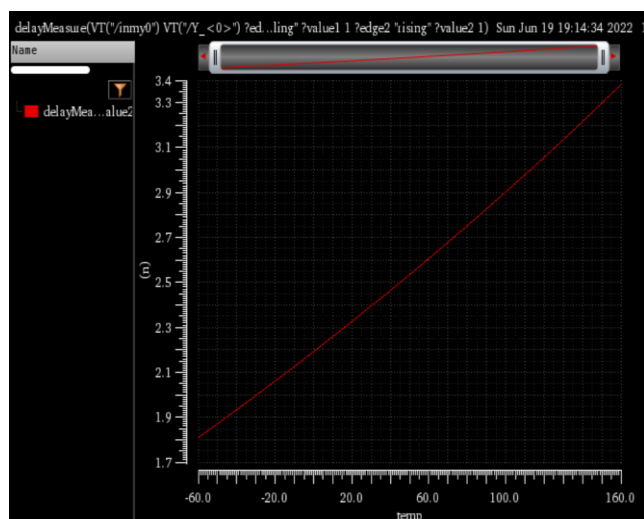
Однією з характерних рис резистивної пам'яті є її швидкодія [2][8], тому необхідно провести аналіз затримок схеми керування. За допомогою вбудованого калькулятора та інструментів Test Editor утиліти ADE XL знайдені залежності затримки від температури ($T \in [-60; 160]$) та чутливість до змін напруги ($U_{\text{sup}} \in [1.9; 2.1]$).

Для проведення аналізів застосовано калькулятор, в якому затримка обчислювалася наступним чином:

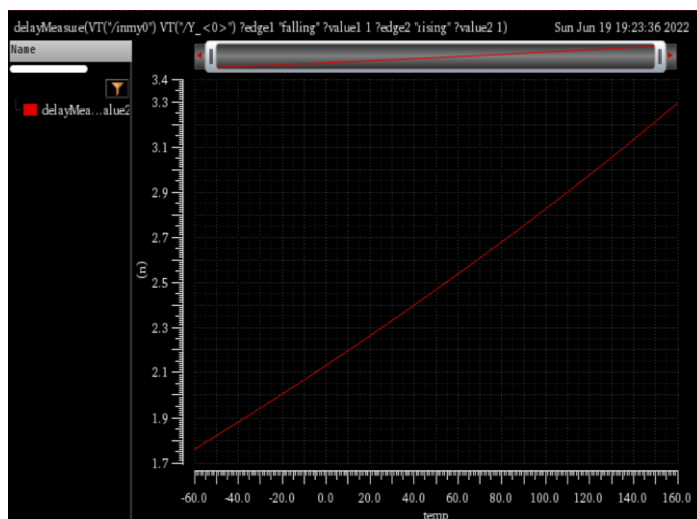
```
delayMeasure(VT("/inmy0") VT("/Y_<0>") ?edge1 "falling" ?value1 1
              ?edge2 "rising" ?value2 1).
```

За допомогою функції `delayMeasure` знаходиться затримка між двома послідовними змінами сигналів на вході та виході на рівні 1 В. Виставляючи в параметричному аналізі межі зміни температури, отримано графіки зміни затримки (рис. 3.8):





б

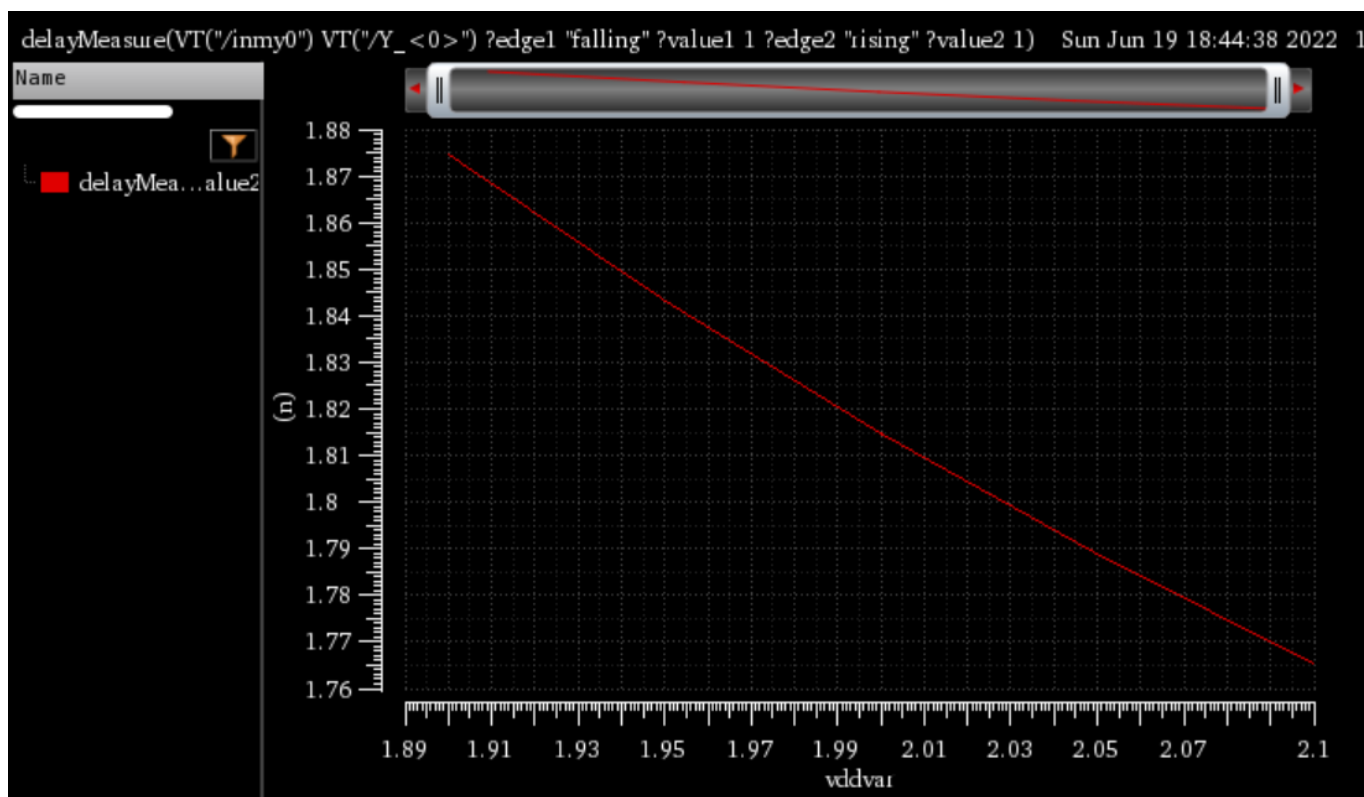


в

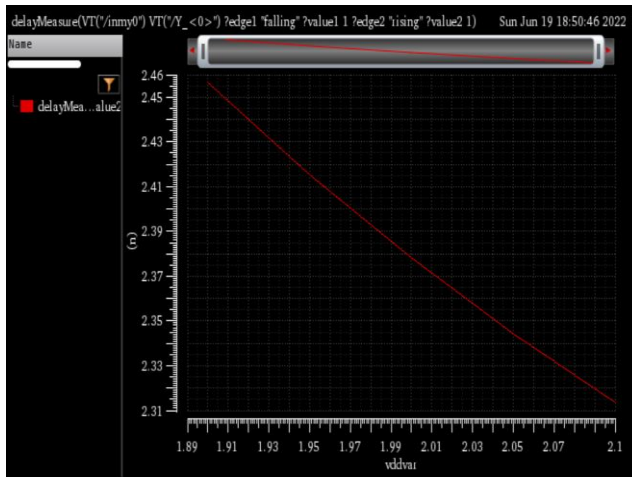
Рис. 3.8 — Аналіз зміни затримки від температури при різних значеннях U_{sup} :

а — 1.9 В; б — 2 В; в — 2.1 В

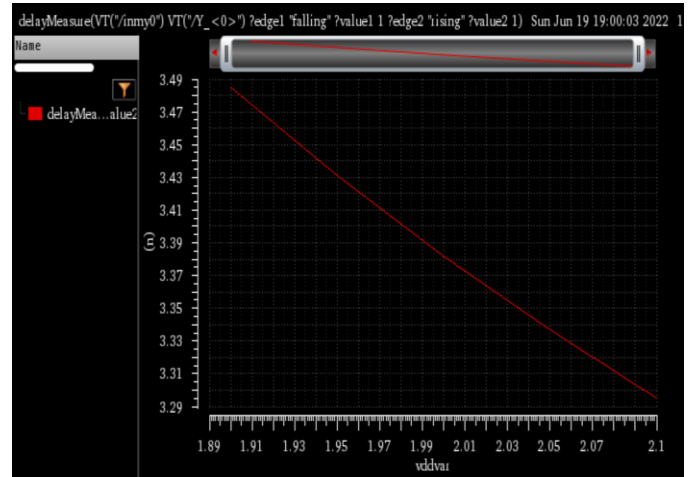
Аналогічний аналіз зміни затримки від U_{sup} наведено на рис. 3.9.



а



б



в

Рис. 3.9 — Аналіз зміни затримки від U_{sup} при різних значеннях температури:

а — -60°C ; б — 27°C ; в — 160°C

Використовуючи формулу [3], розраховано температурний коефіцієнт TC_F :

$$TC_F = \frac{1}{t_{del}} \frac{\partial t_{del}}{\partial T} = \frac{1}{2.38 * 10^{-9}} * 6.84 * 10^{-12} \approx 0.00287395 = 2873.95 \text{ ppm}/^{\circ}\text{C},$$

де t_{del} — час затримки, T — температура.

Коефіцієнт чутливості до змін напруги живлення $S_{U_{sup}}$ розраховано нижче за формулою [3]:

$$S_{U_{sup}} = \frac{U_{sup}}{t_{del}} \frac{\partial t_{del}}{\partial U_{sup}} = \frac{2}{2.38 * 10^{-9}} * 0.73 * 10^{-9} \approx 0.61, \text{ або } 61\%,$$

де U_{sup} — напруга живлення, t_{del} — час затримки.

Аналізуючи графіки, наведені на рис. 3.6 та рис. 3.7, отримано дані щодо зміни затримок. Зміна напруги на $\pm 5\%$ показала зменшення затримки відповідно на 0.11; 0.14 та 0.19 нс; зміна температури у межах $T \in [-60; 160]$ — зростання на 1.6; 1.6 та 1.55 нс.

3.4 Висновки до розділу

- Створена регулярна схема мультиплексора/демультиплексора для керування елементами пам'яті у складі матриці накопичувача.
- Розроблена та протестована схема аналогового ключа. Ця схема підключена до виходів дешифратора, що дозволяє вибирати з-поміж 64 стовпців одного розряду один одночасно для всіх розрядів схеми.
- Проведено аналіз затримки.
- Отримано графіки параметричних аналізів затримки при зміні температури ($T \in [-60; 160]$) та напруги ($U_{sup} \in [1.9; 2.1]$).
- Отримані значення зменшення затримки на 0.11; 0.14 та 0.19 нс під час зростання напруги з 1.9 В до 2.1 В (для значень температури відповідно -60°C , 27°C та 160°C) та зростання затримки на 1.6; 1.6 та 1.55 нс під час збільшення температури з -60°C до 160°C (для значень напруги живлення відповідно 1.9 В, 2 В та 2.1 В).
- Отримані значення температурного коефіцієнта $TC_F = 2873.95 \text{ ppt}/^{\circ}\text{C}$ та чутливості до напруги живлення $S_{U_{sup}} = 61\%$.

4 Розробка топології схеми декодування на сучасних нормах проєктування та її верифікація

При розробці узгоджені розміри елементів пам'яті та вихідних шин дешифратора та мультиплексора (висота — 2.26 мкм), щоб мати змогу вписати елементи в єдину розмірну сітку шин комутації. Після з'єднання відповідних елементів середовище дає змогу протестувати та верифікувати топологію за допомогою утиліт групи Assura (DRC- та LVS-аналізи) [6].

На рис. 4.1 показане середовище розробки топології. Зовнішній вигляд вікна візуально нагадує вікно розробки схем. Для прикладу на топологію доданий транзистор, що дозволяє побачити, як даний елемент може виглядати на силіцієвій пластині.

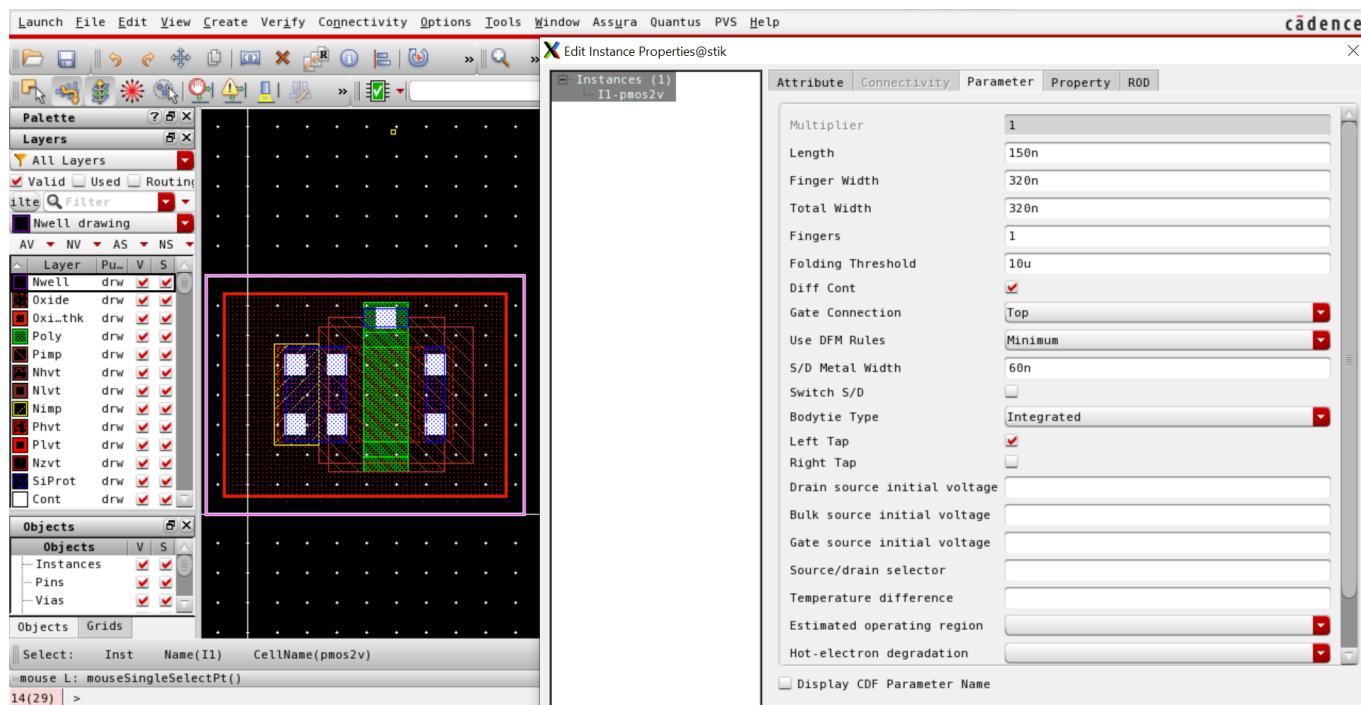


Рисунок 4.1 — Вікно середовища створення топології

Різними кольорами виділені границі різних шарів та масок (детальніше описано у розділі 2.2). Фіолетовий прямокутник — зона легування «кишені»

Nwell для створення основи транзистора, а зелений — формує полікремнієвий затвор. Дана топологія взята з бібліотеки gpdk045 [5].

На рис. 4.1 також зображене вікно доступних параметрів для зміни. У ньому можна модифікувати довжину та ширину каналу, підключення до підложки, встановлювати контакт до затвора тощо. Схожі вікна параметрів можна побачити і для інших елементів топології: наприклад, для полігонів доступна зміна шару та розмірів фігури.

4.1 Розробка та верифікація топології базових елементів

Використовуючи середовище розробки (див. рис. 4.1), нижче згенеровано об'єкти та піни з комірки schematic у layout (рис. 4.2).

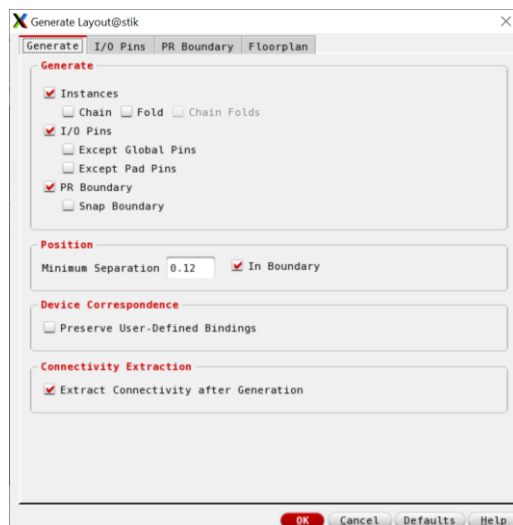


Рисунок 4.2 — Вікно автоматичного генерування елементів топології

Після цього з'єднуються відповідні елементи з необхідними змінами згідно з електричною схемою. Топологія елемента NOT показана на рис. 4.3:

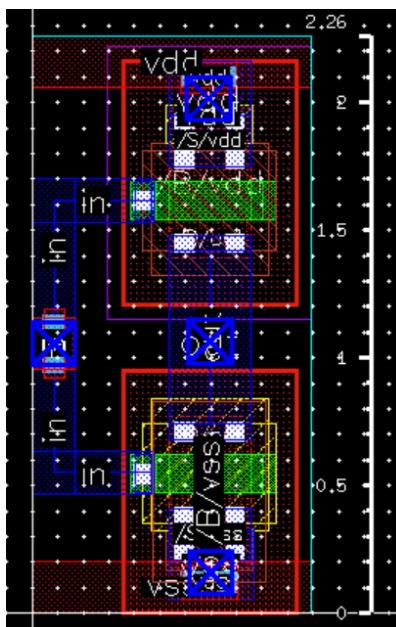


Рисунок 4.3 — Топологія елемента NOT

Розміри топології елемента NOT у мкм: 2.26 (висота), 1.09 (ширина).

Результати тестування отриманої топології на відповідність нормам проєктування (Assura DRC-аналіз) та збігання з відповідною схемою (Assura LVS-аналіз) [6] показані на рис. 4.4.

Перший аналіз перевіряє норми проєктування: наприклад, відступи між металами, правильність підключення підложки, відповідність розмітці тощо.

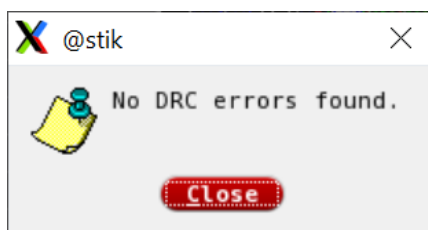


Рисунок 4.4 — Результати DRC-аналізу топології елемента NOT

Результати аналізу на відповідність електричній схемі (Assura LVS — правильність з'єднань, наявність та розташування сигналів, відповідність елементів, розмірів тощо) показані на рис. 4.5.

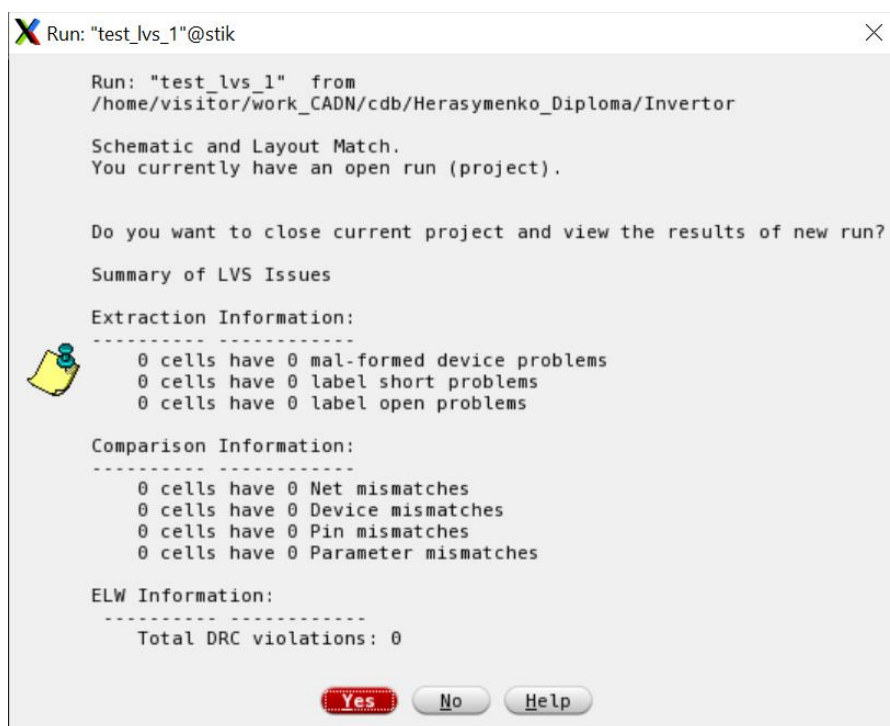


Рисунок 4.5 — Результати LVS-аналізу топології елемента NOT

Аналогічно розроблена топологія іншого пристрою — логічного вентиля NAND2 (рис. 4.6):

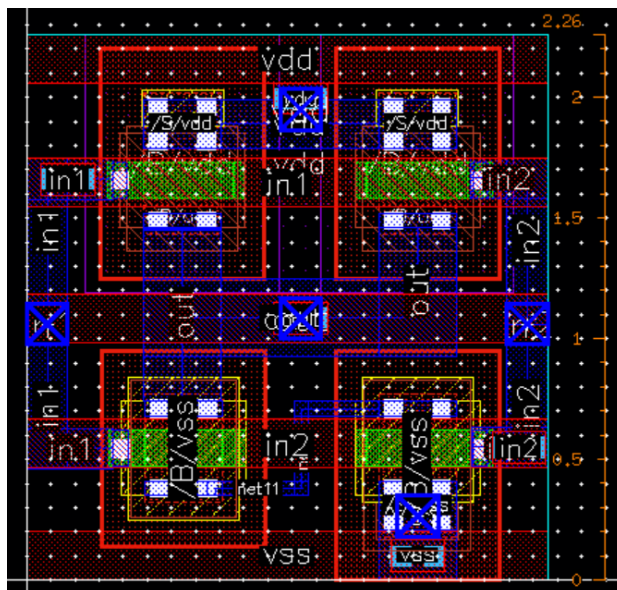


Рисунок 4.6 — Топологія елемента NAND2

Розміри топології елемента NAND2 у мкм: 2.26 (висота), 2.16 (ширина).

Результати тестування отриманої топології двома аналізами показані на рис. 4.7:

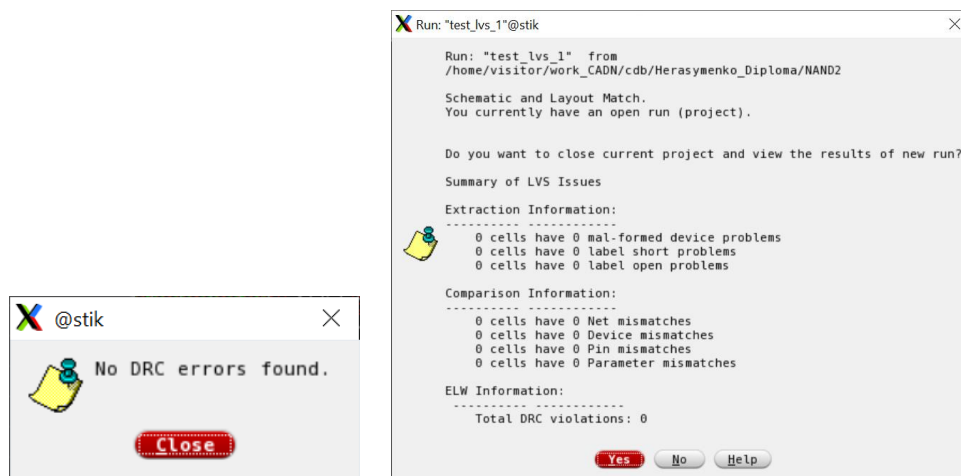


Рисунок 4.7 — Результати DRC- (зліва) та LVS-аналізу (справа) топології елемента NAND2

Топології об'єднані єдиним параметром — висотою у 2.26 мікрона (див. вимірювання справа від елементів на рис. 4.3, 4.6 та 4.8).

4.2 Розробка та верифікація топології аналогового ключа

Оскільки під час перевірки падіння напруги на ключах виявилася потреба в розширенні каналу транзистора, початкова топологія стала набагато вища за потрібні 2.26 мікрона. Для розв’язання проблеми застосована властивість “fingers”, що дозволило розділити транзистор на дві умовні частини, не втрачаючи логіки його роботи. Модифікована топологія, яка вписується в потрібні розміри показана на рис. 4.8:

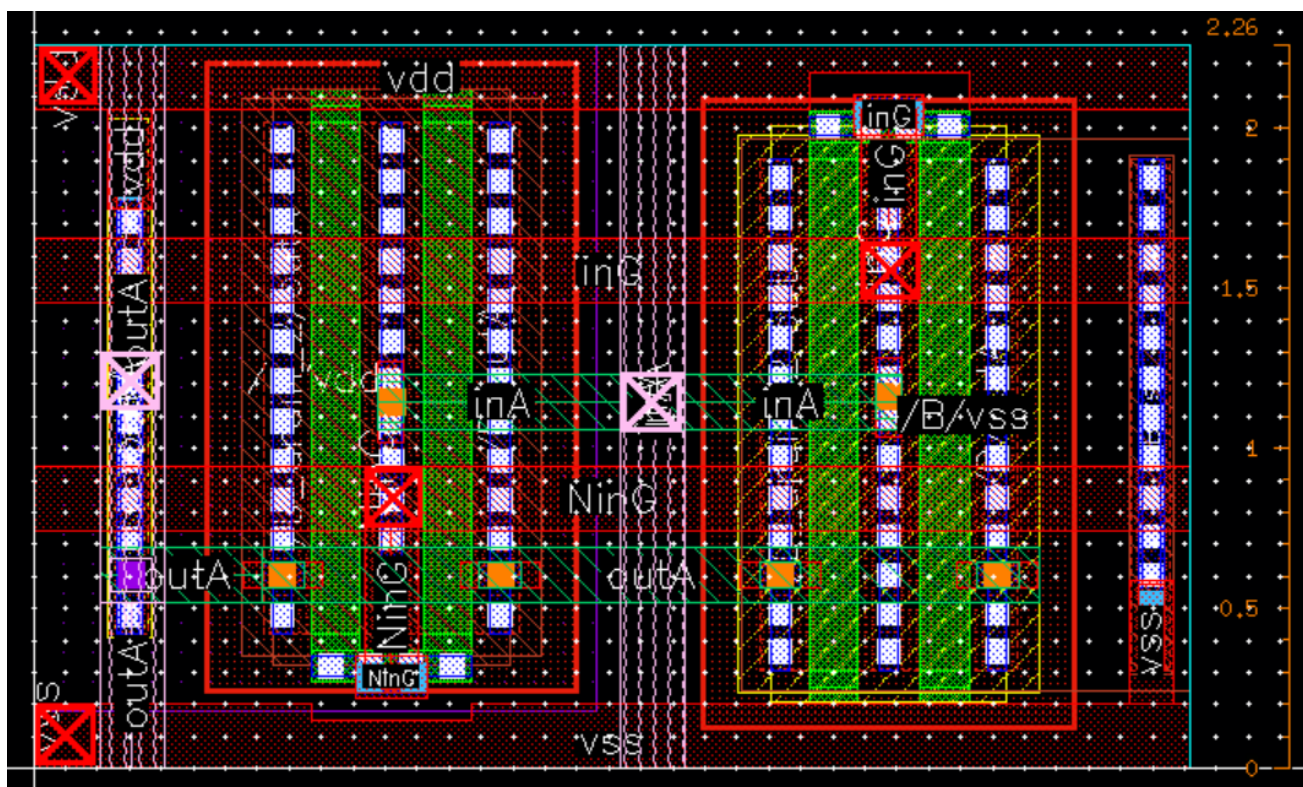


Рисунок 4.8 — Топологія аналогового ключа

Розміри топології аналогового ключа у мкм: 2.26 (висота), 3.615 (ширина).

Тестування отриманої топології двома аналізами з пакета утиліт Assura наведене на рис. 4.9.

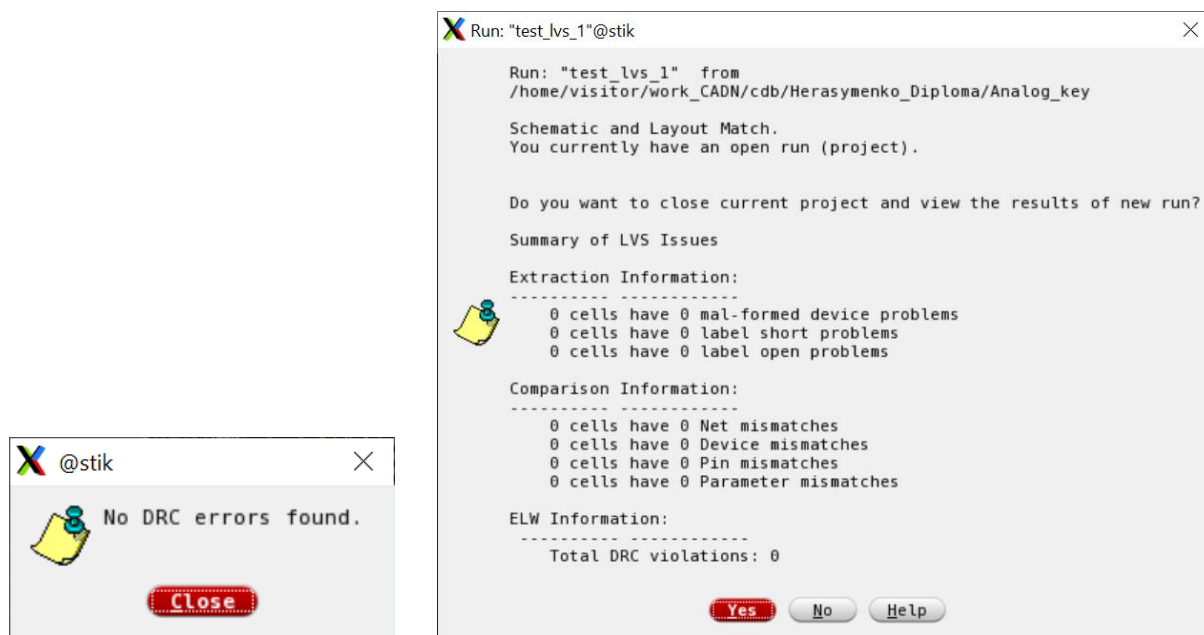


Рисунок 4.9 — Результати DRC- (зліва) та LVS-аналізу (справа)
топології аналогового ключа

4.3 Розробка та верифікація топології дешифратора

Використовуючи базові елементи, розроблена топологія дешифратора (рис. 4.10), згідно з правилами проектування [6].

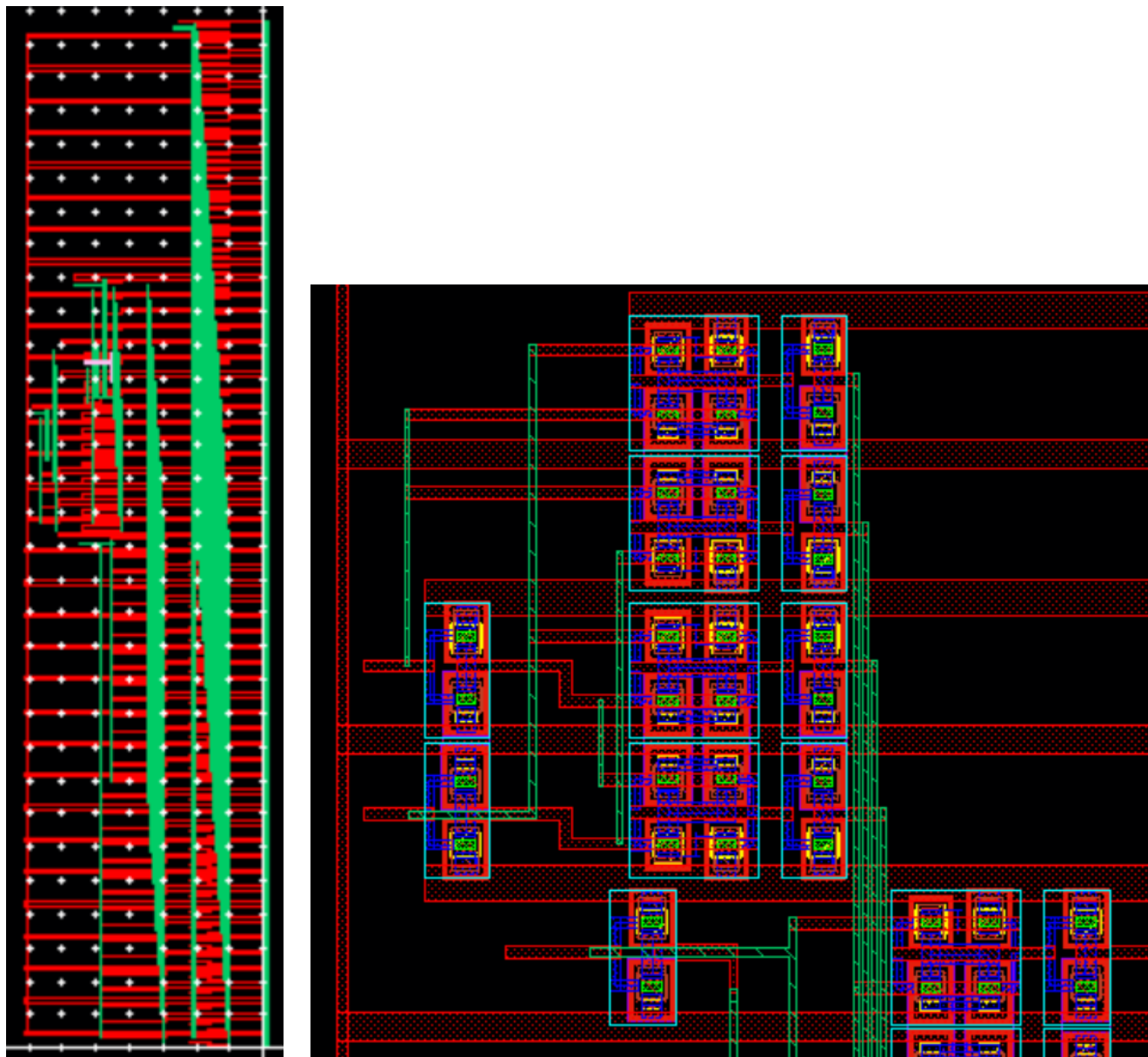


Рисунок 4.10 — Загальна топологія дешифратора (зліва)
та її частина у збільшенні (справа)

Розміри топології дешифратора у мкм: 153.4 (висота), 35.85 (ширина).

Тестування розробленої топології двома аналізами з пакета утиліт Assura наведене на рис. 4.11.

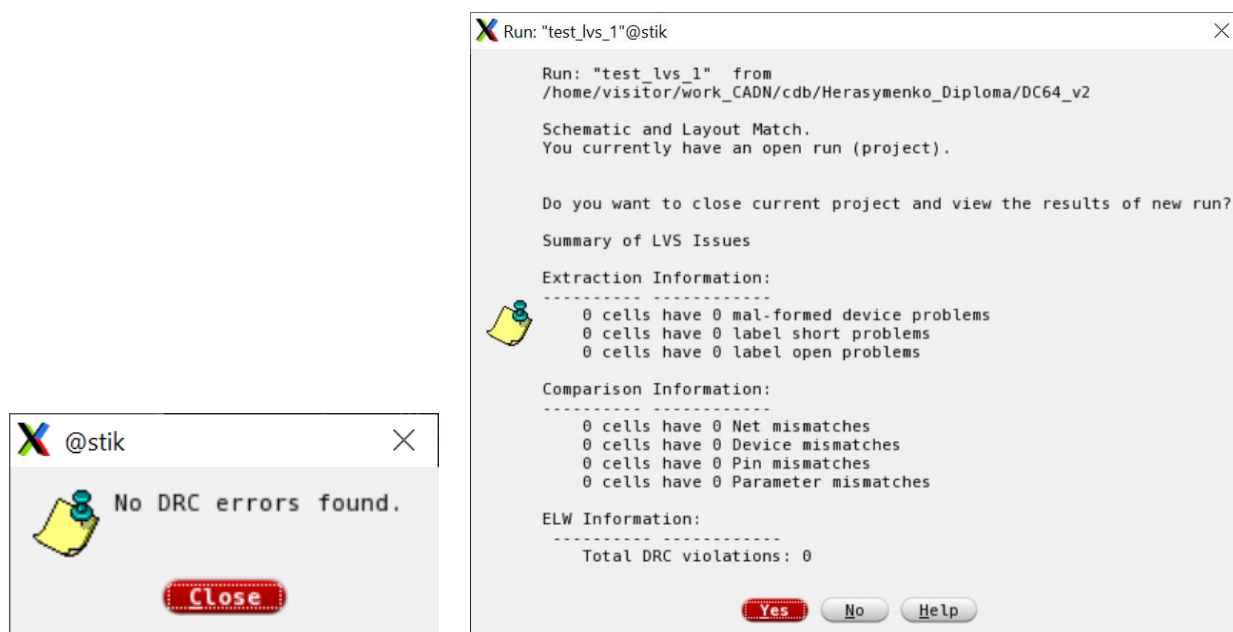


Рисунок 4.11 — Результати DRC- (зліва) та LVS-аналізу (справа) топології дешифратора

4.4 Розробка та верифікація топології схеми декодування

Для розробки топології схеми керування всі елементи об'єднані в одну схему керування пам'яттю. Топологію розроблено та наведено на рис. 4.12, її тестування показане на рис. 4.13.

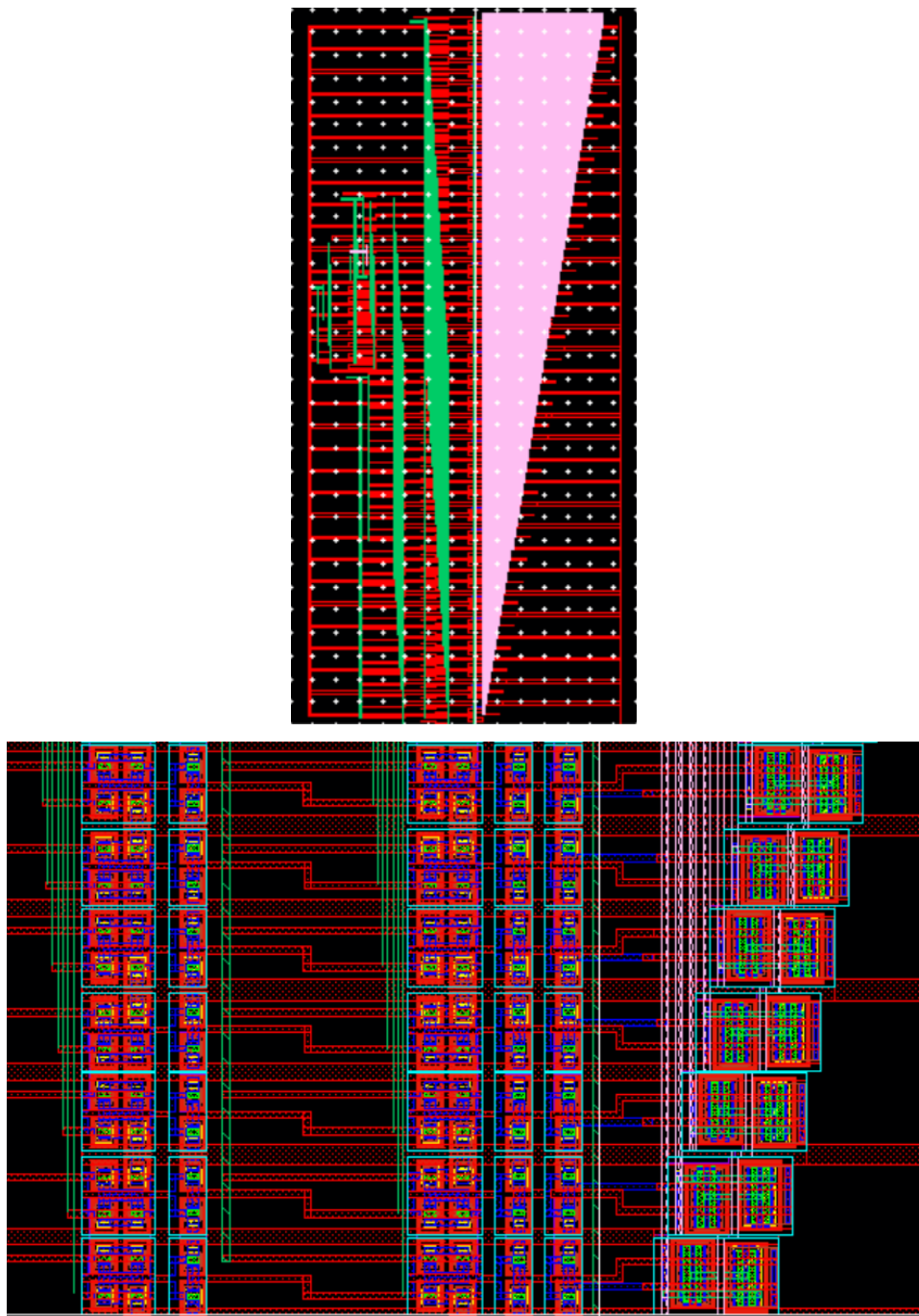


Рисунок 4.12 — Загальна топологія схеми керування (зверху)
та її частина у збільшенні (знизу)

Розміри топології схеми керування у мкм: 153.4 (висота), 67.46 (ширина).

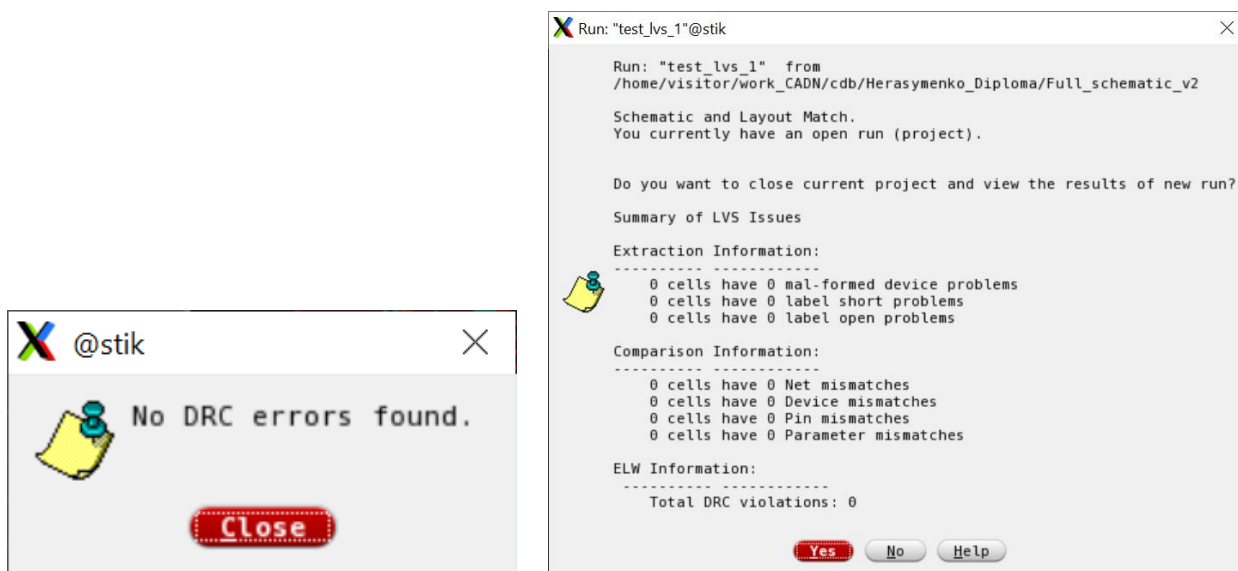


Рисунок 4.13 — Результати DRC- (зліва) та LVS-аналізу (справа) топології схеми керування

Розроблена топологія схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій відповідає нормам проєктування.

4.5 Розробка топології схеми керування пам'яттю у складі матриці накопичувача

Комірки пам'яті збираються в матрицю, при цьому керування кожним конкретним осередком йде за допомогою подання напруги до певного стовпця і певного рядка, в точці перетину яких і лежить цільова комірка. Оскільки не всі осередки володіють максимальним опором (деякі з них перемкнуті в провідний стан, деякі — ні), ця конфігурація схильна до великих струмів витoku, які протікають через сусідні (не обрані) комірки, що сильно ускладнює оцінку опору тому швидкість читання відносно мала. Кожна комірка може бути забезпечена MOS-транзистором, що повністю виключає паразитні струми витoku, дозволяючи швидко вибрати конкретну комірку і зчитати її стан. Це збільшує швидкість читання пам'яті, але транзистори вимагають для себе додаткового місця в кристалі та додаткових керуючих ліній [16].

На рис. 4.14 зображений типовий фрагмент матриці. Так, шини WL та BL безпосередньо визначають конкретну комірку, з якою надалі проводяться відповідні операції. Тут кожна комірка складається з транзистора та покриття його стоку вищим металом. Саме це покриття топологічно створює резистор.

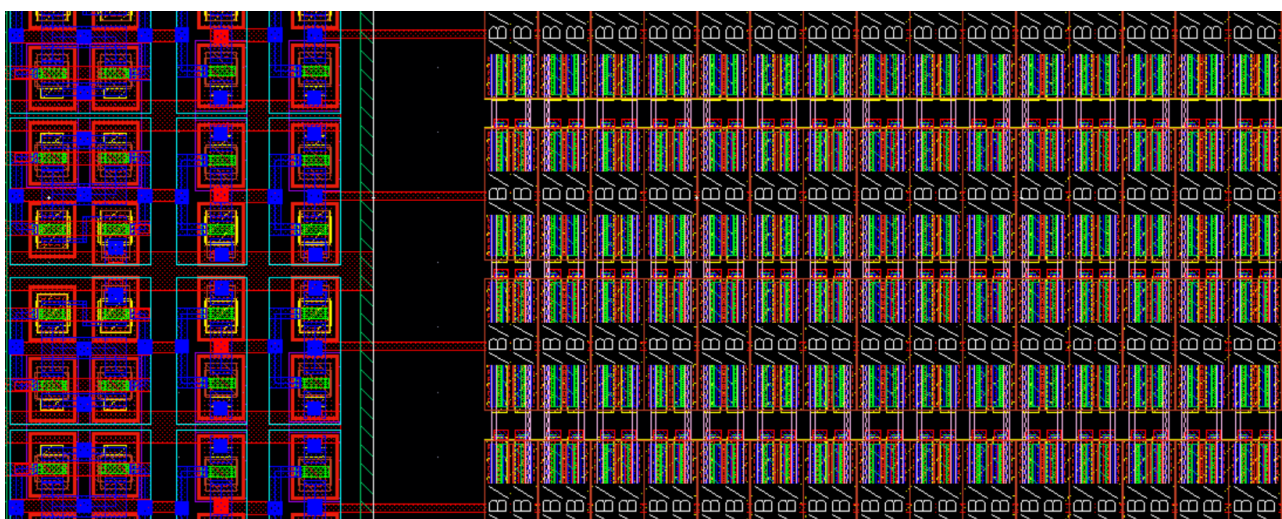


Рисунок 4.14 — Типовий фрагмент матриці накопичувача

Аналогічно за допомогою функції розмноження створюються усі 4096 комірок. Повна топологія зображена на рис. 4.15, але роздільна здатність екрана не дозволяє побачити всі деталі. Збільшені зображення елементів можна побачити на рис. 4.10 (топологія дешифратора), рис. 4.12 (топологія мультиплексора) та рис. 4.14 (фрагмент матриці накопичувача).

Розміри топології схеми керування у мкм: 307.29 (висота), 67.46 (ширина).

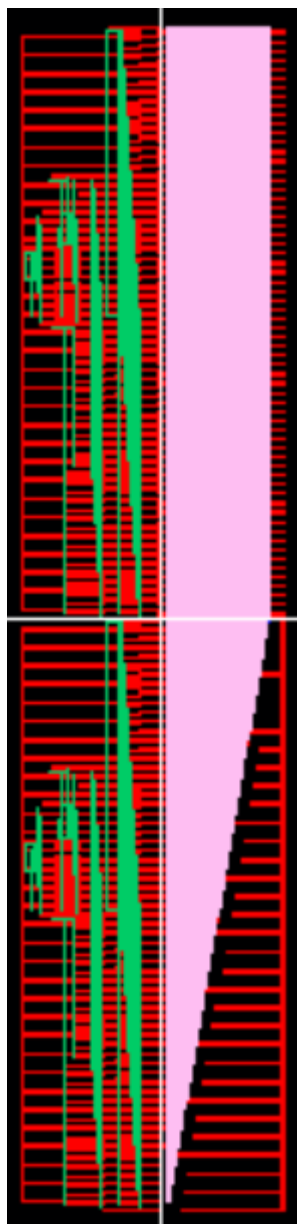


Рисунок 4.15 — Топологія схеми керування пам'яттю у складі матриці накопичувача

Головна особливість розробленої схеми полягає у можливості зручного масштабування. Шини можуть бути подовжені (за потреби — із застосуванням підсилювачів) та під'єднані до наступних розрядів матриці або додаткових елементів розряду.

4.6 Розробка схеми зчитування

Характерною рисою RRAM є можливість створювати комірки, що можуть зберігати більше, ніж 1 біт інформації. У роботах [10][11][12] описані різні підходи до створення схем зчитування.

Швидка схема підсилювача є важливим фактором швидкого часу доступу. Оскільки розміри цих пристроїв зменшуються до рівня нанометрів, напруга живлення для них має бути зменшена для збереження надійності. Зростаюча щільність пристроїв у мікросхемі та робоча частота також змушують зменшувати напругу живлення, щоб зменшити розсіювання потужності [11].

Звичайні підсилювачі забезпечують велике посилення для таких середніх рівнів вхідної напруги. Оскільки висока напруга вузла пам'яті в комірці пам'яті стає рівною напрузі бітової лінії, коли дані комірки пам'яті зчитуються, запас шуму комірки пам'яті різко погіршується. Це спричиняє погіршення стабільності комірки та несприйнятливості до помилок [11].

Задача створення схеми пристрою на рівні елементів у дипломній роботі не ставиться. Для розробки підсилювача застосована мова програмування VerilogA (рис. 4.16).

Створений пристрій має два входи. На вхід in_p подається сигнал з комірки, а на in_n — еталонний рівень, з яким порівнюється перший. Таким чином, якщо отриманий рівень більший або рівний еталонному, то на вихід пристрою подається напруга 2 В. Якщо ж підсилене коефіцієнтом $gain = 1000$ значення менше, то напруга на виході становитиме 0 В:

$$U_{out} = \begin{cases} 0 & | (U_{in_p} - U_{in_n}) * gain < 2; \\ 2 & | (U_{in_p} - U_{in_n}) * gain \geq 2. \end{cases}$$

```
// VerilogA for Herasymenko_Diploma, Amplifier, veriloga

`include "constants.vams"
`include "disciplines.vams"

module Amplifier (in_p, in_n, out);
input in_p, in_n;
output out;
electrical in_p, in_n, out;

parameter integer gain = 1000;

analog begin
if ((V(in_p)-V(in_n))*gain >= 2) begin
V(out) <+ 2;
end
if ((V(in_p)-V(in_n))*gain < 2) begin
V(out) <+ 0;
end
end

endmodule
```

Рисунок 4.16 — Код мовою VerilogA, що описує роботу диференційного підсилювача

Зчитування інформації відбувається за допомогою подання на один кінець резистора деякої низької напруги та вимірювання рівня напруги на іншому кінці. У випадку двох рівнів опору резистор можна розглядати як керовану перемичку [16]. У схемі, наведеній нижче, використаний рівень напруги 0.2 В.

Вибір коефіцієнта **gain** ґрунтується на необхідності точно розпізнавати рівні опору: у такому випадку точність порівняння рівнів напруги становить 2 мВ. Згідно з ВАХ на рис. 1.7 така точність зможе забезпечити правильне порівняння рівнів напруги.

Отже, даний пристрій забезпечує декодування рівнів опору в окремих комірках.

Використовуючи розроблений пристрій, побудована схема зчитування для однобітової комірки пам'яті (рис. 4.17). Принцип роботи схеми полягає у порівнянні опору резистора у комірці з опорним значенням [10]. У залежності від результату порівняння на виході пристрою U_{out} становить або 0 В, або 2 В.

Тестування приладу наведено на рис. 4.18 (опір R_{mem} значно менший за R_{ref} , тому очікуване значення — 0).

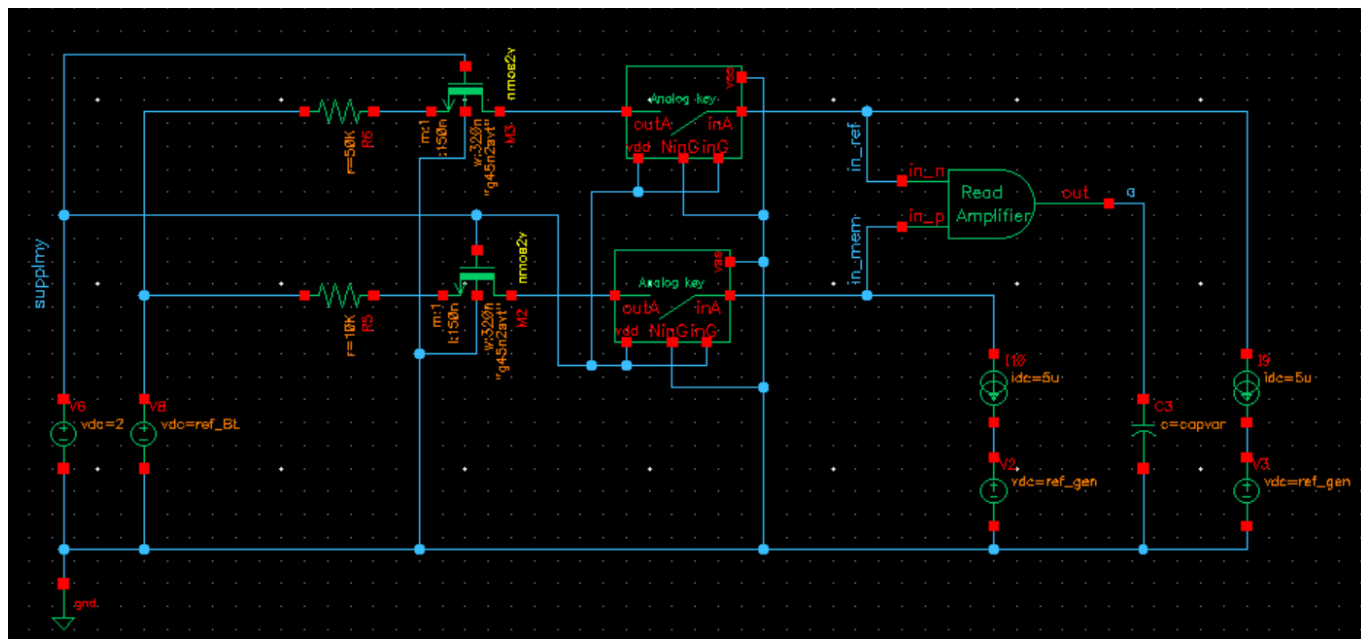


Рисунок 4.17 — Схема зчитування інформації для однобітової комірки пам'яті

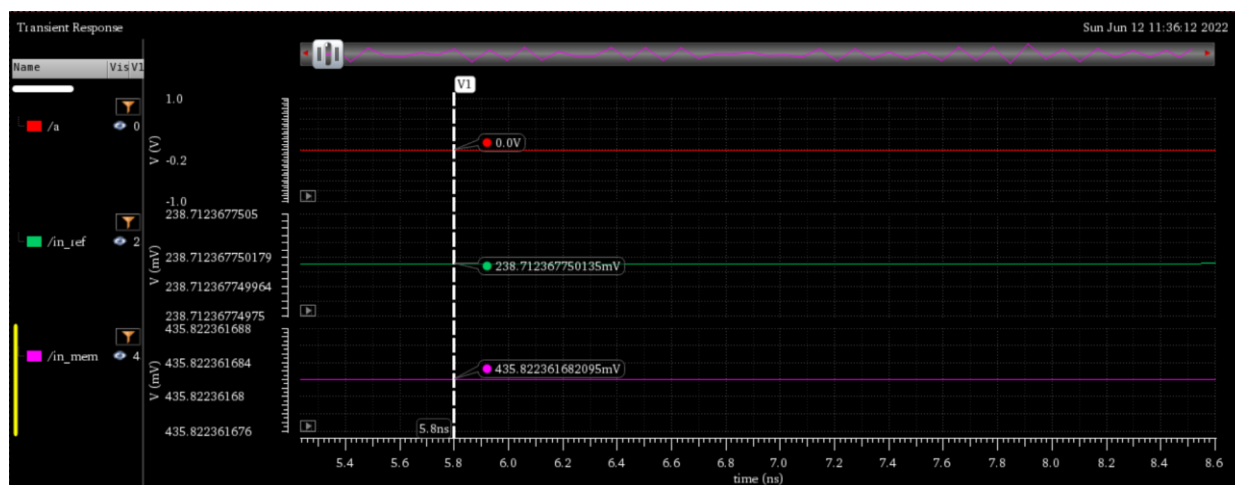


Рисунок 4.18 — Тестування приладу для однобітової комірки

Аналогічно, додавши 3 опорні значення ($R_{\text{ref}0} = 10\text{K}$ Ом, $R_{\text{ref}1} = 20\text{K}$ Ом, $R_{\text{ref}2} = 30\text{K}$ Ом), побудована схема зчитування, яка допомагає розрізняти рівні у багаторівневій комірни (рис. 4.19). Принцип роботи — порівняння опорного резистора у комірни з опорними значеннями за допомогою трьох диференціальних підсилювачів. Так, отримавши комбінацію з 3 значень, можливо її перетворити

на бінарну, тобто, фактично, отримати запис двох бітів інформації [9]. Розробка та принцип роботи такого перетворювача описані нижче.

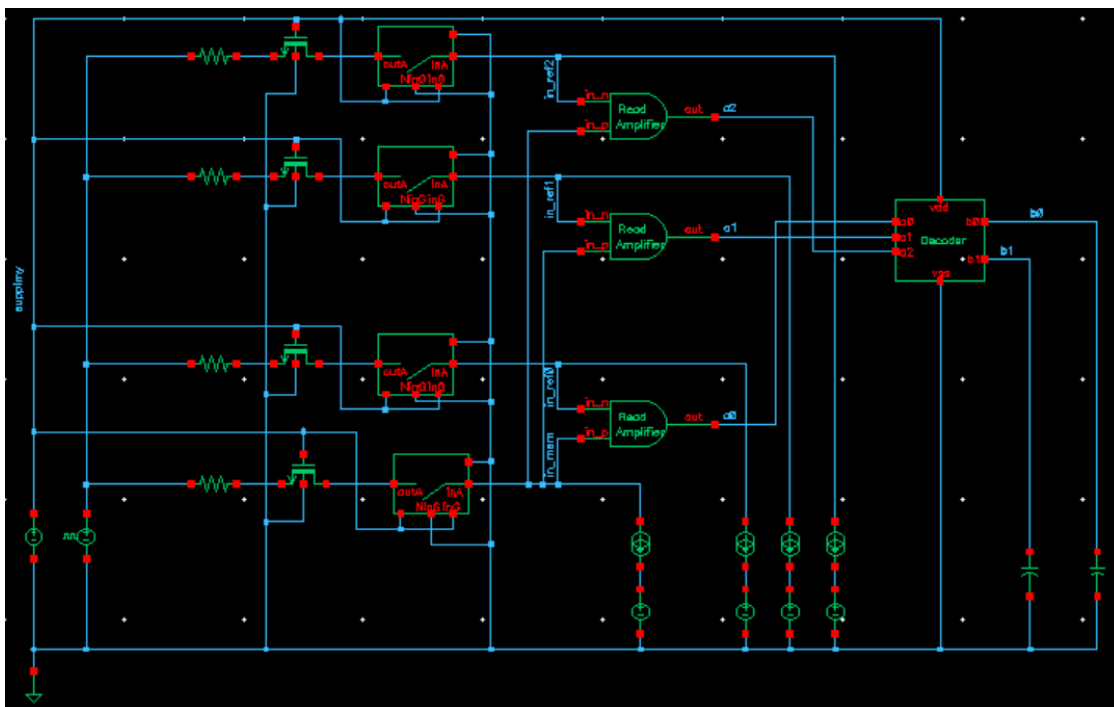


Рисунок 4.19 — Схема зчитування інформації для двобітової комірки пам'яті

Для перетворення комбінації з 3 значень на бінарну розроблений перетворювач, що відповідає таблиці істинності на рис. 4.20.

Таблиця істинності перетворювача				
Входи			Виходи	
a2	a1	a0	b1	b0
0	0	0	0	0
0	0	1	0	1
0	1	1	1	0
1	1	1	1	1

Рисунок 4.20 — Таблиця істинності перетворювача

Перетворювач розроблений на базі логічних вентилів XOR та OR на 2 входи (рис. 4.21). Тестування пристрою у режимі tran, яке демонструє відповідність роботи таблиці істинності, наведено на рис. 4.22.

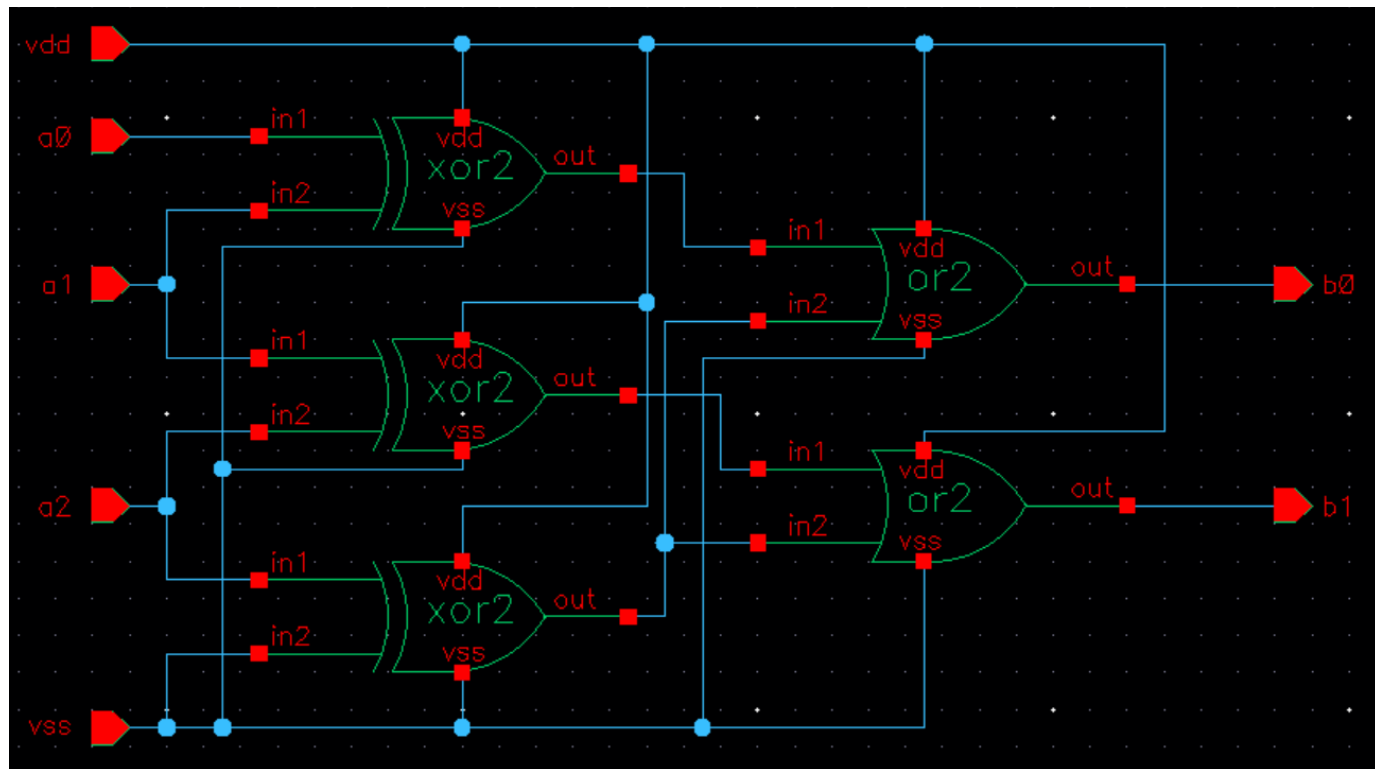


Рисунок 4.21 — Електрична схема перетворювача

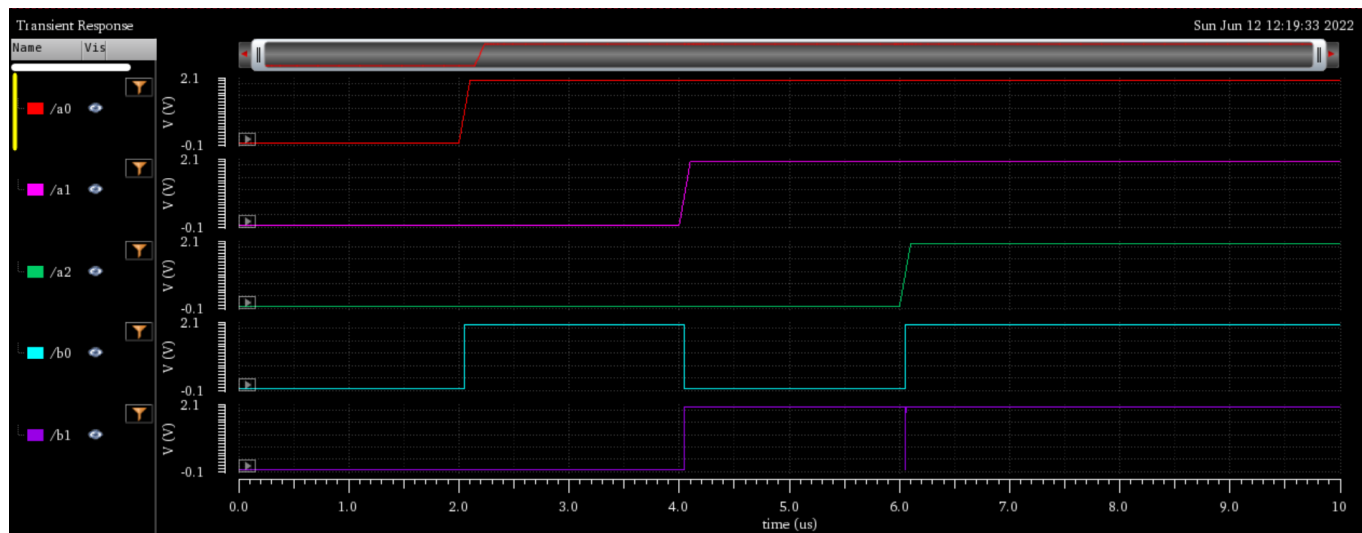


Рисунок 4.22 — Тестування перетворювача у режимі tran

Тестування схеми зчитування для двобітової комірки наведено на рис. 4.23. Тут виходи схеми **b0** та **b1** показують запис двох бітів інформації виходячи з виділення окремого рівня опору резистора R_{mem} . У даному тесті обрано $R_{\text{mem}} = 100\text{K}$ Ом, тому очікувана логічна комбінація — «11».

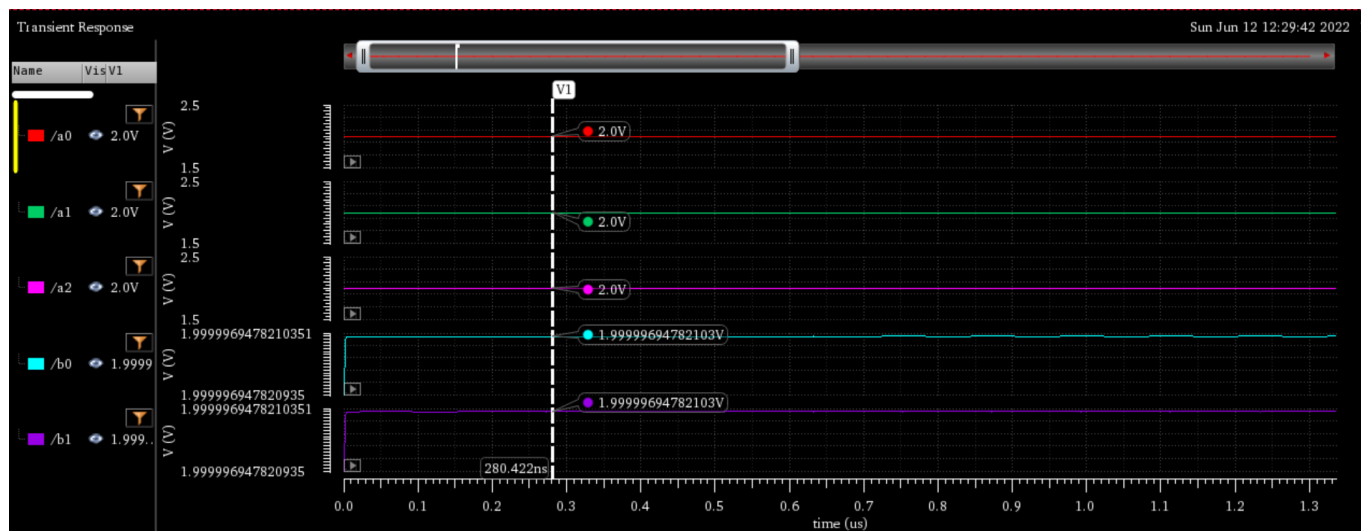


Рисунок 4.23 — Тестування схеми зчитування інформації для двобітової комірки пам'яті

Характеристики пристрою: затримка — 193.8 пс (передній фронт); частота тестування — 50 МГц; ємність на каналі — 1pf, напруга живлення — 2 В.

4.7 Висновки до розділу

- Розроблена топологія схеми керування пам'яттю.
- Узгоджена висота елементів пам'яті (2.26 мкм) з кроком комутаційних шин.
- Протестовані та верифіковані топології за допомогою утиліт Assura (DRC- та LVS-аналізи) [6].
- Розроблено диференційний підсилювач з використанням мови VerilogA [7] та відповідна схема зчитування [10][11][12].
- Показана можливість зчитування 2 і більше бітів інформації з однієї комірки.

5 Функціонально-вартісний аналіз проєкту

У даному розділі оцінено основні функціональні та вартісні характеристики проєкту, розробленого для розв'язання задачі декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій. Даний проєкт призначений для створення відповідного пристрою керування резистивною пам'яттю та організації RRAM.

Нижче наведено аналіз різних варіантів реалізації схем з метою вибору оптимальної стратегії створення проєкту. Для цього використано апарат функціонально-вартісного аналізу.

Функціонально-вартісний аналіз — це спосіб оцінки реальної вартості продукту або послуги незалежно від організаційної структури компанії. Прямі та побічні витрати розподіляються за продуктами та послугами в залежності від потрібних обсягів ресурсів на кожному етапі розробки. Виконані на цих етапах дії у методі ФВА називаються функціями [13].

Мета ФВА полягає у забезпеченні оптимального розподілу ресурсів, що виділені, на прямі та непрямі витрати. Тут — це аналіз функцій проєкту та виявлення усіх витрат на реалізацію цих функцій.

Починається метод ФВА з визначення послідовності функцій, необхідних для розробки продукту. Спочатку йдуть всі можливі функції, які розділяються за двома групами: ті, що впливають на вартість продукту, і ті, що не впливають. На цьому ж етапі оптимізується послідовність скорочення кроків, що не впливають на витрати.

Для кожної з функцій розраховується повний обсяг річних витрат та кількість робочих часів. На основі цих оцінок визначається кількісна характеристика джерел витрат. Після визначення джерел витрат проводиться кінцевий розрахунок витрат на розробку продукту.

5.1 Постановка задачі техніко-економічного аналізу

Метод ФВА застосований для проведення техніко-економічного аналізу розробки схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій. Оскільки основні проєктні рішення стосуються всієї системи, кожна окрема підсистема має їм задовольняти. Тому фактичний аналіз являє собою аналіз функцій проєкту, призначеного для декодування резистивних елементів пам'яті.

До продукту визначені наступні технічні вимоги:

- 1) робота з напругою живлення 2 В;
- 2) використання бібліотеки gpdk045;
- 3) сумісність з технологією CMOS;
- 4) можливість подальшого застосування рішення для виготовлення відповідного продукту;
- 5) можливість зручного масштабування.

5.1.1 Обґрунтування функцій проєкту

Головна функція F0 — розробка схеми декодування резистивних елементів пам'яті в інтегральному виконанні для інформаційних технологій. Виходячи з конкретної мети, можна виділити наступні основні функції проєкту:

F1 — вибір мови програмування;

F2 — вибір бібліотек для розробки схем;

F3 — вибір середовища розробки.

Кожна з основних функцій може мати декілька варіантів реалізації.

Функція F1:

- 1) Verilog;
- 2) Verilog A;
- 3) AHDL (Altera Hardware Description Language).

Функція F2:

- 1) gpdk045;
- 2) analogLib;
- 3) max2lib.

Функція F3:

- 1) Cadence;
- 2) MAX+PLUS II.

5.1.2 Варіанти реалізації основних функцій

Варіанти реалізацій основних функцій наведені у морфологічній карті системи на рисунку 5.1. Морфологічна карта показує всі можливі комбінації варіантів реалізацій функцій, які складають повну множину варіантів.

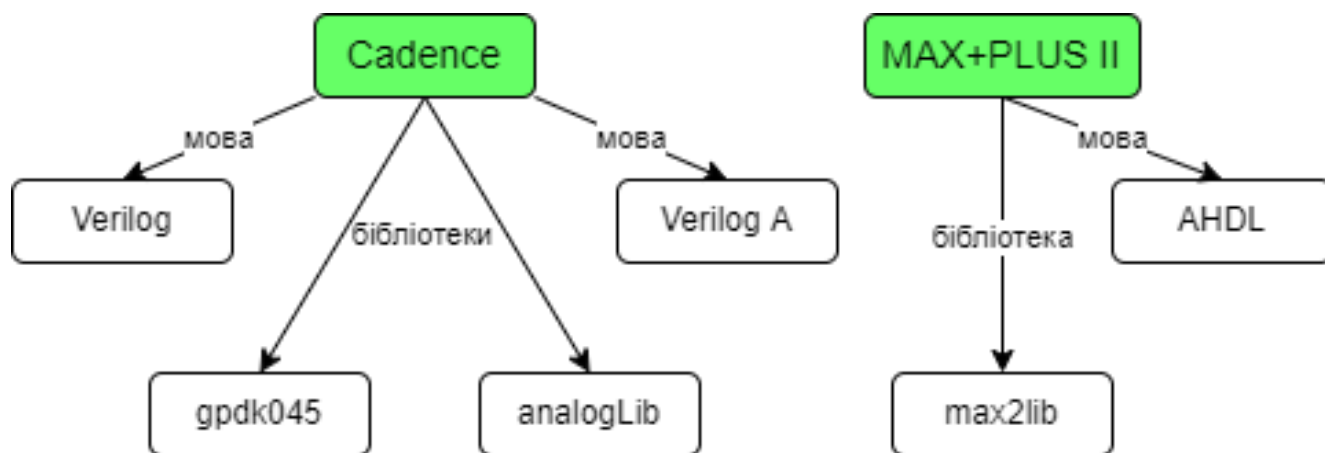


Рисунок 5.1 — Морфологічна карта варіантів реалізації функцій

На основі цієї карти побудовано позитивно-негативну матрицю варіантів основних функцій (табл. 4).

Таблиця 9 — Позитивно-негативна матриця варіантів основних функцій

Функція	Варіант	Переваги	Недоліки
F1	A	Значне поглиблення у логічні процеси	Тільки для опису цифрових схем
	B	Застосовується для аналогових схем	Моделювання процесів ускладнене
	C	Більш загальні, високорівневі описи	Тільки для опису пристроїв, пропрієтарність мови
F2	A	Наявні всі потрібні елементи для розробки	Деякі ліміти розмірів топологій
	B	Наявні аналогові елементи ланцюгів	Недостатня гнучкість
	C	Наявні основні елементи	Менш поширена та гнучка, ніж Verilog
F3	A	Гарно документоване середовище розробки з інтуїтивним інтерфейсом	Нестабільність підключення та обмеженість дії ліцензій
	B	Середовище з широким набором функцій	Менш широкий функціонал, ніж у Cadence

На основі аналізу позитивно-негативної матриці робимо висновок, що при розробці проєкту деякі варіанти реалізацій функцій варто відкинути, тому що вони не відповідають поставленим задачам.

Функція F1:

Оскільки реалізація програмного коду для розв’язання поставленої задачі повинна описувати, серед іншого, аналогові елементи, необхідно обрати відповідну мову. Отже, підходить тільки варіант B.

Функція F2:

Вибір бібліотек суттєво впливає на розробку та залежить від вибраного середовища. З огляду на більшу документованість та поширення оберемо варіанти А та В, відкинувши третю бібліотеку.

Функція F3:

Проаналізувавши обидва середовища, зроблений вибір використовувати Cadence, який має ширшу документацію та приємний інтерфейс. Більш того, вибрані раніше бібліотеки та мова програмування підтримуються саме в ньому.

Таким чином, розглядаємо такі варіанти реалізації проєкту:

$$F1(B) - F2(A) - F3(A);$$

$$F1(B) - F2(B) - F3(A).$$

Для оцінки якості функцій обрана система параметрів, що описана нижче.

5.2 Обґрунтування системи параметрів проєкту

5.2.1 Опис параметрів

На підставі даних про основні функції, що повинен реалізувати проєкт, вимог до нього визначаються основні параметри, що використані для розрахунку коефіцієнта технічного рівня.

Для того, щоб охарактеризувати проєкт, використовуємо наступні параметри:

- X1 – напруга живлення;
- X2 – розмір топології;
- X3 – час, який витрачається на моделювання схеми;
- X4 – розмір файлів технічних рішень.

5.2.2 Кількісна оцінка параметрів

Значення параметрів вибираються на основі вимог замовника й умов, що характеризують застосування проєкту (табл. 5).

Таблиця 10 — Основні параметри програмного продукту

Опис параметра	Умовні позначення	Одиниці виміру	Значення параметра
Напруга живлення	X1	В	2
Розмір топології (д х ш)	X2	мкм	153.4 х 67.46
Час, який витрачається на моделювання схеми	X3	с	18.13
Розмір файлів технічних рішень	X4	МБ	1.3

5.2.3 Аналіз експертного оцінювання параметрів

Після обговорення та аналізу експерти оцінюють ступінь важливості кожного параметру для конкретно поставленої цілі.

Значущість кожного з параметрів визначається методом попарного порівняння. У нашому випадку оцінку проводить експертна комісія із 5 людей. Визначення коефіцієнтів значущості повинно передбачати:

- 1) визначення значущості параметра шляхом присвоєння відповідних рангів;
- 2) перевірку придатності експертних оцінок для майбутнього використання;
- 3) знаходження оцінки попарного пріоритету параметрів;
- 4) аналіз результатів та визначення коефіцієнта значущості.

Результати експертного ранжування наведені у таблиці 6.

Таблиця 11 — Результати експертного ранжування.

Параметр	Ранг параметра за оцінкою експерта					Сума рангів	Відхилення, Δ_i	Δ_i^2
X1	3	4	2	3	3	15	-2.5	6.25
X2	4	3	4	4	4	19	-6.5	42.25
X3	1	1	1	1	1	5	7.5	56.25
X4	2	2	3	2	2	11	1.5	2.25
Разом	10	10	10	10	10	50	0	107

Для перевірки ступеня правдивості експертних оцінок, визначимо такі параметри:

- а) сума рангів кожного з параметрів і загальна сума рангів:

$$R_i = \sum_{j=1}^5 * r_{ij} = 50,$$

де r_{ij} – ранг i -го параметра, визначений j -м експертом.

б) середня сума рангів T :

$$T = \frac{1}{n} R_i = 12,5.$$

в) відхилення суми рангів від середньої суми рангів для кожного параметра:

$$\Delta_i = R_i - T.$$

г) загальна сума квадратів відхилення:

$$S = \sum_{i=1}^n * \Delta_i^2 = 107.$$

д) коефіцієнт узгодженості (конкордації):

$$W = \frac{12S}{N^2(n^3 - n)} = \frac{12 \cdot 107}{5^2(4^3 - 4)} = 0,856 > W_k = 0,67.$$

Ранжування можна вважати правдивим, бо знайдений коефіцієнт узгодженості перевищує нормативний (дорівнює 0,67). Скориставшись результатами, проведемо попарне порівняння параметрів (табл. 7). Числові значення, що визначають ступінь переваги i -го параметра над j -тим, a_{ij} визначається за формулою:

$$a_{ij} = \{1,5 \mid x_i > x_j; 1,0 \mid x_i = x_j; 0,5 \mid x_i < x_j\}.$$

Таблиця 12 – Результати ранжування параметрів

[illegible]

З отриманих оцінок переваги складемо матрицю $A = \|a_{ij}\|$. Для кожного параметра розрахунок вагомості K_{B_i} проводиться за наступною формулою:

$$K_{B_i} = \frac{b_i}{\sum_{i=1}^n b_i},$$

де $b_i = \sum_{j=1}^N a_{ij}$ — вагомість i -го параметра за результатами оцінок експертів; a_{ij} — коефіцієнт переваги i -го на j -тим параметром.

Відносні оцінки розраховуються декілька разів до тих пір, поки наступні значення не будуть відрізнятися від попередніх менше ніж на 2%. На другому і наступних кроках відносні оцінки розраховуються за формулою:

$$K_{B_i} = \frac{b'_i}{\sum_{i=1}^n b'_i},$$

де $b'_i = \sum_{j=1}^N a_{ij} b_i$.

Як видно з таблиці 8, різниця значень коефіцієнтів вагомості після другої ітерації не перевищує 2%, тому додаткові ітерації не проводяться.

Таблиця 13 – Розрахунок вагомості параметрів

<i>i</i>	<i>j</i>				Перша ітерація		Друга ітерація	
	X1	X2	X3	X4	B_i	K_{B_i}	B_i^1	$K_{B_i}^1$
X1	1	0.5	1.5	1.5	4.5	0.28	16.25	0.275
X2	1.5	1	1.5	1.5	5.5	0.34	21.25	0.36
X3	0.5	0.5	1	0.5	2.5	0.16	9.25	0.157
X4	0.5	0.5	1.5	1	3.5	0.22	12.25	0.208
Разом					16	1	59	1

5.3 Аналіз рівня якості варіантів реалізації функцій

Рівень якості кожного з варіантів реалізацій основних функцій визначається окремо.

Абсолютні значення параметрів відповідають технічним вимогам умов функціонування продукту. Коефіцієнт технічного рівня якості для кожного варіанта реалізації розраховується за формулою:

$$K_{TP} = \sum_{i=1}^n * K_{B_i} B_i,$$

де n – кількість параметрів;

K_{B_i} – коефіцієнт вагомості i -го параметра;

B_i – оцінка i -го параметра в балах.

Розрахунок показників рівня якості представлено відповідно в таблиці 9.

Таблиця 14 – Розрахунок показників якості

Основні функції	Варіант реалізації	Абсолютне значення параметра	Бальна оцінка параметра	Коефіцієнт вагомості параметра	Коефіцієнт рівня якості
F₁	В	2	7	0.275	1.925
F₂	А	153.4	9	0.36	3.24
	В	178.6	3	0.157	0.471
F₃	А	1.3	7	0.208	1.456

Тепер можемо визначити рівень якості кожного з варіантів:

$$F1(B) + F2(A) + F3(A) = 1.925 + 3.24 + 1.456 = 6.621;$$

$$F1(B) + F2(B) + F3(A) = 1.925 + 0.471 + 1.456 = 3.852.$$

Отже, найкращим є перший варіант реалізації, для якого коефіцієнт технічного рівня має більше значення.

5.4 Економічний аналіз варіантів розробки проєкту

Для визначення вартості розробки проєкту спочатку проведемо розрахунок трудомісткості.

Всі варіанти містять два окремих завдання:

1. Розробка проєкту схеми декодування елементів пам'яті;
2. Розробка топології схем.

Перше завдання за ступенем новизни належить до групи Б, завдання друге — до групи А. За складністю алгоритми, що використовуються у завданні 1, належать до групи 1; а в другому — до групи 3.

Для реалізації першого завдання використовується інформація у вигляді даних, а завдання друге — стандартні методи збору даних. Проведемо розрахунок норм часу на розробку для кожного з завдань. Загальна трудомісткість обчислюється за формулою:

$$T_0 = T_P \cdot K_P \cdot K_{СК} \cdot K_M \cdot K_{СТ} \cdot K_{СТ.М},$$

де T_P — трудомісткість розробки програмного продукту;

K_P — корекційний коефіцієнт;

$K_{СК}$ — коефіцієнт на складність вхідної інформації;

K_M — коефіцієнт рівня мови програмування;

$K_{СТ}$ — коефіцієнт використання стандартних модулів і прикладних програм;

$K_{СТ.М}$ — коефіцієнт стандартного математичного забезпечення.

Для першого завдання, виходячи із норм часу для завдань розрахункового характеру ступеня новизни Б та групи складності алгоритму 1, трудомісткість дорівнює: $T_P = 25$ людино-днів. Корекційний коефіцієнт, який враховує вид вхідної інформації: $K_P = 1,7$. Корекційний коефіцієнт, який враховує складність контролю вхідної та вихідної інформації — $K_{СК} = 1$. Оскільки при розробці першого завдання використовуються стандартні модулі, врахуємо це за допомогою коефіцієнта $K_{СТ} = 0,8$.

Отже, загальна трудомісткість розробки першого завдання дорівнює:

$$T_1 = 25 \cdot 1.7 \cdot 0.8 = 34 \text{ людино} - \text{днів.}$$

Проведемо аналогічні розрахунки для другого завдання, в якому використовується алгоритм 3 групи складності зі ступенем новизни Маємо такі значення параметрів: $T_P = 78$ людино-днів, $K_P = 0.9$, $K_{СК} = 1$, $K_{СТ} = 0.8$.

$$T_2 = 78 \cdot 0.9 \cdot 0.8 = 56.16 \text{ людино} - \text{днів.}$$

Оскільки загальна трудомісткість усіх варіантів реалізації збігаються, їх можна об'єднати в одну групу. Загальна трудомісткість складає:

$$T_0 = (34 + 56.16) \cdot 8 = 721.28 \text{ людино} - \text{годин.}$$

В розробці беруть участь дизайнер мікросхем (чипів) з окладом 45000 грн, розробник топологій з окладом 60000 грн, інженер-тестувальник з окладом 15000 грн. Визначено середню зарплату за годину за формулою:

$$C_q = \frac{M}{T_m \cdot t} \text{ грн,}$$

де M – місячний оклад працівників;

T_m – кількість робочих днів на місяць;

t – кількість робочих годин в день.

$$C_q = \frac{45000 + 60000 + 15000}{3 \cdot 22 \cdot 8} \approx 227.27 \text{ грн.}$$

Тепер розрахуємо заробітну плату за формулою:

$$C_{зп} = C_q \cdot T_i \cdot K_d,$$

де C_q – величина погодинної оплати праці програміста;

T_i – трудомісткість відповідного завдання;

K_d – норматив, який враховує додаткову заробітну плату.

Зарплата розробників за варіантами становить:

$$C_{зп} = C_q \cdot T_i \cdot K_d = 227.27 \cdot 305 \cdot 1.2 = 83\,180.82 \text{ грн.}$$

Відрахування на соціальний внесок становить 22%:

$$C_{св} = C_{зп} \cdot 0.22 = 83\,180.82 \cdot 0.22 = 18\,299.78 \text{ грн.}$$

Тепер визначимо витрати на оплату однієї машино-години. Оскільки одна ЕОМ обслуговується одним інженером апаратного забезпечення з окладом 13000 грн та коефіцієнтом зайнятості $K_3 = 0,2$ то для однієї машини отримаємо:

$$C_{\Gamma} = 12 \cdot M \cdot K_3 = 12 \cdot 13\,000 \cdot 0,2 = 31\,200 \text{ грн.}$$

З урахуванням додаткової заробітної плати:

$$C_{3П} = C_{\Gamma} \cdot (1 + K_3) = 31\,200 \cdot 1,2 = 37\,440 \text{ грн.}$$

Відрахування на соціальний внесок становить 22%:

$$C_{CB} = C_{3П} \cdot 0,22 = 37\,440 \cdot 0,22 = 8\,236,8 \text{ грн.}$$

Амортизаційні відрахування розраховуємо за формулою при амортизації 25% та вартості ЕОМ – 24 000 грн.:

$$C_A = K_{TM} \cdot K_A \cdot C_{ПР} = 1,15 \cdot 0,25 \cdot 24\,000 = 6\,900 \text{ грн.}$$

де K_{TM} – коефіцієнт, який враховує витрати на транспортування та монтаж приладу у користувача;

K_A – річна норма амортизації;

$C_{ПР}$ – договірна ціна приладу.

Витрати на ремонт та профілактику знайдемо за формулою:

$$C_P = K_{TM} \cdot K_P \cdot C_{ПР} = 1,15 \cdot 0,05 \cdot 24\,000 = 1\,380 \text{ грн.}$$

де K_P – відсоток витрат на поточні ремонти.

Ефективний годинний фонд часу ПК на рік розраховано за формулою:

$$T_{\text{ЕФ}} = (D_K - D_B - D_C - D_P) \cdot t \cdot K_B,$$

$$T_{\text{ЕФ}} = (365 - 104 - 6 - 10) \cdot 8 \cdot 0,75 = 1\,470 \text{ год.}$$

де D_K – календарна кількість днів у році;

D_B, D_C – відповідно кількість вихідних та святкових днів;

D_P – кількість днів планових ремонтів устаткування;

t – кількість робочих годин на день;

K_B – коефіцієнт використання приладу у часі протягом зміни.

Витрати на оплату електроенергії розраховуємо за формулою:

$$C_{\text{ЕЛ}} = T_{\text{ЕФ}} \cdot N_{\text{С}} \cdot K_{\text{З}} \cdot C_{\text{ЕЛ}} = 1\,470 \cdot 0.65 \cdot 0.2 \cdot 3.635 \approx 694.65 \text{ грн.}$$

де $N_{\text{С}}$ – середня споживча потужність приладу;

$K_{\text{З}}$ – коефіцієнтом зайнятості приладу;

$C_{\text{ЕЛ}}$ – тариф за 1 кВт-годин електроенергії.

Накладні витрати знайдемо за формулою:

$$C_{\text{Н}} = C_{\text{ПР}} \cdot 0.67 = 24000 \cdot 0.67 = 16\,080 \text{ грн.}$$

Так, річні експлуатаційні витрати становлять:

$$C_{\text{ЕК}} = C_{\text{ЗП}} + C_{\text{СВ}} + C_{\text{А}} + C_{\text{Р}} + C_{\text{ЕЛ}} + C_{\text{Н}},$$

$$C_{\text{ЕК}} = 37\,440 + 8\,236.8 + 6\,900 + 1\,380 + 694.65 + 16\,080 = 70\,731.45 \text{ грн.}$$

Собівартість однієї машино-години ЕОМ дорівнюватиме:

$$C_{\text{МГ}} = \frac{C_{\text{ЕК}}}{T_{\text{ЕФ}}} = \frac{70\,731.45}{1\,470} = 48.12 \text{ грн/год.}$$

Оскільки у нашому випадку всі роботи, що пов'язані з розробкою проєкту ведуться на ЕОМ, витрати на оплату машинного часу складають:

$$C_{\text{М}} = C_{\text{МГ}} \cdot T = 48.12 \cdot 721.28 = 34\,707.99 \text{ грн.}$$

Накладні витрати складають 67% від заробітної плати:

$$C_{\text{Н}} = C_{\text{ЗП}} \cdot 0.67 = 120\,620.82 \cdot 0.67 = 80\,815.95 \text{ грн.}$$

Отже, вартість розробки проєкту за варіантами становить:

$$C_{\text{ПП}} = C_{\text{ЗП}} + C_{\text{СВ}} + C_{\text{М}} + C_{\text{Н}},$$

$$C_{\text{ПП}} = 120\,620.82 + 18\,299.78 + 34\,707.99 + 80\,815.95 = 254\,444.54 \text{ грн.}$$

Нарешті, отримаємо коефіцієнт техніко-економічного рівня за формулою:

$$K_{\text{ТЕР}} = \frac{K_{\text{К}}}{C_{\text{ПП}}} = \frac{6.621}{254\,444.54} \approx 2.6021 \cdot 10^{-5}.$$

5.5 Висновки ФВА

У ході виконання розділу закріплені теоретичні знання у галузі економіки та організації виробництва використанням їх для техніко-економічного обґрунтування розробки методом ФВА.

На основі даних про основні функції, які повинен реалізувати проєкт, визначені два найбільш перспективні варіанти реалізації проєкту. Найбільш ефективним виявився варіант реалізації функцій, який дає максимальну величину коефіцієнта техніко-економічного рівня; вартість витрат для нього становить $C_{\text{пп}} = 255\,302.87$ грн.

Цей варіант передбачає використання:

- Мови Verilog A;
- Бібліотеки gpdk045;
- Середовища розробки Cadence.

Висновки

У ході дипломної роботи:

- виконано огляд та аналіз сучасних технічних рішень за темою роботи;
- розроблена схема дешифратора та проведено тестування;
- розроблена схема мультиплексора/демультиплексора;
- розроблена топологія схеми декодування на сучасних нормах проєктування та її верифікація;
- розроблена схема зчитування інформації для одно- та двобітових комірок пам'яті;
- виконано функціонально-вартісний аналіз проєкту.

Робота виконана за допомогою сучасних засобів проєктування з урахуванням тенденцій розвитку інформаційних технологій. Результати роботи можуть бути використані у подальших розробках.

Список використаних джерел

1. Зубчук В. І., Сігорський В. П., Шкуро А. Н. Справочник по цифровой схемотехнике : довідник. Київ : Техника, 1990. 448 с.
2. Hai Li, Yiran Chen Nonvolatile memory design : довідник. Taylor & Francis Group, LLC, 2012. 189с.
3. Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer Analysis and design of analog integrated circuits (5th ed.) : довідник. John Wiley & Sons, Inc, 2009. 881 с.
4. Pulse-induced electroforming of a Si CMOS embedded 4 kbit RRAM array / Damian Walczyk та ін. Electron Device Letters, IEEE, VOL. X, NO. Y, XX 2013.
5. Reference Manual Generic 45nm Salicide 1.0V/1.8V 1P 11M Process Design Kit and Rule Decks (PRD) Revision 5.0 : документація. Cadence Confidential, 2016. 128 с.
6. Assura Physical Verification User Guide : документація. Cadence Design Systems, Inc, 2018. 788 с.
7. Cadence Verilog-A Language Reference : документація. Cadence Design Systems, Inc, 2011. 574 с.
8. RRAM-Info: the RRAM experts [Електронний ресурс] — Режим доступу до ресурсу: <https://www.rram-info.com>.
9. Rudy van de Plassche Integrated analog-to-digital and digital-to-analog converters: довідник. Dordrecht, Kluwer Academic Publishers, 1994. 501 с.
10. Travis N. Blalock, Richard C. Jaeger A High-Speed Clamped Bit-Line Current-Mode Sense Amplifier. IEEE journal of solid-state circuits, VOL. 26, NO. 4, 1991.
11. A 7-ns 140-mW 1-Mb CMOS SRAM with Current Sense Amplifier / Katsuro Sasaki, Koichiro Ishibashi та ін. IEEE journal of solid-state circuits, VOL. 27, NO. 11, 1992.
12. A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture / Tsuguo Kobayashi, Kazutaka Nogami та ін. IEEE journal of solid-state circuits, VOL. 28, NO. 4, 1993.

13. Яловий Г. К., Пашін В. П., Сичов В. С. Економіка та організація виробництва : навч. видання. — К.: "Політехніка", 2004. - 80 с.

14. Resistive Random Access Memory (RRAM): an Overview of Materials, Switching Mechanism, Performance, Multilevel Cell (mlc) Storage, Modeling, and Applications [Електронний ресурс] — Режим доступу до ресурсу:
<https://nanoscalereslett.springeropen.com/articles/10.1186/s11671-020-03299-9>.

15. В.П. Шелохвостов, В.Н. Чернишов Проектирование интегральных микросхем : навч. посібник. — Вид. 2-ге, стер. — Тамбов: "Тамбов", 2008. – 208 с.

16. RRAM [Електронний ресурс] — Режим доступу до ресурсу:
<https://ru.wikipedia.org/wiki/RRAM>.