

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ  
імені ІГОРЯ СІКОРСЬКОГО»  
Навчально-науковий інститут прикладного системного аналізу  
Кафедра системного проектування

До захисту допущено:  
Завідувач кафедри  
\_\_\_\_\_ Вадим МУХІН  
«\_\_» \_\_\_\_\_ 2022 р.

## Дипломна робота

на здобуття ступеня бакалавра  
за освітньо-професійною програмою  
“Інтелектуальні сервіс-орієнтовані розподілені обчислювання”  
зі спеціальності 122 "Комп'ютерні науки"  
на тему: «Розробка інтегральних засобів програмування резистивних  
елементів пам'яті для інформаційних технологій»

Виконала:

студентка IV курсу, групи ДА-82

Прокопенко Катерина Сергіївна \_\_\_\_\_

Керівник:

доцент, к.т.н.,

Стіканов Валерій Юхимович \_\_\_\_\_

Консультант з функціонально-вартісного аналізу проекту:

Доцент,

Рощина Н.В. \_\_\_\_\_

Рецензент:

Професор, д.т.н.,

Бідюк П. І. \_\_\_\_\_

Засвідчую, що у цій дипломній роботі немає запозичень з праць інших авторів  
без відповідних посилань.

Студентка \_\_\_\_\_

Київ – 2022

**Національний технічний університет України**  
**«Київський політехнічний інститут імені Ігоря Сікорського»**  
Інститут прикладного системного аналізу  
Кафедра Системного проектування

Рівень вищої освіти – перший (бакалаврський)  
Спеціальність – 122 «Комп'ютерні науки»  
Освітньо-професійна програма «Інтелектуальні сервіс-орієнтовані  
розподілені обчислювання»

ЗАТВЕРДЖУЮ  
Завідувач кафедри  
Вадим МУХІН

«\_\_\_» \_\_\_\_\_ 20\_\_ р.

**ЗАВДАННЯ**

**на дипломну роботу студенту Прокопенко Катерині Сергіївні**

1. Тема роботи «Розробка інтегральних засобів програмування резистивних елементів пам'яті для інформаційних технологій», керівник роботи Стіканов Валерій Юхимович, доцент, к.т.н, затверджені наказом по університету від «06» 06 2022 р. № 906-с
2. Термін подання студентом роботи
3. Вихідні дані до роботи: система проектування Cadence, бібліотека компонентів gpdk045, технологія CMOS, напруга 2V.
4. Зміст роботи:
  1. Огляд та аналіз технічних рішень побудови елементів пам'яті для інформаційних технологій.
  2. Розробка схеми програмування резистивних елементів пам'яті для інформаційних технологій.
  3. Розробка та тестування генератора струму як елемента програмування резистивних елементів пам'яті.
  4. Розробка моделі комірки пам'яті з використанням мови Verilog A.
  5. Побудова топології для розроблених технічних рішень.
  6. Функціонально-вартісний аналіз проекту
5. Перелік ілюстративного матеріалу (із зазначенням плакатів, презентацій тощо): Електронна презентація
6. Консультанти розділів роботи

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Економічний	Доцент Рощина Н.В.		

7. Дата видачі завдання 15.02 2022

№з/п	Назва етапів виконання дипломної роботи	Термін виконання етапів роботи	Примітка
1	Отримання завдання	15.02.2022	
2	Порівняння існуючих видів оперативної пам'яті на ринку з R- RAM.	10.03.2022	
3	Огляд та аналіз технічних рішень побудови елементів пам'яті для інформаційних технологій.	20.03.2022	
4	Розробка та тестування генератора струму як елементу програмування резистивних елементів пам'яті.	05.04.2022	
5	Розробка моделі комірки пам'яті з використанням мови Verilog A.	24.04.2022	
6	Розробка схеми програмування резистивних елементів пам'яті для інформаційних технологій.	01.05.2022	
7	Моделювання та тестування схеми програмування.	15.05.2022	
8	Побудова топології для розроблених технічних рішень	18.05.2022	
9	Функціонально-вартісний аналіз проекту	23.05.2022	

Студент

Керівник

Прокопенко К. С

Стіканов В. Ю

## АНОТАЦІЯ

Метою дипломної роботи є аналіз, розробка та тестування технічних рішень для побудови інтегральних засобів програмування резистивних елементів пам'яті. Відповідно до мети, етапи виконання роботи включатимуть розробку генератора струму, моделі комірки пам'яті та загальної схеми програмування інформації.

Кожен комп'ютерний пристрій містить енергонезалежну пам'ять. Розробники інтегральних схем продовжують удосконалювати характеристики пам'яті, такі як швидкодія, вартість, термін збереження даних, споживання енергії, щільність компоновки тощо.

У представленій роботі розроблені та проаналізовані рішення для програмування резистивної пам'яті засобами середовища Cadence.

Топологія складових компонентів схеми була розроблена та верифікована з використанням бібліотеки компонентів згідно угоди з міжнародною організацією Europpractice. Показана можливість збільшення щільності компоновки за рахунок запису в комірку пам'яті 2 і більше бітів інформації.

Загальний обсяг роботи 95 с., 70 рис., 10 табл., 19 джерел.

Ключові слова: енергонезалежна пам'ять, резистивна енергонезалежна пам'ять, інтегральна схема, CMOS технологія, Cadence.

## **ABSTRACT**

The purpose of the thesis is to analyze, develop and test the technical solutions for the construction of integrated tools for programming resistive memory elements. According to the goal, the stages of the work will include the implementation of a current generator, memory cells, and a general scheme of programming information.

Each computer device needs its random-access memory (RAM). Integrated circuit designers continue to improve the RAM performance, such as speed, cost, data lifetime, power consumption, storage density, etc.

In the presented work the solutions for programming resistive memory elements were developed and analyzed with tools of the Cadence environment.

The topology of the components of the scheme was developed and verified with a library of components in accordance with the agreement with the international organization Europractice. In addition, the possibility of increasing the layout density by writing 2 bits of information to the memory cell was shown.

The total volume of work is 95 pages, 70 figures, 10 tables, 19 sources.

**Keywords:** random access memory, resistive random access memory, integrated circuit, CMOS technology, Cadence.

# **ЗМІСТ**

<b>Перелік умовних позначень, символів, скорочень і термінів .....</b>	<b>8</b>
<b>ВСТУП.....</b>	<b>9</b>
<b>1. ОГЛЯД ТА АНАЛІЗ ТЕХНІЧНИХ РІШЕНЬ ПОБУДОВИ ЕЛЕМЕНТІВ ПАМ'ЯТІ ДЛЯ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ .....</b>	<b>11</b>
<b>1.1 Резистивна оперативна пам'ять .....</b>	<b>12</b>
1.1.1 Фізико-хімічні властивості та матеріали виготовлення .....	12
1.1.2 Порівняльна характеристика R-RAM з іншими видами пам'яті .....	14
<b>1.2 Технічні рішення для побудови схеми програмування R-RAM.....</b>	<b>18</b>
1.2.1 Генератор струму .....	20
1.2.2 Комірка пам'яті.....	23
<b>1.3 Середовище розробки Cadence.....</b>	<b>24</b>
<b>Висновки до розділу 1.....</b>	<b>27</b>
<b>2 РОЗРОБКА СХЕМИ ПРОГРАМУВАННЯ РЕЗИСТИВНИХ ЕЛЕМЕНТІВ ПАМ'ЯТІ ДЛЯ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ .....</b>	<b>28</b>
<b>2.1 Розробка та тестування генератора струму як елементу програмування резистивних елементів пам'яті .....</b>	<b>28</b>
2.1.1 Побудова схеми генератора струму.....	28
2.1.2 Модифікація джерела струму .....	33
2.1.3 Тестування модифікованого генератора струму .....	37
<b>Висновки до розділу 2.1.....</b>	<b>43</b>
<b>2.2 Розробка моделі комірки пам'яті з використанням мови Verilog A .....</b>	<b>43</b>
2.2.1 Розробка моделі резистора комірки пам'яті з використанням мови Verilog A.....	43
2.2.2 Розробка комірки резистивного елементу пам'яті .....	57
<b>Висновки до розділу 2.2 .....</b>	<b>58</b>
<b>2.3 Розробка схеми запису резистивних елементів пам'яті для інформаційних технологій.....</b>	<b>58</b>
<b>Висновки до розділу 2.3.....</b>	<b>64</b>
<b>2.4 Розробка схеми стирання резистивних елементів пам'яті для інформаційних технологій.....</b>	<b>64</b>
<b>Висновки до розділу 2.4.....</b>	<b>66</b>

<b>3 ПОБУДОВА ТОПОЛОГІЇ ДЛЯ РОЗРОБЛЕНИХ ТЕХНІЧНИХ РІШЕНЬ .....</b>	<b>66</b>
<b>3.1 Базовий маршрут виготовлення сучасних нано-структур.....</b>	<b>66</b>
<b>3.2 Побудова топології розроблених технічних рішень для програмування резистивних елементів пам'яті для інформаційних технологій .....</b>	<b>68</b>
<b>Висновки до розділу 3.....</b>	<b>72</b>
<b>4 ФУНКЦІОНАЛЬНО-ВАРТІСНИЙ АНАЛІЗ ПРОЕКТУ .....</b>	<b>72</b>
<b>4.1 Постановка задачі для техніко-економічного аналізу.....</b>	<b>73</b>
<b>4.1.1 Обґрунтування функцій програмного продукту.....</b>	<b>74</b>
<b>4.1.2 Варіанти реалізації основних функцій .....</b>	<b>75</b>
<b>4.2 Обґрунтування системи параметрів програмного продукту.....</b>	<b>77</b>
<b>4.2.1 Опис параметрів.....</b>	<b>77</b>
<b>4.2.2 Кількісна оцінка параметрів .....</b>	<b>78</b>
<b>4.2.3 Аналіз експертного оцінювання параметрів.....</b>	<b>81</b>
<b>4.3 Аналіз рівня якості варіантів реалізації функцій .....</b>	<b>84</b>
<b>4.4 Економічний аналіз варіантів розробки продукту .....</b>	<b>85</b>
<b>Висновки до розділу 4.....</b>	<b>89</b>
<b>Висновки .....</b>	<b>92</b>
<b>Список джерел .....</b>	<b>93</b>

## **Перелік умовних позначень, символів, скорочень і термінів**

BL – bit line (шина даних, бітів)

CMOS — complementary metal-oxide-semiconductor (комплементарна структура з металу-оксиду-напівпровідника).

DRAM – dynamic random-access memory (динамічна оперативна пам'ять)

EPROM – електрично програмуємий постійний запам'ятовуючий пристрій

I/O interface – input/output interface (інтерфейс вводу-виводу)

HRS — high-resistance state (стан високого опору)

LRS — low-resistance state (стан низького опору)

Memristor – memory resistor (мемристор)

MIM — metal-insulator-metal (структура метал-ізолятор-метал)

MLC — multi-level cell (багаторівнева комірка)

MOS – metal-oxide-semiconductor (метал-оксид-напівпровідник)

NVM – non-volatile memory (енергонезалежна пам'ять)

PCM – phase-change memory (пам'ять зі зміною фази)

PMC – programmable metallization cell

RAM – random-access memory (пам'ять з довільним доступом)

ROM – read-only memory (постійний запам'ятовуючий пристрій)

R-RAM, ReRAM – resistive random-access memory (резистивна пам'ять із довільним доступом)

SRAM – static random-access memory (статична оперативна пам'ять)

WL – word line (шина слів)

ЗП – запам'ятовуючий пристрій



## ВСТУП

Одним з найвпливовіших технічних винаходів 20-го століття став винахід напівпровідникової пам'яті. Напівпровідникова пам'ять поділяється на постійні запам'ятовувачі, програмовані постійні запам'ятовувачі та оперативну пам'ять.

Найбільш поширені форми пам'яті: статична (SRAM), динамічна (DRAM) і енергонезалежна пам'ять. У SRAM один біт даних зберігається за допомогою комірки пам'яті, яка утворена шістьма транзисторами. DRAM зберігає один біт даних за допомогою комірки пам'яті, яка складається з пари транзистора та конденсатора. Енергонезалежна пам'ять може будуватися різними способами, але головна властивість цієї пам'яті — можливість зберігати дані, навіть якщо живлення вимкнено. [\[1\]](#)

Розробники докладають чимало зусиль для пошуку альтернатив зберігання даних. Одним з перспективних кандидатів на створення енергонезалежної пам'яті наступного покоління може бути резистивна пам'ять із довільним доступом (R-RAM), яка заснована на особливостях перемикання резистора і вже сьогодні показує унікальні показники швидкодії та щільності компонування. Маючи сумісність з 3D компонуванням та технологією виготовлення CMOS, пам'ять R-RAM значно зменшить витрати на свою реалізацію. Окрім того, це вид енергонезалежної пам'яті, для якого можна використовувати широкий спектр матеріалів та який у своїй перспективі може замінити Flash пам'ять. [\[12\]](#)

Ряд світових компаній (Panasonic, Samsung, Fujitsu та ін.) звернули свою увагу на даний вид пам'яті завдяки її перевагам над сучасними представниками на ринку. Потенційні сфери застосування R-RAM — машинне навчання, інтернет речей та нейроморфні обчислення та штучний інтелект. Комірка R-RAM розроблена з матеріалів, які змінюють свій опір. Найперспективнішою особливістю такого типу пам'яті є можливість зберігання понад два логічних стани, у цьому випадку одна комірка пам'яті може забезпечити можливість збереження більшої кількості бітів інформації.

R-RAM сумісна з CMOS-технологією, тому розробники можуть розмістити логіку, мікропроцесори та контролери поруч із пам'яттю в одному кристалі.

[\[15\]](#)

Метою дипломної роботи визначено аналіз, розробку та тестування технічних рішень для побудови інтегральних засобів програмування резистивних елементів пам'яті.

# 1. ОГЛЯД ТА АНАЛІЗ ТЕХНІЧНИХ РІШЕНЬ ПОБУДОВИ ЕЛЕМЕНТІВ ПАМ'ЯТІ ДЛЯ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ

У сфері комп'ютерної техніки оперативна пам'ять (RAM) вважається одним із найважливіших компонентів, оскільки її призначення полягає у тимчасовому зберіганні інформації, що обробляє процесор. Саме тому характеристики оперативної пам'яті впливають на продуктивність усієї системи в цілому. Окрім цього, достатня кількість оперативної пам'яті дозволить використовувати інші ресурси пристрою, зокрема процесора, в повному обсязі, а її недолік негативно позначиться на швидкості та призведе до уповільнення обробки інформації. Загалом усю пам'ять поділяють на енергозалежну (volatile) та енергонезалежну (non-volatile) відносно збереження даних з увімкненим живленням та без. [\[1\]](#) Хоча на ринку переважає енергозалежна пам'ять, дизайнери мікросхем по всьому світу намагаються досягти незалежності оперативної пам'яті від живлення.

Енергозалежна пам'ять отримує/зберігає дані з високою швидкістю, її також часто називають тимчасовою пам'яттю. Дані в енергозалежній пам'яті зберігаються доки система увімкнена і може подавати деяку напругу живлення для підтримки збереженої інформації, але після вимкнення системи дані в енергозалежній пам'яті видаляються автоматично.

У енергонезалежній пам'яті дані не втрачаються в пам'яті, навіть якщо живлення вимкнено. Найпоширенішим прикладом енергонезалежної пам'яті є ROM, що забезпечує тільки процес зчитування даних. Він не економічний і повільний при отриманні/збереженні в порівнянні з енергозалежною пам'яттю, проте зберігає більший обсяг даних. На зміну звичайним ROM з'явилися EPROM, що дало змогу не тільки зчитувати інформацію з ЗП, а і записувати/стирати дані. Інформація, яку необхідно зберігати протягом тривалого часу, зберігається в енергонезалежній пам'яті. Енергонезалежна пам'ять має величезний вплив на обсяг пам'яті системи. [\[1\]](#)

Наразі існує декілька перспективних технологій пам'яті наступного покоління, які знаходяться на різному етапі розвитку. Серед них варто згадати NAND flash пам'ять у жовтні 2021 року Samsung витратила близько 11,1 мільярда доларів США на розвиток даної пам'яті.. Проте R-RAM показує кращі характеристики у кількості циклів запису, а також менший час запису інформації. [\[11\]](#)

### **1.1 Резистивна оперативна пам'ять**

R-RAM - це тип напівпровідникової пам'яті, яка може зберігати тисячі або навіть мільйони слів, при чому кожне слово складається з багатьох бітів. Представлений тип пам'яті як і деякі інші новітні технології NVM (пам'ять зі зміною фази та магніторезистивна пам'ять із довільним доступом), зберігають біти інформації як опір. При цьому кожна з технологій використовує різний метод для оборотної зміни опору матеріалу. [\[1\]](#) R-RAM поєднує у собі переваги як оперативної пам'яті, так і флеш-пам'яті. Пам'ять енергонезалежна, швидка, малопотужна економічно ефективна та може витримувати значно більшу кількість циклів програмування/стирання, ніж флеш-пам'ять.

Окрім цього, використання стандартних матеріалів та інструментів для виготовлення R-RAM полегшує фабрикам можливість інтегрувати пам'ять у вже існуючі виробничі процеси. [\[3\]](#)

#### **1.1.1 Фізико-хімічні властивості та матеріали виготовлення**

Для резистивної оперативної пам'яті переважною є архітектура 1T1R (один транзистор, один резистор), транзистор використовується для виділення струму у комірки, які обираються, з поміж тих, які не є такими. Основним елементом вважається резистор, на який подається відповідний струм для операцій запису, стирання та зчитування. [\[14\]](#)

Описуючи хіміко-фізичну роботу комірки оперативної пам'яті в першу чергу варто визначити ключове слово «нитка струму» (filament), що означає тонкий шлях всередині ізолятора, що з'єднує два металевих електроди. Комірка резистивної оперативної пам'яті має структуру метал-ізолятор-метал,

при чому метал одного електрода беруть інертним, а інший електрод з активного металу. Саме електрод з активного металу під дією напруги бере участь у процесі створення нитки.

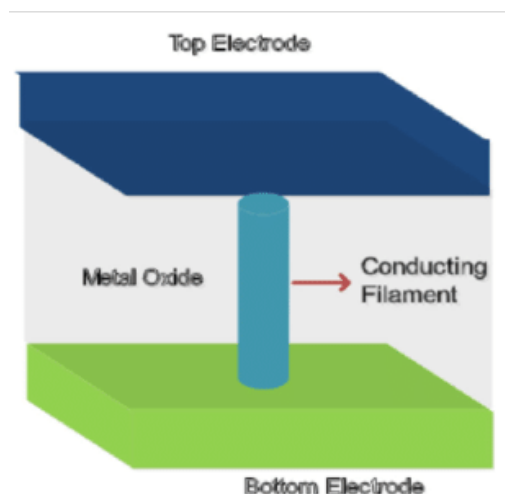


Рисунок 1.1 – Схема конструкції MIM для комірки R-RAM [\[12\]](#)

У таблиці 1 наведено ряд різноманітних хімічних сполук, що використовуються для побудови конструкції MIM.

Таблиця 1 – Відповідність трьох шарів конструкції MIM усім можливим хімічним сполукам, потрібним для їх формування [\[12\]](#)

Шар структури MIM	Хімічна сполука
Верхній електрод	Pt, TiN/Ti, Ru, Ni
Оксид металу	TiO <sub>x</sub> , NiO <sub>x</sub> , HfO <sub>x</sub> , WO <sub>x</sub> , TaO <sub>x</sub> , VO <sub>x</sub> , CuO <sub>x</sub> ,
Нижній електрод	TiN, TaN, W, Pt

На наведеній періодичній таблиці (рис. 1.2) обведено усі хімічні елементи, які можуть бути використані для виготовлення R-RAM.

1 H (1.00794, 1.00806)	2 He (4.002602, 4.002602)																			18 Ar (39.948, 39.948)	19 K (39.0983, 39.0983)	20 Ca (40.078, 40.078)	21 Sc (44.955912, 44.955912)	22 Ti (47.88, 47.88)	23 V (50.9415, 50.9415)	24 Cr (51.9961, 51.9961)	25 Mn (54.938045, 54.938045)	26 Fe (55.845, 55.845)	27 Co (58.933195, 58.933195)	28 Ni (58.6934, 58.6934)	29 Cu (63.546, 63.546)	30 Zn (65.38, 65.38)	31 Ga (69.723, 69.723)	32 Ge (72.630, 72.630)	33 As (74.9216, 74.9216)	34 Se (78.96, 78.96)	35 Br (79.904, 79.904)	36 Kr (83.798, 83.798)	37 Rb (85.4678, 85.4678)	38 Sr (87.62, 87.62)	39 Y (88.90584, 88.90584)	40 Zr (91.224, 91.224)	41 Nb (92.90638, 92.90638)	42 Mo (95.94, 95.94)	43 Tc (98, 98)	44 Ru (101.07, 101.07)	45 Rh (101.07, 101.07)	46 Pd (106.3277, 106.3277)	47 Ag (107.8682, 107.8682)	48 Cd (112.411, 112.411)	49 In (114.818, 114.818)	50 Sn (118.710, 118.710)	51 Sb (121.757, 121.757)	52 Te (127.6, 127.6)	53 I (126.90548, 126.90548)	54 Xe (131.29, 131.29)	55 Cs (132.90545, 132.90545)	56 Ba (137.327, 137.327)	57-71 lanthanoids	72 Hf (178.49, 178.49)	73 Ta (180.94788, 180.94788)	74 W (183.84, 183.84)	75 Re (186.207, 186.207)	76 Os (190.23, 190.23)	77 Ir (192.222, 192.222)	78 Pt (195.083, 195.083)	79 Au (196.966569, 196.966569)	80 Hg (200.59, 200.59)	81 Tl (204.38, 204.38)	82 Pb (207.2, 207.2)	83 Bi (208.9804, 208.9804)	84 Po (209, 209)	85 At (210, 210)	86 Rn (222, 222)	87 Fr (223, 223)	88 Ra (226, 226)	89-103 actinoids	104 Rf (261, 261)	105 Db (262, 262)	106 Sg (266, 266)	107 Bh (264, 264)	108 Hs (277, 277)	109 Mt (268, 268)	110 Ds (271, 271)	111 Rg (272, 272)	112 Cn (285, 285)	113 Nh (286, 286)	114 Fl (289, 289)	115 Mc (288, 288)	116 Lv (293, 293)	117 Ts (294, 294)	118 Og (294, 294)	119 Bohrium	120 Hassium	121 Meitnerium	122 Darmstadtium	123 Roentgenium	124 Copernicium	125 Nihonium	126 Flerovium	127 Moscovium	128 Livermorium	129 Tennessine	130 Oganesson	131 Uut	132 Uub	133 Uuh	134 Uuq	135 Uup	136 Uuq	137 Uus	138 Uuo	139 Uuh	140 Uuq	141 Uup	142 Uuq	143 Uus	144 Uuo	145 Uuh	146 Uuq	147 Uup	148 Uuq	149 Uus	150 Uuo	151 Uuh	152 Uuq	153 Uup	154 Uuq	155 Uus	156 Uuo	157 Uuh	158 Uuq	159 Uup	160 Uuq	161 Uus	162 Uuo	163 Uuh	164 Uuq	165 Uup	166 Uuq	167 Uus	168 Uuo	169 Uuh	170 Uuq	171 Uup	172 Uuq	173 Uus	174 Uuo	175 Uuh	176 Uuq	177 Uup	178 Uuq	179 Uus	180 Uuo	181 Uuh	182 Uuq	183 Uup	184 Uuq	185 Uus	186 Uuo	187 Uuh	188 Uuq	189 Uup	190 Uuq	191 Uus	192 Uuo	193 Uuh	194 Uuq	195 Uup	196 Uuq	197 Uus	198 Uuo	199 Uuh	200 Uuq	201 Uup	202 Uuq	203 Uus	204 Uuo	205 Uuh	206 Uuq	207 Uup	208 Uuq	209 Uus	210 Uuo	211 Uuh	212 Uuq	213 Uup	214 Uuq	215 Uus	216 Uuo	217 Uuh	218 Uuq	219 Uup	220 Uuq	221 Uus	222 Uuo	223 Uuh	224 Uuq	225 Uup	226 Uuq	227 Uus	228 Uuo	229 Uuh	230 Uuq	231 Uup	232 Uuq	233 Uus	234 Uuo	235 Uuh	236 Uuq	237 Uup	238 Uuq	239 Uus	240 Uuo	241 Uuh	242 Uuq	243 Uup	244 Uuq	245 Uus	246 Uuo	247 Uuh	248 Uuq	249 Uup	250 Uuq	251 Uus	252 Uuo	253 Uuh	254 Uuq	255 Uup	256 Uuq	257 Uus	258 Uuo	259 Uuh	260 Uuq	261 Uup	262 Uuq	263 Uus	264 Uuo	265 Uuh	266 Uuq	267 Uup	268 Uuq	269 Uus	270 Uuo	271 Uuh	272 Uuq	273 Uup	274 Uuq	275 Uus	276 Uuo	277 Uuh	278 Uuq	279 Uup	280 Uuq	281 Uus	282 Uuo	283 Uuh	284 Uuq	285 Uup	286 Uuq	287 Uus	288 Uuo	289 Uuh	290 Uuq	291 Uup	292 Uuq	293 Uus	294 Uuo	295 Uuh	296 Uuq	297 Uup	298 Uuq	299 Uus	300 Uuo	301 Uuh	302 Uuq	303 Uup	304 Uuq	305 Uus	306 Uuo	307 Uuh	308 Uuq	309 Uup	310 Uuq	311 Uus	312 Uuo	313 Uuh	314 Uuq	315 Uup	316 Uuq	317 Uus	318 Uuo	319 Uuh	320 Uuq	321 Uup	322 Uuq	323 Uus	324 Uuo	325 Uuh	326 Uuq	327 Uup	328 Uuq	329 Uus	330 Uuo	331 Uuh	332 Uuq	333 Uup	334 Uuq	335 Uus	336 Uuo	337 Uuh	338 Uuq	339 Uup	340 Uuq	341 Uus	342 Uuo	343 Uuh	344 Uuq	345 Uup	346 Uuq	347 Uus	348 Uuo	349 Uuh	350 Uuq	351 Uup	352 Uuq	353 Uus	354 Uuo	355 Uuh	356 Uuq	357 Uup	358 Uuq	359 Uus	360 Uuo	361 Uuh	362 Uuq	363 Uup	364 Uuq	365 Uus	366 Uuo	367 Uuh	368 Uuq	369 Uup	370 Uuq	371 Uus	372 Uuo	373 Uuh	374 Uuq	375 Uup	376 Uuq	377 Uus	378 Uuo	379 Uuh	380 Uuq	381 Uup	382 Uuq	383 Uus	384 Uuo	385 Uuh	386 Uuq	387 Uup	388 Uuq	389 Uus	390 Uuo	391 Uuh	392 Uuq	393 Uup	394 Uuq	395 Uus	396 Uuo	397 Uuh	398 Uuq	399 Uup	400 Uuq	401 Uus	402 Uuo	403 Uuh	404 Uuq	405 Uup	406 Uuq	407 Uus	408 Uuo	409 Uuh	410 Uuq	411 Uup	412 Uuq	413 Uus	414 Uuo	415 Uuh	416 Uuq	417 Uup	418 Uuq	419 Uus	420 Uuo	421 Uuh	422 Uuq	423 Uup	424 Uuq	425 Uus	426 Uuo	427 Uuh	428 Uuq	429 Uup	430 Uuq	431 Uus	432 Uuo	433 Uuh	434 Uuq	435 Uup	436 Uuq	437 Uus	438 Uuo	439 Uuh	440 Uuq	441 Uup	442 Uuq	443 Uus	444 Uuo	445 Uuh	446 Uuq	447 Uup	448 Uuq	449 Uus	450 Uuo	451 Uuh	452 Uuq	453 Uup	454 Uuq	455 Uus	456 Uuo	457 Uuh	458 Uuq	459 Uup	460 Uuq	461 Uus	462 Uuo	463 Uuh	464 Uuq	465 Uup	466 Uuq	467 Uus	468 Uuo	469 Uuh	470 Uuq	471 Uup	472 Uuq	473 Uus	474 Uuo	475 Uuh	476 Uuq	477 Uup	478 Uuq	479 Uus	480 Uuo	481 Uuh	482 Uuq	483 Uup	484 Uuq	485 Uus	486 Uuo	487 Uuh	488 Uuq	489 Uup	490 Uuq	491 Uus	492 Uuo	493 Uuh	494 Uuq	495 Uup	496 Uuq	497 Uus	498 Uuo	499 Uuh	500 Uuq	501 Uup	502 Uuq	503 Uus	504 Uuo	505 Uuh	506 Uuq	507 Uup	508 Uuq	509 Uus	510 Uuo	511 Uuh	512 Uuq	513 Uup	514 Uuq	515 Uus	516 Uuo	517 Uuh	518 Uuq	519 Uup	520 Uuq	521 Uus	522 Uuo	523 Uuh	524 Uuq	525 Uup	526 Uuq	527 Uus	528 Uuo	529 Uuh	530 Uuq	531 Uup	532 Uuq	533 Uus	534 Uuo	535 Uuh	536 Uuq	537 Uup	538 Uuq	539 Uus	540 Uuo	541 Uuh	542 Uuq	543 Uup	544 Uuq	545 Uus	546 Uuo	547 Uuh	548 Uuq	549 Uup	550 Uuq	551 Uus	552 Uuo	553 Uuh	554 Uuq	555 Uup	556 Uuq	557 Uus	558 Uuo	559 Uuh	560 Uuq	561 Uup	562 Uuq	563 Uus	564 Uuo	565 Uuh	566 Uuq	567 Uup	568 Uuq	569 Uus	570 Uuo	571 Uuh	572 Uuq	573 Uup	574 Uuq	575 Uus	576 Uuo	577 Uuh	578 Uuq	579 Uup	580 Uuq	581 Uus	582 Uuo	583 Uuh	584 Uuq	585 Uup	586 Uuq	587 Uus	588 Uuo	589 Uuh	590 Uuq	591 Uup	592 Uuq	593 Uus	594 Uuo	595 Uuh	596 Uuq	597 Uup	598 Uuq	599 Uus	600 Uuo	601 Uuh	602 Uuq	603 Uup	604 Uuq	605 Uus	606 Uuo	607 Uuh	608 Uuq	609 Uup	610 Uuq	611 Uus	612 Uuo	613 Uuh	614 Uuq	615 Uup	616 Uuq	617 Uus	618 Uuo	619 Uuh	620 Uuq	621 Uup	622 Uuq	623 Uus	624 Uuo	625 Uuh	626 Uuq	627 Uup	628 Uuq	629 Uus	630 Uuo	631 Uuh	632 Uuq	633 Uup	634 Uuq	635 Uus	636 Uuo	637 Uuh	638 Uuq	639 Uup	640 Uuq	641 Uus	642 Uuo	643 Uuh	644 Uuq	645 Uup	646 Uuq	647 Uus	648 Uuo	649 Uuh	650 Uuq	651 Uup	652 Uuq	653 Uus	654 Uuo	655 Uuh	656 Uuq	657 Uup	658 Uuq	659 Uus	660 Uuo	661 Uuh	662 Uuq	663 Uup	664 Uuq	665 Uus	666 Uuo	667 Uuh	668 Uuq	669 Uup	670 Uuq	671 Uus	672 Uuo	673 Uuh	674 Uuq	675 Uup	676 Uuq	677 Uus	678 Uuo	679 Uuh	680 Uuq	681 Uup	682 Uuq	683 Uus	684 Uuo	685 Uuh	686 Uuq	687 Uup	688 Uuq	689 Uus	690 Uuo	691 Uuh	692 Uuq	693 Uup	694 Uuq	695 Uus	696 Uuo	697 Uuh	698 Uuq	699 Uup	700 Uuq	701 Uus	702 Uuo	703 Uuh	704 Uuq	705 Uup	706 Uuq	707 Uus	708 Uuo	709 Uuh	710 Uuq	711 Uup	712 Uuq	713 Uus	714 Uuo	715 Uuh	716 Uuq	717 Uup	718 Uuq	719 Uus	720 Uuo	721 Uuh	722 Uuq	723 Uup	724 Uuq	725 Uus	726 Uuo	727 Uuh	728 Uuq	729 Uup	730 Uuq	731 Uus	732 Uuo	733 Uuh	734 Uuq	735 Uup	736 Uuq	737 Uus	738 Uuo	739 Uuh	740 Uuq	741 Uup	742 Uuq	743 Uus	744 Uuo	745 Uuh	746 Uuq	747 Uup	748 Uuq	749 Uus	750 Uuo	751 Uuh	752 Uuq	753 Uup	754 Uuq	755 Uus	756 Uuo	757 Uuh	758 Uuq	759 Uup	760 Uuq	761 Uus	762 Uuo	763 Uuh	764 Uuq	765 Uup	766 Uuq	767 Uus	768 Uuo	769 Uuh	770 Uuq	771 Uup	772 Uuq	773 Uus	774 Uuo	775 Uuh	776 Uuq	777 Uup	778 Uuq	779 Uus	780 Uuo	781 Uuh	782 Uuq	783 Uup	784 Uuq	785 Uus	786 Uuo	787 Uuh	788 Uuq	789 Uup	790 Uuq	791 Uus	792 Uuo	793 Uuh	794 Uuq	795 Uup	796 Uuq	797 Uus	798 Uuo	799 Uuh	800 Uuq	801 Uup	802 Uuq	803 Uus	804 Uuo	805 Uuh	806 Uuq	807 Uup	808 Uuq	809 Uus	810 Uuo	811 Uuh	812 Uuq	813 Uup	814 Uuq	815 Uus	816 Uuo	817 Uuh	818 Uuq	819 Uup	820 Uuq	821 Uus	822 Uuo	823 Uuh	824 Uuq	825 Uup	826 Uuq	827 Uus	828 Uuo	829 Uuh	830 Uuq	831 Uup	832 Uuq	833 Uus	834 Uuo	835 Uuh	836 Uuq	837 Uup	838 Uuq	839 Uus	840 Uuo	841 Uuh	842 Uuq	843 Uup	844 Uuq	845 Uus	846 Uuo	847 Uuh	848 Uuq	849 Uup	850 Uuq	851 Uus	852 Uuo	853 Uuh	854 Uuq	855 Uup	856 Uuq	857 Uus	858 Uuo	859 Uuh	860 Uuq	861 Uup	862 Uuq	863 Uus	864 Uuo	865 Uuh	866 Uuq	867 Uup	868 Uuq	869 Uus	870 Uuo	871 Uuh	872 Uuq	873 Uup	874 Uuq	875 Uus	876 Uuo	877 Uuh	878 Uuq	879 Uup	880 Uuq	881 Uus	882 Uuo	883 Uuh	884 Uuq	885 Uup	886 Uuq	887 Uus	888 Uuo	889 Uuh	890 Uuq	891 Uup	892 Uuq	893 Uus	894 Uuo	895 Uuh	896 Uuq	897 Uup	898 Uuq	899 Uus	900 Uuo	901 Uuh	902 Uuq	903 Uup	904 Uuq	905 Uus	906 Uuo	907 Uuh	908 Uuq	909 Uup	910 Uuq	911 Uus	912 Uuo	913 Uuh	914 Uuq	915 Uup	916 Uuq	917 Uus	918 Uuo	919 Uuh	920 Uuq	921 Uup	922 Uuq	923 Uus	924 Uuo	925 Uuh	926 Uuq	927 Uup	928 Uuq	929 Uus	930 Uuo	931 Uuh	932 Uuq	933 Uup	934 Uuq	935 Uus	936 Uuo	937 Uuh	938 Uuq	939 Uup	940 Uuq	941 Uus	942 Uuo	943 Uuh	944 Uuq	945 Uup
------------------------------	---------------------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	------------------------------	-------------------------------	------------------------------	------------------------------------	----------------------------	-------------------------------	--------------------------------	------------------------------------	------------------------------	------------------------------------	--------------------------------	------------------------------	----------------------------	------------------------------	------------------------------	--------------------------------	----------------------------	------------------------------	------------------------------	--------------------------------	----------------------------	---------------------------------	------------------------------	----------------------------------	----------------------------	----------------------	------------------------------	------------------------------	----------------------------------	----------------------------------	--------------------------------	--------------------------------	--------------------------------	--------------------------------	----------------------------	-----------------------------------	------------------------------	------------------------------------	--------------------------------	----------------------	------------------------------	------------------------------------	-----------------------------	--------------------------------	------------------------------	--------------------------------	--------------------------------	--------------------------------------	------------------------------	------------------------------	----------------------------	----------------------------------	------------------------	------------------------	------------------------	------------------------	------------------------	---------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	----------------	----------------	-------------------	---------------------	--------------------	--------------------	-----------------	------------------	------------------	--------------------	-------------------	------------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

того, кількість циклів запису-стирання обмежена, поточні показники обмежені 100000 циклами, а далі схема починає псуватися.

Наразі поширеним варіантом використання енергонезалежної пам'яті є збереження інструкцій, які вперше виконуються під час увімкнення комп'ютера. Ці інструкції називаються кодом завантаження. Коли комп'ютер вперше вмикається, оперативна пам'ять «порожня», тобто містить випадкові біти. Комп'ютер виконує код завантаження з енергонезалежної пам'яті. Код завантаження ініціалізує різні регістри в центрального процесора, а потім шукає на жорсткому диску або компакт-диску решту операційної системи. Він завантажує первинну частину операційної системи в оперативну пам'ять і починає виконувати код ОС.

За останні роки багато досліджень присвячено таким різновидам пам'яті як фазово-змінна (PCM), резистивна (ReRAM), магніторезистивна (MRAM), сегнетоелектрична (FeRAM) тощо. Усі ці різновиди мають цікаві властивості, які дозволяють розглядати їх як потенційних конкурентів використовуваних RAM (таблиця 2) та як перспективний напрям розвитку сфери оперативної пам'яті.

Таблиця 2 – Порівняльна таблиця найбільш відомих видів пам'яті [\[11\]](#)

Характеристика	SRAM	DRAM	HDD	NAND flash	STT-RAM	ReRAM	PCM	FeRAM
Розмір комірки пам'яті, $F^2$	120–200	60–100	–	4–6	6–50	4–10	4–12	6–40
К-ть циклів запису	$10^{16}$	$>10^{15}$	$>10^{15}$	$10^4$ – $10^5$	$10^{12}$ – $10^{15}$	$10^8$ – $10^{11}$	$10^8$ – $10^9$	$10^{12}$ – $10^{15}$
Затримка	0,2–2 нс	10 нс	3–5 мс	15–35 мкс	2–35 нс	10 нс	20–60 нс	20–90 нс

зчитування								
Затримка запису	0,2–2 нс	10 нс	3–5 мс	200–500 мкс	2–35 нс	10 нс	20–60 нс	50–75 нс
Потужність розсіювання (leakage power)	висока	середня	(мех. частини)	низька	низька	низька	низька	низька
Енергія для зчитування/запису	низька	середня	(мех. частини)	низька	низька/висока	низька/висока	середня/висока	низька/висока
Реалізація	у використанні	у використанні	у використанні	у використанні	Є прото типи	Є прото типи	Є прототипи	Промисловорозвинена

Отже, як можна побачити із таблиці, енергонезалежна пам'ять краще масштабована, порівняно з енергозалежною пам'яттю. Особливо у даній категорії вирізняється R-RAM та NAND-flash з мінімальною площею комірки  $4 F^2$ . Окрім того, у швидкодії запису та зчитування інформації у R-RAM поступається лише SRAM. Маючи низьку потужність розсіювання та малу енергію споживання для зчитування інформації R-RAM дійсно може скласти досить потужну конкуренцію як і аналогам серед енергонезалежної пам'яті так і SRAM, DRAM та Flash пам'яті.



Провідні світові компанії вбачають перспективу у розвитку R-RAM та вже розробили прототипи (рис. 1.4) з характеристиками, що заслуговують уваги (таблиця 4).

Fujitsu Semiconductor Memory Solution оголосила про запуск чіпа ReRAM на 12 Мбіт. Даний чіп пропонує невеликий розмір (2 мм x 3 мм) і низький рівень середнього струму зчитування (0,15 мА). Fujitsu націлена на застосування мікрочіпа в переносимих пристроях, таких як слухові апарати та розумні годинники. [3]

Panasonic представила свою ReRAM на основі TaO<sub>x</sub>. Ключовою вимогою була потреба в металі з високою робочою силою, такому як Pt або Ir, для взаємодії з шаром TaO.

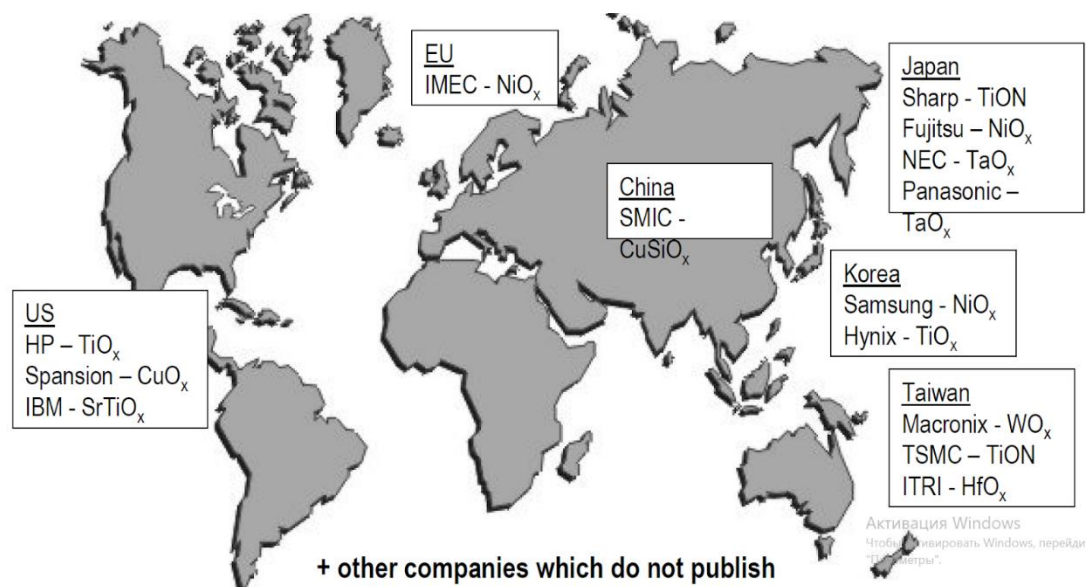


Рисунок 1.4 – Концентрація розроблених R-RAM по усій планеті [12]

Основні характеристики розроблених прототипів R-RAM представлено у таблиці 3.

Таблиця 3 – Порівняльна характеристика розроблених R-RAM [12]

	ITRI, IEDM 2008	NEC, VLSI 2010	Panasoni с, IEDM 2008	Univ. + IMEC, IMW 2010	Fujitsu, IEDM 2007
--	--------------------	-------------------	--------------------------------	------------------------------	--------------------------

Матеріали	TiN/Ti/HfO <sub>x</sub> /TiN	Ru/TiO <sub>x</sub> /TaO <sub>x</sub> /Ru	Pt/TaO <sub>x</sub> /Pt	Au/NiO <sub>x</sub> /TiN	Pt/Ti-doped NiO/Pt
Структура комірки	1T-1R	1T-1R	1T-1R	1T-1R	1T-1R
Полярність	Біполяр.	Однополяр.	Біполяр.	Однополяр.	Однополяр.
Стирання	2В, 25мкА	0.65В, 200мкА	1.5В, 100мкА	0.5В DC, 9.5мкА	1.9В, 100мкА
Запис	2.3В	2.8В	2В	2.7В DC	2.8В
Час переключення	<10нс	<1мкс	<100нс	—	10нс
Коефіцієнт вкл/викл.	~100х	100х	10х	5х-10х	90х
Довговічність, збереження даних	10 <sup>6</sup> , 10 років	10 <sup>5</sup> , 10 років	10 <sup>9</sup> , 10 років	130 циклів, —	100, 10 років

Основними сферами застосування можуть бути пристрої Інтернету речей (IoT), автономні транспортні засоби, дрони, робототехніка, переносимі пристрої, нейроморфні обчислення, глибоке навчання та машинне навчання тощо. [\[4\]](#)

## 1.2 Технічні рішення для побудови схеми програмування R-RAM

Типова структура напівпровідникової пам'яті показана на рисунку 1.5. Її можна розділити на три частини: масив пам'яті, інтерфейс введення/виведення та периферійні схеми. [\[1\]](#)

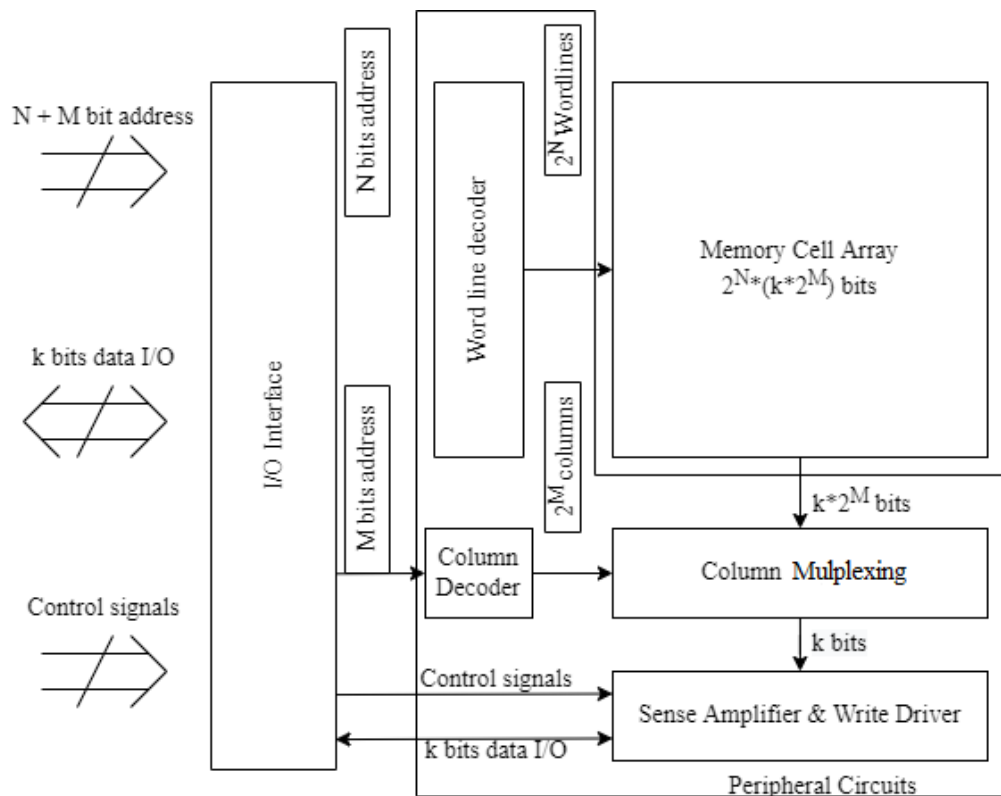


Рисунок 1.5 – Структура чіпу оперативної пам'яті [1]

Основною частиною даного типу пам'яті є масив пам'яті, який містить невеликі одиниці зберігання інформації, які називаються комірками пам'яті. Цей масив формується з ідентичних комірок, доступ до них формується групами, які називаються словами (8, 16 або 32 клітинки). Кількість слів у мікросхемі пам'яті набагато більше, ніж кількість бітів (комірок) у слові. Як правило, якщо масив пам'яті містить  $2^{N+M}$  слів, а кожне слово складається  $k$  комірок, тоді об'єм пам'яті масиву можна обчислити за формулою:

$$2^N * (2^M * k),$$

де  $2^N$  кількість рядків, а  $2^M * k$  кількість біт у рядку. [1]

Іншою важливою частиною мікросхеми пам'яті є інтерфейс вводу/виводу (I/O interface), функція якого полягає в перетворенні зовнішніх сигналів у внутрішні сигнали, які будуть прийматися периферійними схемами або навпаки. Якщо інтерфейс введення-виводу отримує адресу  $N+M$ , він надсилає перетворену адресу декодерам ( $N$  пар до декодера слів (WL decoder) і  $M$  пар до декодера стовпців).

При описі периферійних схем найбільшу увагу слід приділити декодерам, підсилювачам і драйверам запису. Основне призначення декодера (рисунок 1.8) полягає в тому, щоб вибрати рядок/стовпець слова, використовуючи адресу біта N/M, а потім підняти відповідні сигнали вибору на високу напругу. Утримуючи інші сигнали на низькому рівні, декодер може досягти потрібного рядка або стовпця.

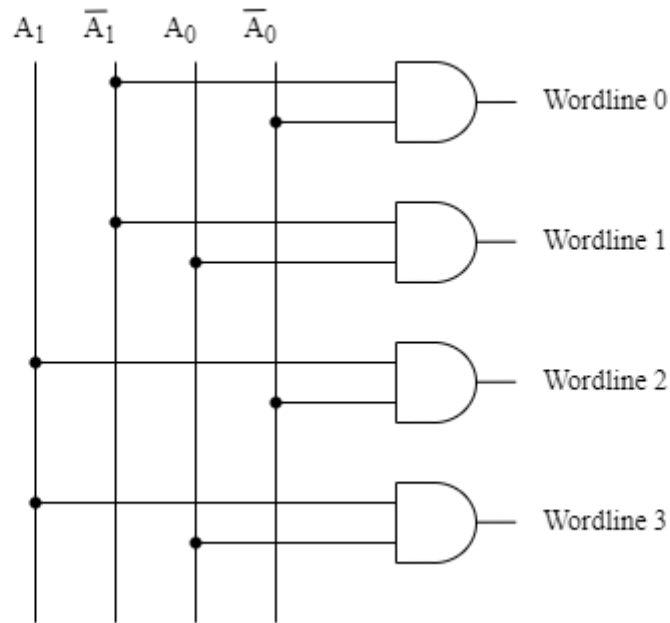


Рисунок 1.6 – Декодер  $2 \times 4$  з 4 можливими виходами (рядками слів) і двома парами комплементарних адрес [\[1\]](#)

### 1.2.1 Генератор струму

Для виконання дипломної роботи обрано генератор струму із зміщенням та стартапом (self-biasing reference with start-up circuit), що представлено на рисунку 1.7. [\[2\]](#)

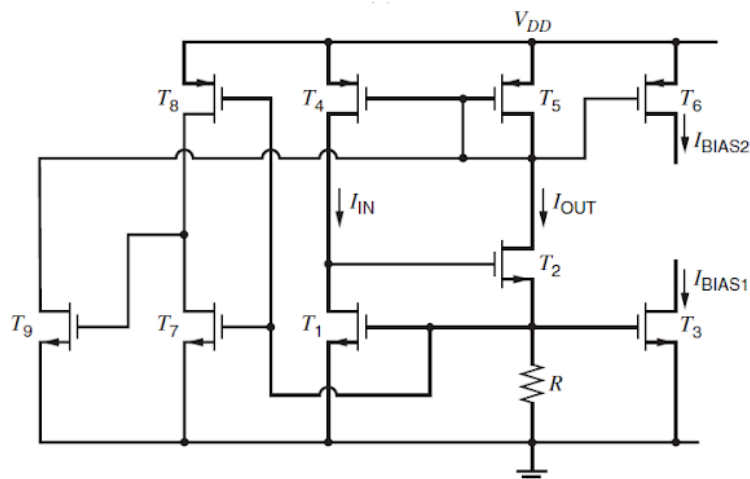


Рисунок 1.7 – Генератор струму  $V_t$  із самозміщенням та стартапом [2]

Однією із визначних характеристик даного джерела струму є техніка самозміщення (self-biasing), за допомогою неї знижується чутливість джерела живлення. Ідея техніки полягає у тому, що замість підключення резистора до джерела живлення, використовується підхід, коли вхідний струм безпосередньо залежатиме від вихідного струму самого джерела.

Найпростіше джерело з технікою самозміщення утворюється дзеркалом струму та джерелом, що схематично представлено на рисунку 1.8.

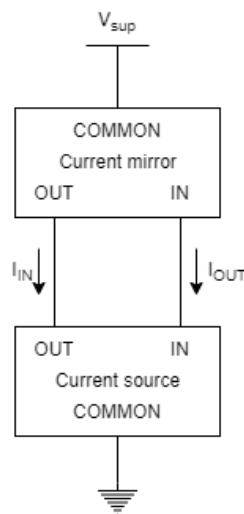


Рисунок 1.8 – Схематичне блокове представлення найпростішого джерела із властивістю самозміщення [2]

Відношення між  $I_{IN}$  та  $I_{OUT}$  регулюється безпосередньо як і джерелом струму, так і дзеркалом струму. Якщо вихідний струм починає збільшуватись, то дзеркало струму у свою чергу збільшує вхідний струм на таку ж величину, оскільки коефіцієнт підсилення дзеркала струму вважається одиницею. Іншими словами, дане з'єднання джерела струму та дзеркала струму, утворює петлю позитивного зворотного зв'язку, а коефіцієнт посилення навколо петлі є підсиленням джерела струму.

Дзеркало струму, що є складовою частиною генератора струму, є підсилювачем і якщо коефіцієнт підсилення дорівнює одиниці, вхідний струм відображається на виході, дана особливість і дала назву підсилювача.

Стан нульового струму у джерелі струму можна легко уникнути, використовуючи схему запуску(start-up). Це дає нам впевненість, що деякий струм все-таки буде протікати у транзисторах джерела, у результаті коефіцієнт підсилення в контурі зворотного зв'язку в точці В на рисунку 1.9 не опускався нижче одиниці. Обов'язковою вимогою також є те, що схема стартапу не має переривати або заважати нормальній роботі джерела після досягнення бажаної робочої точки А (рисунк 1.9).

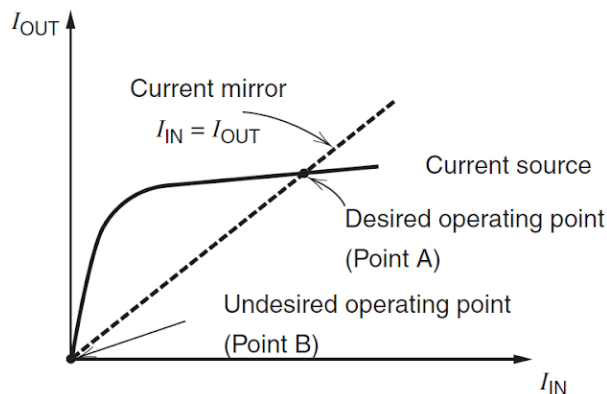


Рисунок 1.9 – Графік визначення робочої точки [\[2\]](#)

Отже, розуміючи визначні особливості обраного генератора струму (рисунк 1.7), можна проаналізувати його роботу. З рисунку видно, що джерело складається з дзеркала струму (пара  $T_4$ -  $T_5$ ) та джерела струму (пара  $T_1$  -  $T_2$ ). Нехай схема знаходиться у стані нульового струму, тоді напруга затвору-витоку (gate-source) транзистора  $T_1$  буде меншою за порогову напругу. У результаті цього, транзистор  $T_7$  буде у вимкненому стані, а  $T_8$  увімкнеться та підвищуватиме напругу затвору-витоку (gate-source) транзистора  $T_9$  до VDD. Після того, як транзистор  $T_9$  буде увімкнено напруга на затворах транзисторів  $T_4$ -  $T_5$  увімкне їх. Отже, цей механізм призводить до появи струму у транзисторах  $T_4$ -  $T_5$ , і результаті отримуємо уникнення стану нульового струму. У звичайному робочому режимі напруга затвору-витоку (gate-source)  $T_7$  підвищується до  $I_{OUT}R$ , що включає транзистор  $T_7$  і зменшує напругу  $T_9$ . Транзистори  $T_7$  та  $T_8$  формують інвертор, вихід якого знижується коли джерело в увімкненому режимі. [\[2\]](#)

Оскільки було вище зазначено, що стартап не повинен перешкоджати нормальній роботі джерела в усталеному стані, вихідна напруга інвертора  $T_7$  та  $T_8$  повинна впасти достатньо низько, щоб вимкнути транзистор  $T_9$  у стійкому режимі. Ця задача може бути легко вирішена, якщо задати співвідношення розмірів (ширини та висоти) каналу транзистора  $T_7$  набагато більшими за  $T_8$ .

### 1.2.2 Комірка пам'яті

У ході виконання дипломної роботи змодельовано роботу резистора використовуючи можливості мови Verilog A.

Використані характеристики комірки пам'яті з роботи: [5]

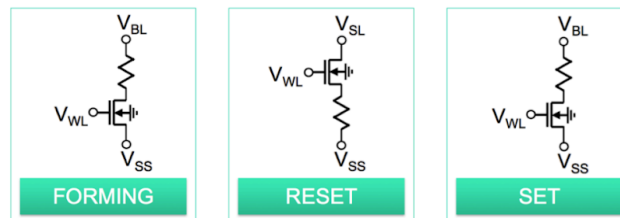


Рисунок 1.10 – Схема зміщення для режиму формування, стирання та запису [5]

При поданні напруги  $V_{WL} = 1.4$  В на DC характеристики (рисунок 1.11) можна побачити особливості роботи даного транзистора для процесу запису та стирання інформації.

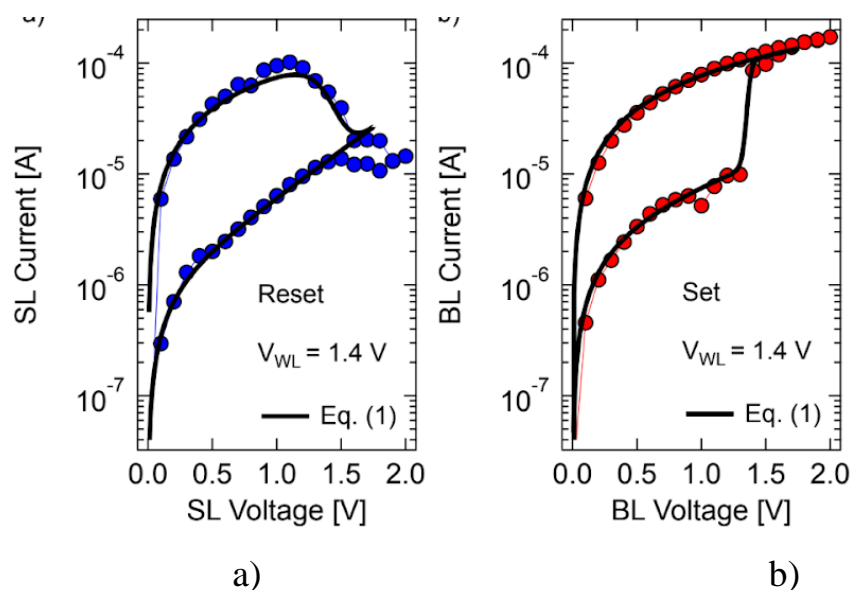


Рисунок 1.11 – Типові характеристики стирання (a) та запису (b) [5]

Визначною характеристикою представленого графіку для процесу запису є різке зменшення опору резистора при напрузі BL(bit line) 1.3 В з 100кОм до 10кОм. А особливістю процесу стирання є різке зростання опору при напрузі SL(source line) 1.3 В з 10кОм до 100кОм. З аналізу джерел технічних рішень для програмування використовується генератор напруги. Використання генератора току має свої переваги над генератором напруги, адже подавши різні рівні струму можемо отримати різний (проміжний) опір резистора, а значення напруги важко забезпечити задля отримання різних рівнів опору. Різниця напруги для різних рівнів опору може бути в межах похибки джерела напруги.

### 1.3 Середовище розробки Cadence

Початкове вікно, що з'являється при запуску Cadence, – Вікно Інтерпретатора Команд (Command Interpreter Window, CIW), у ньому будуть показані виявленні помилки при перевірці схеми чи коду (рисунок 1.12). [\[6\]](#)

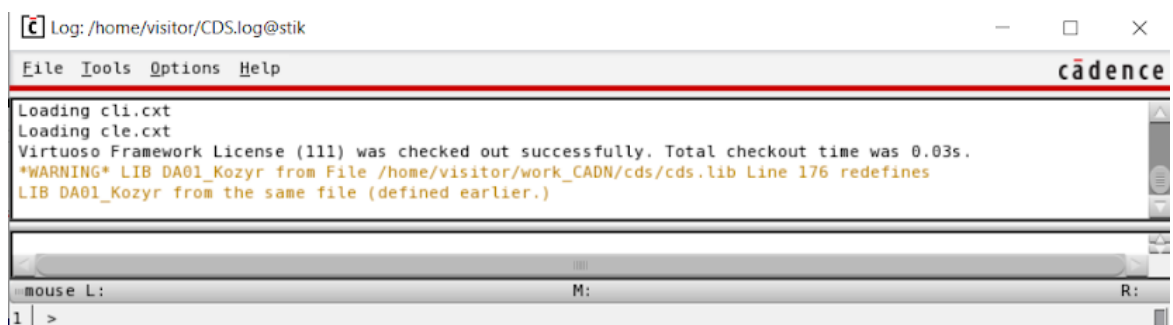


Рисунок 1.12 – Вікно інтерпретатора команд

При натисканні Tools → Library Manager відкриться вікно навігації по бібліотекам та їх коміркам у якому я вже створила власну бібліотеку для роботи над дипломною роботою шляхом File → New → Library (рисунок 1.13).



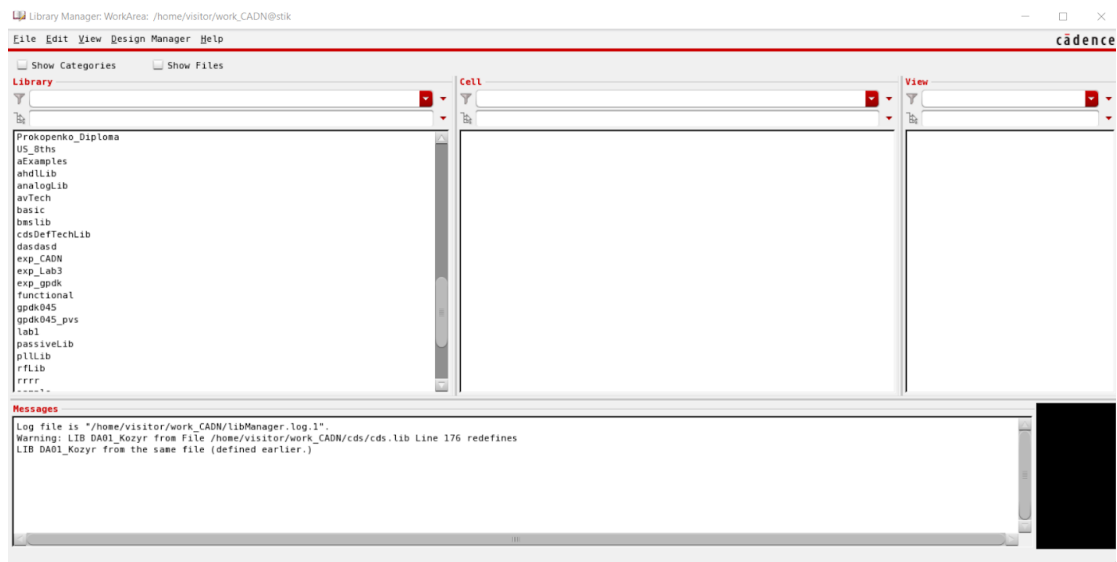


Рисунок 1.13 – Вікно Library Manager

У бібліотеці створюємо комірку «Self-biasing\_reference» з типом «schematic» у ній ми будемо розробляти генератор струму (рисунок 1.14).

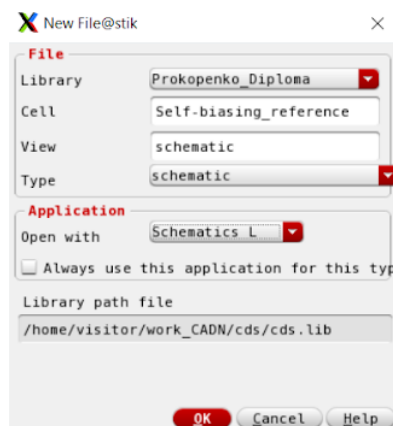


Рисунок 1.14 – Створення комірки з типом «schematic»

Середовище для розробки типу «schematic» багатфункціональне, тому для розгляду усіх його можливостей розробники створили «User guide». При натисканні на вкладку Help у вікні Інтерпретатора Команд або Менеджера бібліотеки можна ознайомитись з User Guide, що дасть змогу опанувати середовище Cadence у всіх аспектах (рисунок 1.15). [\[6\]](#)

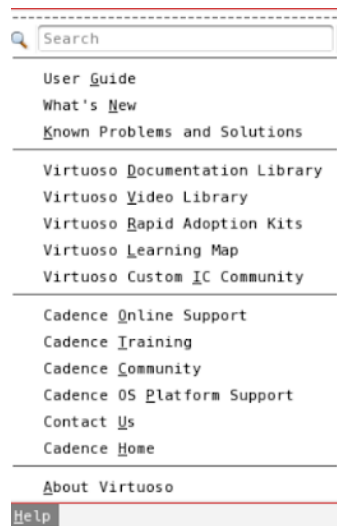


Рисунок 1.15 – Вкладка Help у вікні Інтерпретатора команд

При виконанні дипломної роботи використовувались такі типи як «schematic» (рисунок 1.16), «layout» (рисунок 1.17), «Verilog A» (рисунок 1.18).

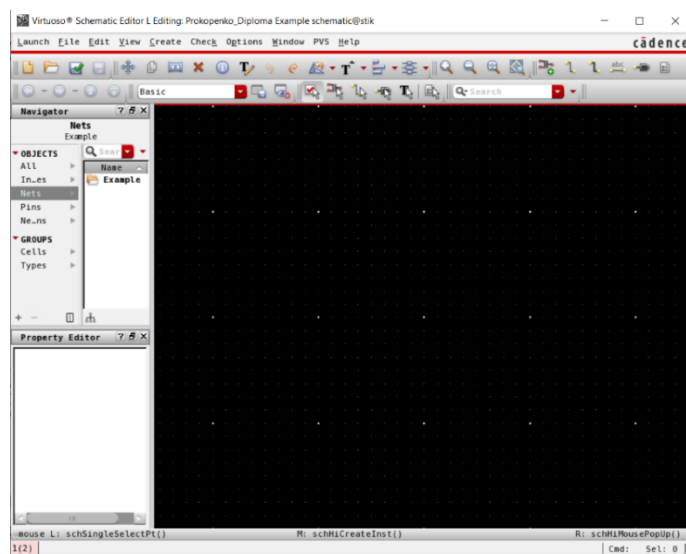


Рисунок 1.16 – Середовище для розробки схеми

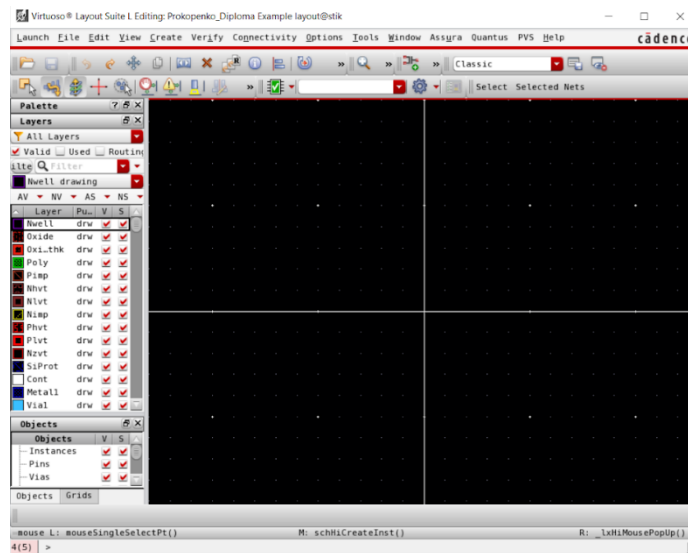


Рисунок 1.17 – Середовище для розробки топології

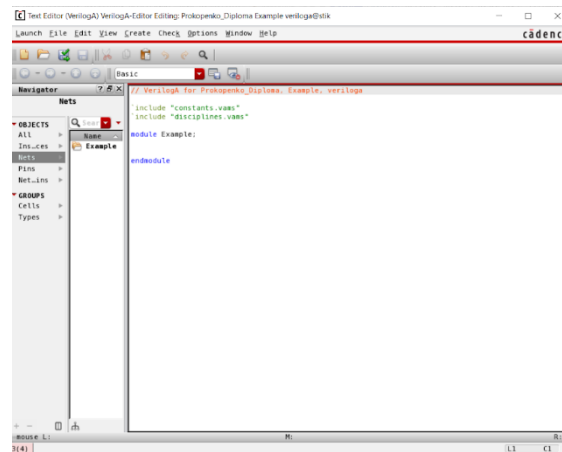


Рисунок 1.18 – Середовище для розробки елементів схеми мовою Verilog

А

## Висновки до розділу 1

- проаналізовано схеми, характеристики та властивості елементів пам'яті;
- обрана схема для розробки генератора струму з технікою самозміщення, що забезпечує незалежність вихідного струму від змін напруги живлення та температури. Вирізною особливістю даного технічного рішення для генератора струму є також техніка стартапу, що дозволить джерелу самостійно вийти зі стану нульового струму та налаштуватись на робочий режим.

- визначені орієнтовні параметри комірки пам'яті. Показано, що вирізною особливістю резистора є різка зміна опору з 100кОм до 10кОм при напрузі 1.3В. Описані показники стали основою для побудови моделі резистора.

- визначені параметри схем керування програмуванням враховуючи загальну структуру резистивної енергонезалежної пам'яті.

## **2 РОЗРОБКА СХЕМИ ПРОГРАМУВАННЯ РЕЗИСТИВНИХ ЕЛЕМЕНТІВ ПАМ'ЯТІ ДЛЯ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ**

### **2.1 Розробка та тестування генератора струму як елементу програмування резистивних елементів пам'яті**

#### **2.1.1 Побудова схеми генератора струму**

Обрання транзисторів на 2V для схеми програмування резистивних елементів пам'яті зумовлено потребою незалежності від значення напруги живлення, оскільки задача програмування резистивних елементів пам'яті потребує побудови джерела струму, на яке не впливатиме зміна напруги.

У польових транзисторах глибина каналу провідності рівномірно регулюється напругою на затворі  $V_G$ , а значення струму стоку  $I_S$  відповідно збільшує розмір ширини каналу від стоку до витoku (рис. 2.1). Для прикладу розглянемо pmos транзистор, при деякому значенні струму  $I_S = I_{S \text{ насичення}}$  та напруги  $U_{SD} = U_{SD \text{ насичення}}$  канал провідності біля сильно легованої області стоку перекривається, завдяки цьому струм стоку досягає значення насичення, іншими словами опір каналу досягає максимального значення та майже не змінюється  $R_{SD} = \text{const}$ , тобто у цьому випадку транзистор працює у режимі, що називається насиченням. [\[13\]](#)

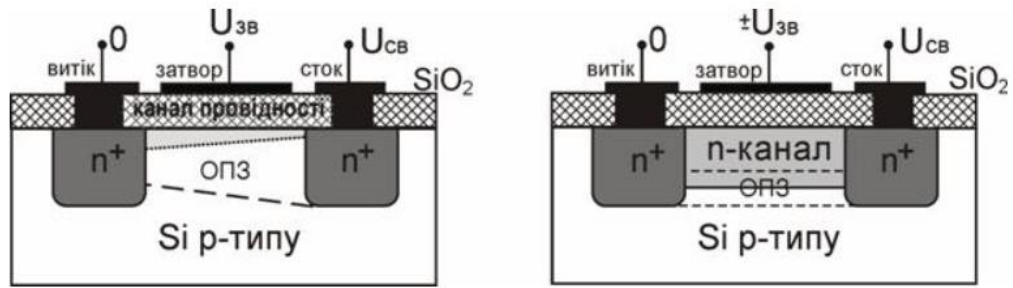


Рисунок 2.1 – Будова n-канального MOS транзистора [13]

Коли транзистор досягає такого режиму, зміна напруги  $U_{SD}$  майже не впливатиме на струм стоку. Для того, щоб отримати потрібні значення струму на виході транзистора скористаємось формулою:

$$I_{SD} = \frac{1}{2} \mu_p C_{ox} \cdot \frac{W}{L} (V_{GS} - V_{th})(1 + \lambda V_{DS}),$$

де  $W, L$  – ширина та довжина каналу транзистора,  $V_{GS}$  – напруга затвора-витоку,  $V_{DS}$  – напруга витоку-стоку,  $V_{th}$  – порогова напруга,  $\mu_p$  – рухомість дірок/електронів (mobility), а  $C_{ox}$  – питома ємність затвора,  $\lambda$  – додатковий коефіцієнт по довжині каналу (the channel length modulation coefficient). [3]

Відповідно до формули, можна розрахувати потрібне значення струму на виході, маючи значення усіх інших змінних. Проте Cadence надає можливості демонстрації потрібного рівня струму на виході, відповідно до встановлених параметрів (ширини та висоти) каналу транзистора. Для початку на виході генератора струму маємо за мету досягти 100мкА.

Потрібні розміри транзисторів схеми можна розрахувати використавши схему (рисунок 2.2), у ній на затвор транзистора подаємо постійну напругу 700mV.

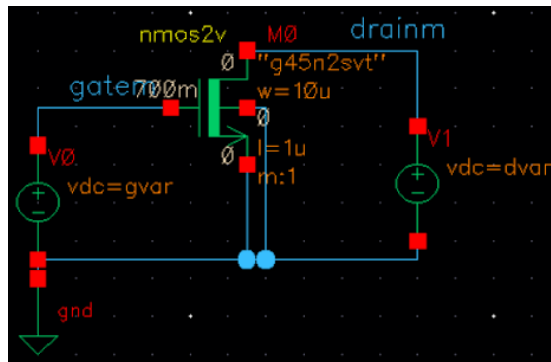


Рисунок 2.2 – Схема для розрахування розмірів nmos2v транзистора для генератора струму

Отже, при поданні постійної напруги 0.7В на затвор транзистора з розмірами 10мкм та 1мкм будемо змінювати значення напруги стоку-витоку від 0 до 2В. На графіку вольт-амперної характеристики отримаємо значення вихідного струму та напруги насичення.

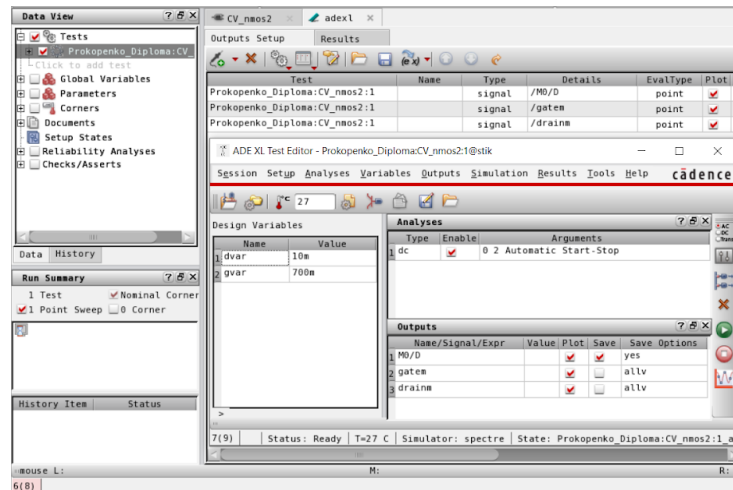


Рисунок 2.3 – Вікно середовища Віртуозо для аналогового тестування (Virtuoso Analog Design Environment XL)

Для розрахунку використаємо DC аналіз, змінна dvar, що відповідає напрузі стоку-витоку VDS, буде змінюватись незалежно від часу від 0 до 2В. Запустивши тестування отримаємо графік вольт-амперної характеристики (рисунок 2.4) бачимо, що значення струму досягає 100мкА при напрузі 2В, а також напруга насичення рівна 0,3В

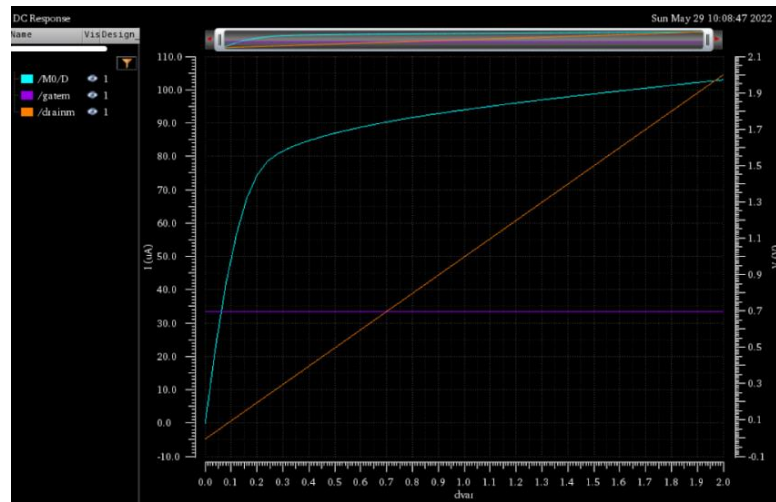
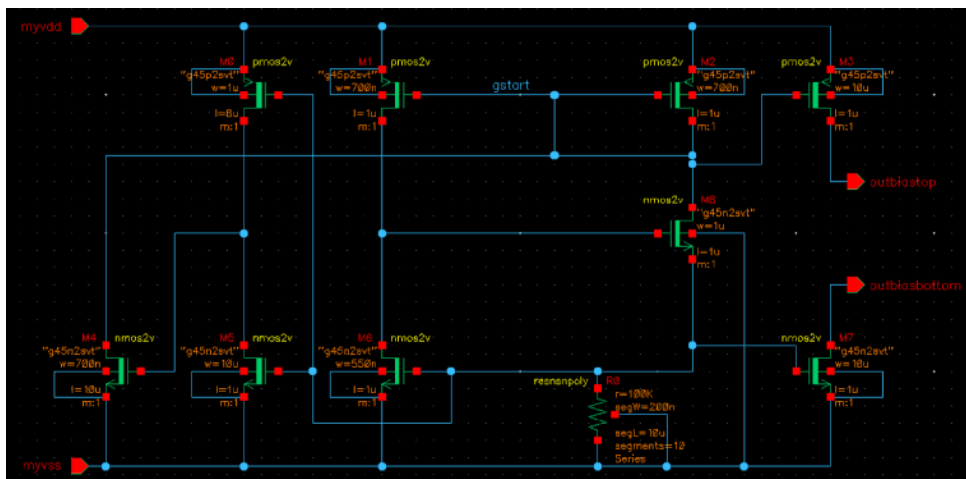
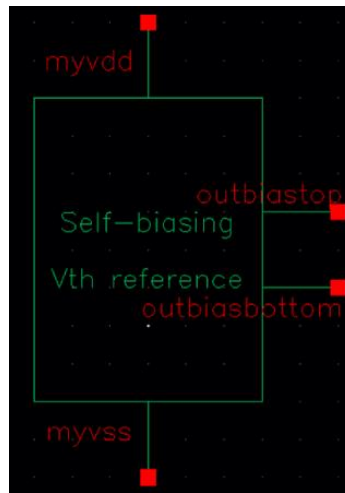


Рисунок 2.4 – Графік вольт-амперної характеристики транзистора з шириною 10мкм та довжиною 1мкм

Змінюючи розміри транзистора можна регулювати струм, який проходить через нього, крім того збільшуючи значення довжини каналу транзистора можна досягти зменшення залежності струму на витоку транзистора від зміни напруги VSD. [2] Аналогічно розрахувавши розміри усіх pmos2v та nmos2v транзисторів побудуємо схему джерела струму(рисунок 2.5).



a)



b)

Рисунок 2.5 – Схема (а) та символ (b) джерела струму із самозміщенням та стартапом

Структура побудованого генератора базується та джерелі струму та дзеркалі струму, що забезпечують самозміщення, тобто незалежність струму на виході генератора від змін напруги живлення.

Схема для тестування джерела показана на рис 2.6. На вхід myvdd подаємо змінну напругу від джерела vpulse, розмах якої буде обмежений 0 та 2V, на виходи додатково поставимо резистори, які тимчасово замінять комірку пам'яті.

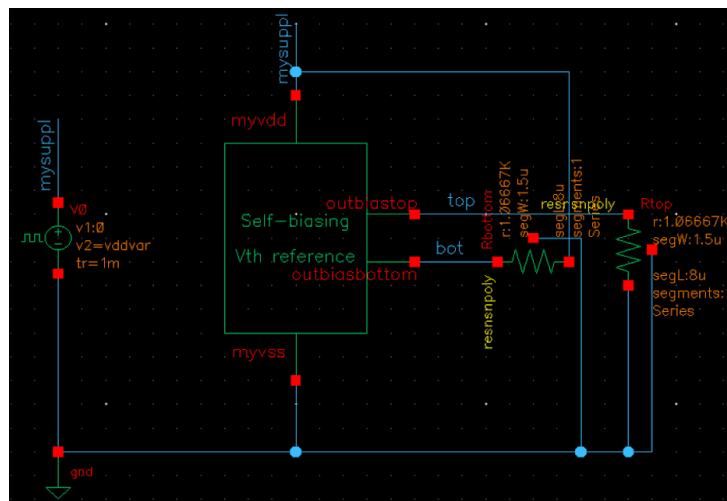


Рисунок 2.6 – Допоміжна схема для тестування джерела струму

Результати часового аналізу (tran) джерела струму - рис 2.7. Наведений графік демонструє, що побудоване джерело генерує струм 100mA, також на ньому представлено всі струми та напруги, що діють у схемі.



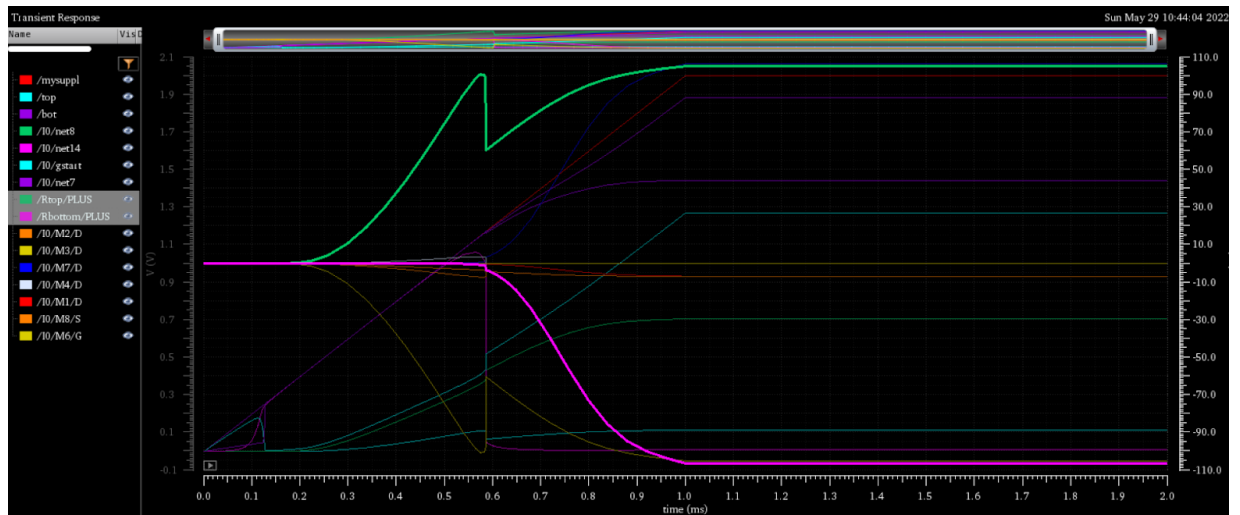


Рисунок 2.7 – Часовий аналіз побудованого джерела струму із  
самозміщенням та стартапом

### 2.1.2 Модифікація джерела струму

Для забезпечення можливості запису у комірку пам'яті різних логічних рівнів, необхідне джерело струму з різними рівнями струму. Дана задача вирішена за допомогою розробки схеми зміни струму за допомогою цифрових вхідних сигналів, що складатиметься з двох аналогових ключів транзистора та резистора для обнулення напруги на затворі транзистора після його вимкнення. Схема аналогового ключа - рисунок 2.8.

Аналоговий ключ — елемент електричної схеми, що використовується для передачі аналогових сигналів. [9] У розробленій схемі для вибору рівня струму перший аналоговий ключ пропускатиме напругу від основної частини генератора струму при умові, що на вхід inG подається 2V, у іншому випадку аналоговий ключ замкнутий. Другий аналоговий ключ вмикається і пропускає сигнал лише при вимкненому першому ключі, його основна задача — відкривати можливість резистору розряджати накоплений заряд на затворі вимкненого вихідного транзистора.

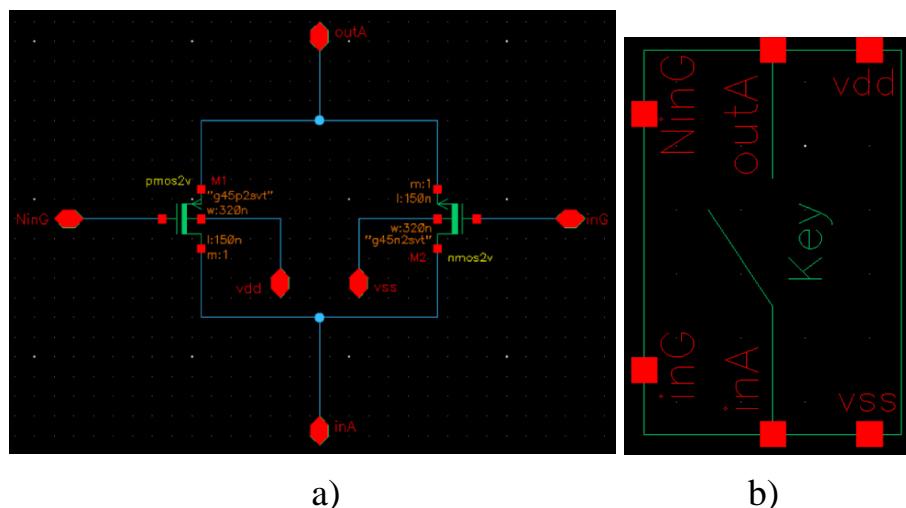


Рисунок 2.8 – Схема (a) та символ (b) аналогового ключа

Два ключа, вбудованих у схему вибору рівня струму мають вмикати чи вимикати вихідний транзистор залежно від вхідного сигналу, що подаватиметься на вхід inG першого та на NinG другого ключів. Також інвертований сигнал подаватиметься на Ning першого та inG другого ключів, для цього необхідно побудувати інвертор(рисунок 2.9).

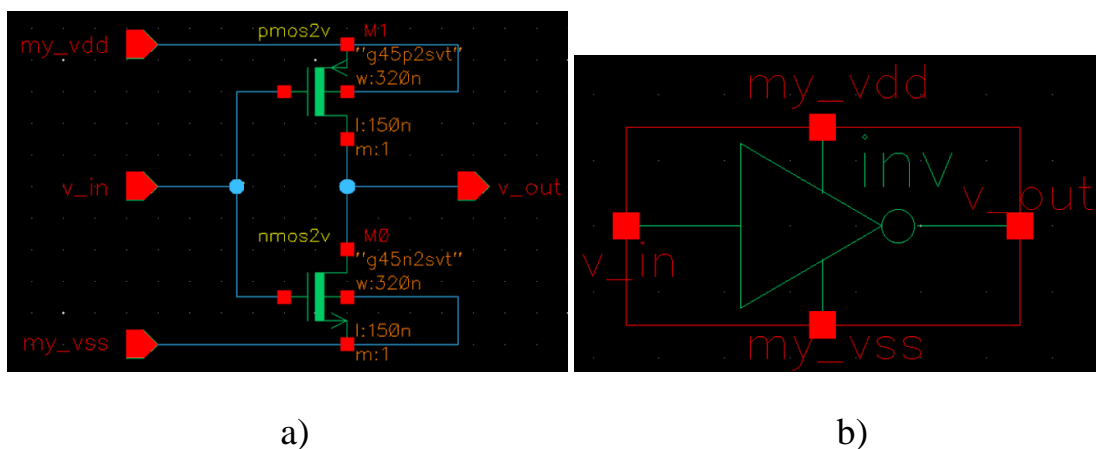
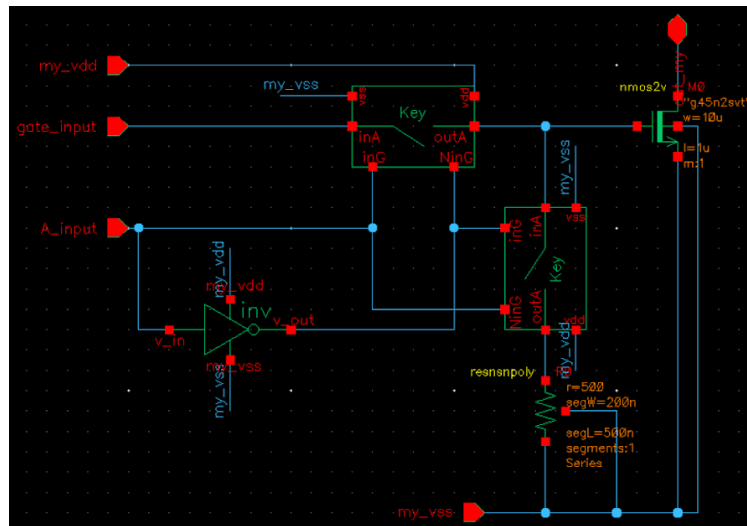
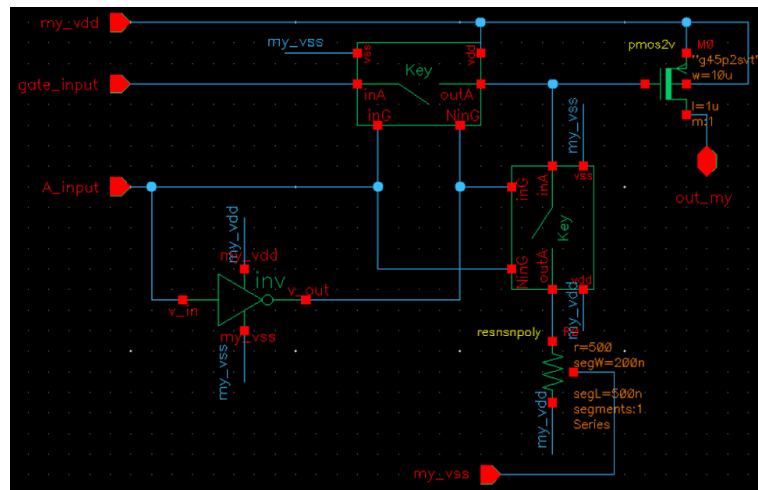


Рисунок 2.9 – Схема(a) та символ (b) інвертора

Схема для вибору рівня струму побудована з використанням двох аналогових ключів, інвертора, резистора та транзисторів pmos2v та nmos2v (рисунок 2.10). Різниця доданих схем для вибору рівня струму полягатиме лише у розмірах каналу вихідного транзистора. У схему будуть додані три пари (nmos-pmos) схем вибору рівня струму для генерації 8 (23) різних рівнів струму.



a)



b)

Рисунок 2.10 – Схеми для вибору різних рівнів струму на nmos2v (a) та pmos2v (b)

З 6 такими схемами для вибору рівня струму (3 пари pmos-nmos) розроблено схему генератора струму з можливістю вибору різних рівнів струму на виході (рисунок 2.11). Адресні сигнали A0, A1 та A2 необхідні для обрання потрібного струму на виході, залежно від вхідної комбінації на A0A1A2(таблиця 4).

Таблиця 4 – Відповідність адресної комбінації на вході A0, A1, A2 значенню вихідного струму

Комбінація A0A1A2 на вході	Значення струму на виході
000	0А
001	25мкА
010	50мкА
011	75мкА
100	100мкА
101	125мкА
110	150мкА
111	175мкА

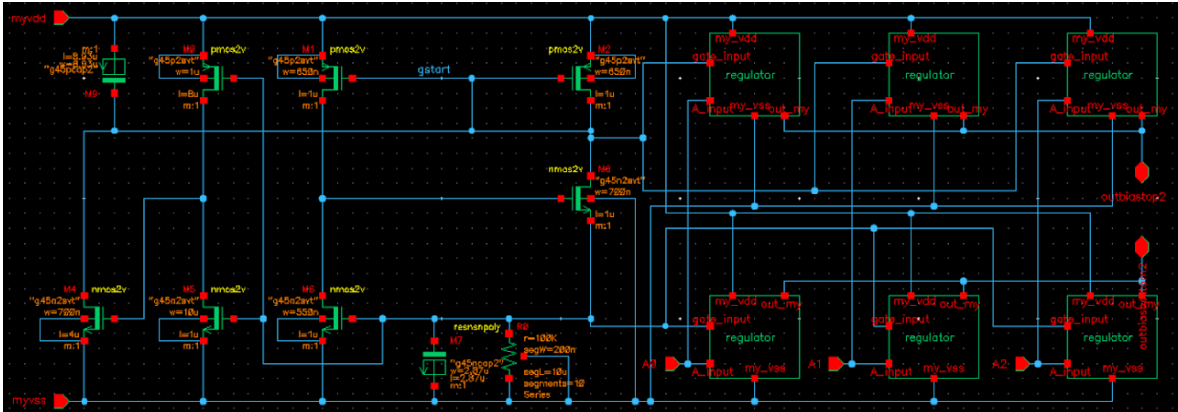


Рисунок 2.11 – Схема модифікованого генератора струму із самозміщенням та стартапом

Додання конденсаторів обумовлено потребою розірвати паразитний зв’язок, який може привести до паразитних коливань.

Для формування різних рівнів опору (30кОм, 20кОм, 10кОм) генератор струму забезпечує значення струму 10мкА, 14мкА, 18мкА. Загальний вигляд модифікованого генератора представлено на рис. 2.12.

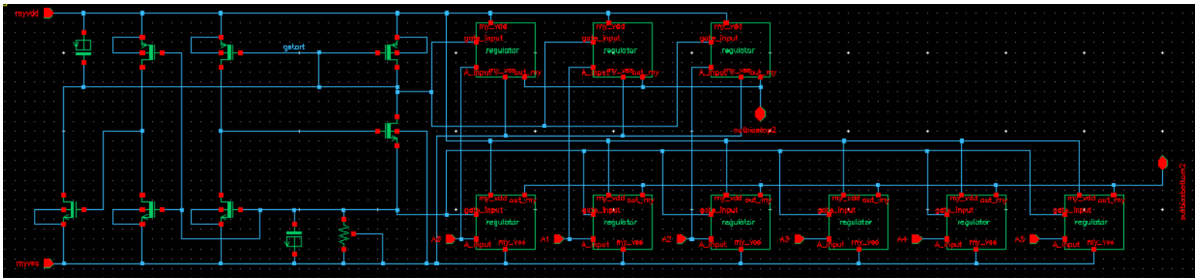


Рисунок 2.12 – Схема модифікованого генератора струму з дев'ятьма рівнями струму на виході

### 2.1.3 Тестування модифікованого генератора струму

Для отримання можливості провести часовий аналіз застосована допоміжна тестова схема (рисунок 2.13). На вхід подаватиметься напруга з затягнутим переднім фронтом, що зроблено, для того, щоб у генератора спрацювала схема стартапу. На адресні сигнали A0, A1, A2 подаватиметься змінна напруга для перевірки усіх 8 комбінацій. Зазначимо основні комбінації та струм на виході: 100 – 100мкА, 010 – 50мкА та 001 – 25мкА. Допустима похибка можлива  $\pm 5$  мкА (5%). На вихід генератора струму буду додано резистор з опором 10кОм та конденсатор з ємністю 10пФ для моделювання роботи комірки пам'яті.

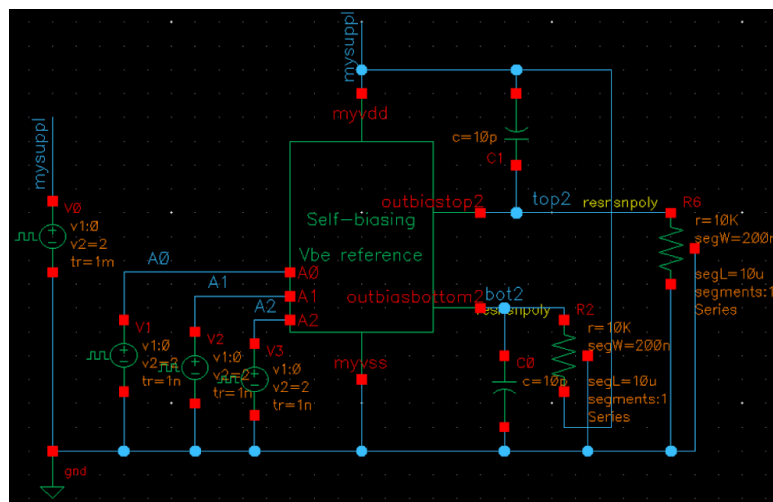


Рисунок 2.13 – Допоміжна схема з модифікованим генератором струму для тестування

Аналізуючи результати часового аналізу(рис. 2.14), можна побачити, що при поданні напруги 2В на вхід A0, залишаючи A1 та A2 з напругою 0В на виході outbiasbottom отримуємо струм 100,95мкА, а на виході outbiastop - 95,44мкА, що відповідає прогнозованим результатам з допустимою похибкою менше 5%. При вхідній комбінації 010 на виходах outbiasbottom та outbiastop отримуємо струм 54,1мкА та -50,45мкА відповідно.

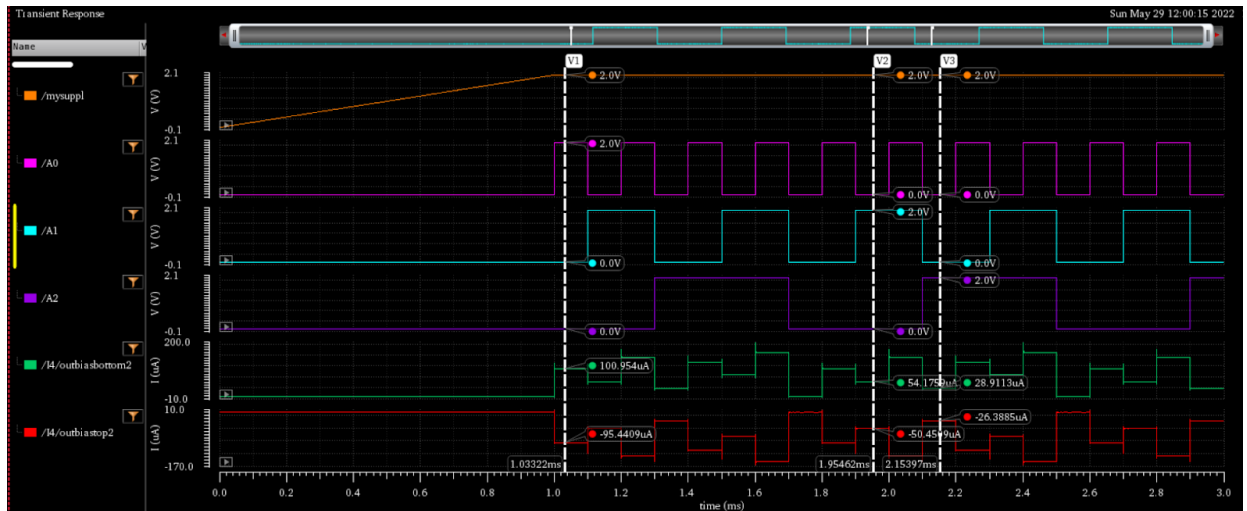


Рисунок 2.14 – Графік часового (tran) аналізу генератора струму із самозміщенням та стартапом

Аналогічно перевіривши вихідний струм при 8 можливих комбінаціях, можна зазначити повну відповідність роботи схеми очікуваним результатам.

Одним із вирізних аспектів джерела струму є його залежність від температури:

$$TC_F = \frac{1}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial T},$$

де  $I_{OUT}$  – вихідний струм розробленого генератора струму,  $\frac{\partial I_{OUT}}{\partial T}$  – похідна від вихідного струму по температурі. [2]

Таку залежність найбільш зручно виразити у термінах відносно вихідного струму на градус Цельсія зміни температури (температурним коефіцієнтом). Приклад температурного коефіцієнта для даного джерела з вихідним струмом 100uA при температурі 30°C:

$$\begin{aligned} TC_F &= \frac{1}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial T} = \frac{1}{100 * 10^{-6} A} \cdot \left( -\frac{19.169 * 10^{-9} A}{^{\circ}C} \right) \\ &= \frac{1}{100 * 10^{-6} A} \cdot \left( -\frac{19.169 * 10^{-9} A}{^{\circ}C} \right) = 0.00019169 \\ &= -191 * 10^{-6} = -191,69 \text{ ppm}/^{\circ}C \end{aligned}$$

$$\begin{aligned}
 TC_F &= \frac{1}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial T} = \frac{1}{-95.3279 * 10^{-6} A} \cdot \left( \frac{37.1603 * 10^{-9} A}{^{\circ}C} \right) \\
 &= \frac{1}{-95.3279 * 10^{-6} A} \cdot \left( \frac{37.1603 * 10^{-9} A}{^{\circ}C} \right) = 0.000389816 \\
 &= -389.817 * 10^{-6} = -389.817 \text{ ppm}/^{\circ}C
 \end{aligned}$$

У середовищі Cadence інтерактивний калькулятор (рисунок 2.15) дає можливість порахувати основні залежності чи базові функції.

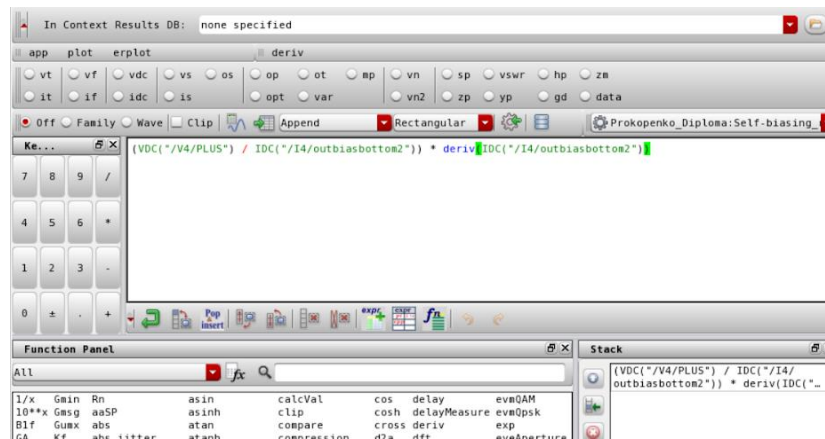


Рисунок 2.15 – Інтерфейс вбудованого у Cadence інтерактивного калькулятора

За допомогою калькулятора розраховані температурні коефіцієнти для температур від -60°C до 160°C, результати відображено на рис. 2.16 – 2.18.

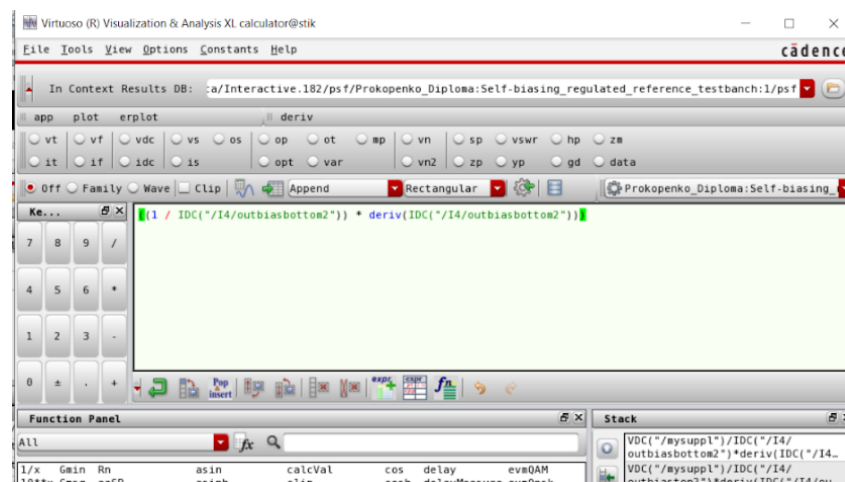


Рисунок 2.16 – Розрахунок температурного коефіцієнта за допомогою калькулятора

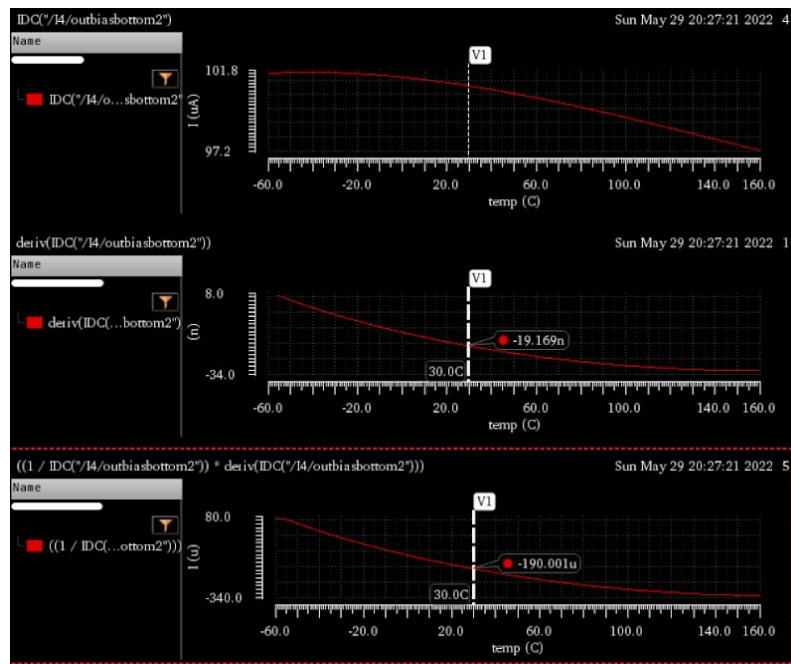


Рисунок 2.17 – Для виходу outbiasbottom2: 1 – графік зміни струму від змін температури; 2 – похідна від струму по температурі; 3 – графік коефіцієнтів залежності струму від температури

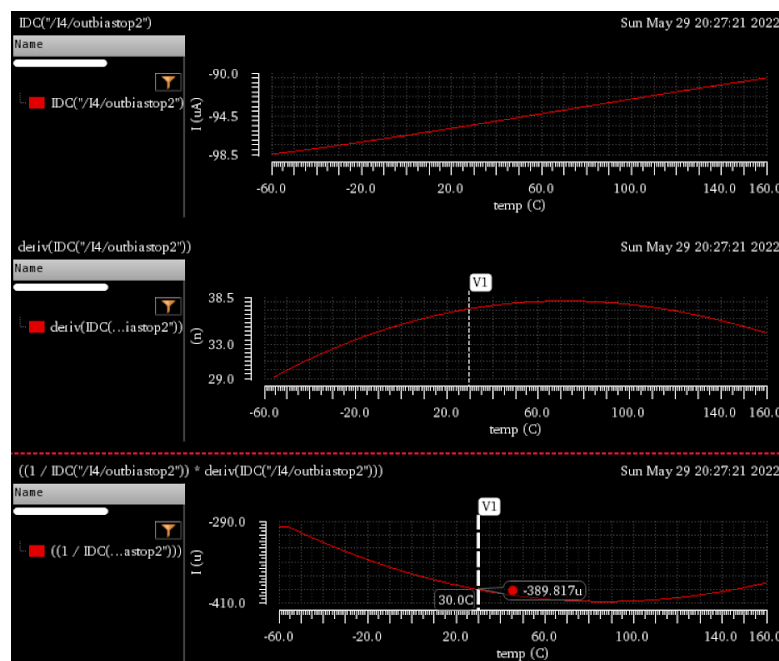


Рисунок 2.18 – Для виходу outbiastop2: 1 – графік зміни струму від змін температури; 2 – похідна від струму по температурі; 3 – графік коефіцієнтів залежності струму від температури

Коефіцієнт чутливості до зміни напруги живлення розрахований за формулою:



$$S_{V_{SUP}}^{I_{OUT}} = \frac{V_{SUP}}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial V_{SUP}},$$

де  $V_{SUP}$  – напруга живлення,  $I_{OUT}$  – струм на виході побудованого генератора струму,  $\frac{\partial I_{OUT}}{\partial V_{SUP}}$  – похідна від вихідного струму по напрузі живлення. [2]

Таку залежність прийнято виражати відсотках. Приклад розрахунку коефіцієнта чутливості до зміни напруги живлення для даного джерела струму з вихідним струмом 100uA при напрузі 2В:

$$S_{V_{SUP}}^{I_{OUT}} = \frac{V_{SUP}}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial V_{SUP}} = \frac{2 \text{ V}}{-95.44 * 10^{-6} \text{ A}} \cdot \left( \frac{-13.777 * 10^{-6} \text{ A}}{\text{V}} \right) \\ = 0,288705 \text{ або } 28,8705 \%$$

$$S_{V_{SUP}}^{I_{OUT}} = \frac{V_{SUP}}{I_{OUT}} \cdot \frac{\partial I_{OUT}}{\partial V_{SUP}} = \frac{2 \text{ V}}{100.95 * 10^{-6} \text{ A}} \cdot \left( \frac{34.365 * 10^{-6} \text{ A}}{\text{V}} \right) \\ = 0,680832 \text{ або } 68,0832 \%$$

За допомогою калькулятора розраховані коефіцієнти для зміни напруги на 5% та представлено результат у вигляді графіку (рисунок 2.19 та рисунок 2.20).

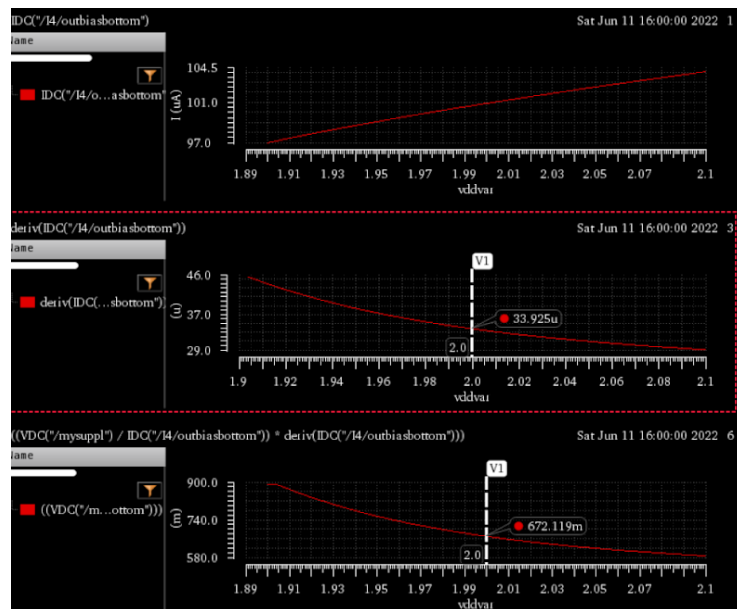


Рисунок 2.19 – Для виходу outbiasbottom: 1 – графік зміни струму від змін напруги; 2 – похідна від струму по напрузі; 3 – графік коефіцієнтів залежності вихідного струму від напруги живлення

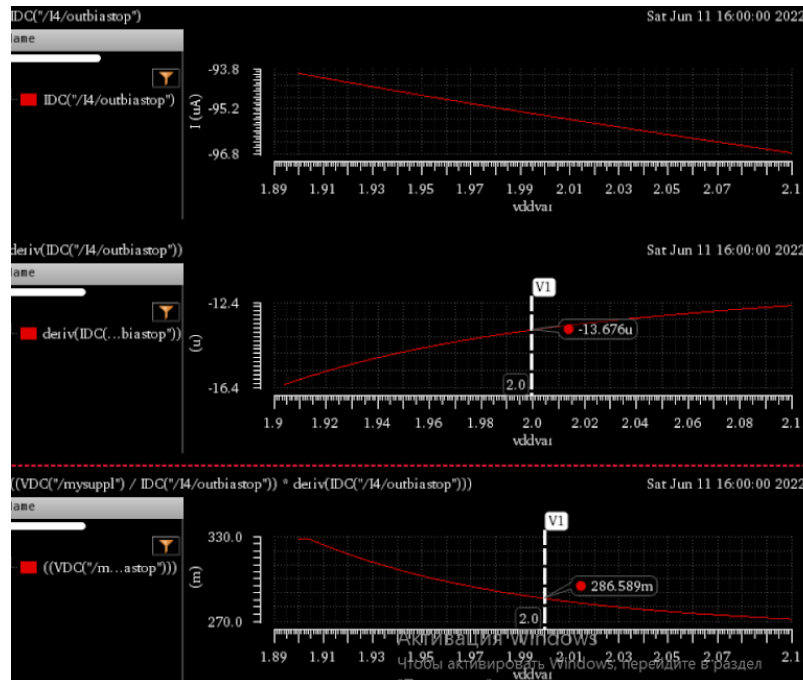


Рисунок 2.20 – Для виходу outbiastop: 1 – графік зміни струму від змін напруги; 2 – похідна від струму по напрузі; 3 – графік коефіцієнтів залежності вихідного струму від напруги живлення

Визначення мінімальної напруги живлення для розробленого генератора струму:

З формули для напруги живлення:

$$V_{DD} = V_{GS2} + V_{GS6} + V_{ov8} = V_{th2} + V_{ov2} + V_{th6} + V_{ov6} + V_{ov8},$$

де  $V_{GS}$  – напруга затвору-витоку 2 та 6 транзисторів генератора струму,  $V_{th}$  – порогова напруга,  $V_{ov}$  – напруга насичення, а  $V_{DD}$  – напруга живлення. [2]

$$V_{ov} = \sqrt{\frac{2I}{\mu_p C_{ox} \cdot \frac{W}{L}}},$$

де  $W, L$  – ширина та довжина каналу транзистора, а  $C_{ox}$  – питома ємність затвора,  $\mu_p$  – рухомість дірок/електронів (mobility),  $I$  – струм на виході. [2]

Розрахуємо мінімальну напругу живлення:

$$V_{DD} = V_{th2} + V_{ov2} + V_{th6} + V_{ov6} + V_{ov8} = 0,5V + 0,5V + 0,2V + 0,2V + 0,2V = 1,6V$$

За результатами тестування схема генератора струму потребує доробок для зменшення впливу напруги живлення. Для досягнення задачі можливі декілька варіантів:

- збільшення опору резистора у джерелі струму схеми, для того, щоб зменшити струм джерела і відповідно зменшити напругу насичення;
- збільшення довжини та ширини каналів транзисторів;

### **Висновки до розділу 2.1**

- розроблено схему вибору рівня струму для генерації 8 різних рівнів;
- для спрощення моделювання розроблена допоміжна схема для процесу запису у комірку пам'яті. Дана схема показала очікувані результати на усіх вхідних комбінаціях A0, A1, A2 з похибкою не більше 5uA;
- тестування генератора від змін температури показали малу залежність струму від температури;
- показана можливість покращення характеристик залежності від напруги живлення при подальших розробках.

## **2.2 Розробка моделі комірки пам'яті з використанням мови Verilog A**

Для резистивної оперативної пам'яті переважною є архітектура 1T1R (один транзистор, один резистор), транзистор використовується для виділення струму у комірки, які обираються, з поміж тих, які не є такими. Основним елементом вважається резистор, на який подається відповідний струм або напруга для операцій запису, стирання та зчитування.

### **2.2.1 Розробка моделі резистора комірки пам'яті з використанням мови Verilog A**

При аналізі вольт-амперної характеристики (рисунок 1.13) комірки пам'яті R-RAM можна виявити різку зміну значення опору при напрузі 1.3В від 15кОм до 150кОм (процес стирання) та навпаки від 150кОм до 15кОм (процес запису).

Розроблені моделі для програмування напругою та струмом мовою Verilog A [\[6\]](#):

Модель для програмування напругою:

- має два режими залежно від значення `key_mode`, при 1 розрахунок значення струму відбувається за законом Ома, при двох значення опору, а при 0 розрахунок значення струму відбувається за формулою з статті [\[5\]](#);

- у розробленій моделі для `key_mode = 1` можна змінювати значення максимального і мінімального опору транзистора а також напругу перемикання опору, для цього не потрібно заходити безпосередньо у код програми;

- у моделі для `key_mode = 0`, можливе налаштування потенціальної висоти бар'єру, амплітуди та фази сигналу.

```
`include "constants.vams"
```

```
`include "disciplines.vams"
```

```
module Resistor_my( p, n );
```

```
inout p, n;
```

```
electrical p, n;      // Signals are analog signals
```

```
// LOCAL VARIABLES:
```

```
real iout;
```

```
real der_val;
```

```
real a;
```

```
real r_min = 15K;
```

```
real r_max = 150K;
```

```
parameter real sw_set = 1.3;
```

```
parameter real sw_reset = -1.3 ;
```

```
parameter integer key_mode = 1;
```

```
parameter integer analys_mode = 0;
```

```
// SET MODE
```

```
parameter real w_s = 6.28K;
```

```

parameter real Amp_s = 2;//V
parameter real bh_s = 1.25;//eV
parameter real phase_s = 0.88;//0.88
parameter real a0_s = 2;// 1/(eV)
parameter real ar_s = 60;// 1/V

```

```

// RESET MODE

```

```

parameter real w_r = 6.28K;
parameter real Amp_r = 2;//V
parameter real bh_r = 0.8;//eV
parameter real phase_r = 4.15;//4.15
parameter real a0_r = 3.9;//1/eV
parameter real ar_r = 11; // 1/V

```

```

real e = -1.6*pow(10, -19);// C
real h = 4.136*pow(10,-15);// eV
real a_var;
real V_t;
real V_f;

```

```

//=====

```

```

=====

```

```

analog begin

```

```

if (analys_mode == 0) der_val = ddt(V(p,n));

```

```

if (key_mode == 1) begin

```

```

    if (V(p,n) > 0) begin

```

```

        if (der_val > 0) begin

```

```

            if (V(p,n) < sw_set) iout = V(p,n)/r_max ;

```

```

        if (V(p,n) >= sw_set) iout = V(p,n)/r_min;
        end

```

```

    if (der_val < 0) begin
        iout = V (p,n) / r_min ;
        end
    end

```

```

    if (V(p,n) < 0) begin
        if (der_val < 0) begin
            if (V(p,n) > sw_reset) iout = (V(p,n))/r_min ;
            if (V(p,n) <= sw_reset) iout = V(p,n)/r_max;
            end
        if (der_val > 0) begin
            iout = V (p,n) / r_max ;
            end
        end
    end
end

```

```

if (key_mode == 0) begin
    if ( V(p,n) > 0 ) begin
        V_f = sin(w_s*$abstime + phase_s);
        V_t=V(p,n);
        a_var = a0_s / ( 1 + exp(ar_s * V_f));
        iout = ((4*1) / (h*a_var))*exp(-a_var*bh_s)*sinh((a_var*e/2)*V_t);
    end
end

```

```

if ( V(p,n) < 0 ) begin
    V_f = sin(w_s*$abstime + phase_r);
    V_t=V(p,n);
    a_var = a0_r / ( 1 + exp(ar_r * V_f));

```

```

iout = ((4*1) / (h*a_var))*exp(-a_var*bh_r)*sinh((a_var*e/2)*V_t);

end

end

I (p,n) <+ (-iout);

end

endmodule

```

Для часового аналізу розробленої моделі розроблена спрощена схема(рисунок 2.21).

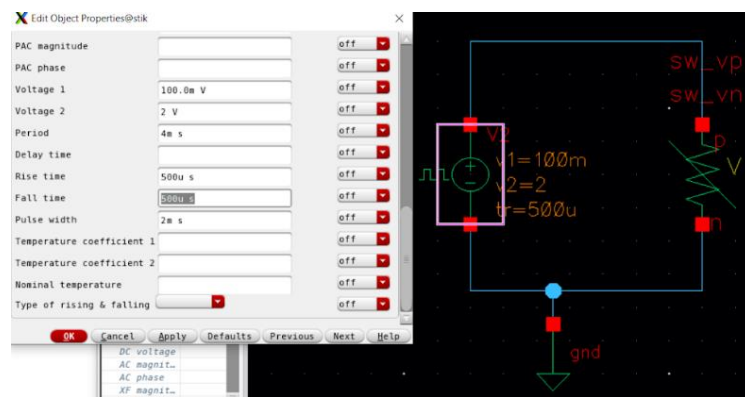
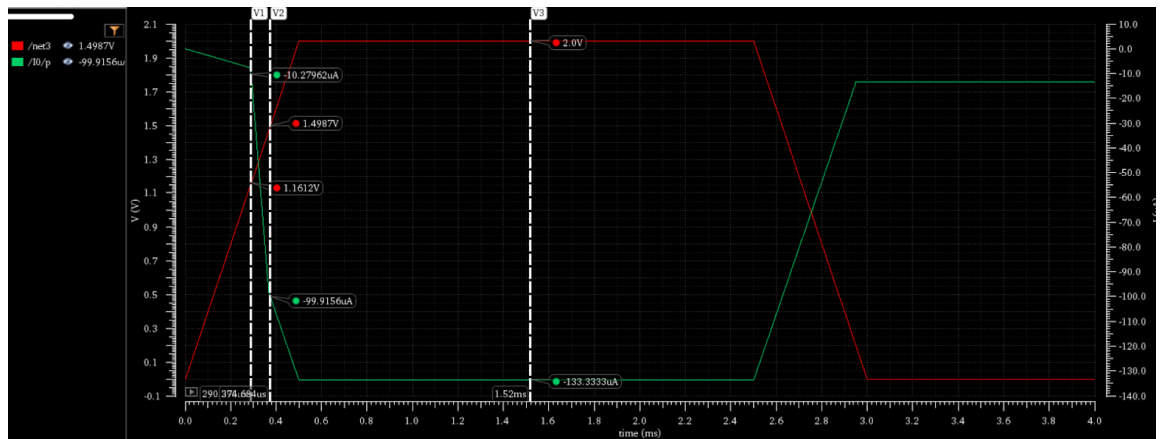


Рисунок 2.21 – Спрощена схема для тестування роботи резистора, що програмується напругою

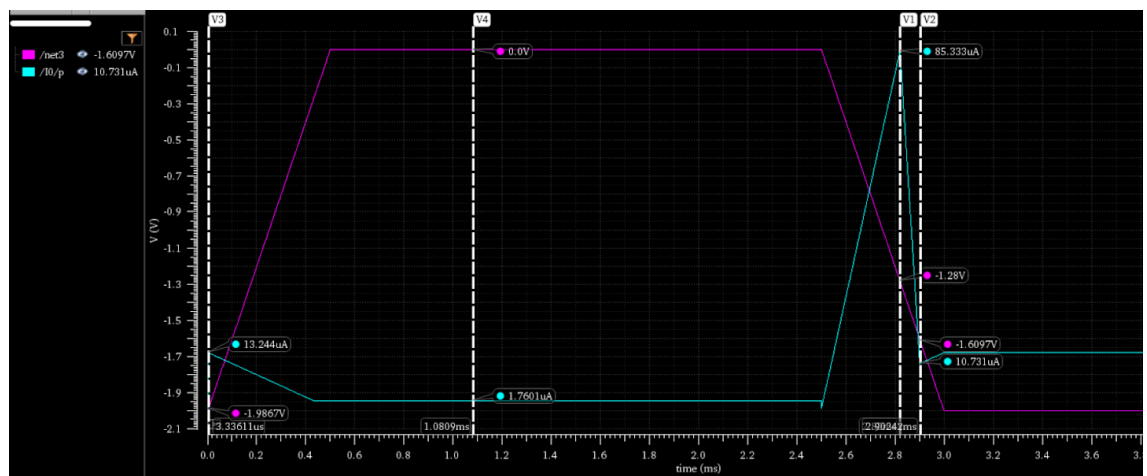
Часовий аналіз показує відповідність процесу запису (set) та стирання (reset) очікуваним результатам. Аналізуючи передній фронт графіку напруги для Set операції бачимо, що при додатній напрузі меншій за 1.16В опір складає 150кОм переключення відбувається при 1.16 В і опір резистора зменшується до 15кОм (рисунок 2.22, а). При від’ємній напрузі (рисунок 2.22, б) більший за -1.28В опір складає 15кОм переключення відбувається при -1.6 В і опір резистора збільшується до 150кОм.

Отже, наведений графік відповідає поведінці резистора комірки пам’яті у R-RAM з статті. [5] Відповідно до графіку (рис. 2.22, а), при зростанні значення напруги від 0 до 2В відбувається процес запису інформації. В околі досягнення напруги живлення значення 1.5В струм, що протікає через резисторі різко змінюється від -10.28мкА до -99ю91мкА, що відповідає

зміні опору резистора від 150кОм до 15кОм. При спаді напруги живлення опір резистора залишається сталим та дорівнює 15кОм. Процес стирання (рисунок 2.22, b) відбувається при зменшенні напруги від 0 до -2В, в околі -1,5 струм спадає від 85мкА до 10.73мкА, що фізично відображає зміну опору резистора від 15кОм до 150кОм.



a)



b)

Рисунок 2.22 – Вольт-амперна характеристика роботи резистора комірки резистивної оперативної пам'яті, програмованої напругою: а) процес запису;  
б) процес стирання інформації

Модель резистора, що програмується струмом, з двома станами опору має такі характеристик:



- для процесу запису опір резистора змінюється від 150кОм до 15кОм при значенні струму 10мкА, а для процесу стирання опір має змінитись з 15кОм до 150кОм при значенні струму 100мкА;
- значення мінімального та максимального опору резистора, чи струму переключення з одного значення опору на інший можна змінити в налаштування елемента;
- визначення напрямку зміни струму відбувається автоматично, через використання похідної від вхідного струму по часу. Якщо похідна додатня, струм зростає, від'ємна – спадає.
- процес визначення операції set/reset автоматичний, відповідно до знаку вхідного струму;

```
`include "constants.vams"
```

```
`include "disciplines.vams"
```

```
module trial(p, n);
```

```
  inout p, n;
```

```
  electrical p, n;      // Signals are analog signals
```

```
  // LOCAL VARIABLES:
```

```
  real vout;
```

```
  real der_val;
```

```
  // CHANGABLE PARAMETERS
```

```
  parameter real sw_set = 0.00001;
```

```
  parameter real sw_reset = -0.0001;
```

```
  parameter real r_min = 15K;
```

```
  parameter real r_max = 150K;
```

```
  parameter integer key_mode = 1;
```

```
  parameter integer analys_mode = 1;
```

```

analog begin
if (analys_mode == 1) der_val = ddt(I(p,n));

if (key_mode == 1) begin
if (I(p,n) < 0) begin
if (der_val < 0) begin
if (I(p,n) > sw_reset) vout = I(p,n)*r_min ;
if (I(p,n) < sw_reset) vout = I(p,n)*r_max;
end
if (der_val > 0) vout = I(p,n)*r_max;
end

if (I(p,n) > 0) begin

if (der_val > 0) begin
if (I(p,n) < sw_set) vout = I(p,n)*r_max;
if (I(p,n) > sw_set) vout = I(p,n)*r_min;
end
if (der_val < 0) vout = I(p,n)*r_min;
end
end

V(p,n) <+ vout;
end
endmodule

```

Для тестування розробленої моделі за допомогою часового аналізу створено допоміжну схему. Приєднавши до резистора джерело струму, що тимчасово замінить, розроблений у дипломній роботі, генератор струму, отримаємо спрощену модель програмування комірки пам'яті. Значення струму змінюється від -130uA до 130uA (рисунок 2.23).

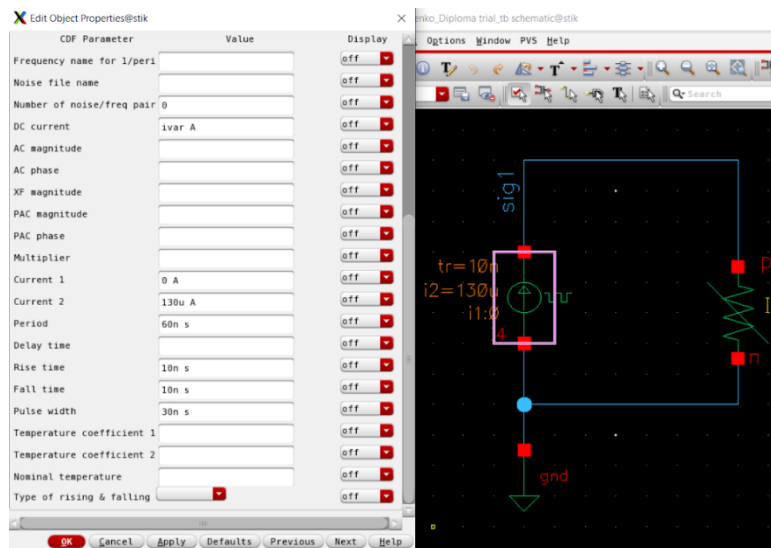
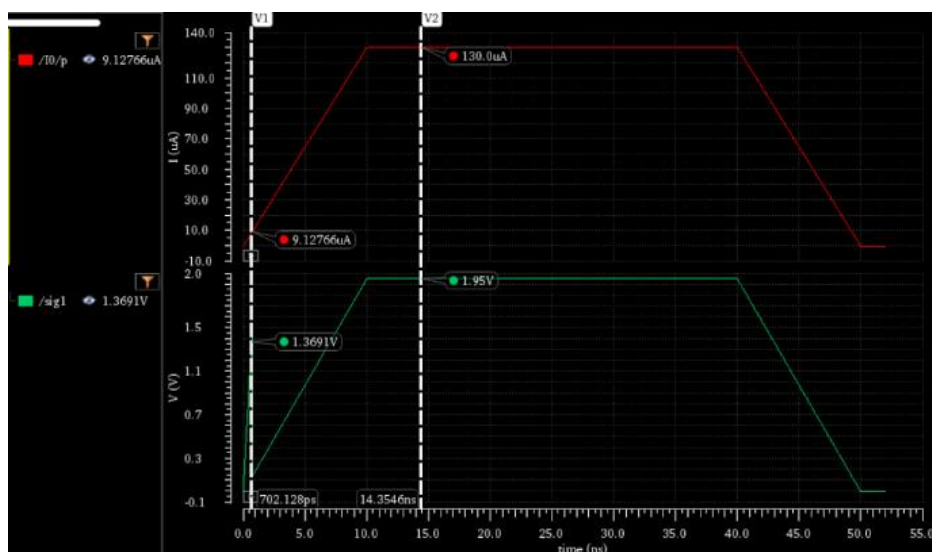
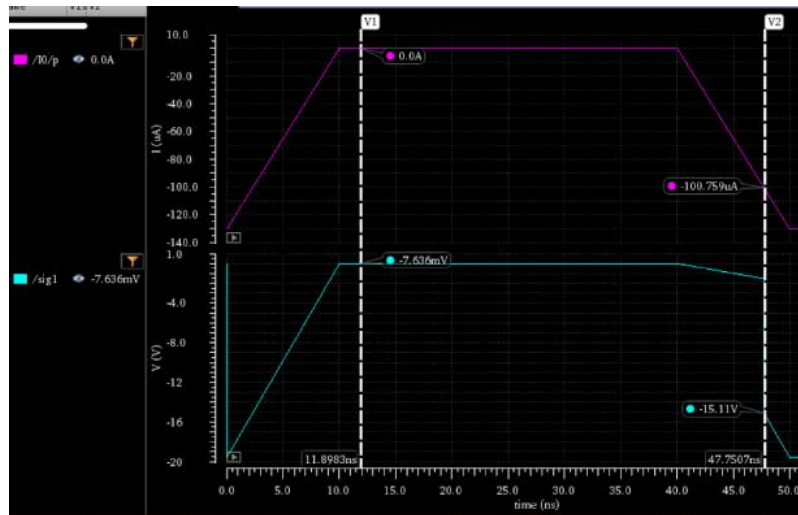


Рисунок 2.23 – Допоміжна схема для тестування роботи резистора, що програмується струмом

Часовий аналіз показує відповідність процесу запису та стирання досліджуваним характеристикам резистора (рисунок 1.13, [5]). Аналізуючи передній фронт графіку струму для Set операції бачимо, що при додатньому струму меншому за 9.12uA опір складає 150кОм, переключення відбувається при струмі більшому за 9.12uA і опір резистора зменшується до 15кОм (рисунок 2.24, а). На задньому фронті спостерігається стале значення опору 15кОм. При від'ємному струмі (рисунок 2.24, б) більшому за -100uA опір складає 15кОм переключення відбувається при струмі, більшому за -100uA і опір резистора збільшується до 150кОм.



а)



b)

Рисунок 2.24 – Вольт-амперна характеристика роботи резистора комірки пам'яті, програмованої струмом

Модель для двох бітової комірки програмованої струмом має такі характеристики:

- 4 рівня опору резистора: 100кОм, 30кОм, 20кОм, 10кОм;
- переключення при 10мкА, 14мкА та 18мкА;
- можливість зміни значення вхідних параметрів, для того, щоб вказати інші значення кроку зміни опору резистора, чи кроку зміни струму переключення з одного значення опору на інший можна зайти в налаштування елемента;
- визначення напрямку зміни струму відбувається автоматично, через використання похідної від вхідного струму по часу. Якщо похідна додатня, струм зростає, від'ємна – спадає.
- процес визначення операції set/reset автоматичний, відповідно до знаку вхідного струму;

Опис модуля програми

```
`include "constants.vams"
```

```
`include "disciplines.vams"
```

```
module Resistor_points_linear(p, n);
```

```
inout p, n;
```

```
electrical p, n;      // Signals are analog signals
```

```
// LOCAL VARIABLES:
```

```
real vout;
```

```
real der_val;
```

```
real r_final;
```

```
integer fd;
```

```
real r_file = 0.001;
```

```
integer outp;
```

```
// CHANGABLE PARAMETERS
```

```
parameter real sw_set = 10E-6;
```

```
parameter real sw_reset = -10E-5;
```

```
parameter real r_min = 10K;
```

```
parameter real r_max = 100K;
```

```
parameter real dr = 10K;
```

```
parameter real dset = 4E-6;
```

```
parameter real dreset = 4E-6;
```

```
parameter integer key_mode = 1;
```

```
parameter integer analys_mode = 1;
```

```
real key = 12345;
```

```
analog begin
```

```
//fd = $fopen("./my_file2.txt", "w");
```

```
//$fwrite(fd, "0.001");
```

```
//outp = $fscanf(fd, "%e", r_file);
```

```
//$fclose(fd);
```

```
if (analys_mode == 1) der_val = ddt(I(p,n));
```

```

if (key_mode == 1) begin
if (I(p,n) < 0) begin
    if (der_val < 0 || (der_val > 0 && r_final)) begin

        if (I(p,n) < sw_reset) begin
            vout = I(p,n)*r_min;
            r_final = r_min;
        end
        if (sw_reset < I(p,n) && I(p,n) < (sw_reset+dreset)) begin
            vout = I(p,n)*(r_min + dr);
            r_final = r_min + dr;
        end
        if ((sw_reset+dreset) < I(p,n) && I(p,n) < (sw_reset+dreset*2)) begin
            vout = I(p,n)*(r_min + dr*2);
            r_final = r_min + dr;
        end
        if ((sw_reset+dset*2) > I(p,n)) begin
            vout = I(p,n)*r_max;
            r_final = r_max;
        end
    end

    end // der_val < 0
    if (der_val > 0 && !r_final) vout = I(p,n)*r_max;
end // if (I(p,n) < 0)

if (I(p,n) > 0) begin

    if (der_val > 0 || (der_val < 0 && r_final)) begin
        if (I(p,n) < sw_set) begin

```

```

        vout = I(p,n)*r_max;
        r_final = r_max;
    end

    if ((sw_set) < I(p,n) && I(p,n) < (sw_set+dset)) begin
        vout = I(p,n)*(r_max - dr*7);
        r_final = r_max-dr*7;
    end

    if ((sw_set+dset) < I(p,n) && I(p,n) < (sw_set+dset*2)) begin
        vout = I(p,n)*(r_max-dr*8);
        r_final = r_max-dr*8;
    end

    if ((sw_set+dset*2.5) < I(p,n)) begin
        vout = I(p,n)*r_min;
//vout = I(p,n)*r_file;
        r_final = r_min;
    end

    end // if (der_val > 0)
    if (der_val < 0 && !r_final) vout = I(p,n)*r_min;
end // if (I(p,n) > 0)

end // if (key_mode == 1)

V(p,n) <+ vout;
end // analog begin
endmodule

```

Для того, щоб перевірити роботу даного резистора розроблена тестова схема (рисунок 2.25), для спрощення тестування замість розробленого у дипломній роботі генератора струму взято ідеальне джерело струму.

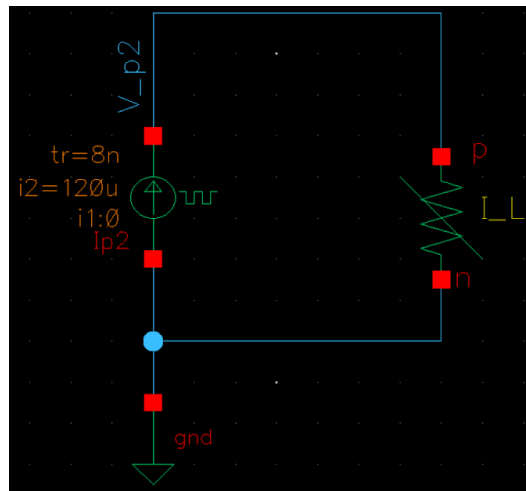
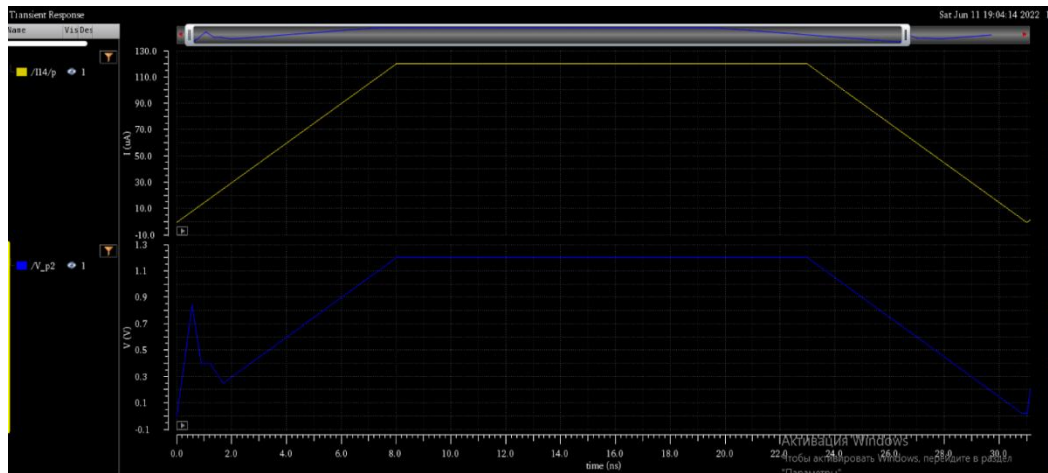


Рисунок 2.25 – Тестова схема для перевірки роботи розробленого резистора, що лінійно змінює опір відповідно до змін струму

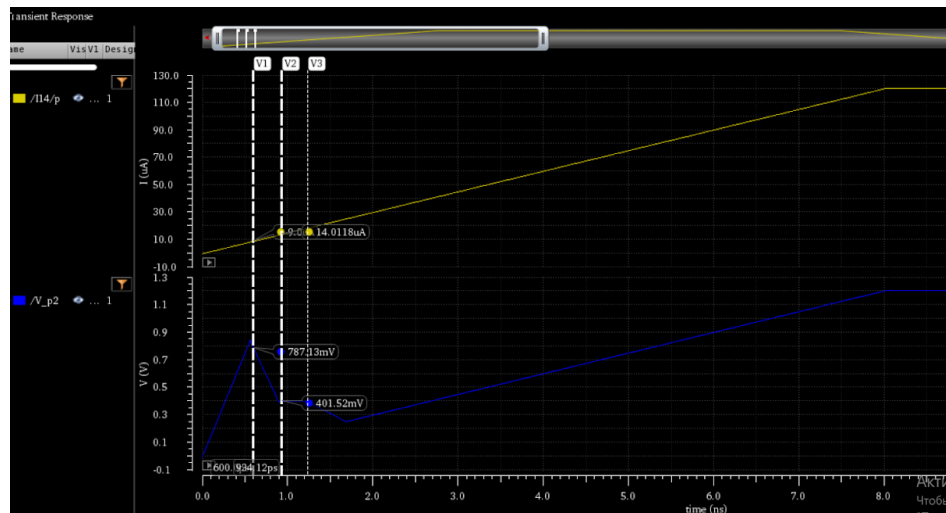
За допомогою часового аналізу (рисунок 2.26, а) визначено відповідність моделі прогнозованим характеристикам. На передньому фронті сигналу (рисунок 2.26, б) бачимо, що при досягненні струму на резисторі значення 9мкА напруга, що вже досягла 0.79В, починає різко зменшуватись, що відповідає процесу зменшення опору резистора за 100кОм до 30кОм. При струмі 14мкА видно аналогічний процес зменшення опору з 30кОм до 20кОм. Після досягненні струмом значення 18мкА опір резистора зменшується до 10кОм, а далі не змінює свого стану.

Відповідно до фізичної характеристики поведінки резистора, при зменшенні значення струму, опір резистора не має змінювати свого значення, така поведінка представлена на задньому фронті сигналу(рис. 2.26, а).





а)



б)

Рисунок 2.26 – а)вольт-амперна характеристика роботи резистора програмованої струмом на 4 рівні струму; б) передній фронт вольт-амперної характеристики

## 2.2.2 Розробка комірки резистивного елементу пам'яті

У комірці пам'яті нижній електрод резистора сполучається зі стоковою клемою транзистора вибірки, а отже до резистора можна отримати доступ, використовуючи верхній електрод і клему витоку, а також використовуючи затвор для включення й виключення транзистора. Окрім свого основного призначення транзистор також може використовувати напругу затвора для обмеження струму, що проходить через резистор. [\[14\]](#)

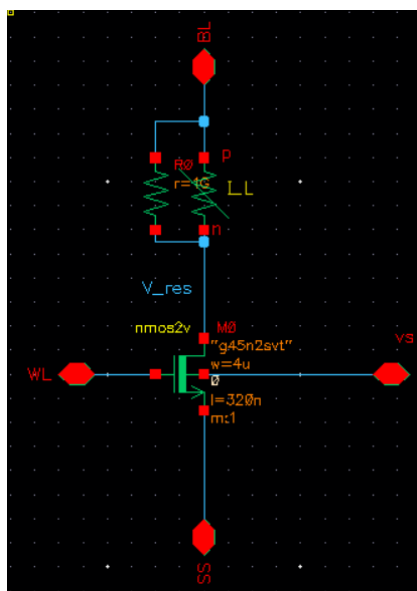


Рисунок 2.27 – Схема комірки пам'яті

Вибір розмірів транзистора вибірки (ширина: 4мкм, довжина 320н) визначається умовою, що падіння напруги на ньому менше 0,1В, при цьому не буде ніякого впливу на режим роботи резистора.

## Висновки до розділу 2.2

- використання генератора струму має свої переваги над генератором напруги, адже подавши різні рівні струму можемо отримати різний (проміжний) опір резистора, а значення напруги важко втримати задля отримання різних рівнів опору оскільки зміна напруги занадто незначна при вагомій зміні опору.
- розроблені та протестовані моделі резисторів для різних засобів програмування;
- розроблено комірку пам'яті для запису 2 бітів інформації;

## 2.3 Розробка схеми запису резистивних елементів пам'яті для інформаційних технологій

Розроблена схема містить генератор струму, дві комірки пам'яті та аналогові ключі. Комірка пам'яті складається з резистора, що лінійно змінює 4 рівні опору, та транзистора вибірки з шириною та довжиною каналу 4мкм та 320нм відповідно. На затвор транзисторів вибірки двох комірок подаватиметься напруга 2В, що моделює явище вибору деякого слова у масиві

пам'яті R-RAM. Вихід SS (або bit line) комірки підключений до аналогових ключів, які мають вибрати визначену комірку пам'яті. Результат тестування схеми з доданими аналоговими ключами до схеми програмування демонструє мінімальність впливу падіння напруги на роботу схеми. У схемі наявні підключені до шин з'єднання компонентів конденсатори, що мають два призначення: змодельювати паразитні ємності, що з'являються у топології та розв'язати задачу сходимості чисельних методів Cadence.

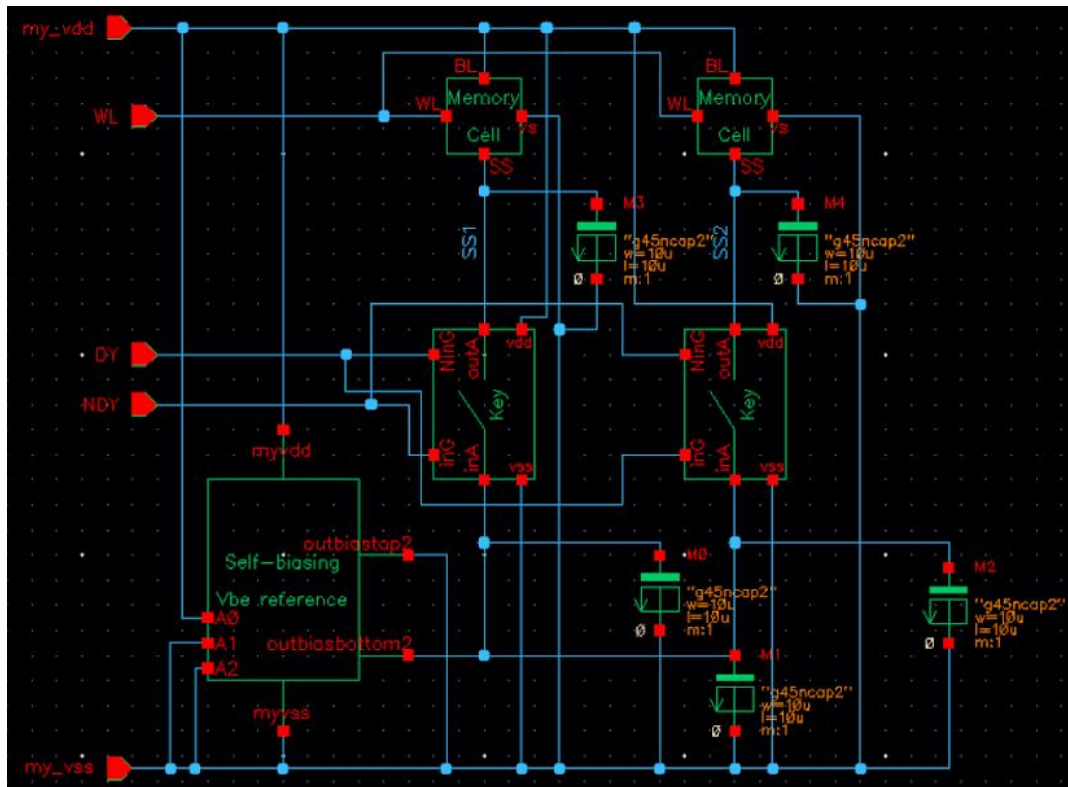


Рисунок 2.28 – Схема запису інформації у дві комірки генератором струму

Для тестування розроблена допоміжна схема, що містить джерело змінної напруги живлення, джерело змінної напруги для перемикання аналогових ключів при виборі визначеної комірки та джерело постійної напруги для шин слів, що має бути незмінною, для увімкнених транзисторів вибірки у комірках пам'яті.

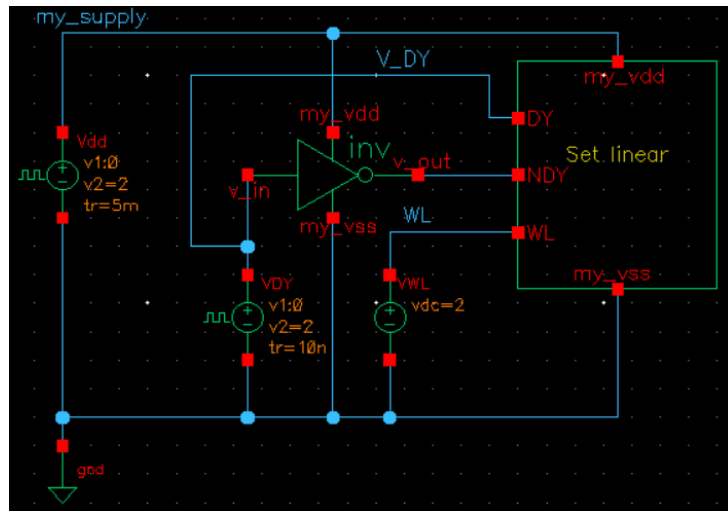


Рисунок 2.29 – Тестова схема перевірки процесу запису інформації до двох комірок генератором струму

Для полегшення процесу обчислень генератор струму замінений транзистором (nmos для процесу запису) з розмірами каналу транзистора, що відповідають розмірам транзистора у схемі вибору рівня струму ( $w=7,8\mu\text{м}$ ,  $l=10\mu\text{м}$ ) для струму  $10\mu\text{А}$ .

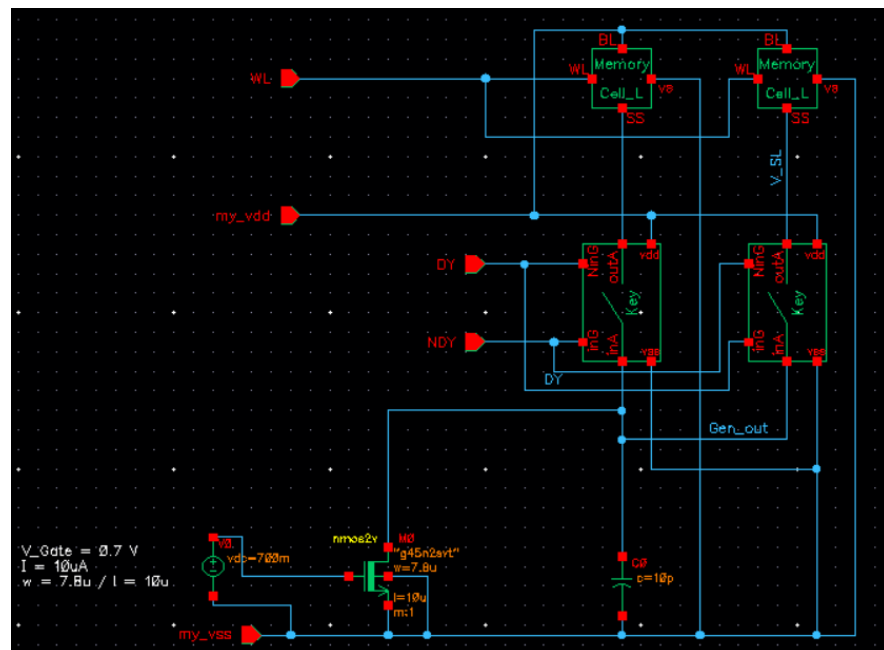


Рисунок 2.30 – Спрощена схема для процесу запису у комірку пам'яті

Для моделювання процесу запису інформації у комірку пам'яті струмом  $10\mu\text{А}$  додано генератор струму, що представляє nmos транзистор, аналогові ключі для вибору визначеної комірки та дві комірки пам'яті.

Часовий аналіз для даної схеми (рисунок 2.31) показує зміну напруги на резисторі вибраної комірки відповідно до очікуваних результатів. Після досягнення максимального значення струму на виході генератора (10,21мкА) при напрузі живлення 2В, на вхід аналогового ключа другої комірки подано напругу 2В, що у свою чергу увімкнуло комірку пам'яті на запис. У результаті напруга на резисторі комірки пам'яті ( $V_{res}$ ) різко зменшилась від 2В до 1,7В, що демонструє переключення опору резистора при 10мкА. Напруга на SL у свою чергу зменшилась від 1.8В до 1.3В

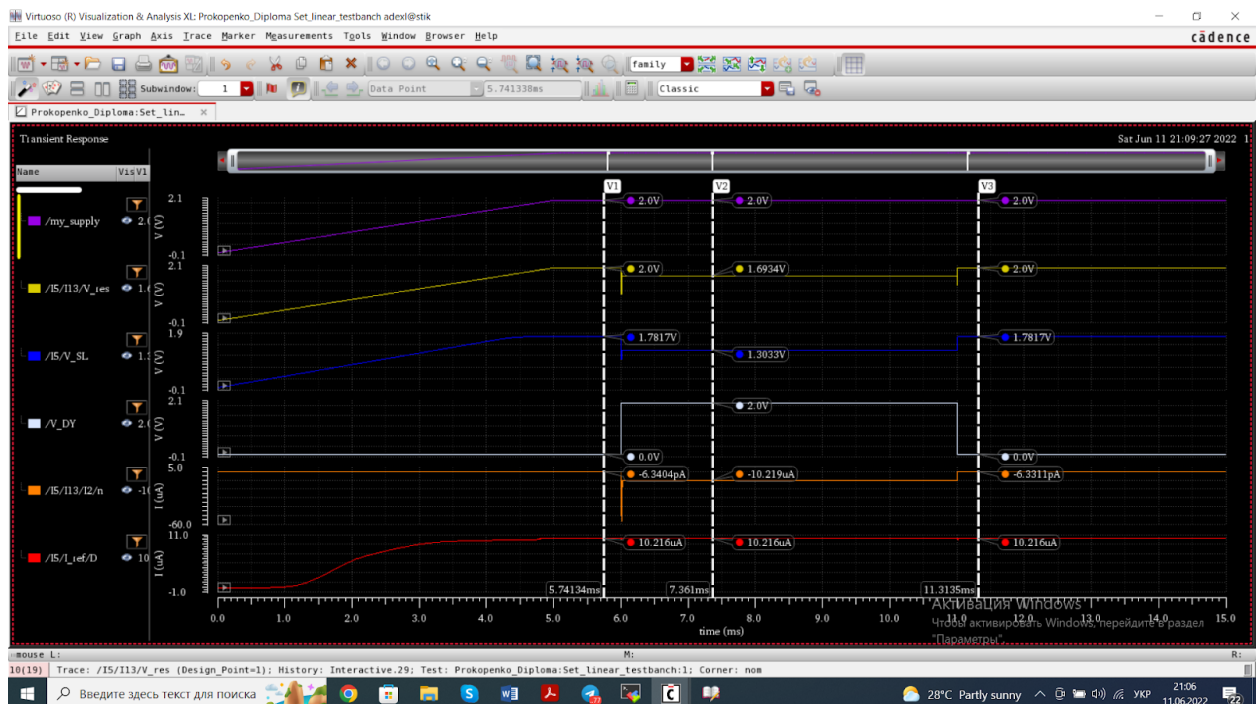


Рисунок 2.31 – Часовий аналіз для процесу запису у комірку пам'яті

Час запису (рис. 2.32) становить 0,127нс, що покращує результати порівняльної характеристики, наведені у таблиці 2 та 3. Також наведений графік показує правильність роботи схеми на частоті 50МГц.

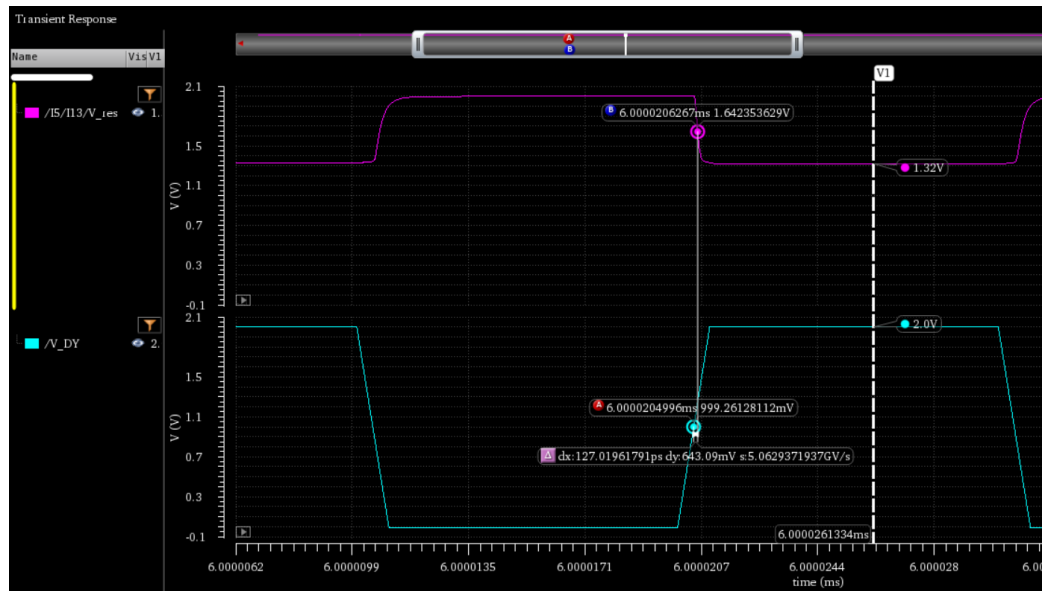


Рисунок 2.32 – Час запису інформації у комірку

Тестування переключення опору резистора залежно від зміни значення струму на 4 різні стани проведене за допомогою параметричного аналізу. Використання розробленої спрощеної схеми з транзистором з шириною 1мкм та довжиною 2 мкм, що моделює генератор струму, та коміркою пам'яті (рисунок 2.33).

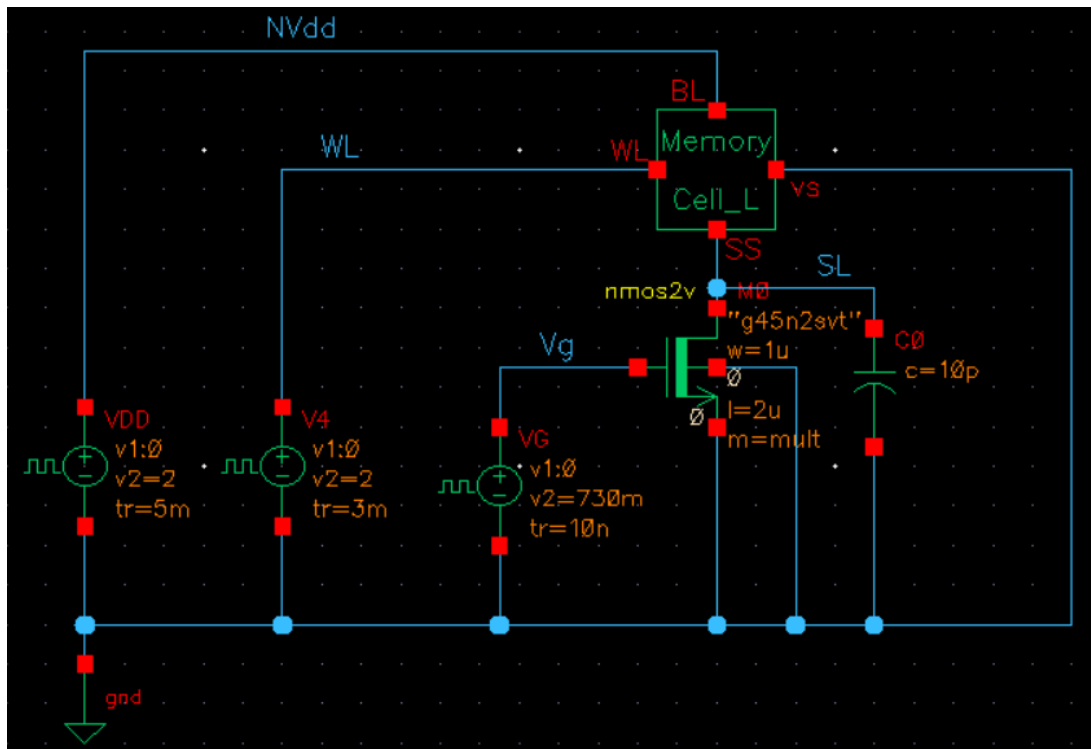


Рисунок 2.33 – Допоміжна схема для проведення параметричного аналізу

Для параметричного аналізу використано параметр транзистора «множник» («multiplier»), що є коефіцієнтом збільшення/зменшення ширини каналу транзистора. Вибраний параметр змінюватиметься від 1 до 3 за 4 ітерації з кроком 0,5. Відповідно до зміни ширини каналу транзистора, струм, що протікатиме через транзистор, а потім через резистор змінюватиметься з кроком ~5мкА і прийме такі значення: 7,41мкА, 12,39мкА, 17,33мкА, 22,3мкА (рисунок 2.34).

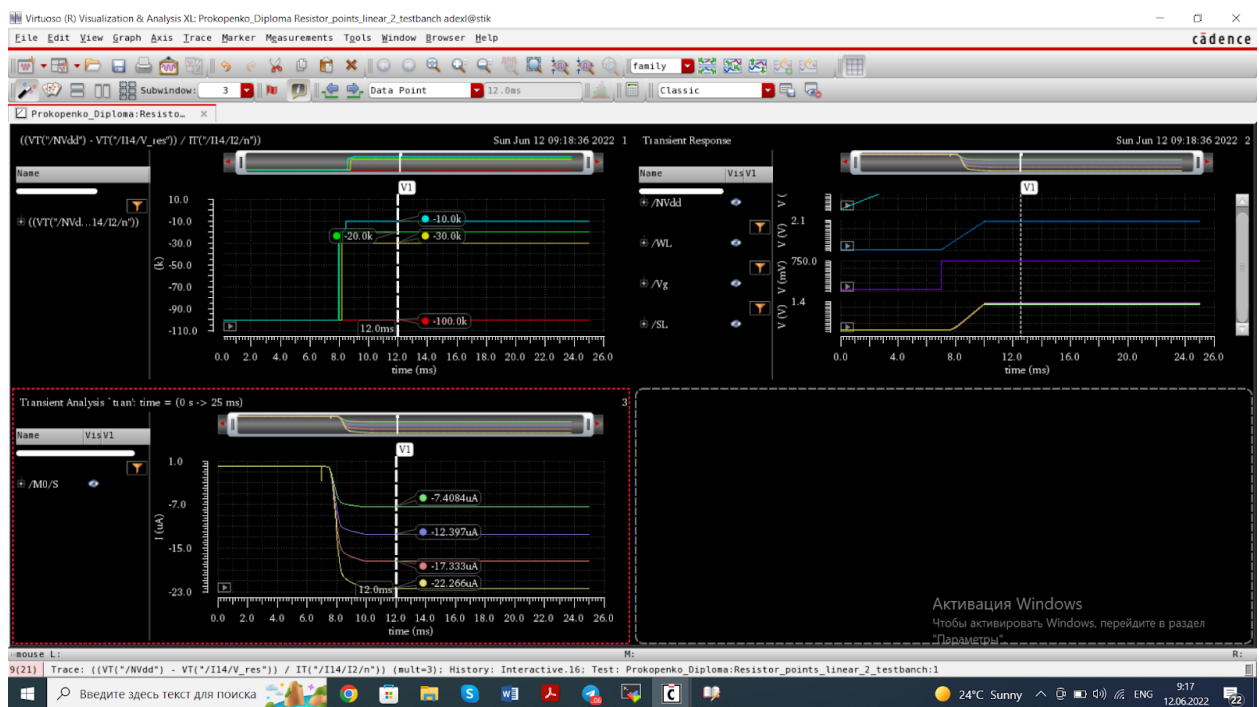


Рисунок 2.34 – Графік параметричного аналізу для опору резистора при 4 рівнях струму

З отриманого графіку параметричного аналізу видно відповідність різних рівнів опору резистора поданим значенням струму: 7,41мкА – 100кОм, 12,39мкА – 30кОм, 17,33мкА – 20кОм, 22,3мкА – 10кОм. Опір на резисторі був розрахований з допомогою вбудованого в середовище Cadence калькулятора використовуючи формулу:

$$((VT("/NVdd") - VT("/I14/V\_res")) / IT("/I14/I2/n")),$$

де  $VT("/NVdd")$  – напруга живлення,  $VT("/I14/V\_res")$  напруга на транзисторі комірки пам'яті, а  $IT("/I14/I2/n")$  – струм, що протікає через резистор.

Результати підтверджують можливість запису 2 і більше бітів інформації у резистивну комірку пам'яті за допомогою генератора струму.

### Висновки до розділу 2.3

- використання генератора току для запису інформації має переваги над генератором напруги, за рахунок полегшеного керуванням струмом у більшому відносному діапазоні змін;
- розроблена схема програмування комірок пам'яті джерелом струму показує можливість запису 2 і більше бітів інформації у комірку пам'яті;

### 2.4 Розробка схеми стирання резистивних елементів пам'яті для інформаційних технологій

Для процесу стирання інформації розроблено reset-схему(рисунок 2.35), що аналогічно до схеми запису містить генератор струму, аналогові ключі та комірки пам'яті.

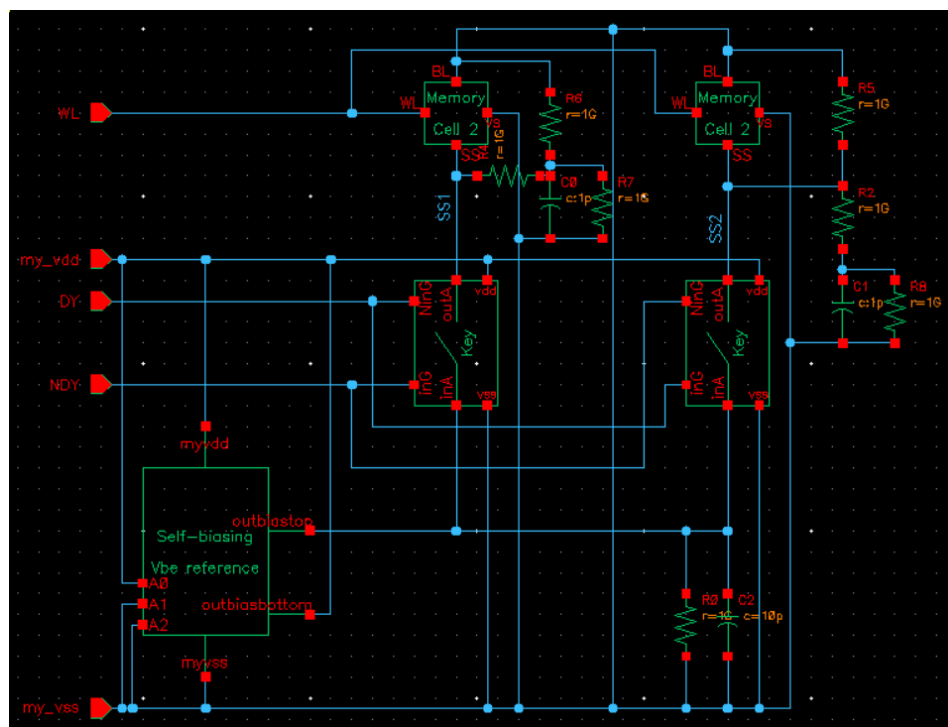


Рисунок 2.35 – Схема стирання інформації з двох комірок генератором струму

Проблема сходимості чисельних методів Cadence «Transient simulation reaches maximum allowed number of convergence failures below minstep within



5% of stop time» вирішена додаванням конденсаторів з номіналом, 10пФ та 1пФ, та резисторів 1GOhm що не впливають на розрахунки.

Допоміжна тестова схема для проведення часового аналізу включає джерело змінної напруги живлення, джерела змінної напруги на входи DY та N\_DY аналогових ключів та джерело постійної напруги для увімкнених транзисторів вибірки у комірці пам'яті (рисунок 2.36).

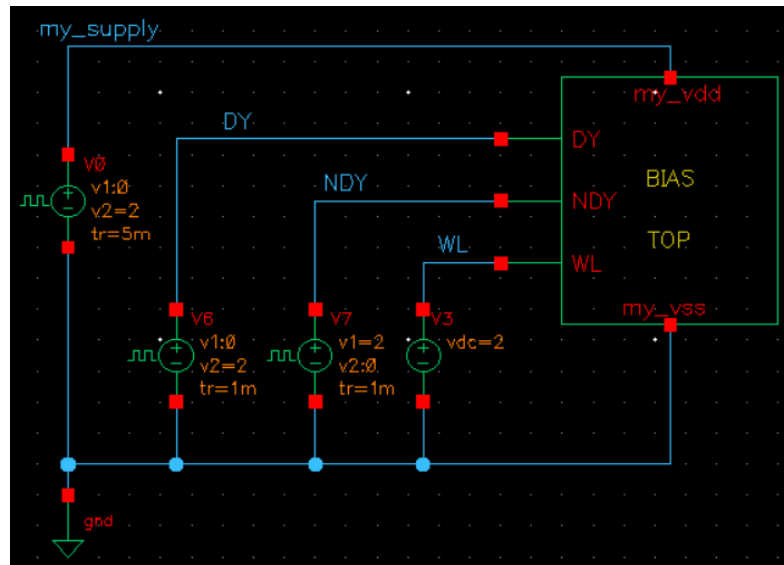


Рисунок 2.36 – Тестова схема перевірки процесу стирання інформації з двох комірок генератором струму

Результат тестування (рисунок 2.37) виявив недоліки процесу стирання інформації генератором струму.

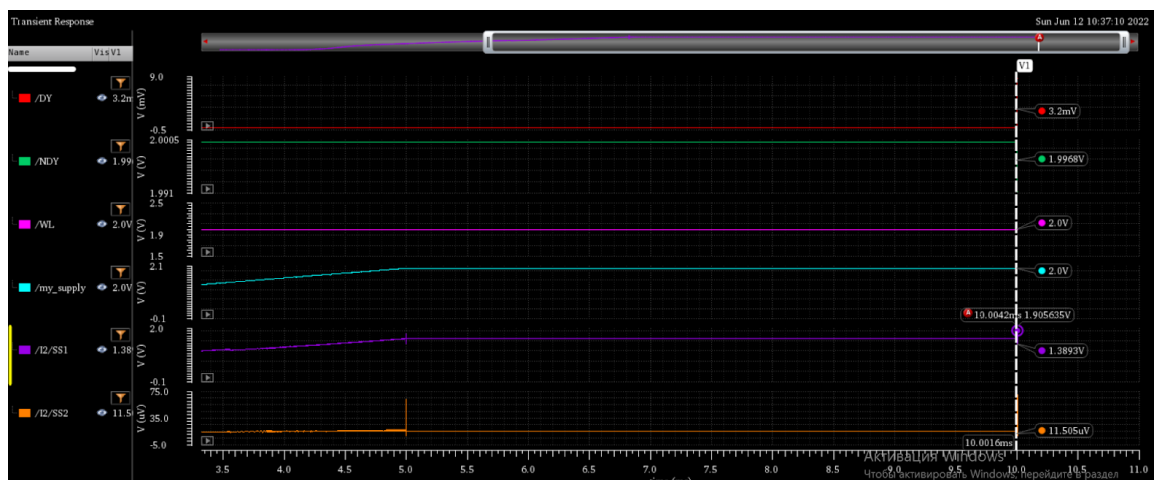


Рисунок 2.37 – Часовий аналіз для схеми стирання інформації з комірок пам'яті генератором струму

Якщо генератор струму видає 100мкА і опір резистора перемикається зі значення 10кОм до 100кОм, у результаті напруга всередині комірки зростає від  $U=I \cdot R= 100 \cdot 10^{-6} \cdot 10 \cdot 10^3 = 1 \text{ В}$  до  $U=I \cdot R= 100 \cdot 10^{-6} \cdot 100 \cdot 10^3 = 10 \text{ В}$ . Звідси напруга стоку-витоку транзистора вибірки досягає 10В, при цьому напруга на затворі 2В, відповідно транзистор вибірки вимикається та не пропускає струм.

Можливі рішення для забезпечення стирання даної комірки:

- Знизити максимальний і мінімальний опір резистора до 10кОм та 1кОм відповідно, що забезпечить напругу на стоці-витоці транзистора вибірки не більшу за 1В;
- процес стирання забезпечити генератором напруги;

#### **Висновки до розділу 2.4**

- розроблена схема стирання комірок пам'яті джерелом струму показує ряд недоліків, що насамперед пов'язані з різким збільшенням напруги на транзисторі вибірки до 2В;
- запропоновано варіанти для подальшого дослідження процесу стирання інформації;

## **3 ПОБУДОВА ТОПОЛОГІЇ ДЛЯ РОЗРОБЛЕНИХ ТЕХНІЧНИХ РІШЕНЬ**

### **3.1 Базовий маршрут виготовлення сучасних нано-структур**

Типові технологічні процеси виготовлення [\[15\]](#):

1. Очищення – видалення домішок з поверхні пластини. Мета: очистка використовується для подальшого впровадження домішок. Пластина очищується хімічним чи газовим травленням. Найбільш часто використовується сірчана кислота.

2. Іонне легування. Іонне легування – провадження домішок в об'єм чи поверхню матеріалу (пластини). Мета: змінення типу і величини провідності матеріалу підложки (найбільш часто використовується для створення р-n переходу).

3. Дифузія – введення атомів домішок із обмеженого чи необмеженого джерела при високих температурах (температура, близька до температури плавлення матеріалу). Мета: змінення типу і величини провідності матеріалу підложки. Визначальний признак: більші глибини проникнення домішок.

4. Фотолітографія – процес переносу рисунка заданої форми на поверхню пластини. Мета: створення топології інтегральної схеми, до якої входять активні і пасивні області. Активні області – області топології, де формуються активні елементи інтегральної схеми: опору, транзистори, резистори, які визначають призначення схеми. Пасивні області – області ізоляції активних компонентів один від одного, тобто вільні від активних компонентів. Фотолітографія найбільш часто повторюється при виготовленні і проектуванні інтегральних схем.

5. Травлення – видалення частин схеми. Мета: підготувати поверхню для проведення відповідних операцій (легування, дифузія).

6. Окислення – процес нарощування на поверхні окислених областей. Мета: Створення ізоляції між компонентами в вертикальному та горизонтальному напрямках.

7. Нанесення діелектрика – процес осадження електричного слою із парогазової фази при понижених температурах. Мета: створення міжслойної ізоляції.

8. Металізація – нанесення шарів металу на поверхню мікросхеми.

Мета: забезпечення комутації між активними компонентами схеми. Найбільш часто використовується алюміній.

9. Пасивація – низькотемпературне осадження діелектричного шару на поверхню матеріалу. Мета: механічний і хімічний захист поверхні інтегральної схеми. Як правило, пасивація завершує процес виготовлення кристала.

### 3.2 Побудова топології розроблених технічних рішень для програмування резистивних елементів пам'яті для інформаційних технологій

Складові схеми вибору рівня струму поєднані використовуючи лише метал перший, для побудови загальної топології схеми вибору рівня струму використано перший та другий метали. Топологія генератора струму розроблена з використанням 4 різних видів металу для поєднання комплектуючих елементів.

Опис шарів, що використовуються у транзисторах pmos2v та nmos2v [15]:

1. n-Well: іонне легування фосфором Ціль: створення карману nWell, для ізолювання площини пластини при створенні p-mos транзистора.
2. Pimp/Nimp: легування з великою кількістю домішок р-типу/n-типу. Ціль: формування областей стоку та витoku з великою кількістю домішок відповідного типу.
3. Oxide: окислення під затвор. Ціль: сформувати діелектрик під затвором.
4. Poly. Ціль: зробити керуючі затвори.
5. Oxide\_thk: нанесення міжшарової ізоляції. Ціль: забезпечення ізоляції металевих частин конструкції від активних зон транзистора.
5. Contact: фотолітографія типу отвір для травлення ізоляції . Ціль: з'єднання шару металу з областями стоку, затвору і тд.
6. Metal 1(Al): електронне/резистивне розпорушення. Ціль: формування комутуючих областей для різних частин транзистора.

Для розробки топології використано Generic 45nm Salicide Process, що знаходиться у бібліотеці gpdk045.

Аналоговий ключ складається з двох паралельно зв'язаних транзисторів, та його основною задачею є пропускати струм при поданні на затвор nmos транзистора логічної одиниці, а на pmos – логічного нуля (рисунок 3.1). Параметри аналогового ключа: ширина – 1.6мкм, довжина – 2.44мкм. Площа:  $1.6\text{мкм} \cdot 2.44\text{мкм} = 3,904 \text{ мкм}^2$ . Щільність:  $0.512 \text{ мкм}^{-2}$ .

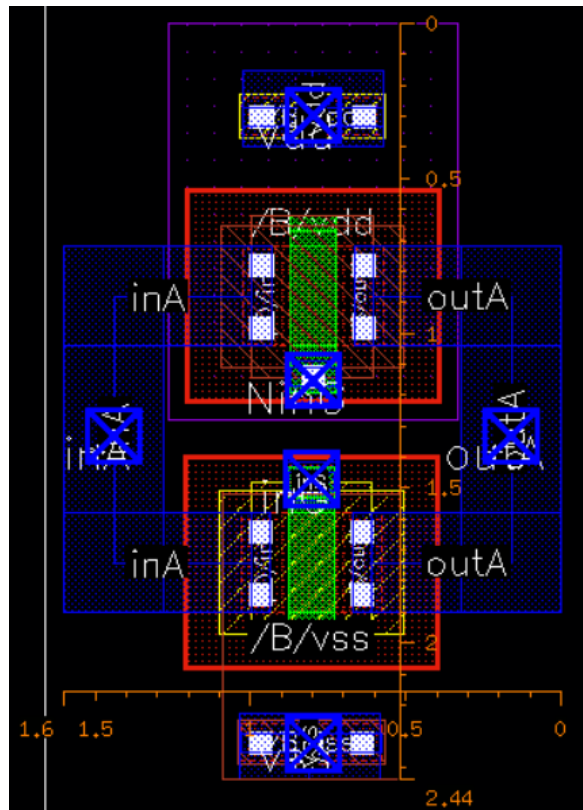


Рисунок 3.1 – Топологія аналогового ключа

Інвертор теж складається з двох транзисторів, але його основною задачею перетворення логічного вхідного значення значення на протилежне (рисунок 3.2). Параметри інвертора: ширина – 1.045мкм, довжина – 2.68мкм. Площа:  $1.045\text{мкм} \cdot 2.68\text{мкм} = 2,801 \text{ мкм}^2$ . Щільність:  $0.714 \text{ мкм}^{-2}$ .

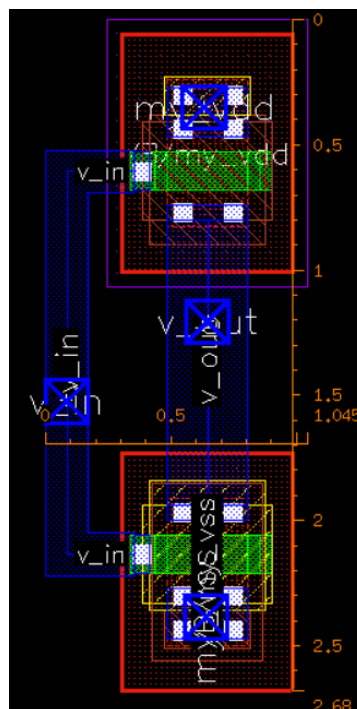


Рисунок 3.2 – Топологія інвертора

На рисунку 3.3 наведено розроблену топологію вибору рівня струму. Для зменшення площі виготовлення схеми вибору рівня струму збільшено кількість «пальців» резистора, при цьому зробивши його коротшим. Параметри топології схеми вибору рівня струму: ширина – 13.735мкм, довжина – 3.03мкм. Площа:  $13.735\text{мкм} \cdot 3.03\text{мкм} = 41,617 \text{ мкм}^2$ . Щільність:  $0.192 \text{ мкм}^{-2}$ .

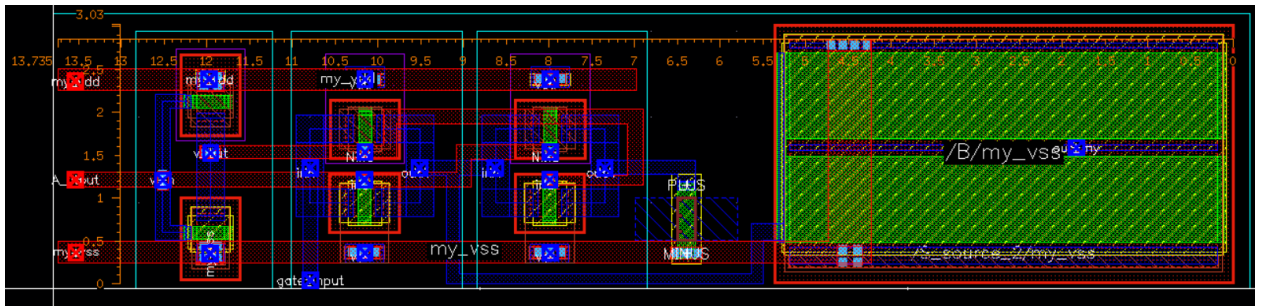


Рисунок 3.3 – Топологія схеми вибору рівня струму

Результати перевірки топології на відповідність електричній схемі(рисунок 3.4 та 3.5).

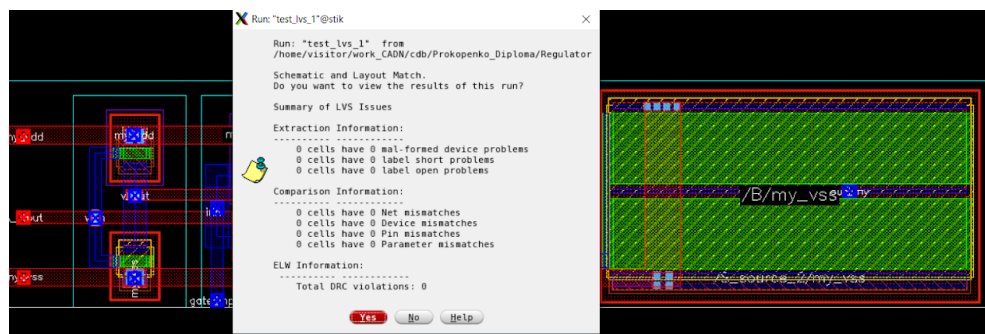


Рисунок 3.4 – Результати перевірки топології на відповідність схемі

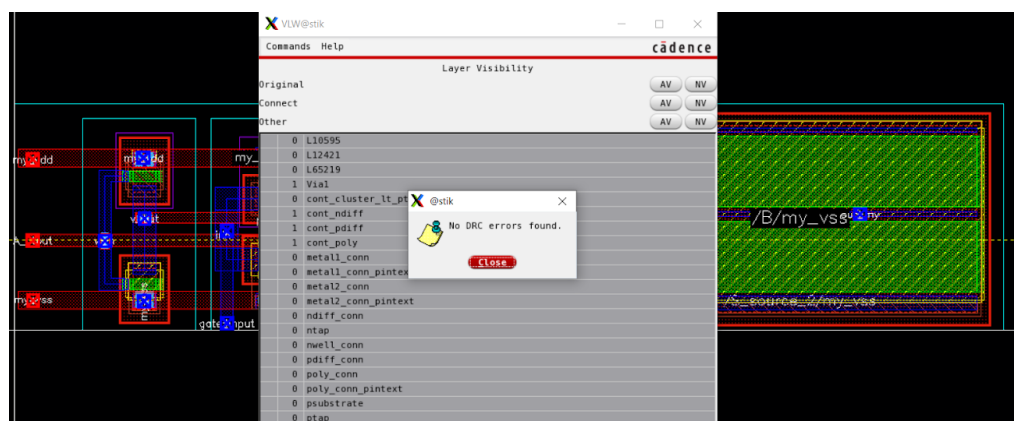


Рисунок 3.5 – Результат перевірки топології на відповідність нормам проектування



Топологія генератора струму - рисунок 3.6). Параметри топології генератора струму: ширина – 44.87мкм, довжина – 16.89мкм. Площа:  $44.87\text{мкм} \cdot 16.89\text{мкм} = 757,854 \text{ мкм}^2$ . Щільність:  $0.0765 \text{ мкм}^{-2}$ .

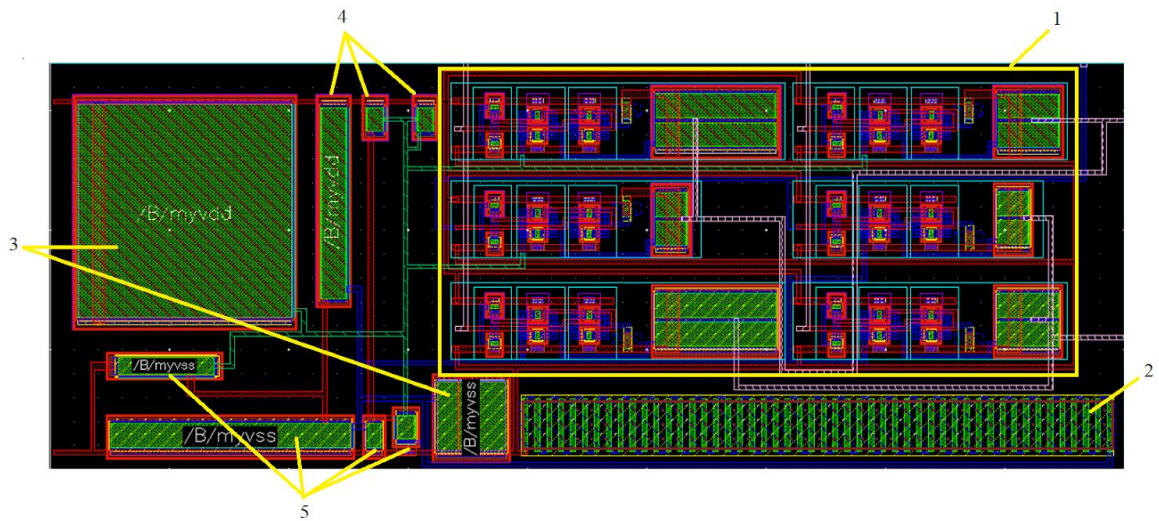


Рисунок 3.6 – Топологія генератора струму:

1 – схеми для вибору рівня струму (6 шт.), 2 – резистор джерела струму, 3 – конденсатори, 4 – pmos2v транзистори, 5 – nmos2v транзистори

Верифікація за допомогою утиліти Assura (рис. 3.7 та 3.8) підтвердила відповідність побудованої топології розробленій електричній схемі генератора струму.

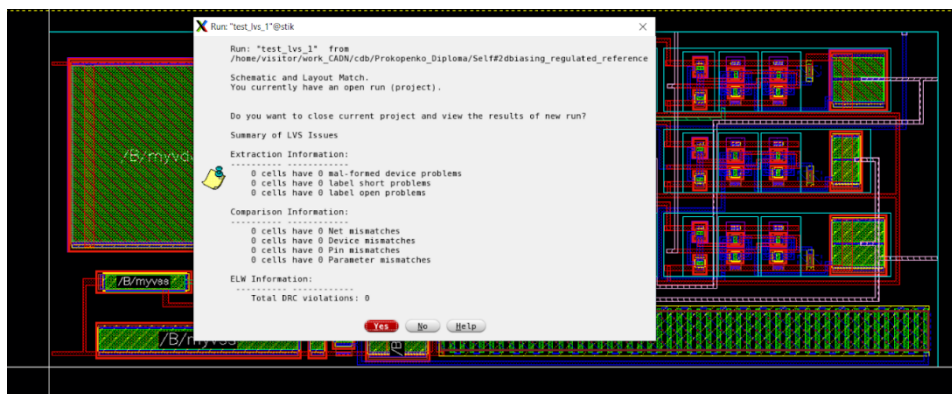


Рисунок 3.7 – Результат перевірки топології на відповідність нормам проектування

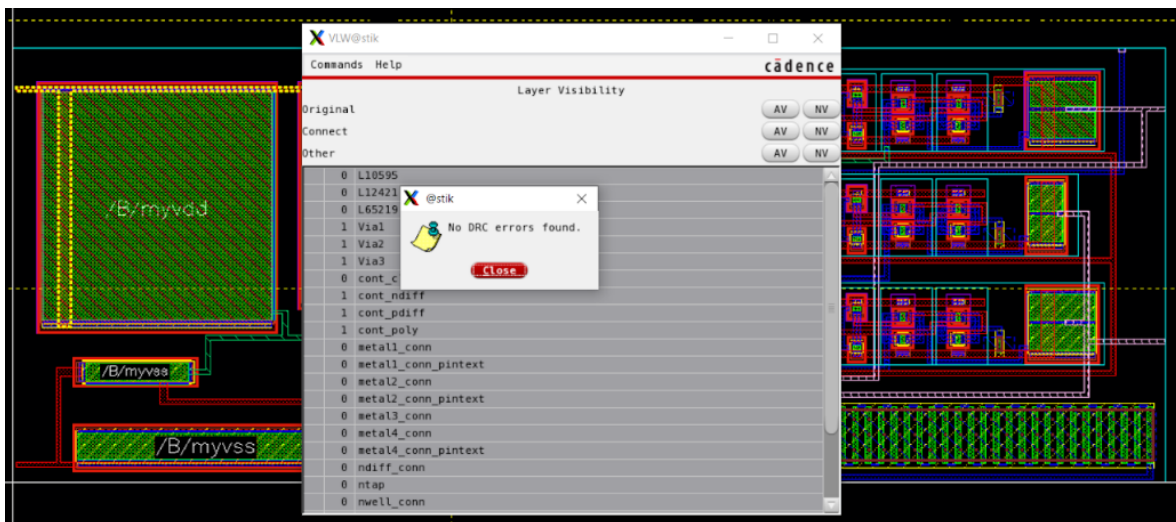


Рисунок 3.8 – Результат перевірки топології на відповідність схемі

### Висновки до розділу 3

- розроблена топологія генератора струму відповідає сучасним нормам проектування та електричній схемі;
- визначенні розміри фрагментів топології та щільність компоновки, загалом площа генератора струму становить 757,854 мкм<sup>2</sup>, а щільність компоновки: 0.00132 мкм<sup>-2</sup>.

## 4 ФУНКЦІОНАЛЬНО-ВАРТІСНИЙ АНАЛІЗ ПРОЕКТУ

У представленому розділі дипломної роботи проведено оцінку основних вартісних та функціональних характеристик розробленого технічного рішення для задачі програмування резистивних елементів пам'яті для інформаційних технологій.

Продукт призначено для використання на обчислювальних пристроях, телефонах та персональних комп'ютерах як інтегрованої схеми резистивної оперативної пам'яті.

При виконанні даного проекту було наведено аналіз різних рішень реалізації завдання з метою вибору оптимальної стратегії створення схеми з елементами програмного продукту, враховуючи при цьому як економічні фактори, так і характеристики продукту, що впливають на продуктивність роботи. Для розв'язання поставленої задачі було використано технологію функціонально-вартісний аналіз.



Функціонально-вартісний аналіз – це апарат оцінки реальної вартості розробленого продукту або послуги незалежно від організаційної структури компанії. Прямі, а також побічні витрати розподіляються по продуктам та послугам залежно від обсягів потрібних ресурсів на кожному етапі виробництва. Виконані на цих етапах дії у контексті метода ФВА називаються функціями.

Мета вказаного функціонально-вартісного аналізу полягає у тому, щоб забезпечити найбільш оптимальний розподіл ресурсів, що виділені на виробництво продукції або надання послуг, на непрямі та прямі витрати. У даному випадку – аналізу функцій кінцевого продукту та виявлення усіх можливих витрат на реалізацію даних функцій.

Першим етапом методу ФВА є визначення послідовності з функцій, що необхідні для виробництва продукту. Спочатку перелічуються усі можливі функції, які розподіляються на дві групи: ті, що не впливають на вартість продукту, а також ті, що впливають. Окрім цього, на даному етапі оптимізується і сама послідовність за допомогою скорочення кроків, що не впливають на витрати.

Для кожної з функцій визначається загальний обсяг річних витрат та кількість робочих годин. На основі вказаних оцінок буде визначатись кількісна характеристика джерел витрат. Після опису джерел витрат буде проводитись кінцевий розрахунок витрат на виробництво продукту.

#### **4.1 Постановка задачі для техніко-економічного аналізу**

Методом ФВА було проведено техніко-економічне обґрунтування для задачі програмування резистивних елементів пам'яті як перспективного рішення для інтеграції резистивної оперативної пам'яті на ринку інформаційних технологій. Оскільки основні проектні рішення стосуються системи загалом, тому кожна окрема підсистема має їм задовольняти. Отже, фактичний аналіз представлятиме собою аналіз функцій продукту,

призначеного для розробки схеми програмування з елементами програмного коду.

До продукту було визначено наступні технічні вимоги:

- 1) можливість виконання на усіх видах обчислювальних пристроїв, для яких потрібна оперативна пам'ять;
- 2) висока швидкість обробки даних;
- 3) функціонування при напрузі 2В;
- 4) сумісність з технологією виготовлення CMOS;
- 5) склад компонентів схеми визначається бібліотекою gpdk045;
- 6) можливість імплементації розробленого рішення як частини комплексного завдання роботи з резистивною оперативною пам'яттю.

#### **4.1.1 Обґрунтування функцій програмного продукту**

Основна функція F0 описуватиме розробку інтегральних засобів програмування резистивних елементів пам'яті для інформаційних технологій, яка розроблятиме технічне рішення для елементів пам'яті на сучасному ринку. Залежно від конкретної мети, можна виділити наступні головні функції проекту:

F1 – вибір середовища розробки;

F2 – вибір відповідної мови програмування;

F3 – вибір бібліотек для розробки інтегральної схеми.

Кожна з визначених функцій має декілька варіантів реалізації.

Функція F1:

- 1) Cadence
- 2) MAX+PLUS II

Функція F2:

- 1) Verilog A
- 2) Verilog
- 3) Verilog HDL

Функція F3:

- 1) gpdk045
- 2) analogLib
- 3) max2lib

#### 4.1.2 Варіанти реалізації основних функцій

Можливі варіанти реалізації основних функцій наведені на морфологічній схемі системи на рисунку 4.1, де представлено всі можливі комбінації варіантів реалізації функції, які складають повний набір варіантів ПП.

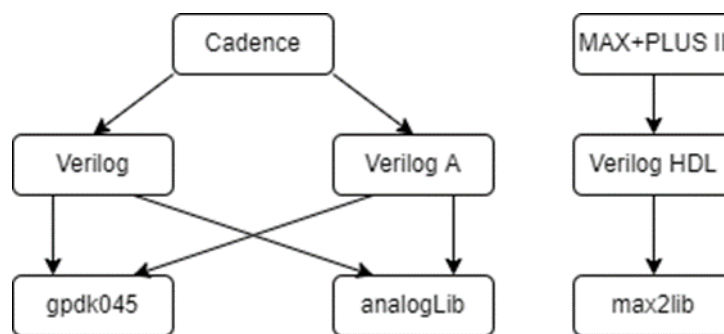


Рисунок 4.1 – Морфологічна карта варіантів реалізації основних функцій

На базі цієї карти будуються позитивно-негативні матриці варіантів базової функції (табл. 3).

Таблиця 6 – Позитивно-негативна матриця варіантів основних функцій

Функція	Варіант реалізації	Переваги	Недоліки
F <sub>1</sub>	A	Найбільш гнучке середовище розробки з дієвою технічною підтримкою та зрозумілою документацією. Наявний зручний, інтуїтивно зрозумілий інтерфейс	Ряд проблем із підключенням (потрібен VPN)
	B	Середовище з зручним інтерфейсом та дієвою технічною підтримкою	Набагато менший функціонал ніж у Cadence
F <sub>2</sub>	A	Використовується для опису аналогових процесів	Моделювання аналогових процесів

		схеми, заглиблюючись у фізичну природу сигналу	досить сильно ускладнює програмну реалізацію
	В	Простіший у реалізації, адже використовує логічні позначення сигналів	Використовується для опису лише цифрових схем, не поглиблюючись у фізичні процеси схеми
	С	Високорівнева мова, що дозволяє описати кінцеві характеристики продукту, спрощуючи задачу розробки	Використовується для опису кінцевого пристрою, а не його компонентів
F <sub>3</sub>	А	Наявні усі необхідні аналогові та цифрові елементи для виконання роботи	Присутні деякі ліміти у розмірі елементів
	В	Наявні аналогові елементи	Відсутні необхідні параметри у ряді елементів
	С	Наявні готові складені конструкції з готовим описом їх роботи	Наявні лише базові елементи для роботи, що не дозволить сконструювати проект

Аналізуючи позитивно-негативну матрицю можна зробити висновок, що при розробці проекту деякий варіант можна відкинути, через невідповідність середовища та його бібліотек поставленим нами цілям. Згаданий варіант відзначений у морфологічній карті:

Функція F<sub>1</sub>:

Оскільки реалізація проекту потребує широко функціональне середовище з набором найменших елементів схеми (транзисторів, резисторів, ємностей, тощо), то використання MAX+PLUS II не дозволить вирішити поставлені задачі. Відповідно до цього, варіант В має бути відкинтий.

Функція  $F_2$ :

Оскільки реалізація програмного коду для вирішення поставленої задачі є концептуально складною, необхідно обрати мову, що відповідатиме завданню дипломного проекту. У ході виконання дипломної роботи будуть описані низькорівневі процеси, тому варіант С має бути відкинтий.

Функція  $F_3$ :

Оскільки, програмний продукт буде реалізовуватись у середовищі Cadence, можемо відкинути варіант С, оскільки у вибраному середовищі немає у наявності даної бібліотеки.

Отже, будемо розглядати такі варіанти реалізації програмного продукту:

–  $F_1(A) - F_2(A) - F_3(A)$

–  $F_1(A) - F_2(A) - F_3(B)$

–  $F_1(A) - F_2(B) - F_3(A)$

–  $F_1(A) - F_2(B) - F_3(B)$

Для оцінки якості визначених функцій було обрано систему параметрів, що описано нижче.

## **4.2 Обґрунтування системи параметрів програмного продукту**

### **4.2.1 Опис параметрів**

За основними функціональними даними, які має реалізувати виконаний проект, та попитом на результати виконаного продукту визначаються основні параметри, за допомогою яких розраховується коефіцієнт технічного рівня. Для характеристики програмного продукту будемо використовувати наступні параметри:

- $X_1$  – напруга живлення;
- $X_2$  – площа топології розробленого рішення;

- X3 – час, який витрачається на моделювання фізичних процесів схеми;
- X4 – об'єм пам'яті для збереження даних для обробки схеми під час виконання програми;
- X5 – час, який витрачається на виконання коду;
- X6 – потенційний об'єм програмного коду, який необхідно створити безпосередньо розробнику.

#### 4.2.2 Кількісна оцінка параметрів

Найгірші, середні та найкращі значення параметрів були обрані на основі вимог замовника та умов, що характеризують роботу продукту, як показано в таблиці 4.

Таблиця 7 – Основні параметри для продукту

Опис параметру	Умовні позначення	Одиниці виміру	Значення параметра		
			кращі	середні	гірші
Напруга живлення	X1	В	0.01	2	10
Площа топології розробленого рішення	X2	м	$5 \cdot 10^{-4}$	$8 \cdot 10^{-4}$	$1 \cdot 10^{-5}$
Час, який витрачається на моделювання фізичних процесів схеми	X3	с	10	70	120
Об'єм пам'яті для збереження даних для обробки схеми під час виконання програми	X4	Кб	1200	1600	2000
Час, який витрачається на виконання коду	X5	с	0.5	1.5	3

Потенційний об'єм програмного коду, який необхідно створити безпосередньо розробнику	X6	строк коду	200	400	600
---	----	---------------	-----	-----	-----

За даними з таблиці 4 будуються графічні характеристики параметрів (див. рис. 4.2–4.6).

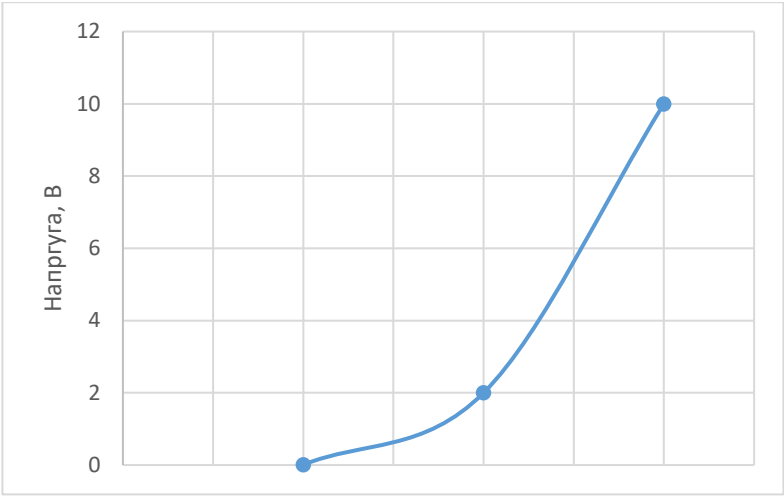


Рисунок 4.2 – X1, зміна напруги

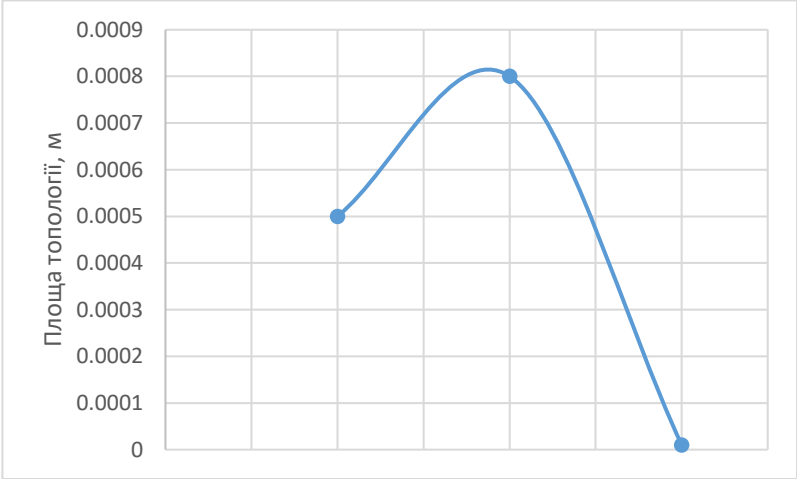


Рисунок 4.3 – X2, зміна площі топології

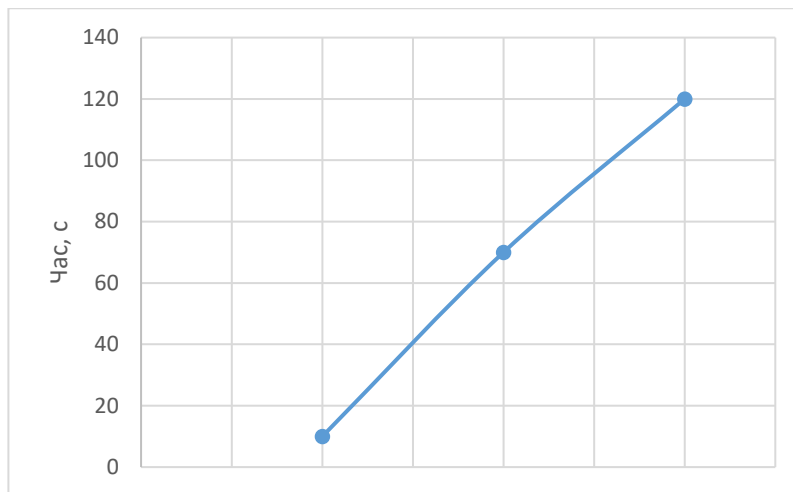


Рисунок 4.4 – X3, зміна часу, який витрачається на моделювання фізичних процесів схеми

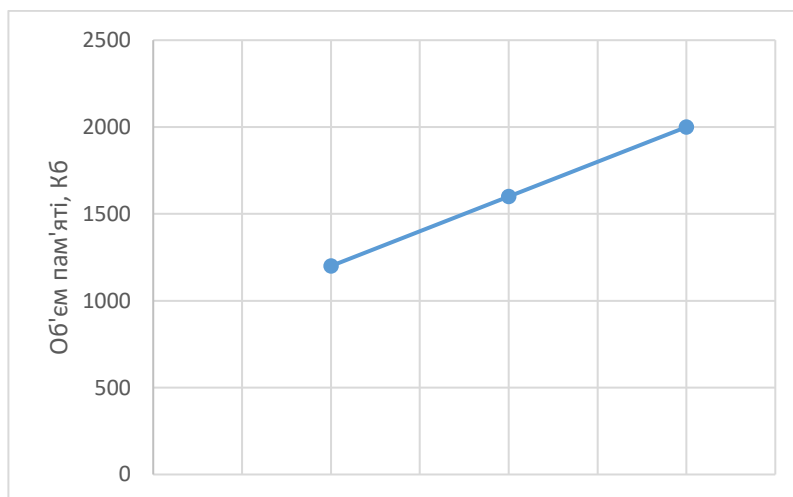


Рисунок 4.5 – X4, об'єм пам'яті для збереження даних для обробки схеми

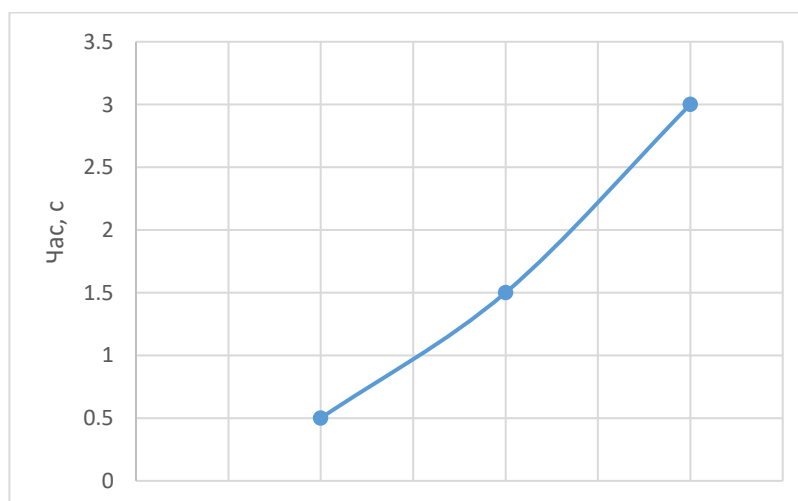


Рисунок 4.6 – X5, час, який витрачається на виконання коду



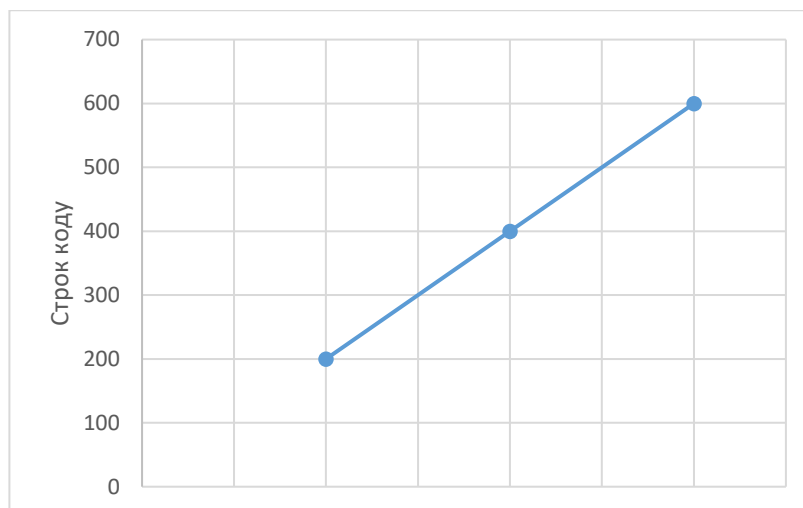


Рисунок 4.6 – Х6, час, об'єм програмного коду

### 4.2.3 Аналіз експертного оцінювання параметрів

Після детального обговорення й аналізу кожний експерт оцінює ступінь важливості кожного параметру для конкретно поставленої цілі – розробка програмного продукту, який має найбільш зручний інтерфейс та зрозумілу взаємодію з користувачем

Значимість кожного параметра визначається методом попарного порівняння. Оцінку проводить експертна комісія із 5 людей. Визначення коефіцієнтів значимості передбачає:

1. визначення рівня значимості параметра шляхом присвоєння різних рангів;
2. перевірку придатності експертних оцінок для подальшого використання;
3. визначення оцінки попарного пріоритету параметрів;
4. обробку результатів та визначення коефіцієнту значимості.

Результати експертного ранжування наведені у таблиці 5.

Таблиця 8 – Результати ранжування показників

Параметр	Ранг параметра за оцінкою експерта	Сума рангів	Відхилення, $\Delta_i$	$\Delta_i^2$
----------	------------------------------------	-------------	---------------------------	--------------

X1	6	6	5	6	5	28	10,5	110,25
X2	5	5	6	5	6	27	9,5	90,25
X3	3	4	2	3	4	16	-1,5	2,25
X4	1	1	3	1	1	7	-10,5	110,25
X5	2	2	1	2	2	9	-8,5	72,25
X6	4	3	4	4	3	18	0,5	0,25
Разом	21	21	21	21	21	105	0	385,5

Для перевірки ступеню достовірності експертних оцінок, визначимо наступні параметри:

а) сума рангів кожного з параметрів і загальна сума рангів:

$$R_i = \sum_{j=1}^N * r_{ij} = 105$$

де  $r_{ij}$  – ранг  $i$ -го параметра, визначений  $j$ -м експертом; а  $N$  – число експертів.

б) середня сума рангів  $T$ :

$$T = \frac{1}{n} R_i = 17,5.$$

в) відхилення суми рангів кожного параметра від середньої суми рангів:

$$\Delta_i = R_i - T.$$

г) загальна сума квадратів відхилення:

$$S = \sum_{i=1}^n * \Delta_i^2 = 385,5.$$

д) коефіцієнт узгодженості (конкордації):

$$W = \frac{12S}{N^2(n^3 - n)} = \frac{12 \cdot 385,5}{5^2(6^3 - 6)} = 0,881 > W_k = 0,67.$$

Цей рейтинг можна вважати надійним, оскільки знайдений коефіцієнт узгодженості перевищує стандартний коефіцієнт, який становить 0,67. Використовуючи результати ранжування, ми попарно порівнюємо всі параметри та занесемо результати в таблицю 6. Числове значення  $a_{ij}$ , що

визначає ступінь домінування  $i$ -го параметра над  $j$ -им параметром, визначається за формулою:

$$a_{ij} = \{1,5 \ x_i > x_j; 1,0 \ x_i = x_j; 0,5 \ x_i < x_j\}.$$

Таблиця 9 – Результати ранжування параметрів

Параметри	Експерти					Підсумкова оцінка	Числове значення коефіцієнтів переваги
X1, X2	>	>	<	>	<	>	1,5
X1, X3	>	>	>	>	>	>	1,5
X1, X4	>	>	>	>	>	>	1,5
X1, X5	>	>	>	>	>	>	1,5
X1, X6	>	>	>	>	>	>	1,5
X3, X4	>	>	<	>	>	>	1,5
X4, X5	<	<	>	<	<	<	0,5

З отриманих числових оцінок переваг можна скласти матрицю  $A = \|a_{ij}\|$ , у якій для кожного параметра розрахунок вагомості  $K_{Bi}$  розраховується за формулою:

$$K_{Bi} = \frac{b_i}{\sum_{i=1}^n b_i},$$

де  $b_i = \sum_{j=1}^N a_{ij}$  – вагомість  $i$ -го параметра за результатами оцінок всіх експертів;  $a_{ij}$  – коефіцієнт переваги  $i$ -го на  $j$ -тим параметром.

Відносні оцінки обчислюються кілька разів, доки пізні значення не відрізнятимуться незначно (менше 2%) від попередніх. На другому та наступних кроках відносна оцінка розраховується за такою формулою:

$$K_{Bi} = \frac{b'_i}{\sum_{i=1}^n b'_i},$$

$$\text{де } b'_i = \sum_{j=1}^N a_{ij} b_j.$$

Як видно з таблиці 7, різниця значень коефіцієнтів вагомості після другої ітерації не перевищує 2%, тому додаткові ітерації не потрібні.

Таблиця 10 – Розрахунок вагомості параметрів

		j						Перша ітерація		Друга ітерація	
		X1	X2	X3	X4	X5	X6	$B_i$	$K_{B_i}$	$B_i^1$	$K_{B_i}^1$
i	X1	1,0	1,5	1,5	1,5	1,5	1,5	8,5	0,236	48,16	0,242
	X2	0,5	1,0	1,5	1,5	1,5	1,5	7,5	0,208	42,16	0,212
	X3	0,5	0,5	1,0	1,5	1,5	0,5	5,5	0,153	30,16	0,152
	X4	0,5	0,5	0,5	1,0	0,5	0,5	3,5	0,097	18,16	0,0913
	X5	0,5	0,5	0,5	1,5	1,0	0,5	4,5	0,125	24,16	0,121
	X6	0,5	0,5	1,5	1,5	1,5	1,0	6,5	0,181	36,16	0,182
Разом								36	1,0	199	1,0

### 4.3 Аналіз рівня якості варіантів реалізації функцій

Рівень якості варіанту виконання кожної базової функції визначається індивідуально.

Абсолютні значення параметрів X1 (напруга живлення) і X2 (площа топології) відповідають технічним вимогам умов роботи цього середовища. Абсолютне значення параметра вибору X3 (час, який витрачається на моделювання фізичних процесів схеми) не є найгіршим (не максимальним значенням). Абсолютне значення параметра X4 (об'єм пам'яті для збереження даних для обробки схеми під час виконання програми) не найгірше. Абсолютне значення параметрів вибору X5 та X6 (час, який витрачається на виконання коду та потенційний об'єм програмного коду, який необхідно створити безпосередньо розробнику) не є найгіршим (не максимальним значенням). Коефіцієнт технічного рівня якості для кожного варіанту, реалізованого ПП, розраховується за такою формулою:

$$K_{TP} = \sum_{i=1}^n * K_{B_i} B_i,$$

де  $n$  – кількість параметрів;  $K_{B_i}$  – коефіцієнт вагомості  $i$ -го параметра;  $B_i$  – оцінка  $i$ -го параметра в балах.

Розрахунок показників рівня якості представлено відповідно в таблиці 8.

Таблиця 11 – Розрахунок показників якості

Основні функції	Варіант реалізації	Абсолютне значення параметра	Бальна оцінка параметра	Коефіцієнт вагомості параметра	Коефіцієнт рівня якості
$F_1$	A	2	10	0,242	2,42
$F_2$	A	70	10	0,152	1,52
	B	1600	5	0,0913	0,4565
$F_3$	A	1.5	10	0,121	1,21
	B	400	5	0,182	0,91

За цими даними визначаємо рівень якості кожного з варіантів:

$$-F_1(A) - F_2(A) - F_3(A) = 2,42 + 1,52 + 1,21 = 5,15$$

$$-F_1(A) - F_2(A) - F_3(B) = 2,42 + 1,52 + 0,91 = 4,85$$

$$-F_1(A) - F_2(B) - F_3(A) = 2,42 + 0,4565 + 1,21 = 4,0865$$

$$-F_1(A) - F_2(B) - F_3(B) = 2,42 + 0,4565 + 0,91 = 3,7865$$

Отже, отримавши значення коефіцієнту технічного рівня можемо стверджувати, що найкращим є перший варіант, оскільки його коефіцієнт значно більший. Це означає, що для реалізації дипломної роботи потрібно вибрати середовище Cadence, мову програмування Verilog A та бібліотеку gpdk045.

#### 4.4 Економічний аналіз варіантів розробки продукту

Для визначення вартості розробки програмного продукту спочатку проведемо розрахунок трудомісткості.

Всі варіанти включають в себе три окремих завдання:

1. Розробка схемотехнічного рішення;
2. Розробка програмного коду;

### 3. Тестування комплексного продукту;

Завдання 1 та 2 відносяться до групи А за ступенем новизни, а завдання 3 – до групи Б. За складністю завдання 1 та 2 належать до групи 1; завдання 3 – до групи 3.

Для того, щоб реалізувати завдання 1 та 2 використовувалась довідкова інформація, а завдання 3 використовує інформацію у вигляді отриманих у результаті моделювання схеми даних.

Спершу проведемо розрахунок норм часу на розробку, програмування або тестування для кожного з завдань. Для обчислення загальної трудомісткості використовується формула:

$$T_0 = T_P \cdot K_P \cdot K_{СК} \cdot K_M \cdot K_{СТ} \cdot K_{СТ.М}, \quad (12)$$

де  $T_P$  – трудомісткість розробки ПП;  $K_P$  – поправочний коефіцієнт;  $K_{СК}$  – коефіцієнт на складність вхідної інформації;  $K_M$  – коефіцієнт рівня мови програмування;  $K_{СТ}$  – коефіцієнт використання стандартних модулів і прикладних програм; а  $K_{СТ.М}$  – коефіцієнт стандартного математичного забезпечення.

Для першого завдання, користуючись нормами часу для задачі, що містить розрахунковий характер зі ступенем новизни А та складністю алгоритму 1, трудомісткість дорівнює:  $T_P = 78$  людино-днів. Поправочний коефіцієнт, що враховує тип нормативно-довідкової інформації для першого завдання:  $K_P = 1.7$ . Поправочний коефіцієнт що враховує складність контролю вхідної та вихідної інформації завдань рівню 1 становить:  $K_{СК} = 1$ . Оскільки при розробці першого завдання були використані стандартні модулі, ми врахували це за допомогою коефіцієнта  $K_{СТ} = 0.8$ . Тоді за формулою загальна трудомісткість першого завдання дорівнює:

$$T_1 = 78 \cdot 1.7 \cdot 0.8 = 106.08 \text{ людино-днів}. \quad (13)$$

Аналогічно розрахуємо трудомісткість і другого завдання, оскільки від матиме однакові норми часу, бо має степінь новизни А та група складності алгоритму 1. Відповідно до цього, зберігаються номінали поправочних

коефіцієнтів та коефіцієнт використання стандартних модулів. Зрештою, за формулою загальна трудомісткість другого завдання дорівнює:

$$T_2 = 78 \cdot 1.7 \cdot 0.8 = 106.08 \text{ людино-днів.} \quad (14)$$

Для третього завдання, де використовуватиметься алгоритм третьої групи складності та степінь новизни Б, трудомісткість розробки ПП відповідатиме 25 людино-дням, поправочний коефіцієнт рівний 0.9, коефіцієнт на складність вхідної інформації – 1, а коефіцієнт використання стандартних модулів і прикладних програм – 0.8. Тепер можна розрахувати загальну трудомісткість третього завдання:

$$T_3 = 25 \cdot 0.9 \cdot 0.8 = 18 \text{ людино-днів.} \quad (15)$$

Порахувавши трудомісткість усіх трьох завдань у людино-днях, перейдемо до обчислення варіантів реалізації. Так як загальна трудомісткість усіх можливих варіантів реалізації збігається, їх можна об'єднати в одну групу:

$$T_I = (106.08 + 106.08 + 18) \cdot 8 = 1841,28 \text{ людино-годин;} \quad (15)$$

В розробці схеми братиме участь дизайнер електричних схем з окладом 120000 грн., один інженер-програміст мовою Verilog А з окладом 100000 грн та один тестувальник з окладом 80000 грн. Визначимо середню зарплату за годину за формулою:

$$C_q = \frac{M}{T_m \cdot t} \text{ грн.,}$$

де  $M$  – місячний оклад працівників;  $T_m$  – кількість робочих днів на місяць;  $t$  – кількість робочих годин в день.

Отже, маємо:

$$C_q = \frac{120000 + 100000 + 80000}{3 \cdot 20 \cdot 8} = 625 \text{ грн}$$

Тоді, розрахуємо заробітну плату за формулою:

$$C_{3П} = C_q \cdot T_i \cdot K_d,$$

де  $C_{\text{ч}}$  – величина погодинної оплати праці;  $T_i$  – трудомісткість відповідного завдання;  $K_{\text{д}}$  – норматив, який враховує додаткову заробітну плату.

Зарплата розробників за задачами становить:

$$C_{\text{зп}} = 625 \cdot 1841,28 \cdot 1,2 = 1380960 \text{ грн.}$$

Відрахування на соціальний внесок становить 22%:

$$C_{\text{св}} = 0,22 \cdot C_{\text{зп}} = 1380960 \cdot 0,22 = 303811,2 \text{ грн.}$$

Тепер визначимо витрати на оплату однієї машино-години. Оскільки одна ЕОМ обслуговується одним інженером апаратного забезпечення з окладом 20000 грн. та коефіцієнтом зайнятості  $K_3 = 0,2$  то для однієї машини:

$$C_{\text{г}} = 12 \cdot M \cdot K_3 = 12 \cdot 20\,000 \cdot 0,2 = 48000 \text{ грн.}$$

Враховуючи додаткову заробітну плату:

$$C_{\text{зп}} = C_{\text{г}} \cdot (1 + K_3) = 48000 \cdot (1 + 0,2) = 57600 \text{ грн.}$$

Відрахування на соціальний внесок становить 22%:

$$C_{\text{св}} = C_{\text{зп}} \cdot 0,22 = 57600 \cdot 0,22 = 12672 \text{ грн.}$$

Амортизаційні відрахування розраховуємо за формулою при амортизації 25% та вартості ЕОМ – 40 000 грн.:

$$C_{\text{а}} = K_{\text{тм}} \cdot K_{\text{а}} \cdot C_{\text{ппр}} = 1,15 \cdot 0,25 \cdot 40000 = 11500 \text{ грн.}$$

де  $K_{\text{тм}}$  – коефіцієнт, який враховує витрати на транспортування та монтаж приладу у користувача;  $K_{\text{а}}$  – річна норма амортизації;  $C_{\text{ппр}}$  – договірна ціна приладу.

Витрати на ремонт та профілактику розраховуємо за формулою:

$$C_{\text{р}} = K_{\text{тм}} \cdot K_{\text{р}} \cdot C_{\text{ппр}} = 1,15 \cdot 0,05 \cdot 40000 = 2300 \text{ грн.}$$

де  $K_{\text{р}}$  – відсоток витрат на поточні ремонти.

Ефективний годинний фонд часу ПК за рік розраховуємо за формулою:

$$T_{\text{еф}} = (D_{\text{к}} - D_{\text{в}} - D_{\text{с}} - D_{\text{р}}) \cdot t \cdot K_{\text{в}},$$

де  $D_{\text{к}}$  – календарна кількість днів у році;  $D_{\text{в}}$ ,  $D_{\text{с}}$  – відповідно кількість вихідних та святкових днів;  $D_{\text{р}}$  – кількість днів планових ремонтів устаткування. Отже,

$$T_{\text{еф}} = (365 - 105 - 6 - 10) \cdot 8 \cdot 0,9 = 1756,8 \text{ год.}$$



Розрахуємо витрати на оплату електроенергії за формулою:

$$C_{\text{ЕЛ}} = T_{\text{ЕФ}} \cdot N_{\text{С}} \cdot K_{\text{З}} \cdot C_{\text{ЕЛ}} = 1756,8 \cdot 0,65 \cdot 0,2 \cdot 3,64 = 831,32 \text{ грн.}$$

де  $N_{\text{С}}$  – середньо-споживча потужність приладу;  $K_{\text{З}}$  – коефіцієнтом зайнятості приладу;  $C_{\text{ЕЛ}}$  – тариф за 1 КВт-годин електроенергії.

Накладні витрати розраховуємо за формулою:

$$C_{\text{Н}} = C_{\text{ПР}} \cdot 0,67 = 40000 \cdot 0,67 = 26800 \text{ грн.}$$

Тоді, річні експлуатаційні витрати будуть складати:

$$C_{\text{ЕК}} = C_{\text{ЗП}} + C_{\text{СВ}} + C_{\text{А}} + C_{\text{Р}} + C_{\text{ЕЛ}} + C_{\text{Н}},$$

$$C_{\text{ЕК}} = 57600 + 12672 + 11500 + 2300 + 831,32 + 26800 = 111703,32 \text{ грн.}$$

Собівартість однієї машино-години ЕОМ дорівнюватиме:

$$C_{\text{МГ}} = \frac{C_{\text{ЕК}}}{T_{\text{ЕФ}}} = \frac{111703,32}{1756,8} = 63,58 \text{ грн/год.}$$

Оскільки всі роботи, які пов'язані з розробкою програмного продукту ведуться на ЕОМ, витрати на оплату машинного часу складають:

$$C_{\text{М}} = C_{\text{МГ}} \cdot T = 63,58 \cdot 1841,28 = 117068,58 \text{ грн.}$$

Накладні витрати складають 67% від заробітної плати:

$$C_{\text{Н}} = C_{\text{ЗП}} \cdot 0,67 = 1380960 \cdot 0,67 = 925243,2 \text{ грн.}$$

Отже, вартість розробки програмного продукту за варіантами становить:

$$C_{\text{ПП}} = C_{\text{ЗП}} + C_{\text{СВ}} + C_{\text{М}} + C_{\text{Н}},$$

$$C_{\text{ПП}} = 1380960 + 303811,2 + 117068,58 + 925243,2 = 2727082,98 \text{ грн.}$$

Розрахуємо коефіцієнт техніко-економічного рівня за формулою:

$$K_{\text{ТЕР}} = \frac{K_{\text{К}}}{C_{\text{ПП}}} = \frac{7,16}{2727082,98} = 2,626 \cdot 10^{-6}$$

Отже, вибір ефективності різних варіантів рішення залежить від технічної складової, оскільки для вирішення задачі даного роду більш важливими є характеристики середовища, мови програмування та бібліотеки.

## Висновки до розділу 4

В рамках розрахунку економічної частини даної дипломної роботи було обчислено повний функціонально-вартісний аналіз вибору варіантів реалізації

для розробки інтегральних засобів програмування резистивних елементів пам'яті для інформаційних технологій. Увесь процес аналізу можна поділити на дві повноцінні частини. У результаті виконання даного розділу було закріплено та систематизовано знання у галузях організації виробництва та економіки.

Перша частина розглядає проект виключно з технічної точки зору: визначаючи необхідні функції та вимоги системи та викладає багато можливих варіантів їх реалізації. Після відкидання очевидно невдалих рішень основна увага зосереджується на декількох варіантах, вигідність яких не можна визначити без відповідних розрахунків. Далі за обчисленими значеннями параметрів за допомогою експертної оцінки визначають коефіцієнт технічного рівня, який використовується для вибору ефективного способу реалізації проекту. У результаті було обрано варіант з середовищем Cadence, мовою програмування Verilog A та бібліотекою gpdk045.

Друга частина ФВА розкриває підхід до вибору варіанту реалізації проекту кардинально з іншого боку, описуючи вибір найбільш економічно ефективного рішення з альтернативних реалізацій. Економічна частина базується на розрахунку коефіцієнтів ефективності, для того визначити, як параметри, такі як розмір заробітної плати, додаткові витрати на вбудоване середовище та складність проекту впливають на вибір того чи іншого варіанту реалізації проекту.

Використавши функціонально-вартісний аналіз можемо визначити, що вибір варіантів рішення в основному залежить від технічної складової, тому що для вирішення задачі даного роду задача більш важливими та вагомими є характеристики середовища, мови програмування та бібліотеки. Для обраного рішення розраховано техніко-економічний показник рівня якості продукту:

$$K_{\text{ТЕР}} = \frac{K_K}{C_{\text{ПП}}} = \frac{7,16}{2727082,98} = 2,626 \cdot 10^{-6}$$

Отже, цей підхід передбачає:

- вибір середовища програмування Cadence;

- вибір мови програмування Verilog A;
- використання бібліотеки gpdk045;

## Висновки

У ході виконання дипломної роботи:

- досліджені та проаналізовані існуючі технічні рішення для побудови інтегральних засобів програмування резистивних елементів пам'яті для інформаційних технологій;
- розроблено джерело струму зі схемою стартапу та самозміщенням, що обумовлено необхідністю джерела виходити у робочий стан, а також мати мінімальну залежність від змін напруги живлення та температури. Показана можливість отримувати струм номіналом 100мкА, 50мкА, 25мкА, 18мкА, 14мкА та 10мкА (з допустимою похибкою 5%), що у свою чергу дозволяє отримувати різні рівні опору на резисторі комірки пам'яті;
- показані шляхи для подальшого зниження залежності джерела струму від напруги живлення та температури, що відкриває можливості для збільшення інформаційної ємності комірок пам'яті;
- розроблені та досліджені моделі резистора для комірки пам'яті, які дозволяють розраховувати та прогнозувати поведінку схем керування пам'яті, з різною кількістю бітів інформації у комірці;
- запропонована та досліджена можливість програмування пам'яті джерелом струму у інтегральному виконанні, а також показані її недоліки та переваги;
- розроблена топологія запропонованих технічних рішень на сучасних наномікронних нормах проектування та розраховано її розміри;
- обчислені економічні показники виконаної роботи та наведені висновки щодо технічно-економічної вигідності проекту;
- робота виконана з використанням засобів проектування Cadence згідно угоди з міжнародною організацією Europractice та сучасних інформаційних технологій;
- результати виконання дипломної роботи можуть бути використані для розробки сучасних R-RAM.

## Список джерел

1. Nonvolatile Memory Design Magnetic, Resistive, and Phase Change. By. Hai Li. Yiran Chen. ISBN 9781138076631, April 2017, p. 203.
2. Circuits of analog integrated analysis / Paul R. Gray - 5th edition, ISBN 978-0-470-24599-6, Includes bibliographical references and index, 1942, USA.
3. RRAM-Info: the RRAM experts (2004-2022) [Електронний ресурс] — Режим доступу до ресурсу:  
<https://www.rram-info.com/>
4. Gupta V, Kapur S, Saurabh S, Grover A (2019) Resistive random-access memory: a review of device challenges. IETE Tech Rev, p. 15. [Електронний ресурс] — Режим доступу до ресурсу:  
<https://doi.org/10.1080/02564602.2019.1629341>
5. Damian Walczyk. Pulse-induced electroforming of a-Si CMOS embedded 4 kbit RRAM array. ELECTRON DEVICE LETTERS, IEEE, VOL. X, NO. Y, XX, 2013.
6. Cadence Design Systems, Inc. (Cadence), 2655 Seely Ave., San Jose, CA 95134, USA.
7. Резистивна пам'ять із довільним доступом (RRAM): огляд матеріалів, механізму перемикання, продуктивності, багаторівневої клітинки (mlc) зберігання, моделювання та додатків (2020р) [Електронний ресурс] — Режим доступу до ресурсу:  
<https://nanoscalereslett.springeropen.com/articles/10.1186/s11671-020-03299-9>
8. H. Wu, et al. Resistive Random Access Memory for Future Information Processing System. in Proceedings of the IEEE PP-99 (2017).
9. Зубчук В. І., Сігорський В. П., Шкуро А. Н. Справочник по цифровой схемотехнике : довідник. Київ : Техника, 1990. 448 с.
10. Яловий Г.К., Пашін В.П., Сичов В.С. Економіка та організація виробництва : навч. видання. - К.: "Політехніка", 2004. - 80 с.

11. ScienceDirect. Emerging Non-volatile Memories (2017p.) [Електронний ресурс] — Режим доступу до ресурсу:

<https://www.sciencedirect.com/topics/computer-science/non-volatile-memory>

12. Deepak C. Sekar MonolithIC 3D Inc. Resistive RAM: Technology and Market Opportunities [Електронний ресурс] — Режим доступу до ресурсу:

<https://microlab.berkeley.edu/text/seminars/slides/DeepakSekar.pdf>

13. ЧАСТИНА 1. ЕЛЕМЕНТИ ЕЛЕКТРОНИХ СИСТЕМ [Електронний ресурс] — Режим доступу до ресурсу:

<http://www.dstu.dp.ua/Portal/Data/3/22/3-22-b3/part1/part1.html>

14. Analog Computing using 1T1R Crossbar Arrays. Yunning Li, University of Massachusetts Amherst (2018p.) [Електронний ресурс] — Режим доступу до ресурсу:

[https://scholarworks.umass.edu/cgi/viewcontent.cgi?article=1640&context=masters\\_theses\\_2](https://scholarworks.umass.edu/cgi/viewcontent.cgi?article=1640&context=masters_theses_2)

15. Reference Manual Generic 45nm Salicide 1.0V/1.8V 1P 11M Process Design Kit and Rule Decks (PRD) Revision 4.0 [Електронний ресурс] — Режим доступу до ресурсу:

[https://perso.telecom-paristech.fr/mathieu/ICS904\\_TP\\_LAYOUT/html/\\_static/doc/gpdk045\\_pdk\\_referenceManual.pdf](https://perso.telecom-paristech.fr/mathieu/ICS904_TP_LAYOUT/html/_static/doc/gpdk045_pdk_referenceManual.pdf)

16. Resistance random access memory. Ting-ChangChang, Kuan-ChangChang, Tsung-MingTsai, Tian-JianChu, Simon M.Sze (2016) [Електронний ресурс] — Режим доступу до ресурсу:

[https://perso.telecom-paristech.fr/mathieu/ICS904\\_TP\\_LAYOUT/html/\\_static/doc/gpdk045\\_pdk\\_referenceManual.pdf](https://perso.telecom-paristech.fr/mathieu/ICS904_TP_LAYOUT/html/_static/doc/gpdk045_pdk_referenceManual.pdf)

17. Пашін В.П. Оцінка конкурентоспроможності електронних пристроїв на стадії проектування. - К. Економічний вісник НТУУ „КПІ”, 2006. - №3. с. 252-255.

18. Яловий Г.К., Пашін В.П., Сичов В.С. Економіка та організація виробництва : навч. видання. - К.: "Політехніка", 2004. - 80 с.

19. Артюхова О.В., д.т.н. Писаренко Л.Д. Аналіз моделей мемристора для програм схемотехнічного проектування. - К.: "Політехніка", 13 с.