

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»

О.В. Тимохін, А.О. Тимохіна, В.С. Гулий

ЦИФРОВА ЕЛЕКТРОНІКА В ЕЛЕКТРОЕНЕРГЕТИЦІ ОСНОВИ ПОБУДОВИ МІКРОПРОЦЕСОРНИХ ПРИСТРОЇВ ЕЛЕКТРОЕНЕРГЕТИЧНИХ СИСТЕМ. ЧАСТИНА 1

Навчальний посібник

Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра
за освітньою програмою «Управління, захист та автоматизація енергосистем»
спеціальностей 141 Електроенергетика, електротехніка та електромеханіка,
G3 Електрична інженерія

Електронне мережеве навчальне видання

1-ше видання

Київ
КПІ ім. ІГОРЯ СІКОРСЬКОГО
2025

УДК: [004.31:621.3.049.77]:621.31(07)

T41

Автори: *Тимохін Олександр Вікторович, канд. техн. наук., ст. викл.*
Тимохіна Анастасія Олександрівна, асистент
Гулий Володимир Сергійович, асистент

Рецензент *Ковбаса С.М, доц., д-р техн. наук, завідувач каф. АЕМС-ЕП ФЕА КПІ ім. Ігоря Сікорського*

Відповідальний редактор *Яндульський О.С., проф., д-р техн. наук*

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського
(протокол № 2 від 06.11.2025 р.)
за поданням вченої ради факультету/навчально-наукового інституту
(протокол № 4 від 27.10.2025 р.)*

Тимохін О.В.
T41 Цифрова електроніка в електроенергетиці. Основи побудови мікропроцесорних пристроїв електроенергетичних систем. Частина 1 [Електронний ресурс] : навч. посіб. для здобувачів ступеня бакалавра за освіт. програмою «Управління, захист та автоматизація енергосистем» спец. 141 Електроенергетика, електротехніка та електромеханіка, G3 Електрична інженерія / О.В. Тимохін, А.О. Тимохіна, В.С. Гулий; КПІ ім. Ігоря Сікорського. – 1-ше вид. – Електрон. текст. дані (1 файл). – Київ : КПІ ім. Ігоря Сікорського, 2025. – 191 с.

В навчальному посібнику викладено матеріал починаючи з основ цифрової електроніки, а саме: автоматичних пристроїв, класифікації сигналів та принципів синтезу автоматів, і завершуючи практичними аспектами побудови логічних схем і мікропроцесорних систем. Окрему увагу приділено особливостям роботи МП пристрої при переході від схемного рішення до його реалізації у вигляді кінцевого пристрою. Навчальний посібник містить приклади, графічні ілюстрації і контрольні запитання для самоперевірки. Призначений для здобувачів ступеня бакалавра за освітньою програмою «Управління, захист та автоматизація енергосистем» спеціальностей 141 Електроенергетика, електротехніка та електромеханіка, G3 Електрична інженерія

УДК: [004.31: 621.3.049.77]:621.31(07)

Реєстр. № НП 25/26-076. Обсяг 6,35 авт. арк.

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»
проспект Берестейський, 37, м. Київ, 03056
<https://kpi.ua>

Свідоцтво про внесення до Державного реєстру видавців, виготовлювачів
і розповсюджувачів видавничої продукції ДК № 5354 від 25.05.2017 р.

© О.В. Тимохін, А.О. Тимохіна, В.С. Гулий, 2025
© КПІ ім. Ігоря Сікорського, 2025

Зміст

Розділ 1. Основи побудови та функціонування автоматичних пристроїв	6
Тема 1.1. Автоматичні пристрої, загальні відомості	6
1.1.1 Призначення та особливості автоматичних пристроїв	6
Тема 1.2. Сигнали автоматичних пристроїв	7
1.2.1 Функціональні частини й елементи автоматичних пристроїв	11
1.2.2 Прямий і зворотний зв'язки в автоматичних пристроях	13
1.2.3 Надійність елементів	14
Тема 1.3. Основи синтезу автоматних пристроїв.....	17
1.3.1 Словесний опис	17
1.3.2 Автоматні таблиці	17
1.3.3 Приклад складання автоматної таблиці без пам'яті	18
1.3.4 Автомат з пам'яттю	19
Тема 1.4. Алгебра висловлювань і формалізація словесних описів	23
1.4.1 Основні теореми алгебри Буля	24
1.4.2 Способи подання булевих функцій.....	25
1.4.3 Мінімізація булевих функцій за допомогою алгебраїчних перетворень.....	27
1.4.4 Мінімізація булевих функцій за допомогою карт Карно.....	28
1.4.5 Перехід від структурної формули до логічної схеми й зворотний перехід	34
1.4.6 Функціонально повні системи логічних елементів	35
Тема 1.5. Напівпровідникові логічні елементи	40
1.5.1 Класифікація логічних елементів	40
1.5.2 Діодні логічні елементи.....	41
1.5.3 Діодно-транзисторні логічні елементи	42
1.5.4 Транзисторно-транзисторні логічні елементи (ТТЛ).....	43
1.5.5 Логічні елементи із трьома станами	45

1.5.6 Вихідні схеми з відкритим колектором	46
1.5.7 Різновиди ТТЛ-схем	47
1.5.8 Схеми ТТЛ з пристроями Шоткі	48
1.5.9 Логічні елементи з емітерно-зв'язними зв'язками. Логічні елементи на польових транзисторах	49
1.5.10 Інтегрально- інжекційна логіка (I^2L)	52
1.5.11 Логічні елементи на польових транзисторах	55
1.5.12 Логічні елементи на КМОН-структурах.....	57
Розділ 2. Використання мікропроцесорних систем в електроенергетиці	61
Тема 2.1. Підключення мікропроцесорної системи до підстанції 10 кВ, 110 кВ, 330 кВ.....	61
Тема 2.2. Структура мікропроцесорної системи захисту підстанції 10 кВ, 110 кВ, 330 кВ.....	64
Розділ 3. Типові вузли автоматичних пристроїв та мікропроцесорних систем	68
Тема 3.1. Типові цифрові логічні елементи мікропроцесорних систем.....	68
3.1.1 Тригери.....	68
3.1.2 Регістри	78
3.1.3 Лічильники.....	82
3.1.4 Шифратори	92
3.1.5 Дешифратори.....	93
3.1.6 Селектори (мультиплексори).....	96
3.1.7 Шифратори-кодоперетворювачі.....	97
3.1.8 Суматори і віднімачі	99
3.1.9 Генератори прямокутних імпульсів	105
3.1.10 Схеми формування імпульсів	107
3.1.11 Схеми усунення брязкоту контактів	109
Тема 3.2. Типові аналогові вузли цифрових для мікропроцесорних систем	113

3.2.1 Основні особливості функціонування операційних підсилювачів, охоплених петлею зворотного зв'язку	113
3.2.2 Основні схеми на операційних підсилювачах для цифрових та мікропроцесорних систем	115
Тема 3.3. Цифро-аналогові та аналогово-цифрові перетворювачі.....	134
3.3.1 Цифро-аналогові перетворювачі	134
3.3.2 Побудова генераторів напруги для ЦАП.....	137
Тема 3.4. Аналого-цифрові перетворювачі	139
3.4.1 Паралельні АЦП.....	140
3.4.2 Послідовно-паралельні АЦП	143
3.4.3 Послідовні АЦП	149
3.4.4 Інтегруючі АЦП. АЦП багатотактного інтегрування	157
3.4.5 Сигма-дельта АЦП.....	162
3.4.6 АЦП на основі перетворювачів напруга-частота	167
3.4.7 Структура сучасних однокристальних систем збору даних та мікроконверторів.....	169
3.4.8 Інтерфейси АЦП.....	171
3.4.9 Параметри АЦП	173
3.4.10 Шуми АЦП	176
Тема 3.5. Аналогові вимірювальні перетворювачі напруги і струму	178
3.5.1 Активні вимірювальні перетворювачі струму	178
3.5.2 Активні вимірювальні перетворювачі напруги	182
Рекомендована література	184

Розділ 1. Основи побудови та функціонування автоматичних пристроїв

Тема 1.1. Автоматичні пристрої, загальні відомості

1.1.1 Призначення та особливості автоматичних пристроїв

Технологічний процес виробництва та розподілу електроенергії являє собою взаємодію енергетичних об'єктів: турбо- та гідрогенераторів, ліній електропередач, трансформаторів і ін., а також засобів їхнього захисту й автоматики. Процес характеризується певним алгоритмом функціонування.

Взаємодіючі енергетичні об'єкти, що піддаються цілеспрямованому впливу, називаються керуваними. Цілеспрямовані впливи на керовані об'єкти визначаються алгоритмом керування.

Керування, здійснюване без особистої участі людини, називається автоматичним керуванням (АК). При АК цілеспрямований вплив на керований об'єкт (ОК) здійснює автоматичний керуючий пристрій (АКП) [21, 51, 57].

Призначення АКП полягає в тому, щоб забезпечити технічно правильний і економічний хід виробництва й розподілу електроенергії в будь-яких умовах, особливо при наявності збурюючих впливів.

Типова структурна схема автоматичного керування одним об'єктом представлена на рис. 1.1.

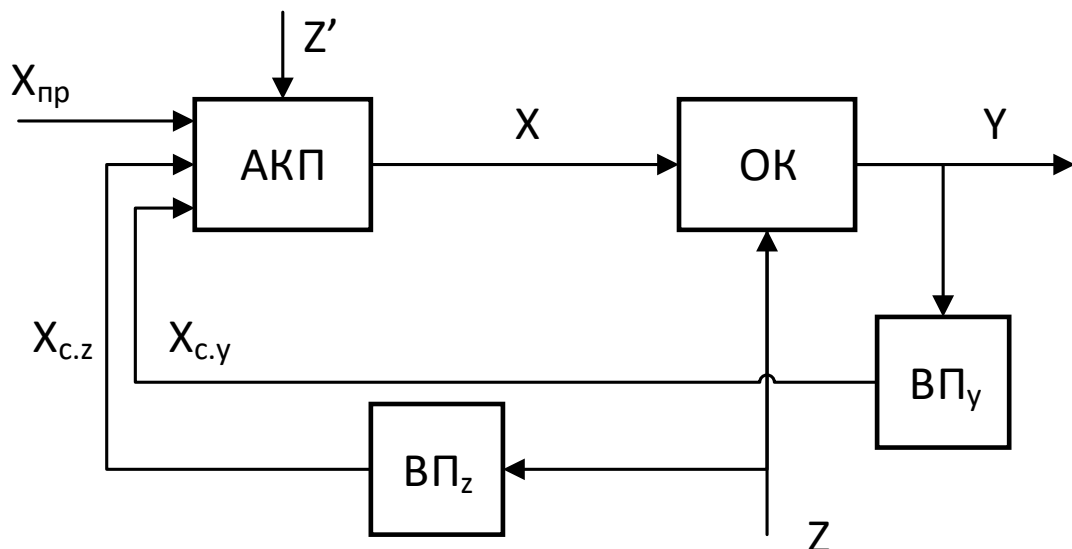


Рис. 1.1. Схема автоматичного керування одним об'єктом

На рис. 1.1. використані наступні умовні позначення: Z, Z' – збурюючі впливи зовнішнього середовища, завади;

Y - вихідний сигнал об'єкта;

$X_{c,z}, X_{c,y}$ – вхідні сигнали від збурюючого впливу і вихідного сигналу;
 $ВП_y, ВП_z$ – первинні вимірювальні перетворювачі;
 X_y – керуючий вплив на об'єкт;
 X_{np} – примусовий керуючий вплив у відповідності до алгоритму процесу керування.

Тема 1.2. Сигнали автоматичних пристроїв

Сучасні АП у своїй роботі використовують різноманітні вхідні і вихідні сигнали, які відрізняються один від одного багатьма характеристиками.

Назвемо сигналом деяку змінну фізичну величину, яка відображає інформацію. Загальна класифікація сигналів представлена на рис. 1.2.

Сигнали можна поділити за інформативністю, природою, та за їх характеристиками.

За інформативністю сигнали поділяються на випадкові, тобто сигнали, що можуть прийняти те чи інше значення, причому заздалегідь невідомо яке саме значення прийме сигнал, та детерміновані, тобто сигнали, характеристики яких можуть бути визначені в будь який момент часу з вірогідністю 1.

Враховуючи той факт, що більшість сучасних АП мають електричну (а здебільшого і електронну) основу свого функціонування, то і сигнали, якими оперують АП прийнято поділяти за природою на електричні і неелектричні.

До електричних сигналів відносяться сигнали, що мають електричну природу, тобто сигнали у вигляді електричного струму або напруги.

До неелектричних сигналів відносяться всі решта сигналів, які необхідні для роботи АП. Зокрема до них відносяться тиск, температура, яскравість світла, хімічний склад тощо. Як правило використання неелектричних сигналів в роботі АП виконується із перетворенням їх у еквівалентну електричну форму із використанням різноманітних давачів.

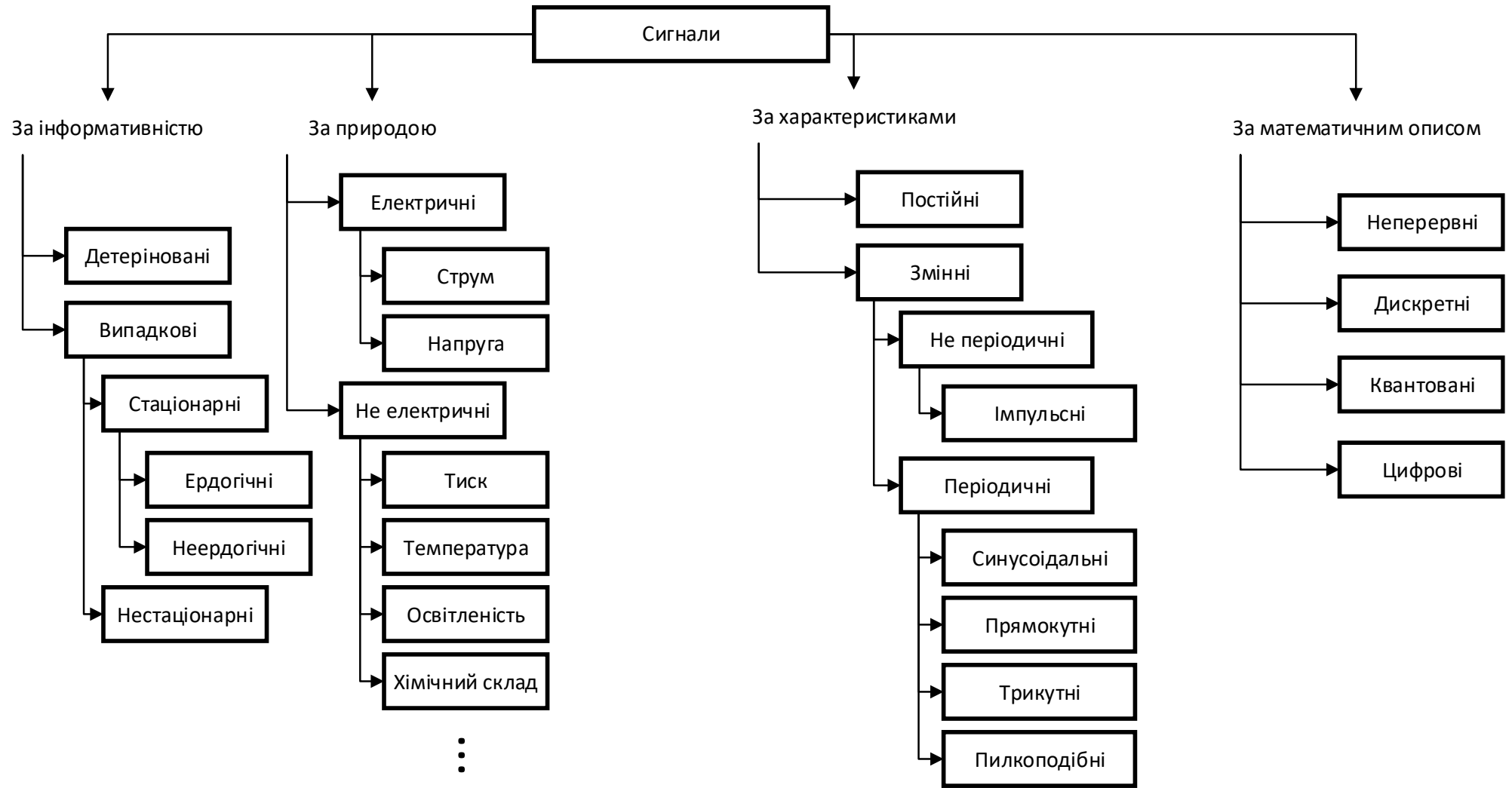


Рис. 1.2. Класифікація сигналів АП

За характеристиками сигнали поділяють на постійні і змінні. Постійні сигнали характеризуються тільки своєю амплітудою та є неперервними в часі і характеризуються своєю амплітудою A_M (рис. 1.3 (а)).

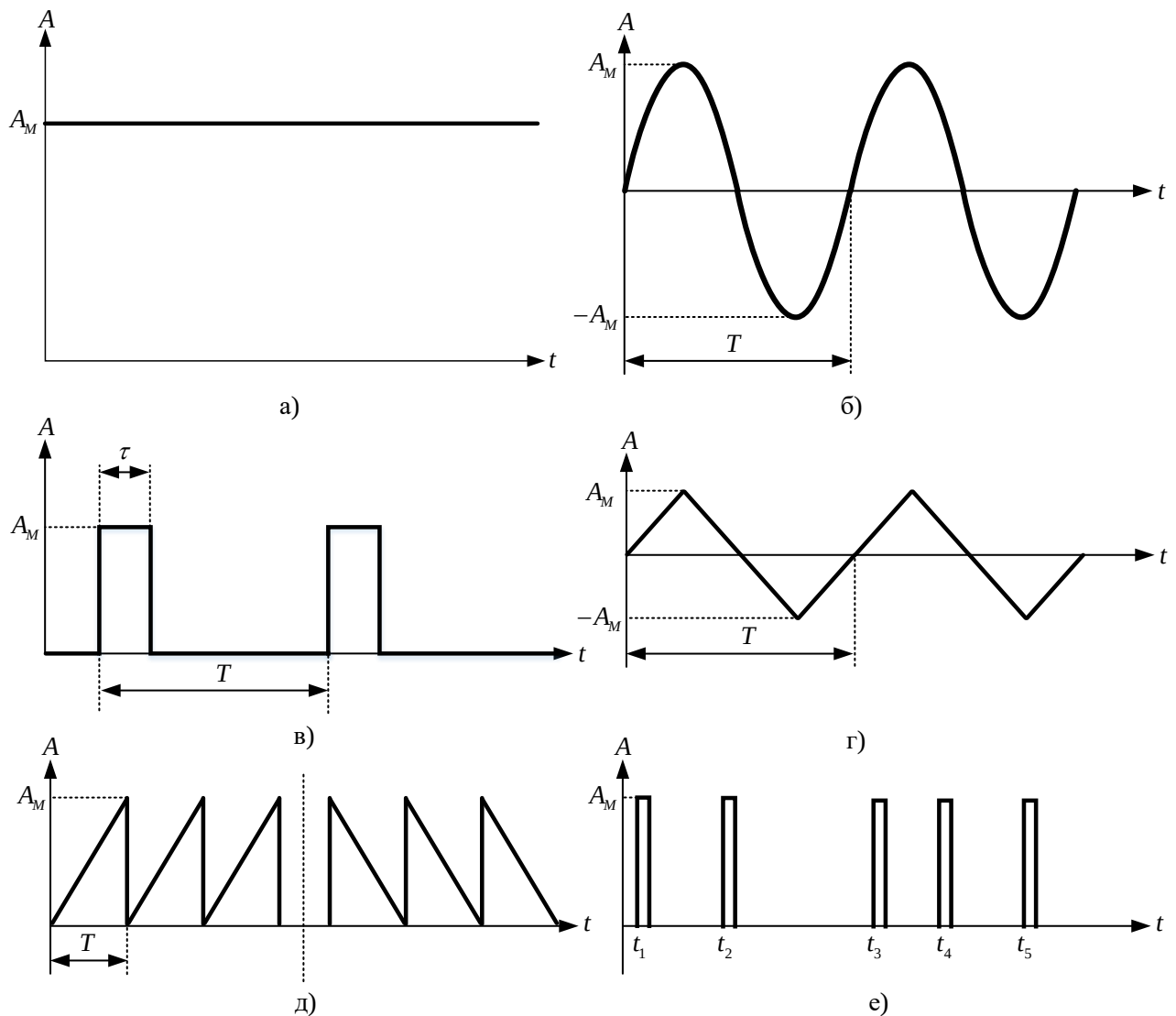


Рис. 1.3. Графічне представлення сигналів розділених за характеристиками: а- постійного; б- синусоїдального; в-прямокутного; г- трикутного; д- пилоподібного; е- імпульсного

Змінні сигнали поділяються на періодичні та неперіодичні. До періодичних сигналів відносяться синусоїдальні, прямокутні, трикутні та пилоподібні (рис. 1.3 .б,в,г,д). Періодичні сигнали характеризуються як амплітудою, так і періодом сигналу. Періодичні сигнали бувають як одно полярні так і двополярні. Прямокутні сигнали додатково характеризуються шириною додатної частини імпульсу τ . Прямокутний імпульс, у якого $\tau = T/2$ має назву меандр. Відношення періоду до

ширини додатної частини називається **прогальністю** $S = T/\tau$. Зворотна величина до сквапності називається **коефіцієнтом заповнення** $D = 1/S$.

До неперіодичних сигналів відносяться імпульсні сигнали, основною характеристикою яких є час виникнення імпульсу $\{t_0, t_1, \dots, t_n\}$.

За математичним описом сигнали поділяються, в першу чергу, на неперервні, дискретні, квантовані та цифрові (рис. 1.4).

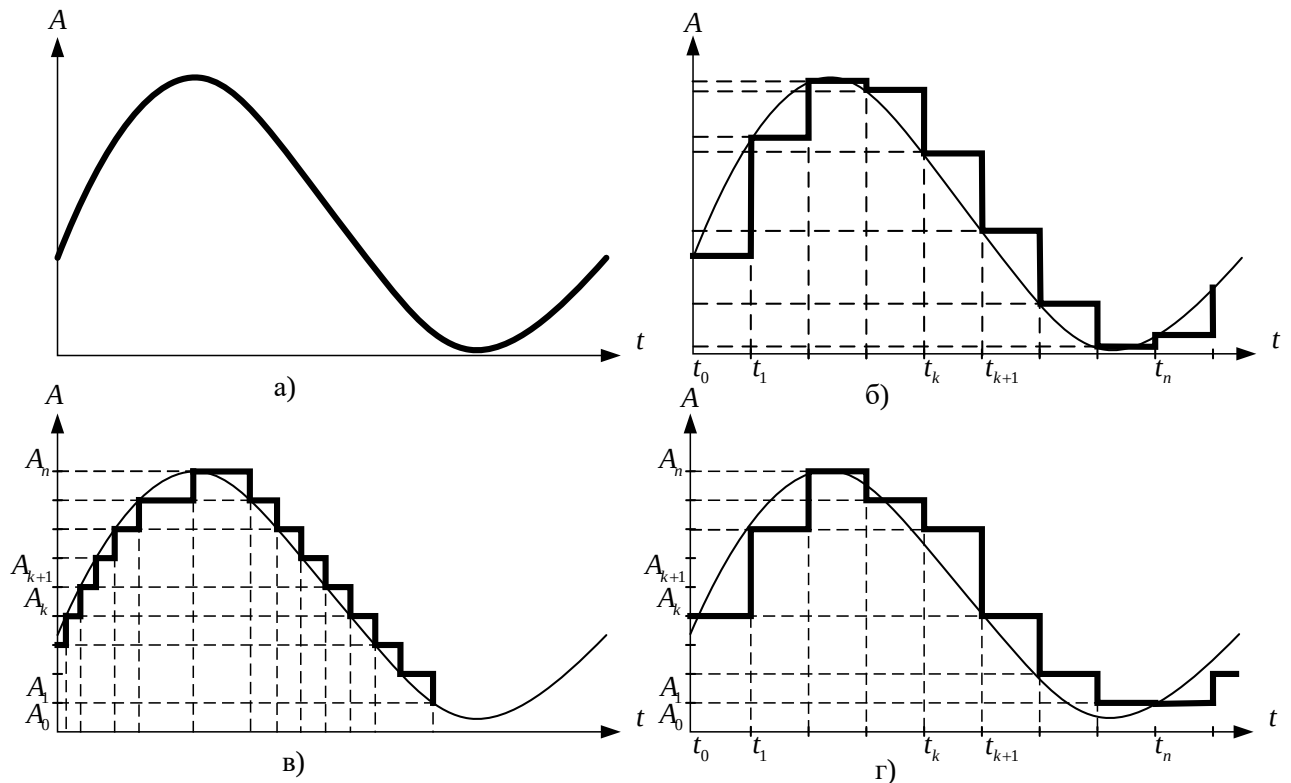


Рис. 1.4. Графічне представлення сигналів розділених за математичним представленням:
а- неперервного; б- дискретного; в- квантованого;
г- цифрового

Якщо розглядати сигнал як деяку неперервну множину часу $\{t\}$ і відповідну неперервну множину значень $\{A\}$, і якщо будь-якому значенню t із неперервної множини $\{t\}$ відповідає значення A із неперервної множини $\{A\}$, то такий сигнал є неперервним. Графічно приклад неперервного сигналу представлено на рис. 1.4.а.

Якщо множина значень $\{A\}$ неперервна, а множина часу $\{t\}$ дискретна, то сигнал може приймати будь-яке значення в чітко визначені моменти часу $\{t\} = \{t_k\}$, $k = 0 \dots \infty$, тобто сигнал заданий як $a(t) = a(t_k)$, тоді такий сигнал

називається дискретним або дискретизованим за часом (рис. 1.4.б). Прикладом такого сигналу може слугувати сигнал радіолокаційної станції, тому що моменти часу передавання сигналу чітко визначені кутом обертання антени, а рівень відбитого сигналу може бути довільним, оскільки визначається габаритами об'єкта відбиття.

Якщо множина значень $\{A\}$ дискретна, тобто $\{A\} = \{A_l\}, l = 0 \dots L$, а множина часу $\{t\}$ неперервна, то сигнал приймає чітко фіксовані значення в довільні моменти часу, то такий сигнал називається квантованим або дискретизованим за рівнем (рис. 1.4.в). Прикладом такого сигналу може слугувати сигнал на виході контролера-автомата метрополітену, де дискретним значенням відповідає кількість людей, що пройшли через автомат, а значення настають в довільні моменти часу залежно від пасажиропотоку.

Якщо ж множина значень $\{A\}$ дискретна, тобто $\{A\} = \{A_l\}, l = 0 \dots L$ і множина часу $\{t\}$ дискретна, тобто $\{t\} = \{t_k\}, k = 0 \dots \infty$, то такі сигнали називають цифровими (рис. 1.4.г). Свою назву цифрові сигнали отримали від того, що дискретні значення $\{A_l\}$ і $\{t_k\}$ можна представити числами натурального ряду. Прикладами цифрових сигналів можуть бути сигнал, якими обмінюються пристрої електронно-обчислювальних машин (ЕОМ).

Відмітимо, що в дискретному та цифровому сигналах значення A зберігається впродовж часового інтервалу (t_{k-1}, t_k) . Якщо в моменти часу t_k фіксувати значення сигналів короткими імпульсами $\delta(t_k)$, яка в ідеалі є дельта-функцією Дірака, то такий сигнал є різновидом імпульсного сигналу.

1.2.1 Функціональні частини й елементи автоматичних пристроїв

Автоматичне управління здійснюється на основі інформаційних процесів, то цей процес забезпечується рядом функцій, зокрема: отримання, передачу, обробку і використання інформації. По проходженню по цим етапам відбувається вироблення керуючого впливу на об'єкт керування.

Складові частини АП, що виконують вищезгадані функції називаються вимірювальною, передавальною (канал зв'язку), логічною і виконавчою функціональними частинами, а також до АП зазвичай входить джерело живлення (ДЖ) [38, 51, 57].

В залежності від функціональних операцій, що відбуваються над сигналами, їх можна поділити на функціональні елементи. Зображення автоматичного пристрою у вигляді функціональних частин, елементів і зв'язків між ними називається структурною схемою.

В якості прикладу розглянемо приклад структурної схеми релейного захисту турбогенератора (ТГ) від струмів короткого замикання (КЗ) (рис. 1.5).

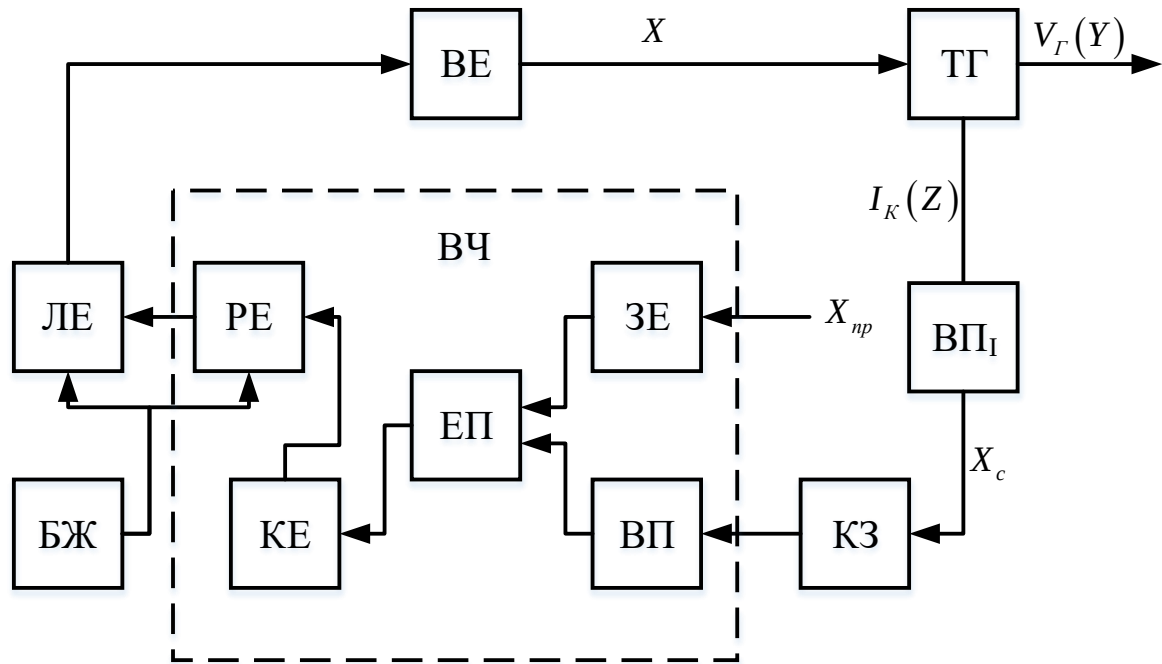


Рис. 1.5. Структурна схема релейного захисту турбогенератора (ТГ) від струмів КЗ

На рис. 1.5. використані наступні умовні позначення:

$ВП_I$ – первинний вимірювальний перетворювач струму;

$ВП$ – вимірювальний перетворювач;

$ВЧ$ – вимірювальна частина автоматичного пристрою;

$КЗ$ – канал зв'язку (передавальна частина);

$ЗЕ$ – запам'ятовуючий елемент (запам'ятовувальний струм або закон зміни з часом);

$ЕП$ – елемент порівняння;

$КЕ$ – коригувальний елемент (частотний фільтр);

$РЕ$ – реалізуючий елемент (для фіксації результату порівняння);

$ЛЕ$ – логічний елемент (і, або, час і ін.);

$ВЕ$ – виконавчий елемент.

Для роз'яснення принципів роботи окремих функціонуючих частин пристрою, поряд зі структурними використовуються функціональні схеми.

Функціональні частини і їхні елементи зображуються при цьому з використанням умовних графічних позначень і конкретних з'єднань між ними.

Принципова електрична схема дає детальне уявлення про АКП й принцип його роботи. Вона зображує повний склад елементів і зв'язків між ними й виконується з використанням умовних графічних позначень.

1.2.2 Прямий і зворотний зв'язки в автоматичних пристроях

Взаємодіюча сукупність керованого об'єкта й АКП називається **автоматичною системою керування** (АСК). Структурна схема замкнутого елемента зі зворотним зв'язком представлена на рис. 1.6. Розрізняють автоматичні системи керування з **розімкнутим** і **замкнутим** ланцюгами впливу. В АСК із замкнутим ланцюгом впливу розрізняються **головні прямі** й **головна зворотні** зв'язки. В АСК з розімкнутим ланцюгом впливу головний зворотний зв'язок відсутній [21, 57].

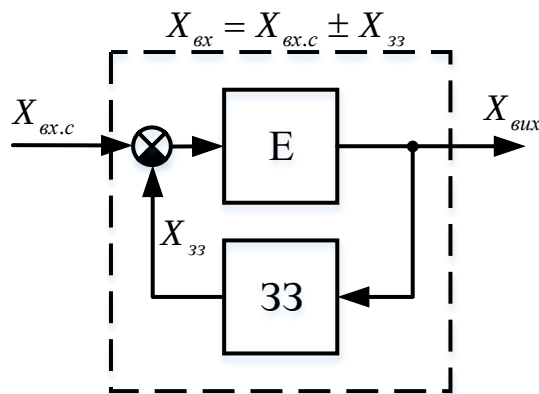


Рис. 1.6. Структурна схема замкнутого елемента (зі зворотним зв'язком)

На рис. 1.6. використані наступні умовні позначення:

$X_{вх.с}$ – вхідний керуючий сигнал;

$X_{зз}$ – сигнал зворотного зв'язку;

$X_{вх}$ – вхідний сигнал елемента;

$X_{вих}$ – вихідний сигнал.

Крім головних, існують додаткові прямі й зворотні зв'язки. **Додатковий прямий зв'язок** утворює коло передачі сигналів паралельно якій-небудь ділянці головного зв'язку. **Додатковий зворотний зв'язок** представляє коло передачі сигналів у зворотному напрямку до передачі сигналів.

Зворотній зв'язок може бути **додатний** або **від'ємний**. Якщо сигнал зворотного зв'язку $X_{зз}$ додається до сигналу $X_{вх.с}$ на вході ланцюга прямого зв'язку,

то зворотний зв'язок додатній, а якщо віднімається – то від'ємний. (Зворотній зв'язок як правило від'ємний, позитивний зворотний зв'язок застосовується в схемах генераторів та тригерах Шмітта).

1.2.3 Надійність елементів

Надійність – це властивість виробу виконувати задані функції, зберігаючи свої експлуатаційні показники в заданих межах протягом необхідного проміжку часу [38, 51, 57].

Стан виробу, при якому він здатний виконувати задані функції, називається **працездатністю**, а стан, при якому виріб не відповідає хоча б одній з вимог, називається **несправністю**.

Доцільно розрізняти **апаратну** надійність і надійність **функціонування**. Стосовно окремих елементів автоматичного пристрою, насамперед, важлива апаратна надійність, що називається **надійністю елемента**.

Відповідно до визначення надійності варто розрізняти **раптові** й **поступові** відмови. Раптова відмова відбувається при пошкодженні елемента. Поступова відмова є результатом тривалої зміни характеристик елемента, обумовлених зношуванням при експлуатації або старінні в результаті внутрішніх процесів і збурюючих впливів, насамперед температури й навколишнього середовища.

Розрізняють елементи, що ремонтуються і не ремонтуються. Під **ремонтпридатністю** розуміється властивість виробу, що полягає в його пристосованості до попередження, виявленню й усуненню відмов і несправностей, шляхом проведення технічного обслуговування й ремонту.

Для кількісної оцінки надійності елементів, що не підлягають ремонту, використовуються такі показники як: наробіток до моменту відмови, середній наробіток до відмови, імовірність безвідмовної роботи й інтенсивність відмов.

Наробіток до моменту відмови $t_{відм}$ – це тривалість роботи елемента до відмови, тобто час безвідмовної роботи. Наробіток до відмови – випадкова величина із щільністю ймовірності $P_{відм}(t)$.

Середній наробіток до відмови визначається як математичне очікування:

$$t_{відм.сер} = \int_0^{\infty} t_{відм} P_{відм}(t) dt \quad (0.1)$$

або за статистичним даними:

$$t_{відм.сер} = \frac{1}{n} \sum_{i=1}^n t_{відм_i} \quad (0.2)$$

Імовірність безвідмовної роботи протягом наробітку τ дорівнює ймовірності того, що в заданому інтервалі часу τ відмова елемента не виникає:

$$P_{б.р.}(\tau) = \int_{\tau}^{\infty} P_{відм}(t) dt \quad (0.3)$$

За статистичним даними $P_{б.р.}(\tau)$ визначається по кількості елементів $n(\tau)$, що проробили без відмови час τ :

$$P_{б.р.}(\tau) = \frac{n(\tau)}{n} \quad (0.4)$$

Інтенсивність відмов визначається як імовірність відмови елемента в одиницю часу:

$$\lambda(\tau) = \frac{P_{відм}(\tau)}{P_{б.р.}(\tau)} \quad (0.5)$$

За статистичним даними інтенсивність відмов обчислюється по відношенню:

$$\lambda(\tau) = \frac{n_n - n_k}{\Delta t \cdot n_n} \quad (0.6)$$

де Δt — деякий досить малий інтервал часу; n_n, n_k — кількість справних елементів на початку й кінці інтервалу Δt .

Загальний вигляд залежності інтенсивності відмов від часу представлено на рис. 1.7.

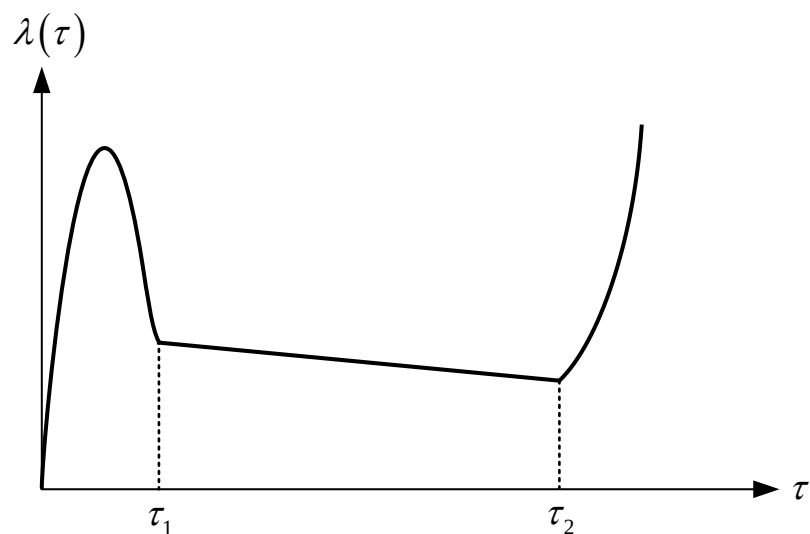


Рис. 1.7. Графік інтенсивності відмов

У початковий період роботи елементів (так званий період приробітки) інтенсивність відмов підвищена через приховані дефекти й зменшується по мірі відмов елементів з дефектами. У кінцевий період $\lambda(\tau)$ збільшується внаслідок посилення процесів старіння (див. рис. 1.7) [38].

Контрольні запитання до тем 1.1 та 1.2:

1. На які види поділяються сигнали за інформативністю?
2. Дайте визначення терміну меандр?
3. Дайте визначення терміну прогальність?
4. Поясніть різницю між дискретним сигналом і квантованим?
5. Що таке принципова електрична схема?
6. Які види зв'язків існують в автоматичних пристроях?
7. Що таке надійність елементів?
8. Як класифікуються сигнали автоматичних пристроїв за інформативністю, природою та характеристиками?
9. У чому полягає різниця між електричними та неелектричними сигналами?
10. Що відрізняє періодичні сигнали від неперіодичних, і які їх основні параметри?
11. Поясніть відмінності між неперервними, дискретними, квантованими та цифровими сигналами.
12. Що таке коефіцієнт заповнення прямокутного сигналу та як він пов'язаний із прогальністю?

Тема 1.3. Основи синтезу автоматних пристроїв.

Представимо майбутній автоматичний пристрій у вигляді чорного ящика, у якого є входи, виходи й щось усередині (див. рис. 1.8). Внутрішній вміст цього ящика нам невідомо, але його функціонування ми можемо описувати за допомогою внутрішніх станів майбутнього пристрою [18, 48].

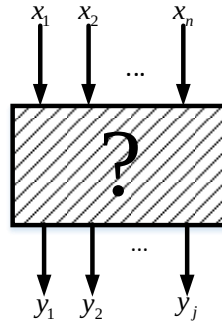


Рис. 1.8. Подання майбутнього пристрою автоматки у вигляді чорного ящика із входами x_k і виходами y_i .

Функціонування майбутнього АП може описуватися за допомогою словесного опису, автоматних таблиць та у вигляді математичних функцій.

1.3.1 Словесний опис

Одним з представлень майбутнього АП є представлення у вигляді словесного опису, який являє собою викладення алгоритму функціонування АП з ретельним підбором слів та фраз, що не допускають повторення, зайвих слів та подвійного змісту, з вказуванням вхідних та вихідних сигналів АП. Текст може доповнюватися математичними позначеннями і деякими спеціальними домовленостями [18, 48, 52].

Словесний опис подається у вигляді можливих вхідних сигналів та реакції на них АП, що проектується. Набір значень вхідних сигналів і набір значень вихідних сигналів будемо позначати відповідно x_i та y_i .

Переваги: не потребує спеціальної підготовки.

Недоліки: може містити неточності та протиріччя, а також не піддається алгоритмічній обробці.

1.3.2 Автоматні таблиці

Автоматною таблицею називається таблиця, у якій у лівій частині перераховані всі вхідні набори станів АП, а в правій – відповідні їм вихідні набори

стану АП. Якщо АП має n входів і j виходів, то таблиця буде містити 2^n рядків. Заповнити таблицю можна лише в тому випадку, коли вхідним наборам x_n однозначно відповідає конкретний вихідний набір y_j .

Якщо при заповненні таблиці можна однозначно заповнити всі 2^n рядків, то це означає, що АП являє собою комбінаційну схему (автомат без пам'яті). Сама таблиці при цьому називається автоматною таблицею для автомата без пам'яті і вона дає автоматний опис для такого АП [34, 48, 52].

1.3.3 Приклад складання автоматної таблиці без пам'яті

Приклад словесного опису

Технічне завдання (ТЗ):

Необхідно спроектувати АП для струмового захисту силового трансформатора 10кВ, структурна схема якого зображена на рис. 1.9. АП повинен видати сигнал на відключення вимикача при струмі короткого замикання $I_{KЗ} > 1 \text{ кА}$ з витримкою часу 1,5с. При струмі короткого замикання $0,5 \text{ кА} < I_{KЗ} < 1 \text{ кА}$ через 1,5с необхідно видати команду на звуковий сигнал, а якщо при цьому температура охолоджуючого масла в трансформаторі більше 80 C° , то видати сигнал на відключення вимикача [34, 48].

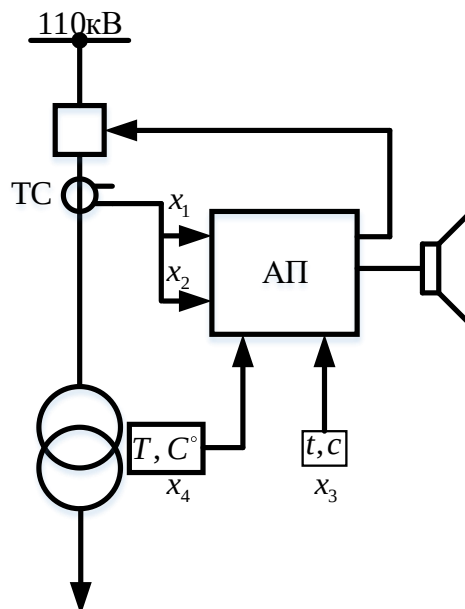


Рис.1.9. Структурна схема струмового захисту силового трансформатора

Виходячи з умов технічного завдання АП (табл. 1.1) має 4 входи і 2 виходи:

$$x_1 - I_{KЗ} > 1 \text{ кА}$$

$$y_1 - \text{відключити вимикач}$$

$$x_2 - 0,5 \text{ кА} < I_{\text{кз}} < 1 \text{ кА}$$

y_2 – видати звуковий сигнал

$$x_3 - t, c = 1,5 \text{ с}$$

$$x_4 - T, C^\circ > 80 \text{ C}^\circ$$

Таблиця 1.1. Автоматна таблиця для автомату без пам'яті

№ п/п	x_4	x_3	x_2	x_1	y_1	y_2
0	0	0	0	0	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	0
3	0	0	1	1	0	0
4	0	1	0	0	0	0
5	0	1	0	1	1	0
6	0	1	1	0	0	1
7	0	1	1	1	1	0
8	1	0	0	0	0	0
9	1	0	0	1	0	1
10	1	0	1	0	0	0
11	1	0	1	1	0	0
12	1	1	0	0	0	0
13	1	1	0	1	1	0
14	1	1	1	0	1	1
15	1	1	1	1	1	1

При заповненні автоматної таблиці може виникнути ситуація, коли не всі її рядки можна заповнити однозначно. В такому випадку необхідно додатково уточнити ТЗ у замовника. В нашому випадку це може бути комбінація №14, коли є $0,5 \text{ кА} < I_{\text{кз}} < 1 \text{ кА}$, $t, c = 1,5 \text{ с}$ і $T, C^\circ > 80 \text{ C}^\circ$ [16, 35].

1.3.4 Автомат з пам'яттю

Якщо не вдається скласти таблицю так, щоб кожному вхідному набору в ній відповідав єдиний вихідний набір, то даний АП має пам'ять [34, 48].

Приклад

Повернемося до табл. 1.1.

Якщо замовник дасть подвійну відповідь на пункти 11, 13, то потрібно вводити елемент пам'яті.

П.11 – якщо раніше був звуковий сигнал, то його залишити, якщо не було, то й не потрібно включати.

П.13 – якщо раніше був звуковий сигнал, то його залишити, якщо не було, то включити.

Формально пам'ять в АП може бути введена за рахунок розглядання множини внутрішніх станів у яких може перебувати АП. Цю множину позначимо як $Z = z_0, z_1, \dots, z_n$, серед цих станів виділимо початкове – z_0 [35, 52].

Для АП, що проектується, визначимо два стани:

z_0 – коли звуковий сигнал не включений;

z_1 – коли звуковий сигнал включений.

Позначимо ці стани кружечком (див. рис. 1.10), а дугами позначимо можливі переходи з одного стану в інше. Таке представлення станів АП та переходів між ними називається графом переходів.

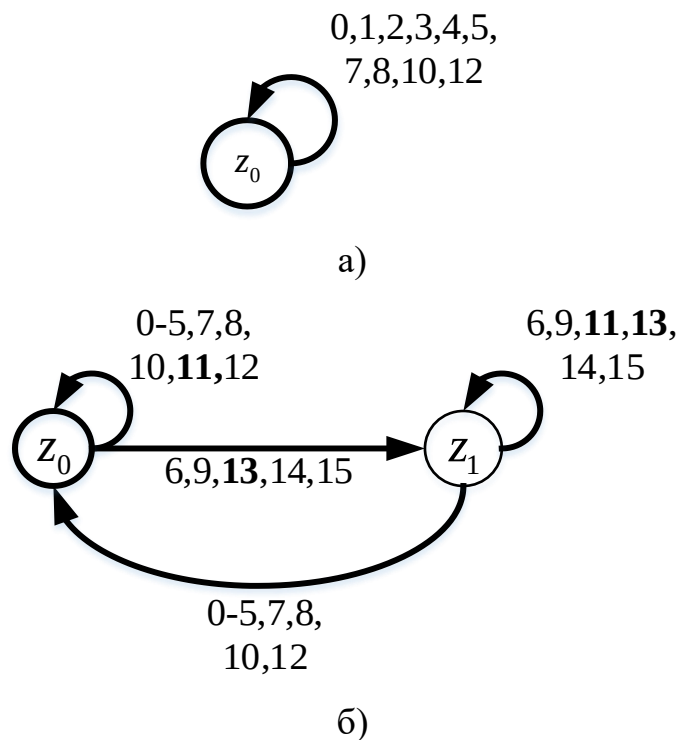


Рис. 1.10 – Граф переходів АП з пам'яттю

Замість побудови графа переходів необхідну інформацію про зміни стану АП можна представити у вигляді в спеціальній таблиці, що називається таблицею переходів або таблицею змін станів. Для АП, що проектується таблиця переходів представлена у табл. 1.2.

Таблиця 1.2. Таблиця переходів для автомату з пам'яттю

стани	Входи (номер комбінації входів)			
	0-5, 7, 8, 10, 12	11	13	6, 9, 14, 15
z_0	z_0	z_0	z_1	z_1
z_1	z_0	z_1	z_1	z_1

Таблиця переходів ще не містить повної інформації про роботу системи керування і потребує додаткової інформації про те, як формуються вихідні набори, що видаються АП на об'єкт. Для цього складається інша таблиця, що називається **таблицею виходів**. На відміну від таблиці переходів, де на перетині рядків і стовпців стоять вказівники на внутрішні стани, у які переходить АП при даній комбінації внутрішнього стану і вхідного набору, у таблиці виходів для цієї комбінації вказується формований АП вихідний набір. Для АП, що проектується, таблиця виходів представлена у табл. 1.3.

Таблиця 1.3. Таблиця виходів для автомату з пам'яттю

стан	Виходи (номер комбінації виходів)									
	0-4, 8, 10, 12		5, 7		6, 9		11		13, 14, 15	
z_0	0	0	1	0	0	1	0	0	1	1
z_1	0	0	1	0	0	1	0	1	1	1
y	y_1	y_2	y_1	y_2	y_1	y_2	y_1	y_2	y_1	y_2

Сукупність таблиці переходів і таблиці виходів визначає функціонування автомата з пам'яттю. Обсяг пам'яті АП визначається числом внутрішніх станів, що використовується у цих таблицях. Таблиці переходів і виходів називають **автоматними таблицями для автоматів з пам'яттю**.

Від автоматних таблиць завжди однозначно можна перейти до відповідного їм автоматного графу, і навпаки, кожний автоматний граф, однозначно визначається парою автоматних таблиць.

Автоматичні пристрої в яких вихідний набір однозначно визначається тим внутрішнім станом, у якому вони перебувають після закінчення переходу називаються **автоматами Мура** [16].

АП в яких вихідний набір визначається не тільки станом, у якому автомат перебував у момент подачі вхідного сигналу, але й вхідним набором, поданим на автомат, називаються **автоматами Мілі** [34].

Будь-який автоматний опис еквівалентно перетвориться або в автомат Мура, або в автомат Мілі.

Контрольні запитання до теми 1.3:

1. Що таке словесний опис і для чого він потрібен?
2. Що таке автоматна таблиця?
3. Дайте визначення автомату без пам'яті та автомату з пам'яттю.
4. Дайте визначення автомату Мура та Мілі
5. Що таке словесний опис автоматичного пристрою і які його переваги та недоліки?
6. Що називають автоматною таблицею і які умови необхідні для її побудови?
7. У чому полягає різниця між автоматом без пам'яті (комбінаційною схемою) та автоматом з пам'яттю?
8. Яке призначення таблиці переходів і таблиці виходів для автомата з пам'яттю?
9. У чому різниця між автоматами Мура та Мілі за принципом формування вихідних сигналів?
10. Як формується граф переходів автомата та яким чином його можна перетворити в автоматні таблиці?

Тема 1.4. Алгебра висловлювань і формалізація словесних описів

Будемо називати висловленням деяке припущення, про яке в конкретний момент можна стверджувати, що воно є істинним або помилковим.

Позначимо висловлювання $x=1$ якщо воно істинне, $x=0$ якщо воно помилкове.

Позначимо висловлення протилежне до x , як $\bar{x}$ і назовемо його запереченням (або елементом **НІ**). Графічне подання елемента **НІ** представлено на рис. 1.11.

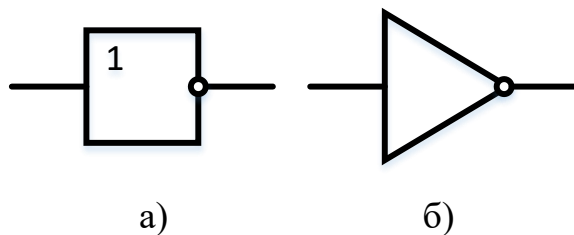


Рис. 1.11. Графічне позначення елемента **НІ**: а - згідно [25, 49]; б- згідно [29].

Розглянемо висловлення, істинність яких визначається табл. 1.4:

Таблиця 1.4. Таблиця істинності для елементів АБО та І

		$x_1 + x_2$	$x_1 \cdot x_2$
x_1	x_2	$x_1 \cup x_2$	$x_1 \cap x_2$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Висловлення $x_1 \cup x_2$ ($x_1 + x_2$) називається диз'юнкцією висловлень x_1 та x_2 , або їх логічною сумою (АБО). Графічне подання елемента **АБО** представлено на рис. 1.12.

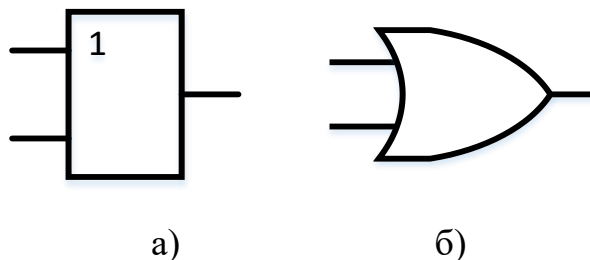


Рис.1.12. Графічне позначення елемента **АБО**: а - згідно [25, 49]; б- згідно [29].

Висловлення $x_1 \cap x_2$ ($x_1 \cdot x_2$) називається **кон'юнкцією** висловлень x_1 та x_2 , або їх логічним добутком (І). Графічне подання елемента І представлено на рис. 1.13.

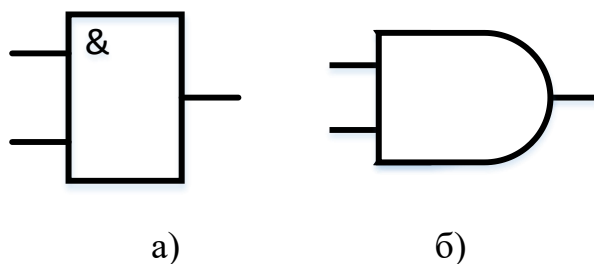


Рис. 1.13. Графічне позначення елемента І: а - згідно [25, 49]; б- згідно [29].

1.4.1 Основні теореми алгебри Буля

Проектування економних логічних схем здійснюється за допомогою спеціального математичного апарата, що значно полегшує рішення цього завдання. Цей апарат запропонований у середині 19-го століття англійський математик Дж. Буль для використання його у формальній логіці й називається **алгеброю Буля** [34].

Теореми для однієї змінної

$$x + 0 = x \quad (0.7)$$

$$x + 1 = 1 \quad (0.8)$$

$$x + x = x \quad (0.9)$$

$$x + \bar{x} = 1 \quad (0.10)$$

$$x \cdot 0 = 0 \quad (0.11)$$

$$x \cdot 1 = x \quad (0.12)$$

$$x \cdot x = x \quad (0.13)$$

$$x \cdot \bar{x} = 0 \quad (0.14)$$

$$\bar{\bar{x}} = x \quad (0.15)$$

Теореми для двох і більше змінних.

Переміщувальний закон:

$$x + y = y + x; \quad (0.16.a)$$

$$xy = yx \quad (0.16.b)$$

Сполучувальний закон.

$$x + y + z = (x + y) + z = (x + z) + y = x + (y + z) \quad (0.17.a)$$

$$xyz = x(yz) = (xy)z = (xz)y \quad (0.17.b)$$

Теореми (0.16 - 0.17) справедливі для будь-якої кількості змінних. У застосуванні до логічних схем це означає, що вихідний сигнал елементів АБО й І не залежить від того, які вхідні сигнали до яких входів елемента підводяться.

Розподільний закон:

$$x(y + z) = xy + xz \quad (0.18.a)$$

$$x + yz = (x + y)(x + z) \quad (0.18.б)$$

Закон поглинання:

$$x + xy = x \quad (0.19.a)$$

$$x(x + y) = x \quad (0.19.б)$$

$$(x + \bar{y})y = xy \quad (0.19.в)$$

$$\bar{x}\bar{y} + y = x + y \quad (0.19.г)$$

Закон склеювання:

$$xy + \bar{x}y = y \quad (0.20.a)$$

$$(x + y)(\bar{x} + y) = y \quad (0.20.б)$$

Теорема де Моргана:

$$\overline{x + y + z + \dots} = \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \dots \quad (0.21.a)$$

$$\overline{x \cdot y \cdot z \cdot \dots} = \bar{x} + \bar{y} + \bar{z} + \dots \quad (0.21.б)$$

Рівності (0.18.б - 0.21.б) не має аналогів в звичайній алгебрі. Рівності (0.21.a) і (0.21.б) означають, що заперечення будь-якого виразу алгебри Буля можна одержати заміною всіх змінних цього виразу їхніми запереченнями, а всіх символів логічного множення символами логічного додавання й навпаки [52].

1.4.2 Способи подання булевих функцій

Існує 3 способи подання булевих функцій:

1 спосіб: Словесний опис подання булевих функцій. Являє собою довільне викладення принципів роботи АП, що проектується у вигляді тексту, що дозволяє побудувати уявлення про функціональні зв'язки між входами та виходами АП, що проектується. Є найменш точним способом подання булевих функцій [19]. Приклад словесного опису розглядався в «Словесний опис» стр. 17.

2 спосіб: Табличний спосіб подання булевих функцій. Являє собою подання булевих функцій у вигляді автоматних таблиць і містить повну інформацію про принципи роботи АП, що проектується, а відповідно і про функціональні зв'язки

між входами та виходами АП, що проектується [19]. Приклад подання АП, що проектується у вигляді автоматних таблиць розглянуто в «Автоматні таблиці» стр.17.

3 спосіб: Алгебраїчний спосіб подання булевих функцій. Являє собою спосіб подання булевих функцій у вигляді алгебраїчних функцій, що записані із використанням основних законів булевої алгебри. Є найбільш універсальним способом подання булевих функцій, придатним як для побудови схемних рішень, так і для реалізацій булевих функцій програмним шляхом [19].

Існує 2 основні форми подання булевих функцій в алгебраїчному вигляді:

Перша форма називається диз'юнктивною нормальною формою (ДНФ), і являє собою суму елементарних логічних добутоків, у кожне з яких аргумент або його заперечення входить не більше одного разу.

Приклад: $F_{(A,B,C)} = \overline{A}\overline{B} + BC + \overline{A}BC$

Якщо кожний доданок містить всі змінні або їхні заперечення, маємо першу стандартну форму або досконалу диз'юнктивну нормальну форму.

Приклад: $F_{(A,B,C)} = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C}$

Друга форма або кон'юнктивна нормальна форма (КНФ) являє собою логічний добуток елементарних логічних сум, у кожне з яких аргумент або його заперечення входить не більше одного разу.

Приклад: $F_{(A,B,C)} = (\overline{B} + C) \cdot (\overline{A} + \overline{B}) \cdot (\overline{A} + C)$

Якщо кожна сума містить всі змінні або їхні заперечення, маємо другу стандартну форму або досконалу кон'юнктивну нормальну форму.

Приклад: $F_{(A,B,C)} = (A + \overline{B} + C) \cdot (\overline{A} + \overline{B} + C) \cdot (\overline{A} + B + C)$

Від автоматної таблиці завжди можна перейти до першої або другої стандартних форм [50].

Перехід від автоматної таблиці до першої стандартної форми здійснюється в такий спосіб: для кожного вхідного набору, на якому функція дорівнює одиниці, записується елементарний добуток всіх змінних, причому, якщо змінна у вхідному наборі дорівнює нулю, то вона записується із заперечення. Отримані елементарні добутки поєднуються логічною операцією додавання. Іноді цю процедуру називають складанням структурної формули по одиницях.

Перехід від автоматної таблиці до другої стандартної форми здійснюється в такий спосіб: для кожного вхідного набору, на якому функція

дорівнює нулю, скласти елементарну суму всіх вхідних змінних, причому, якщо змінна у вхідному наборі дорівнює одиниці, то вона записується із запереченням. Отримані елементарні суми поєднуються операцією логічного множення. Іноді таку процедуру називають складанням структурної формули по нулях.

Приклад запису булевої функції в першій та другій стандартних формах.

Нехай задано булеву функцію в табличній формі, що представлена в табл. 1.5.

Таблиця 1.5. Автоматна таблиця для прикладу складання структурної формули

№ п/п	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

У відповідності до правила запису структурної формули по одиницях отримаємо функцію у вигляді (0.22). Формула (0.22) показує, що функція $F_{A,B,C} = 0$, якщо всі доданки дорівнюють 0.

$$F_{A,B,C} = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \quad (0.22)$$

У відповідності до правила запису структурної формули по нулях отримаємо функцію у вигляді (0.23). Формула (0.23) показує, що функція $F_{A,B,C} = 0$, якщо будь-який множник у правій частині дорівнює 0.

$$F_{A,B,C} = (A + B + C)(A + B + \bar{C})(A + \bar{B} + C)(\bar{A} + B + C) \quad (0.23)$$

1.4.3 Мінімізація булевих функцій за допомогою алгебраїчних перетворень

Основне завдання мінімізації полягає в одержанні мінімальної форми булевої функції, тобто такої форми, якій відповідає логічна схема з мінімальною кількістю елементів.

Для мінімізації застосовують теореми булевої алгебри і властивості, що впливають із них. Найбільш ефективними є закон склеювання (0.20) і закон поглинання (0.19):

Крім того, застосовується теорема де Моргана - винесення загальних членів за дужки на підставі розподільного закону (0.18)

а) перетворення шляхом склеювання [19]:

$$\overline{AB\overline{C}} + \overline{ABC} = \overline{AB}(\overline{C} + C) = \overline{AB}$$

б) Відповідно до теореми (0.9): сума будь-якого числа, однакових доданків, дорівнює цьому доданку, тобто значення функції не зміниться від додавання довільного числа, що вже утримуються в ньому. Ця властивість використається для створення максимального числа - пара для склеювання.

Приклад 1

$$\begin{aligned} \overline{\overline{x_1 x_2}} + \overline{x_1 x_2} + \overline{x_1 x_2} + x_2 x_3 &= \\ = \overline{x_1 x_2} + \overline{x_1 x_2} + \overline{x_1 x_2} + x_2 x_3 &= \text{(за теоремою (0.9))} \\ = \overline{x_2}(\overline{x_1} + x_1) + x_2 x_3 &= \text{(за теоремою (0.18.a))} \\ = \overline{x_2} \cdot 1 + x_2 x_3 &= \text{(за теоремою (0.10))} \\ = \overline{x_2} + x_2 x_3 &= \text{(за теоремою (0.12))} \\ = x_1 + \overline{x_2} + x_2 x_3 &= \text{(за теоремою (0.16.a))} \end{aligned}$$

Приклад 2

$$\begin{aligned} \overline{x_1 x_2 x_3 x_4 x_5} + x_1 + x_3 x_4 x_5 &= \\ = (\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4} + \overline{x_5}) + x_1 + x_3 x_4 x_5 &= \text{(за теоремою (0.21.a))} \\ = (\overline{x_1} + x_1) + (\overline{x_2} + \overline{x_3} + \overline{x_4} + \overline{x_5} + x_3 x_4 x_5) &= \text{(за теоремою (0.17.a))} \\ = 1 + (\overline{x_2} + \overline{x_3} + \overline{x_4} + \overline{x_5} + x_3 x_4 x_5) &= \text{(за теоремою (0.10))} \\ = 1 &= \text{(за теоремою (0.8))} \end{aligned}$$

Приклад 3

$$\begin{aligned} F_{A,B,C} &= \overline{ABC} + \overline{A\overline{B}C} + \overline{AB\overline{C}} + \overline{ABC} = \\ &= \overline{ABC} + \overline{A\overline{B}C} + \overline{AB\overline{C}} + \overline{ABC} + \overline{ABC} + \overline{ABC} = \text{(за теоремою (0.9))} \\ &= \overline{BC}(\overline{A} + A) + \overline{AC}(\overline{B} + B) + \overline{AB}(\overline{C} + C) = \text{(за теоремою (0.18.a))} \\ &= \overline{BC} \cdot 1 + \overline{AC} \cdot 1 + \overline{AB} \cdot 1 = \text{(за теоремою (0.10))} \\ &= \overline{BC} + \overline{AC} + \overline{AB} \text{(за теоремою (0.12))} \end{aligned}$$

1.4.4 Мінімізація булевих функцій за допомогою карт Карно

Від автоматної таблиці можна перейти до алгебраїчної форми запису булевих функцій у вигляді структурної формули. Для мінімізації алгебраїчної

форми запису булевих функцій у вигляді структурної формули можна використовувати різні підходи, одним із яких є підхід із використанням карти Карно.

Карти Карно – це графічне подання таблиць істинності (рис. 1.14. та рис. 1.15). За допомогою карт Карно значно спрощується процес мінімізації булевих функцій для трьох і більше змінних. Карта Карно має вигляд прямокутника, що розбитий на квадрати. Число квадратів дорівнює загальному числу наборів для вказаної функції n змінних, тобто воно дорівнює 2^n . Кожний квадрат відповідає певному набору. При цьому вони розташовуються так, щоб сусідні складові (тобто, ті що відрізняються однією змінною) відповідали сусіднім квадратам на карті. Функцію в першій стандартній формі наносять на карту, відзначаючи, наприклад, знаком «1» квадрати, що відповідають тим наборам, на яких функція дорівнює одиниці. Інші квадрати відзначаються знаком «0» [33].

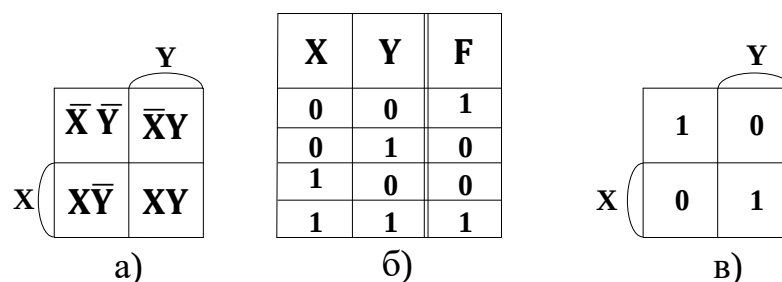


Рис. 1.14. Карта Карно: а - для двох змінних, б - таблиця істинності; в - відповідна карта Карно для наведеної таблиці істинності

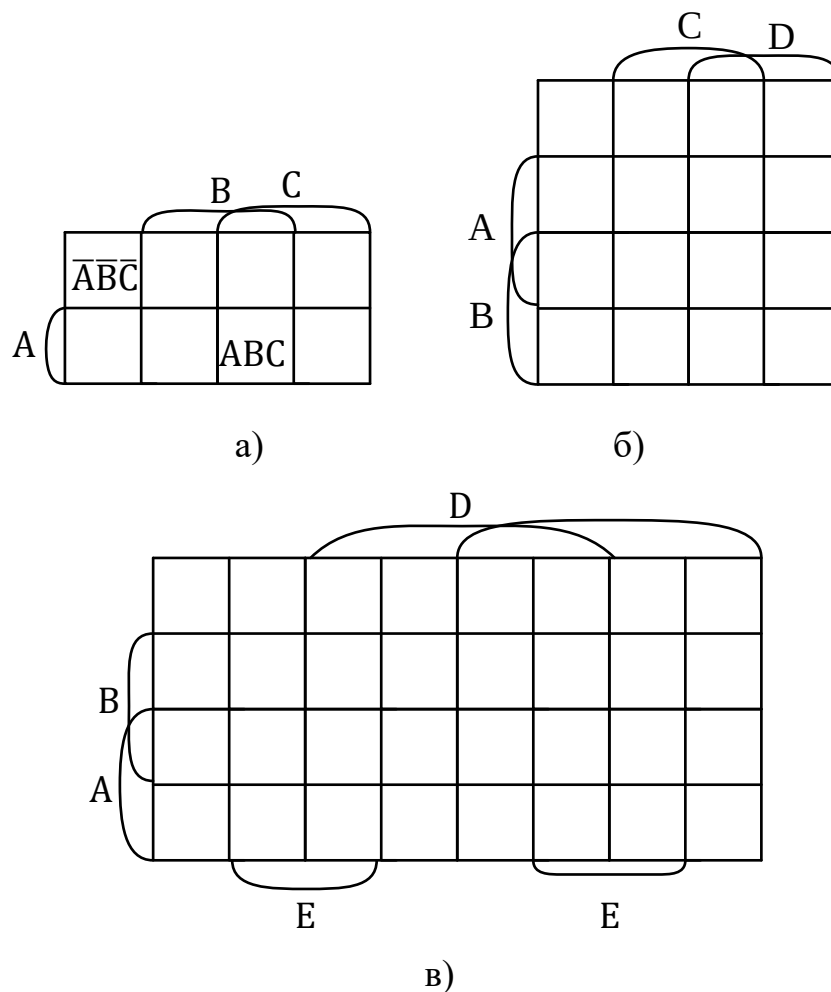


Рис. 1.15. Карты Карно: а - для трьох; б – чотирьох; в - п'яти змінних

1.4.4.1 Порядок роботи з картою Карно при мінімізації функції в першій формі

1. З таблиці станів переносяться на карту у вигляді «0» і «1» значення функції F у ті комірки карти, що відповідають набору вхідних змінних.

2. Виконують групове об'єднання розташованих поряд «1» по всіх можливих варіантах об'єднання в прямокутні об'єднання, при цьому карту Карно потрібно розглядати у вигляді кулі. Поєднувати можна разом тільки 1, 2, 4, 8, 16 ... 2^n «1». По 3, 5, 6, 7 і т.д. поєднувати не можна. При цьому потрібно прагнути в одному об'єднанні охопити якомога більшу кількість «1». Об'єднання здійснюється, поки є хоча б одна «1», що не входить в жодне з об'єднань. Для цього деякі «1» можуть міститися в декількох об'єднаннях при об'єднанні (див. рис. 1.16).

1	1		1
		1	
			1
1	1		1

Рис. 1.16. Приклад об'єднання одиниць на карті Карно

3. За отриманими групами здійснюється *алгебраїчний запис* результуючої булевої функції F у вигляді структурної формули згідно наступного правила: для кожного об'єднання вибирають ті змінні на координатних осях карти Карно, чий значення не змінюються в межах об'єднання. Ці змінні й будуть входити у відповідний *алгебраїчний добуток* члена результуючої Булевої функції F , що відповідає даному об'єднанню. Якщо змінна в межах об'єднання дорівнює «0», то вона записується у добуток із запереченням, якщо «1» – без заперечення. Після чого добутки додаються [56].

1.4.4.2 Порядок роботи з картою Карно при мінімізації функції в другій формі

Іноді сам процес переходу й мінімізації з першої стандартної форми в другу може привести до більш спрощених виразів.

Для мінімізації за другою стандартною формою п. 1 і 2, порядки мінімізації, аналогічні п. 1 і 2 для першої стандартної форми, з тією лише різницею, що об'єднання виконується по «0».

3. За отриманими групами здійснюється *алгебраїчний запис* результуючої булевої функції F у вигляді структурної формули згідно наступного правила: для кожного об'єднання вибирають ті змінні на координатних осях карти Карно, чий значення не змінюються в межах об'єднання. Ці змінні й будуть входити у відповідну *алгебраїчну суму* члена результуючої Булевої функції F , що відповідає даному об'єднанню. Якщо змінна в межах об'єднання дорівнює «1», то вона записується у суму із запереченням, якщо «0» – без заперечення. Після чого добутки множаться (див. рис. 1.17).

Приклад:

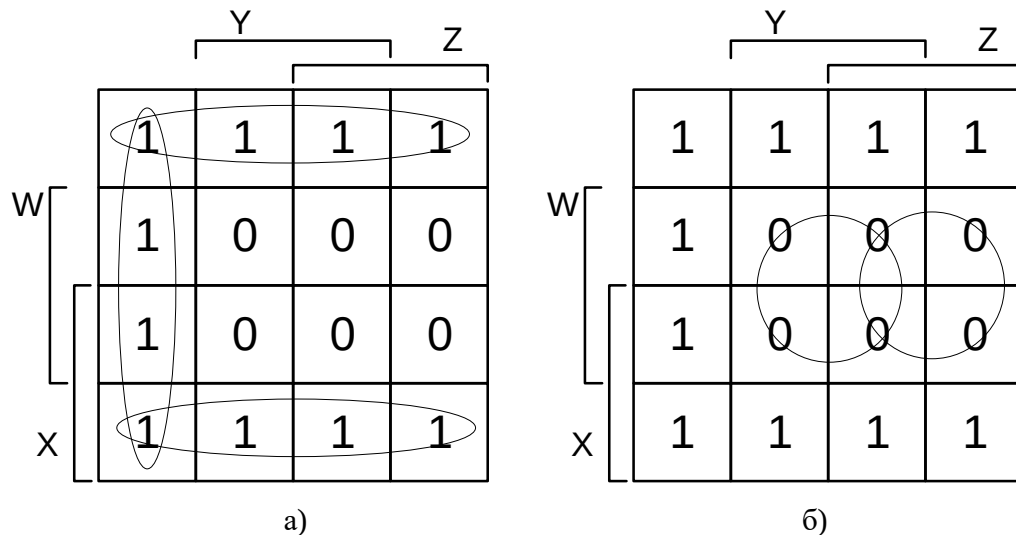


Рис. 1.17. Приклад об'єднання: а - по одиницям; б - по нулям на карті Карно

$$F = (\bar{Y} + \bar{W})(\bar{Z} + \bar{W}) \quad (4 \text{ інвертори (елементи «НІ»), 2 елементи «АБО», 1 елемент «І»})$$

Якщо представити F за першою формою, то:

$$F = \overline{Y}Z + X\overline{W} + \overline{X}\overline{W} \quad (4 \text{ інвертори (елементи «НІ»), 3 елементи «І», 1 елемент «АБО»)$$

1.4.4.3 Використання факультативних умов при мінімізації

Якщо для деяких вхідних наборів булевої функції невизначено результуюче значення функції, а це можливо при наявності вхідних наборів, що не повинні надходити до АП при його нормальній роботі. То можна довільно «довизначити» функцію, встановивши її значення для цих вхідних наборів в «0» або «1» на власний розсуд. На карті Карно комірки, що визначають такі вхідні набори позначають символом відмінним від «0» та «1», та вони можуть брати участь в об'єднаннях як «0» так і «1» з метою збільшення розміру об'єднання та зменшення їх кількості. Приклад мінімізації Булевої функції із та без застосування факультативних умов представлено на рис. 1.18.

Приклад:

	Y		Z	
W	1	1	X	1
X	0	0	X	0
	0	0	X	X
	1	1	X	X

Рис. 1.18. Приклад використання факультативних умов на карті Карно

$F = \bar{Z}\bar{W} + \bar{W}\bar{X}\bar{Y}$ – без врахування факультативних умов за умови, що *всі* $X = 0$ (об'єднання позначені червоним кольором);

$F = \bar{W}$ – з урахуванням факультативних умов (об’єднання позначене зеленим кольором).

1.4.4.4 Особливості мінімізації булевих функцій автоматичних пристроїв з декількома виходами

При проектуванні багатовихідного АП кожна з n функцій повинна бути мінімізована окремо (рис. 1.19). З отриманих виразів потрібно відібрати загальні члени або групи членів так, щоб з відповідних їм вузлів пристрою здійснити розгалуження сигналу на декілька напрямків.

Приклад:

Figure 1 shows two 4x4 matrices, F_1 and F_2 , illustrating the decomposition of a 4x4 matrix into a 2x2 block matrix. The matrices are shown with their respective dimensions and block structures.

Matrix F_1 is a 4x4 matrix with dimensions $D=4$ and $C=4$. It is partitioned into four 2x2 blocks. The top-left block is labeled B and the top-right block is labeled A . The matrix is shown with its dimensions and block structure.

Matrix F_2 is a 4x4 matrix with dimensions $D=4$ and $C=4$. It is partitioned into four 2x2 blocks. The top-left block is labeled B and the top-right block is labeled A . The matrix is shown with its dimensions and block structure.

Рис. 1.19. Приклади оптимального групування.

Після мінімізації двовихідного АП отримуємо вирази для вихідних функцій:

$$F_1 = \overline{C}\overline{D} + \overline{A}B\overline{C} + ABC,$$

$$F_2 = \bar{A}\bar{B} + \bar{A}\bar{C} + ABC,$$

де третій доданок ABC є загальним і при апаратній реалізації АП може бути загальним для F_1 і F_2 .

Для збільшення загального числа груп доцільно іноді застосовувати в картах Карно не оптимальне групування. Так на рис. 1.20.б позначено неоптимальне групування. Тоді $F_2 = \bar{A}\bar{B} + \bar{A}B\bar{C} + ABC$, що еквівалентно зменшенню апаратної реалізації F_2 вже на два члени.

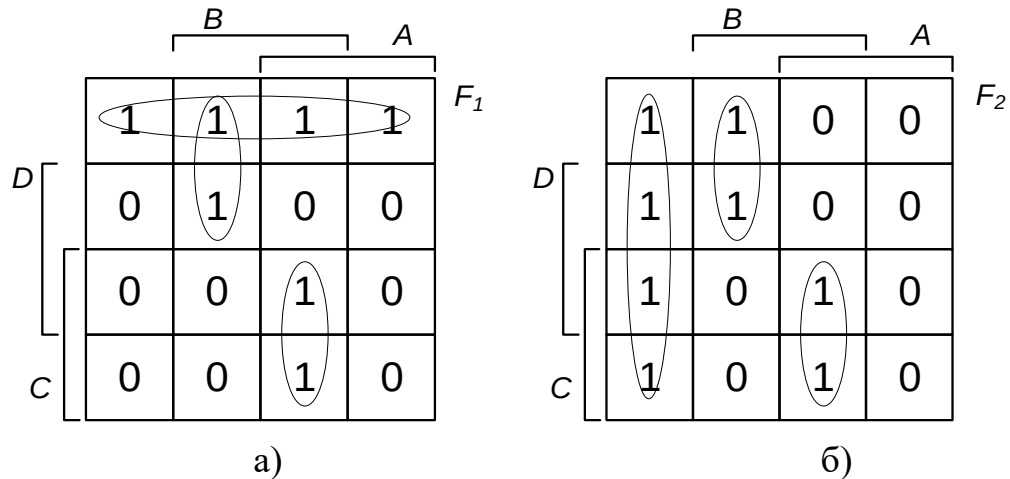


Рис. 1.20. Приклад неоптимального групування для збільшення кількості однакових об'єднань в картах Карно

1.4.5 Перехід від структурної формули до логічної схеми й зворотний перехід

На підставі отриманої структурної формули можна побудувати комбінаційну схему, що складається з елементів **АБО**, **І**, **НІ**, що буде мати задані логічні властивості. Інакше кажучи, вона буде реалізовувати задану булеву функцію [54].

Логічні елементи, призначені для виконання зазначених у формулі операцій, розташовуються на схемі, починаючи від входів, у такому ж порядку, у якому виконуються логічні операції у функції (рис. 1.21).

Для переходу від логічної схеми до структурної формули зручно для вхідних сигналів елементів, якщо вони підводяться із виходів інших елементів, вводити проміжні позначення.

$$F_{A,B,C} = \alpha + \beta + \gamma + \omega \quad (0.24)$$

де $\left. \begin{array}{l} \alpha = \overline{A}BC \\ \beta = A\overline{B}C \\ \gamma = AB\overline{C} \\ \omega = ABC \end{array} \right\}$ підставимо в (0.24), отримаємо вираз (0.22).

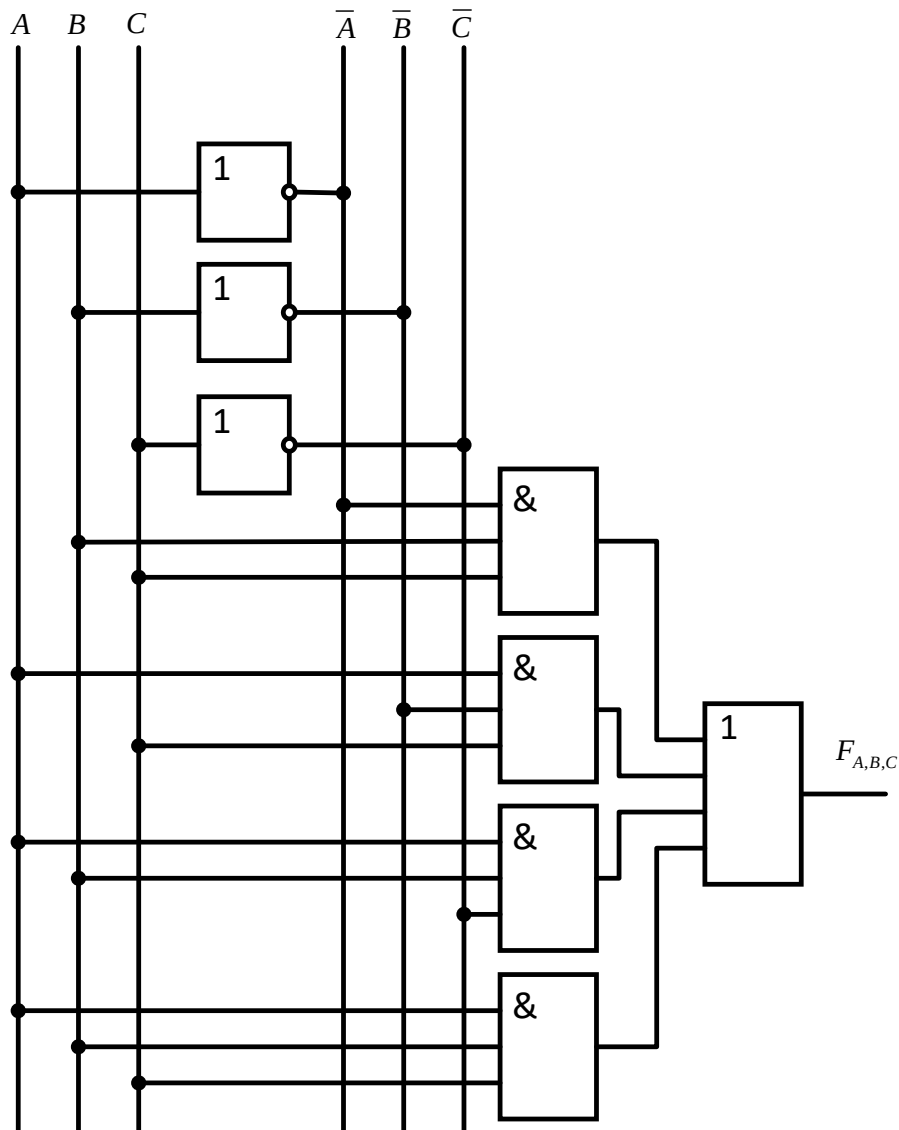


Рис.1.21. Приклад логічної схеми для виразу (0.22)

1.4.6 Функціонально повні системи логічних елементів

Система елементів, що дозволяє будувати на їхній базі логічну схему будь-якої складності, називається **функціонально повною системою елементів**.

Будь-яка комбінаційна схема може бути побудована із застосуванням лише трьох видів логічних елементів: **І**, **НІ** та **АБО**. Тому, якщо за допомогою системи елементів можна реалізувати елементи **І**, **НІ** та **АБО**, то така система є функціонально повною системою елементів.

Розглянемо деякі функціонально повні системи елементів. В кінці доведення того, що система елементів є функціонально повною, отримаємо елементи **I**, **НІ** та **АБО** на основі елементів, що розглядається як функціонально повна система елементів.

Розглянемо системи елементів, що складаються із 2-х елементів.

1. Система, що складається з елементів **АБО** та **НІ**. Тобто в системі не вистачає елемента **I**. Для реалізації функції **I** застосуємо теореми алгебри Буля [37]:

$$y = x_1 \cdot x_2 = \overline{\overline{x_1 \cdot x_2}} = \overline{\overline{x_1} + \overline{x_2}} \quad (0.25)$$

Результат реалізації елемента **I** у відповідності до (0.25) представлено на рис. 1.22.

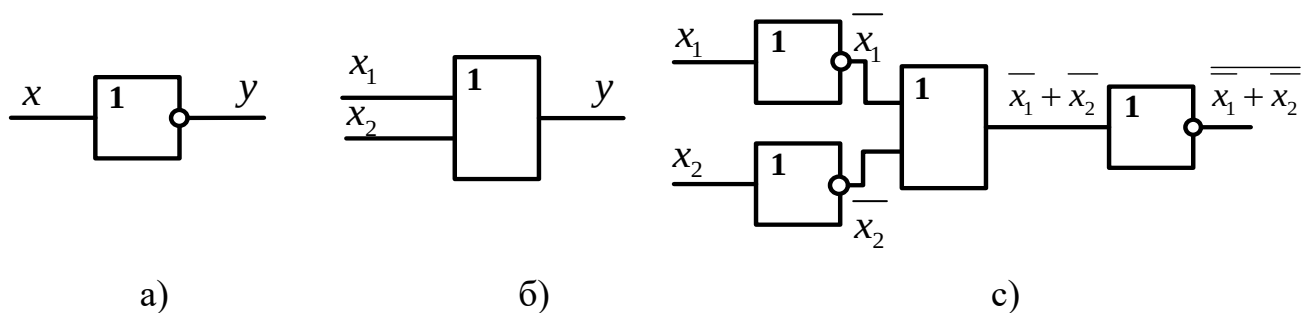


Рис. 1.22. Реалізація функціонально повної системи елементів на елементах **НІ** та **АБО**: а- елемент **НІ**; б- елемент **АБО**; в- елемент **I**.

2. Система, що складається з елементів **I** та **НІ**. Тобто в системі не вистачає елемента **АБО**. Для реалізації функції **I** застосуємо теореми алгебри Буля [37]:

$$y = x_1 + x_2 = \overline{\overline{x_1 + x_2}} = \overline{\overline{x_1} \cdot \overline{x_2}} \quad (0.26)$$

Результат реалізації елемента **I** у відповідності до (0.26) представлено на рис. 1.23.

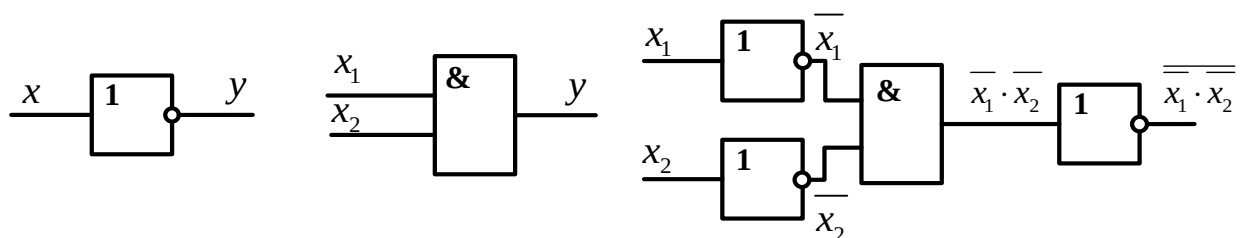


Рис. 1.23. Реалізація функціонально повної системи елементів на елементах **НІ** та **I**: а - елемент **НІ**; б - елемент **I**; в - елемент **АБО**.

Розглянемо системи елементів, що складаються з 1-го елемента.

3. Система, що складається з одного елемента **АБО-НІ**

Введемо функцію $F = \overline{x + y}$ – ця функція називається «стрілкою Пірса», позначається як « $\downarrow$ », тобто $x \downarrow y = \overline{x + y}$ [37].

Логічний елемент **АБО-НІ**, що реалізує функцію $\overline{x + y}$ представлено на рис. 1.24.

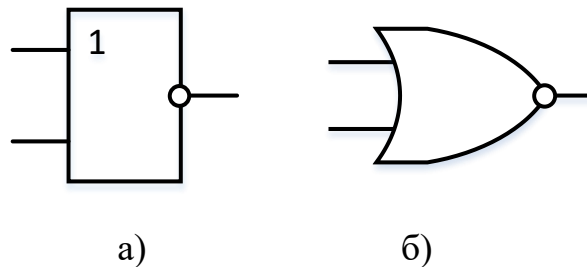


Рис. 1.24. Графічне позначення елемента **АБО-НІ**: а - згідно [25, 49]; б- згідно [29].

Система елементів не має жодного з класичних логічних функцій. Функціональна повнота цієї системи доводиться шляхом отримання всіх трьох базових логічних функцій через функцію «стрілка Пірса». Математичні перетворення для отримання трьох базових логічних функцій має вигляд (0.27).

$$\left\{ \begin{array}{ll} \text{НІ} & \bar{x} = \overline{x + x} = x \downarrow x \\ \text{АБО} & x + y = \overline{\overline{x + y}} = \overline{x \downarrow y} = (x \downarrow y) \downarrow (x \downarrow y) \\ \text{І} & x \cdot y = \overline{\overline{x \cdot y}} = \overline{\overline{x + y}} = \bar{x} \downarrow \bar{y} = (x \downarrow x) \downarrow (y \downarrow y) \end{array} \right. \quad (0.27)$$

Результат реалізації базових логічних на основі елемента **АБО-НІ** представлено на рис. 1.25.

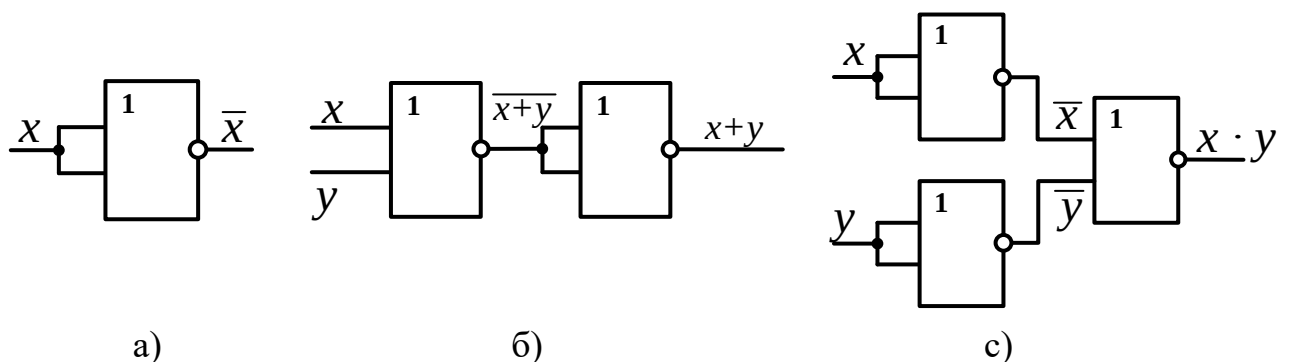


Рис. 1.25. Реалізація функціонально повної системи елементів на елементі **АБО-НІ**:

а - елемент **НІ**; б - елемент **АБО**; с - елемент **І**.

4. Система, що складається з одного елемента **І-НІ**

Введемо функцію $F = \overline{x \cdot y}$ – ця функція називається «штрих Шефера», позначається як « $|$ », тобто $x | y = \overline{x \cdot y}$ [37].

Логічний елемент **I-НІ**, що реалізує функцію $\overline{x \cdot y}$ представлено на рис. 1.26.

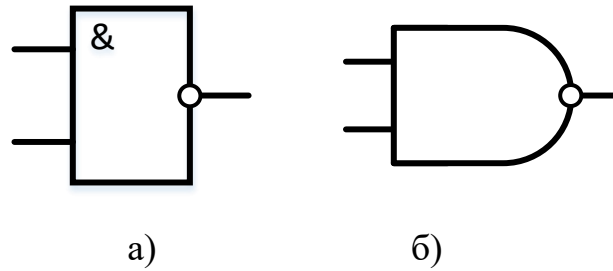


Рис. 1.26. Графічне позначення елемента **АБО-НІ**: а - згідно [25, 49]; б- згідно [29].

Система елементів також не має жодного з класичних логічних функцій. Функціональна повнота цієї системи доводиться шляхом отримання всіх трьох базових логічних функцій через функцію «штрих Шефера». Математичні перетворення для отримання трьох базових логічних функцій має вигляд (0.28).

$$\left\{ \begin{array}{ll} \text{НІ} & \overline{x} = \overline{x \cdot x} = x | x \\ \text{І} & x \cdot y = \overline{\overline{x \cdot y}} = \overline{\overline{x} | \overline{y}} = (x | y) | (x | y) \\ \text{АБО} & x + y = \overline{\overline{x + y}} = \overline{\overline{x} \cdot \overline{y}} = \overline{\overline{x} | \overline{y}} = (x | x) | (y | y) \end{array} \right. \quad (0.28)$$

Результат реалізації базових логічних елементів на основі елемента **I-НІ** представлено на рис. 1.27.

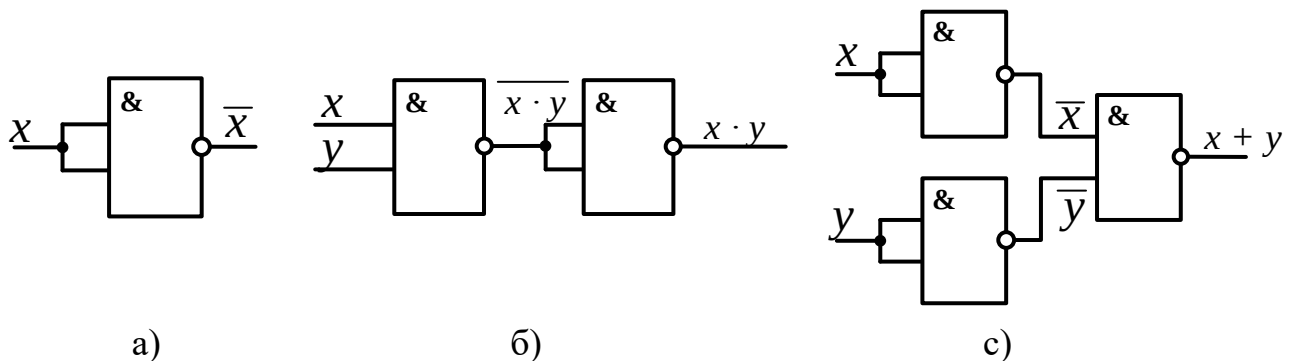


Рис. 1.27. Реалізація функціонально повної системи елементів на елементі I-НІ: а- елемент НІ; б - елемент І; в - елемент АБО.

Контрольні запитання до теми 1.4:

1. Які є логічні елементи? Намалюйте їх графічне позначення
2. Що таке алгебра Буля? Для чого потрібна?
3. Перерахуйте теореми для однієї змінної

4. Перерахуйте закони для двох і більше змінних
5. Які існують способи подання булевих функцій?
6. Які є види мінімізації булевих функцій?
7. Опишіть порядок роботи з картою Карно при мінімізації в першій формі
8. Опишіть порядок роботи з картою Карно при мінімізації в другій формі
9. Що таке факультативні умови в картах Карно? Як виконувати мінімізацію, якщо наявні факультативні умови в картах Карно?
10. Що таке висловлення та які основні логічні операції використовуються в алгебрі висловлювань?
11. У чому полягає сутність основних теорем і законів алгебри Буля?
12. Які існують способи подання булевих функцій і в чому переваги кожного з них?
13. Який порядок переходу від автоматної таблиці до структурної формули в першій і другій стандартних формах?
14. У чому полягає принцип мінімізації булевих функцій за допомогою карт Карно?
15. Що таке факультативні умови в картах Карно і як вони впливають на процес мінімізації?

Тема 1.5. Напівпровідникові логічні елементи

1.5.1 Класифікація логічних елементів

Логічні елементи, що зараз використовуються на практиці в залежності від використаних в них електричних сигналів діляться на 3 групи:

- Потенціальні;
- Імпульсні;
- Імпульсно-потенціальні [41].

В потенціальних елементах логічним «0» та «1» відповідають два різних рівня потенціалу, а в імпульсних – наявність або відсутність імпульсів.

В імпульсно-потенціальних елементах частину вхідних сигналів представляється двома різними рівнями потенціалу, а другу частину – наявністю або відсутністю імпульсів. З виходу імпульсно-потенціальних елементів знімається імпульсний сигнал.

Найбільше розповсюдження отримали потенціальні напівпровідникові елементи, що дозволяють виконувати сучасну технологію виготовлення інтегральних схем.

Основною ознакою класифікації елементів слугує тип компонентів на яких виконані їх логічні схеми, що реалізують операції НІ, І та АБО. За цією ознакою розрізняють логічні елементи:

- 1) Резисторно-транзисторні логічні елементи (РТЛ);
- 2) Діодно-транзисторні логічні елементи (ДТЛ);
- 3) Транзисторно-транзисторні логічні елементи (ТТЛ);
- 4) Транзисторні логічні елементи (ТЛ);
- 5) Емітерно зв'язана логіка (ЕСЛ);
- 6) Інтегральна інжекційна логіка (I^2L);
- 7) Логічні елементи на польових транзисторах;
- 8) Логічні елементи на КМОН-структурах [41].

Технічні характеристики логічних елементів

1. *Коефіцієнт розгалуження за виходом* – це максимальне число вхідних ліній других вентилів, якими може керувати вихід даного вентиля.
2. *Коефіцієнт об'єднання за входом* – це максимальне число можливих входів у вентилях даного типу. Характеризує максимальну кількість вхідних сигналів над якими виконується операція.

3. *Час затримки, або затримка розповсюдження сигналу* – це час, який проходить від моменту подачі комбінації вхідних сигналів до моменту встановлення відповідного вихідного сигналу.
4. *Завадостійкість* характеризує здатність справлятися з відхиленнями в рівні сигналу від стандартних величин, що відповідає двом логічним значенням.
5. *Потужність розсіювання* – це потужність, що споживається вентилям під час роботи [41].

1.5.2 Діодні логічні елементи

Діодні логічні елементи (ДЛ) або діодно-резисторні логічні елементи (ДРЛ), англ. Diode logic (DL) – технологія побудови цифрових схем на основі діодів і резисторів. Свою назву технологія отримала завдяки реалізації логічних функцій за допомогою діодних ланцюгів та резисторів без підсилення. Як правило не виконується у інтегральному виконанні. Зручна при необхідності реалізації декількох елементів на друкованих платах без використання інтегральних мікросхем [2, 41].

На рис. 1.28 представлена схемотехнічна реалізація типового логічного вентиля 2І на ДЛ.

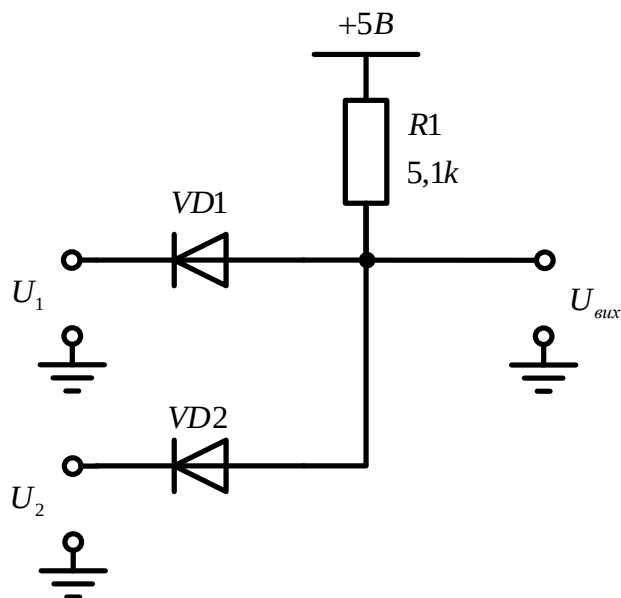


Рис. 1.28. Діодний вентиль 2І

Недоліки:

1. Потенціал на виході діодного вентиля чутливий до невеликих варіацій на рівні потенціалу на вході.

2. Робота вентиля залежить від навантаження на виході. При високому рівні вихідного сигналу протікає струм від виходу вентиля до навантаження, при цьому проходить через резистор вентиля. В результаті чого з'являється спад напруги на резисторі та рівень потенціалу на виході зменшиться.

Вдосконалена схема складається з трьох частин та має конфігурацію, що представлена на рис. 1.29.



Рис. 1.29. Три частини вентиля ДТЛ

Такий вентиль відноситься до сімейства ДТЛ.

1.5.3 Діодно-транзисторні логічні елементи

Діодно-транзисторні логічні елементи (ДТЛ), англ. Diode-transistor logic (DTL) – технологія побудови цифрових схем на основі біполярних транзисторів, діодів і резисторів. Свою назву технологія отримала завдяки реалізації логічних функцій (наприклад, 2І) за допомогою діодних ланцюгів, а посилення і інверсії сигналу – за допомогою транзистора [2, 24].

На рис. 1.30 представлена схема схемотехнічної реалізації типового логічного вентиля 2І-НІ на ДТЛ.

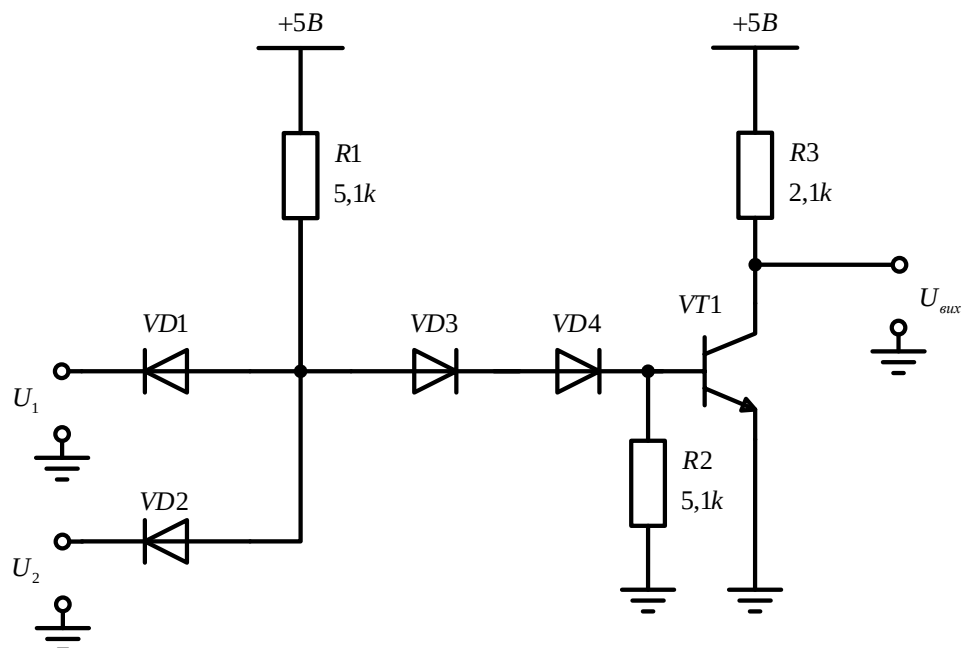


Рис. 1.30. Спрощена схема двовходового ДТЛ-елемента 2І-НІ

Якщо хоча б на одному з входів встановлений рівень логічного нуля (U_1 або U_2), то в точці з'єднання $VD1, VD2, VD3, R1$ потенціал визначається як сума напруги логічного нуля та падіння напруги на входному діоді $VD1$ або $VD2$. Цього потенціалу виявляється недостатньо для відкриття транзистора $VT1$. При цьому на виході схеми формується рівень логічної одиниці.

Якщо на всіх входах встановлено рівень логічної одиниці, то входні діоди виявляються закритими, а в точці з'єднання $VD1, VD2, VD3, R1$ встановлюється високий потенціал, при цьому транзистор $VT1$ відкривається і переходить в режим насичення, а на виході встановлюється низький потенціал логічного нуля.

Діоди $VD3, VD4$ забезпечують необхідний для надійного перемикавання вихідного транзистора діапазон напруг логічного нуля (від 0 В до приблизно 1,2 В) та логічної одиниці (більше 1,2 В).

Параметри:

- споживана потужність:
 - логічний нуль на виході - близько 15 мВт;
 - логічна одиниця на виході - до 1 мВт;
- час перемикання - близько 30 нс.

Переваги та недоліки:

Основна перевага ДТЛ перед більш ранньою технологією РТЛ — можливість організації значного числа входів логічного елемента.

Основний недолік — значна затримка перемикання елемента, яка є наслідком роботи транзистора в режимі насичення, через повільність перезарядження ємності переходу база-емітер. Для зменшення часу розряду включено резистор $R2$, для зменшення часу заряду - встановлено резистор $R1$ з відносно малим опором.

1.5.4 Транзисторно-транзисторні логічні елементи (ТТЛ)

Транзисторно-транзисторні логічні елементи (ТТЛ), англ. Transistor–transistor logic (TTL) – це одне з найважливіших сімейств логічних елементів. Вентилі цього сімейства виконані виключно на біполярних транзисторах та резисторах. Приклад реалізації ТТЛ вентиля 2І-НІ представлено на рис. 1.31 [14, 55].

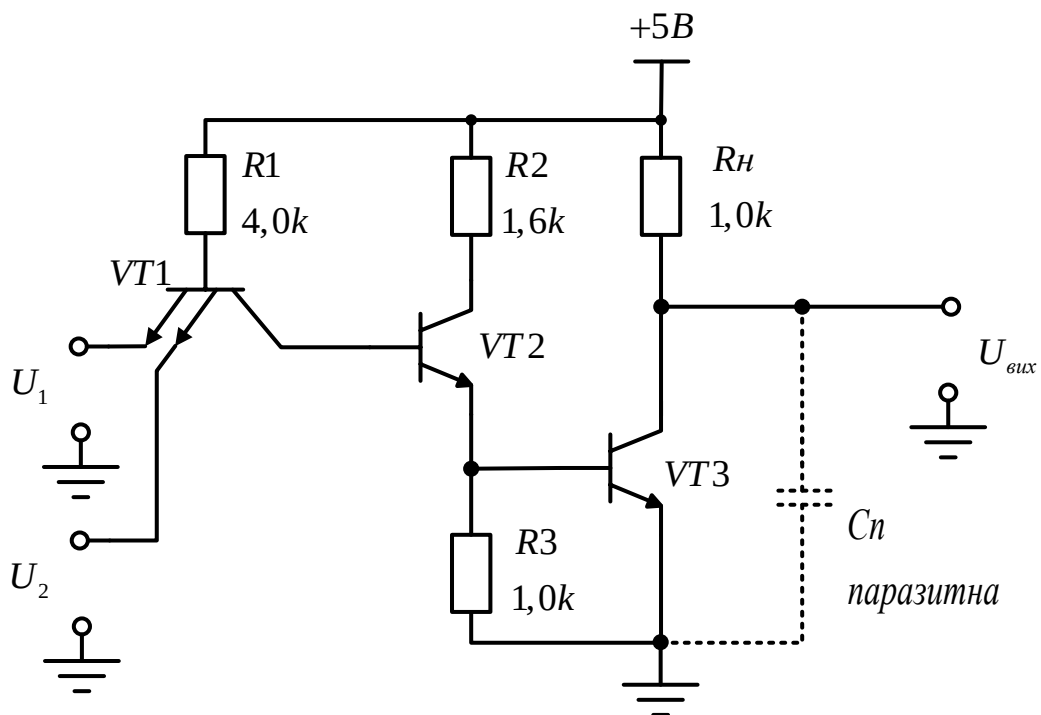


Рис. 1.31. ТТЛ-вентиль 2І-НІ з резистором навантаження

Недоліки ТТЛ з резистором навантаження полягає у тому, що через велику величину R_n та завжди наявну паразитну ємність C_n існує достатньо велика затримка розповсюдження сигналу, особливо при перемиканні вентиля з «0» в «1» (заряд ємності протікає через R_n), (при зміні з 1→0 розряд протікає швидше, оскільки VT_3 відкривається та паразитна ємність C_n розряджається через відкритий транзистор, опір якого малий).

Для підвищення швидкості перемикання ТТЛ-вентилів замість резистора в його буферній частині використовується транзистор. Буфер такого виду називається вихідним каскадом з активним навантаженням (рис. 1.32).

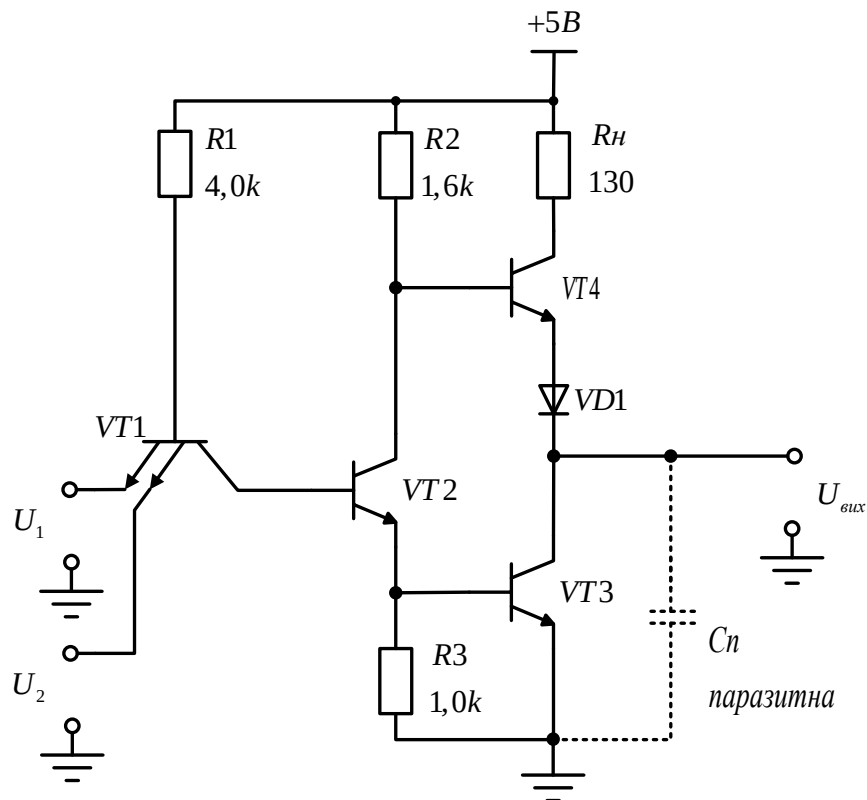


Рис. 1.32. ТТЛ-вентиль 2І-НІ з активним навантаженням

ТТЛ-вентилі з активним навантаженням мають наступні особливості:

- діод $VD1$ використовується для підвищення потенціалу емітера $VT4$ та надійного закриття $VT4$ при відкритих $VT2$ та $VT3$;
- R_n – опір навантаження невеликої величини, що призначений для обмеження струму в момент перемикання $VT3$ та $VT4$.

1.5.5 Логічні елементи із трьома станами

В тих випадках, коли декілька різних ТТЛ-вентилів працюють на одну шину, можливі «конфліктні ситуації». Тому для деяких ТТЛ-вентилів вводиться третій стан на виході, коли рівень потенціалу невисокий та не низький. Третій стан полягає у відсутності двох інших «0» або «1», його часто називають станом з високим імпедансом. Фізично в цьому стані вихідна лінія знаходиться у вільному режимі, тобто вентиль на неї не діє. Приклад реалізації ТТЛ вентиля 2І-НІ представлено на рис. 1.33.

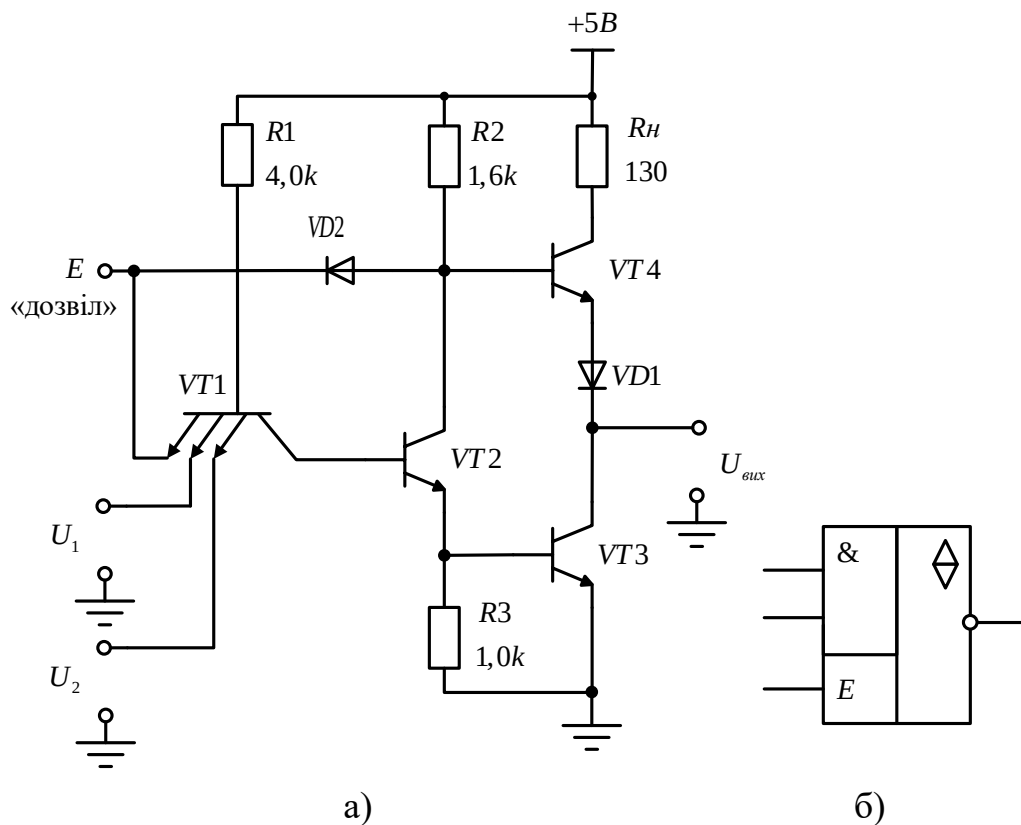


Рис. 1.33. Тристабільний вентиль 2I-НІ: а - внутрішня схема; б - схемне позначення

Коли на лінію «дозвіл» подано «0» обидва транзистора $VT3$ та $VT4$ закриті. $VT4$ закритий тому, що на його базі встановлюється низький потенціал, оскільки діод $VD2$ відкритий та встановлює на базі $VT4$ напругу, близьку до 0. Нижній транзистор $VT3$ також буде закритий, оскільки транзистор $VT2$ закритий і на базі $VT3$ через $R3$ «0» [14, 55].

1.5.6 Вихідні схеми з відкритим колектором

Стандартні елементи ТТЛ із звичайними вихідними каскадами не можна з'єднувати паралельно по виходах, оскільки за рідних логічних станах на виходах та малих вихідних опорах елементів у вихідних колах з'явилися неприпустимо великі струми, а логічний стан загального виходу був би невизначений.

Тому для таких цілей підвищення вихідної потужності шляхом паралельного об'єднання вихідних ліній логічних елементів використовують елементи, на виході яких встановлено лише один транзистор із вільним колектором, що виводиться на вихід відповідного елемента (рис. 1.34).

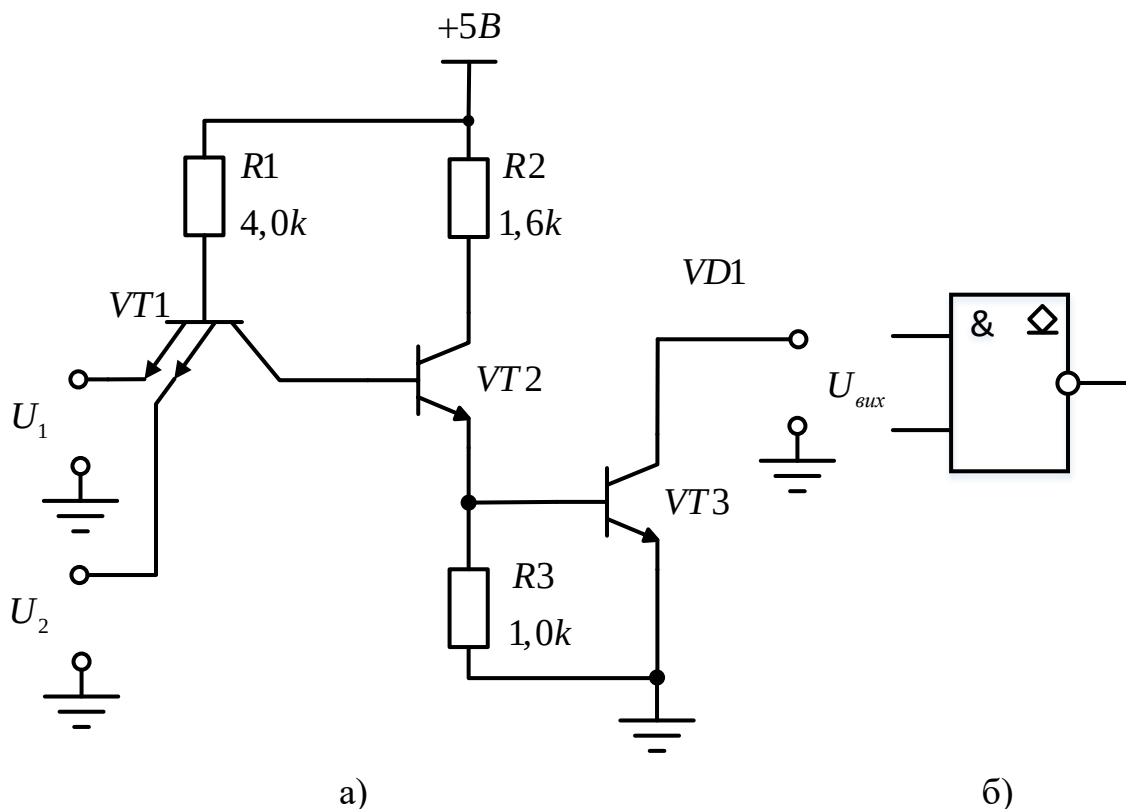


Рис. 1.34. ТТЛ вентиль 2І-НІ з відкритим колектором: а– внутрішня схема; б - схемне позначення

Вентилі із відкритим колектором можуть працювати на нетипове навантаження (реле, дросель, обмотка трансформатора, індикаторна лампа, потужний світлодіод). При цьому вони включаються паралельно по виходах.

Елементи з відкритим колектором допускають паралельне з'єднання виходів на загальне навантаження. Також елементи з відкритим колектором можуть використовуватися і для почергової роботи на загальну лінію в режимі розділення часу [41, 56].

1.5.7 Різновиди ТТЛ-схем

Існують інтегральні схеми зі стандартними ТТЛ-схемами та ТТЛ-схемами малої потужності споживання (ТТЛ-м). Рівні логічних сигналів в них однаковий:

1. Напруга логічного «0»: $U < 0,4 \text{ В}$
2. Напруга логічної «1»: $2,4 \text{ В} < U < 4,5 \text{ В}$
3. $U_{\text{живл}} = 5 \text{ В}$

В стандартних ТТЛ струм «0» по входу не перевищує 1,6 мА, струм виходу 16 мА. Таким чином, коефіцієнт розгалуження за виходом становить 10. Для ТТЛ

з малою потужністю струм «0» по виходу не перевищує 0,36 мА, струм входу – 8 мА, коефіцієнт розгалуження 22.

Основні відмінності між ТТЛ і ТТЛ-м:

1. Струм входу при логічному «0» в 4 рази менше для ТТЛ-м.
2. Потужність розсіювання в 10 разів менше для ТТЛ-м.
3. Швидкодія ТТЛ-м в 3 рази менше, ніж в ТТЛ [41, 56].

1.5.8 Схеми ТТЛ з пристроями Шоткі

Завдяки використанню діодів (рис. 1.35) та транзисторів Шоткі (рис. 1.36) в ТТЛ-вентиліях значно підвищується швидкодія.

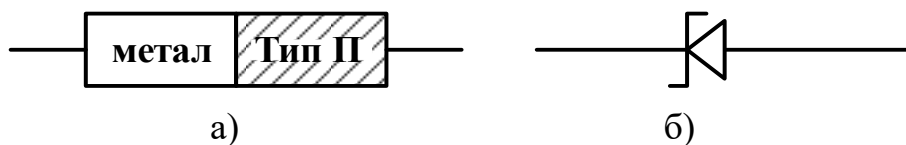


Рис. 1.35. Діод Шоткі: а – конструкція; б - графічне позначення

Основним носієм заряду, як в металі, так і в напівпровіднику є електрони. Тому швидкодії діоду Шоткі не протидіє накопичення неосновних носіїв заряду, як це мало місце в *PN*-діоді. Окрім того в діодах Шоткі пряме падіння напруги становить $0,2 \div 0,3 \text{ В}$, а не $0,7 \text{ В}$ як в *PN*-діоді. Завдяки цьому діоди використовують в комбінації з біполярними транзисторами, що підвищує їх швидкодію, яку представлено на рис. 1.36. Якщо діод підключити до транзистору згідно рис. 1.36, то напруга на *PN*-переході база-колекторі не зможе досягнути порогової величини порядку $0,7 \text{ В}$, що необхідно для прямого зміщення цього переходу. Як наслідок транзистор не перейде в стан глибокого насичення, а це в свою чергу підвищить швидкодію транзистору. Така конструкція отримала назву транзистор Шоткі [41, 58].

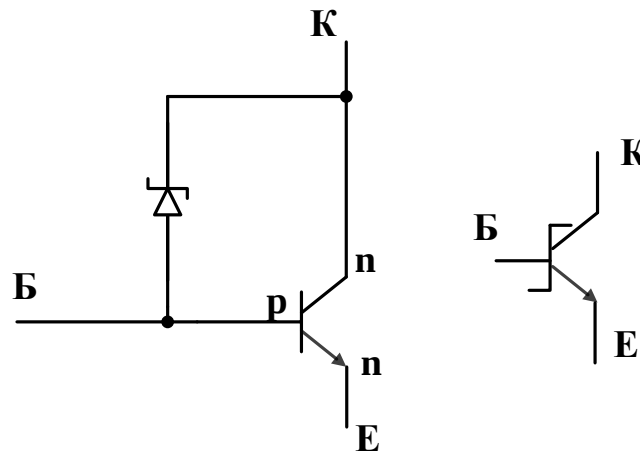


Рис. 1.36.Транзистор Шоткі: а – конструкція NPN-транзистору з діодом Шоткі між колектором та базою; б - графічне позначення транзистора Шоткі

Схеми ТТЛ з діодом Шоткі (ТТЛДШ) існують як в стандартному, так і в малопотужному варіанті. Їх швидкодія в 3-4 рази вища, ніж у відповідних схем без діодів Шоткі.

1.5.9 Логічні елементи з емітерно-зв'язними зв'язками. Логічні елементи на польових транзисторах

Логічні елементи з емітерними зв'язками (ЕЗЛ)

В логічних схемах на біполярних транзисторах швидкодія збільшується, якщо вдається уникнути насичення. Коли транзистор знаходиться у стані насичення, то неосновні носії заряду мігрують в зону бази через обидва переходи та їх надлишок має розсіятися раніше, ніж транзистор зможе перейти в закритий стан.

Логічні вентиля з емітерними зв'язками ґрунтуються на основі диференціального каскаду, який представлений на рис. 1.37.

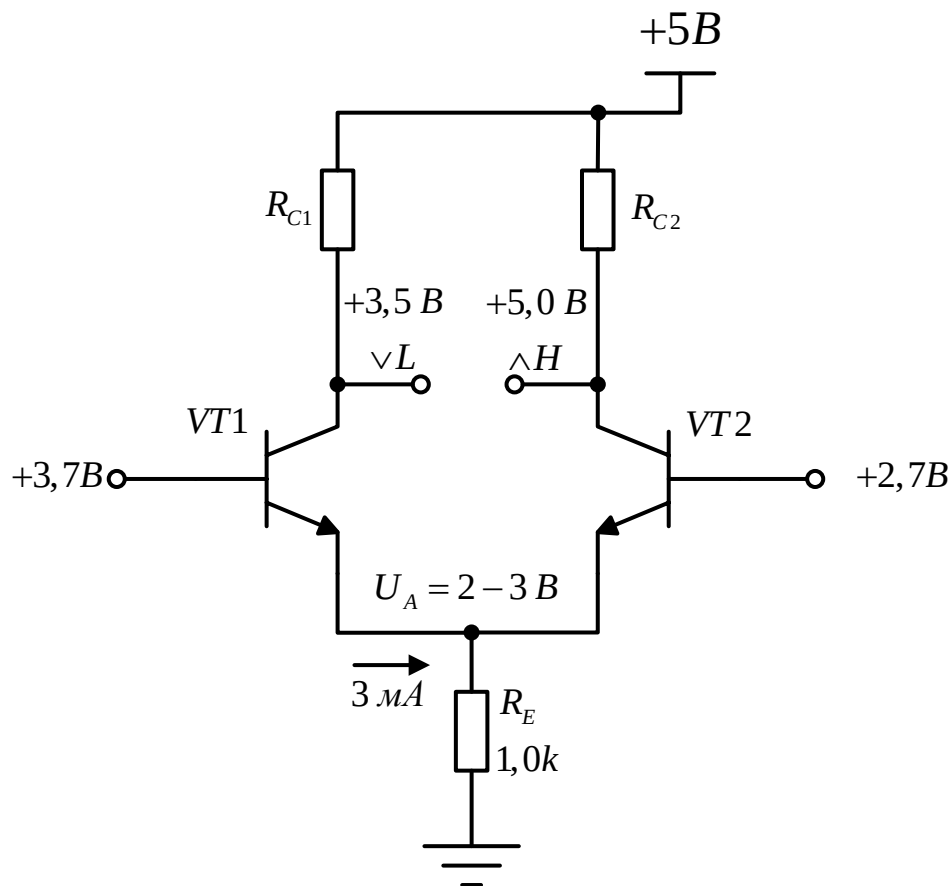


Рис. 1.37. Диференціальний каскад

Принцип роботи диференціального підсилювача основана на сильному зворотному зв'язку за струмами між транзисторами $VT1$ та $VT2$ через опір R_E .

Нехай на схему рис. 1.37 подані зображені потенціали, а саме на базу $VT1$ – $+3,7V$, на базу $VT2$ – $+2,7V$. Тоді $U_A = 3,7V - U_{BE.VT1} \approx 3,2V$. Тоді струм через R_E становитиме близько $3mA$. При цьому напруга емітера $VT2$ більше ніж $U_{B.VT2} + U_{BE.VT1}$, то емітерний перехід $VT2$ зміщений в зворотному напрямку і $VT2$ закритий. Тоді на колекторі $VT2$ через R_{C2} високий потенціал (еквівалент логічної «1»), а на колекторі $VT1$ низький потенціал ($U_{K.VT1} = U_A + U_{BK.VT1} \approx 3,5V$ – еквівалент логічного «0»). При цьому транзистори $VT1$ та $VT2$ не знаходяться у насиченні. Це також забезпечується правильним підбором R_{C1} та R_{C2} , які обираються такими, щоб напруга на колекторах занадто знижувалась.

При $U_{B.VT1} < 2,7V$ напруга U_A визначається струмом база-емітер $VT2$, який відкривається, а $VT1$ закривається. Відповідно напруги колекторів $VT1$ та $VT2$ міняються місцями.

Для реалізації повноцінного логічного ЕЗЛ елементу необхідно додати щонайменше 1 транзистор, як представлено на рис. 1.38.

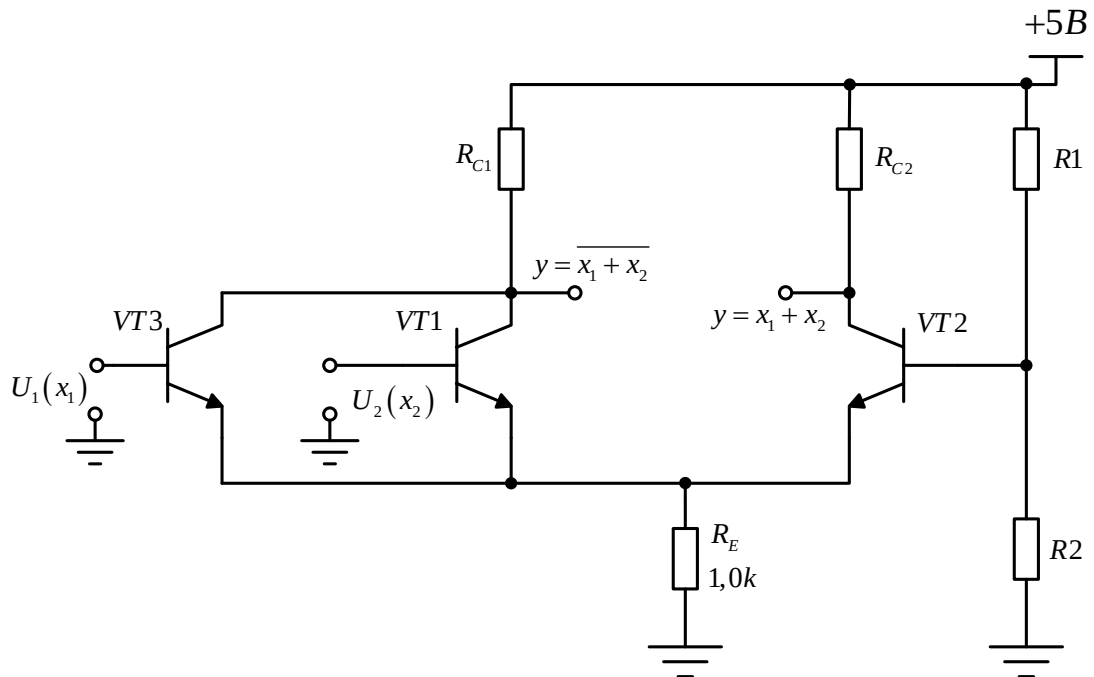


Рис. 1.38. Найпростіша реалізація ЕЗЛ вентиля АБО та АБО-НІ

Для збільшення вихідної потужності елементів у вентилях як правило використовують емітерні повторювачі, як представлено на рис. 1.39.

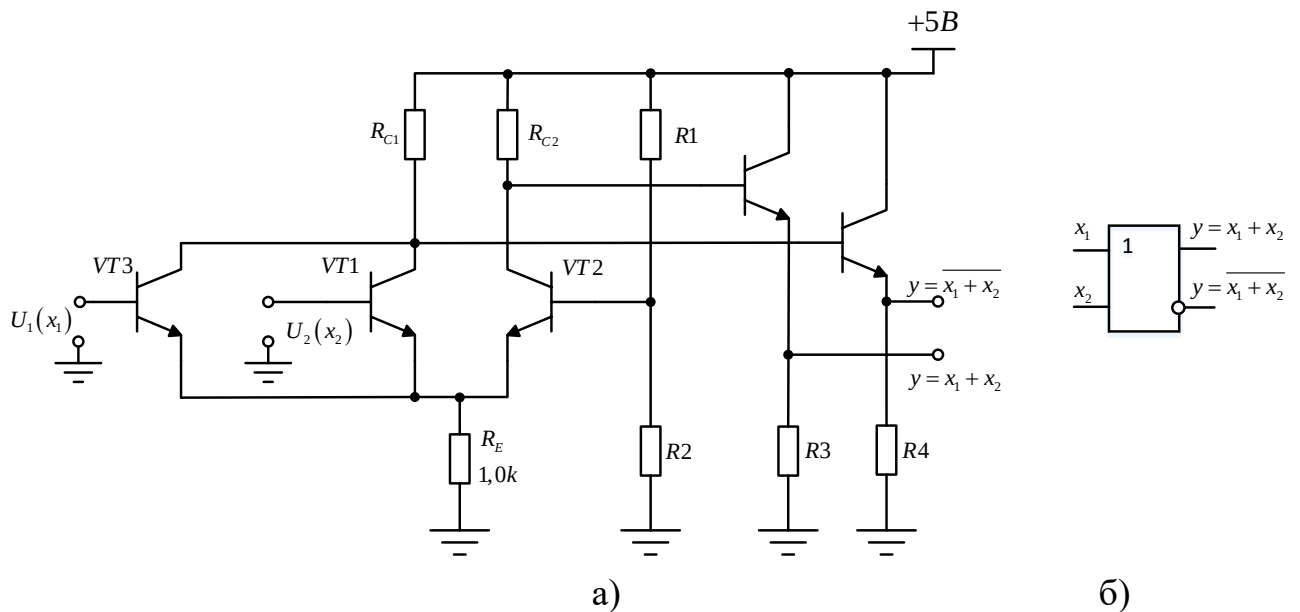


Рис. 1.39. ЕЗЛ вентиль АБО та АБО-НІ: а - реалізація; б - схемне позначення

Реальні ЕЗЛ вентиля зазвичай виготовляють із від'ємною напругою живлення, де додатній вивід живлення відповідає 0 В , а від'ємному – $-5,0\text{ В}$. При цьому напруга логічної «1» $\approx -0,75\text{ В}$, а логічного «0» $\approx -1,6\text{ В}$. Використання

від'ємної напруги підвищує завадостійкість вентилів, особливо за умови невеликої різниці між потенціалами логічних «0» та «1».

Основні електричні характеристики ЕЗЛ вентилів представлені в табл. 1.6.

Таблиця 1.6. Основні електричні характеристики ЕЗЛ

Напруга живлення	-5 В
Потужність споживання	60 мВт
Швидкодія	0,5 нс
Максимальна частота	1 ГГц
Зазор напруги між рівнями	0,3 В

Основні переваги ЕЗЛ у порівнянні з ТТЛ:

1. ЕЗЛ вентилі відрізняються дуже високою швидкістю, що складає близько 2нс на перемикання (для ТТЛ час на перемикання складає близько 100нс).
2. Коефіцієнт розподілення дуже високий завдяки великому вхідному опору.
3. ТТЛ і ЕЗЛ не сумісні по рівням логічних сигналів і для об'єднання в межах однієї схеми потребують додаткових схем узгодження.

ЕЗЛ мають низьку завадостійкість [14, 55].

1.5.10 Інтегрально- інжекційна логіка (І²Л)

Кількість вентилів, які можна упакувати в одну інтегральну схему (ІС) – важливий показник при реалізації БІС. Вентилі інтегральної інжекційної логіки (І²Л) мають просту структуру, що дозволяє організувати високу щільність їх упаковки в ІС. Зокрема, у основі функціонування І²Л лежить використання «особливих» транзисторів зі «збідненою» базою. Ці транзистори не здатні проводити струм через низьку концентрацію носіїв заряду в базі. Тому поруч з основним транзистором, розташовується спеціальний електрод – «інжектор», який інжектуює носії заряду в «збіднену» базу транзистора. При інжектуванні транзистор вмикається та може виконувати задану логічну функцію.

При проектуванні мікросхем І²Л основну роль відводять саме інжекторам. Емітери транзисторів, як правило, з'єднані і між ними є підкладка мікросхеми. На поверхні кристала виходять області бази із сформованими на них колекторними областями. Завдяки чому досягається висока щільність транзисторів на кристалі.

Також вигащ досягається за рахунок того, що один інжектор може використовуватися для інжекції у декілька транзисторів.

І²Л-вентилі базуються на основі двохтранзисторній схемі (рис. 1.40). Тут *PNP*-транзистор *VT1* з резистором *R* діють як джерело струму, що подається на базу *NPN*-транзистора *VT2*.

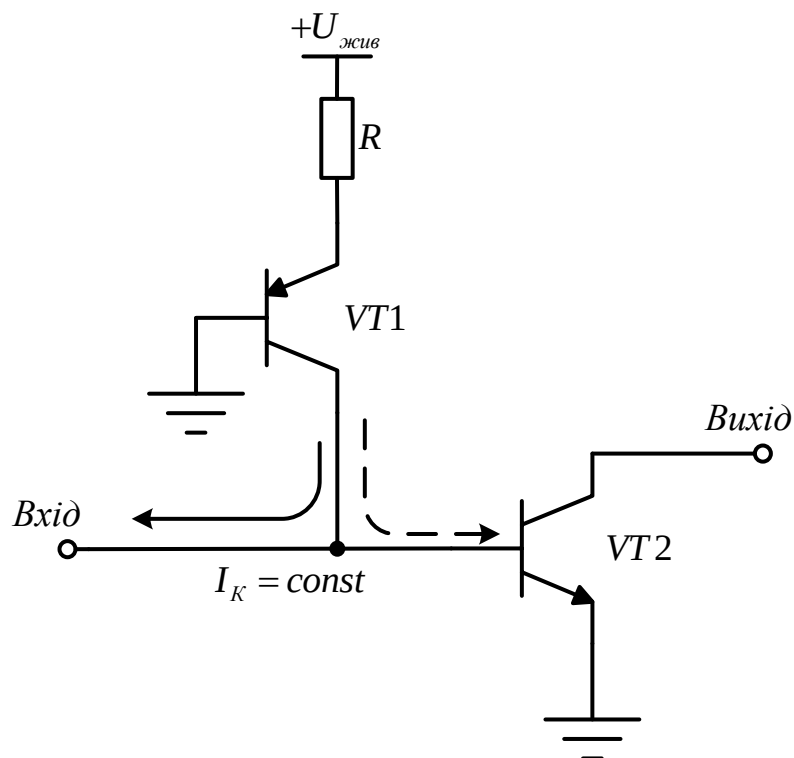


Рис. 1.40. І²Л-інвертор

Колекторний струм *VT1* протікає на базу *VT2* за умови, що вхідний ланцюг не споживає струму (вхід розімкнутий). Кажуть, що цей струм «інjektується» в базу *VT2*; звідси і назва логічного сімейства. При цьому *VT2* зміщуються в прямому напрямку та відкривається. Якщо вхід підключено до землі, то струм, що проходить через *VT1* пройде у вхідний ланцюг, в результаті чого *VT2* буде закритий. Таким чином, коли вхід вентиля розімкнуто, то його вихід виявляється замкненим на землю через відкритий *VT2*; якщо вхід замкнено на землю, то вихід розімкнуто. Таким чином розімкнутий стан *VT2* відповідає «1», а замкнений – «0».

Приклад реалізації більш складного І²Л-вентиля, а саме 2АБО-НІ представлено на рис. 1.41.

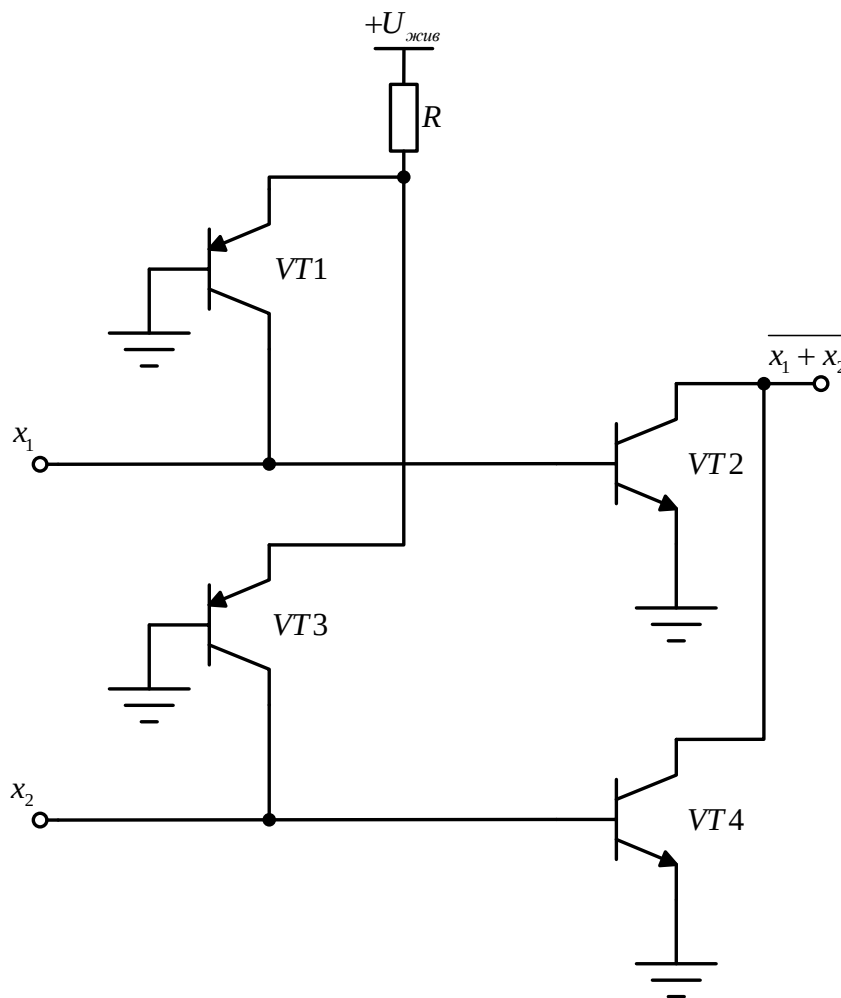


Рис. 1.41. I²Л-вентиль 2АБО-НІ

Транзистори, що переключаються I²Л – вентилів в провідному стані досягають насичення. Щоб підвищити швидкодію розроблені схеми з використанням діодів Шоткі.

I²Л-Шоткі мають приблизно в два рази більшу швидкодію у порівнянні зі звичайними I²Л схемами.

Основні переваги I²Л:

1. Високий ступінь інтеграції, іноді вища, ніж у МОН-вентиліях.
2. Менша собівартість за рахунок простоти технології і відповідно меншого браку.
3. Мале споживання енергії.
4. Низька напруга живлення (1-3 В)
5. Висока завадостійкість, оскільки логічні рівні передаються струмом.

Основні недоліки I²Л:

1. Відносно низька швидкодія (до 50 МГц)

2. Низькі і близькі логічні рівні ($\langle 0 \rangle \approx 0,2 V$, $\langle 1 \rangle \approx 0,7 V$), що не сумісні з іншими типами вентилів [24, 41].

1.5.11 Логічні елементи на польових транзисторах

Широке розповсюдження отримали логічні елементи на польових транзисторах. Зокрема, на МОН-польових транзисторах (метал-оксид-напівпровідник), в якому керуючий електрод відділений від каналу шаром діелектрику. МОН-структури краще за інші активні напівпровідникові прилади підходять для створення великих та надвеликих інтегральних схем в тому числі і мікропроцесорів.

На відміну від біполярного транзистора, польовий транзистор керується не струмом, а напругою, що не потребує постійного протікання струму, що зменшує теплові втрати в інтегральній схемі.

При виготовленні логічних елементів набули поширеності МОН логічні елементи із навантажувальним транзистором. Навантажувальний транзистор є польовим транзистором із вбудованим каналом, тобто завжди проводить струм, причому здебільшого працює в межах напруг, що відповідає пологій ділянці характеристики, тобто може бути представлений як джерело постійного струму.

Приклад реалізації n-МОН-вентиль 2АБО-НІ із навантажувальним транзистором представлено на рис. 1.42. Навантажувальний транзистор VT_3 має роль джерела струму, який обмежує або вихідний струм, або струм через транзистори VT_1 та VT_2 . При відсутності навантаження через навантажувальний транзистор VT_3 на виході n-МОН-вентилья створюється високий потенціал – логічна $\langle 1 \rangle$.

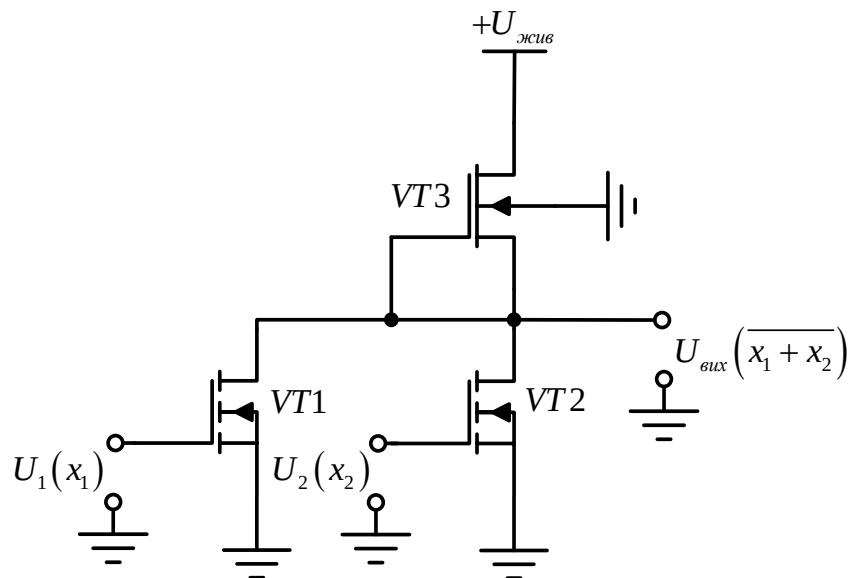


Рис. 1.42. п-МОН-вентиль 2АБО-НІ

Якщо до одного з транзисторів $VT1$ та $VT2$ (рис. 1.42) прикладено напругу логічної «1», то відповідний транзистор $VT1$ або $VT2$ (або обидва) переходить у відкритий стан та створює тим самим шлях низького опору між вихідною лінією та землею, шунтуючи тим самим вихідну лінію на землю та створюючи потенціал логічного «0» на виході.

Іншим прикладом п-МОН-вентиль є 2І-НІ вентиль, що представлено на рис. 1.43. Аналогічно до 2АБО-НІ вентилі, що представлено на рис. 1.42, вентиль 2І-НІ на рис. 1.43 керується вхідними сигналами, що подаються на затвори $VT1$ та $VT2$. У відповідності до логіки роботи 2І-НІ, «0» на виході можливий за умови коли $x_1 = x_2 = 1$. При цьому обидва транзистори $VT1$ та $VT2$ перейдуть у відкритий стан та шунтуватимуть вихідну лінію на землю. При решті комбінацій хоча б один із транзисторів $VT1$ та $VT2$ залишиться у закритому стані та через навантажувальний транзистор $VT3$ та на вихідній лінії встановиться високий потенціал – потенціал логічної «1».

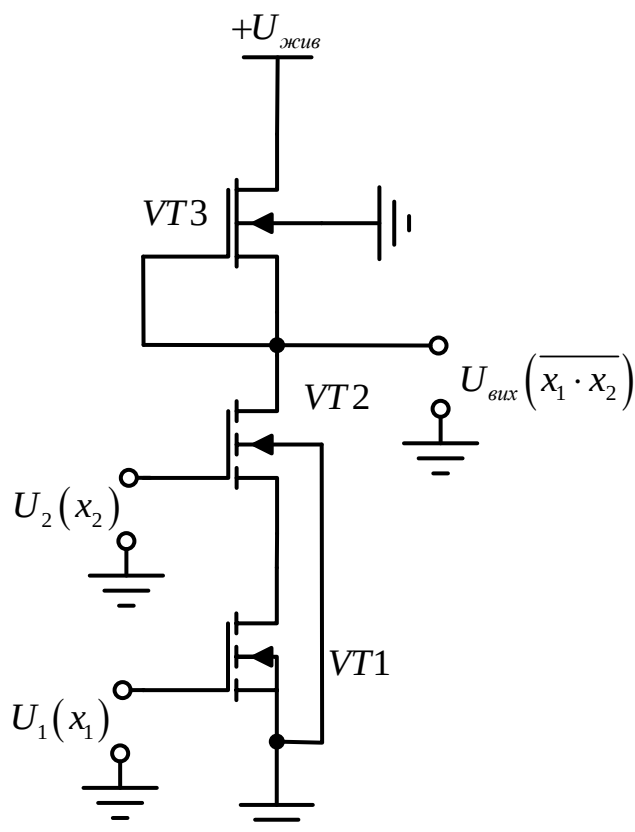


Рис. 1.43. п-МООН-вентиль 2І-НІ

Основні особливості схем на МООН-транзисторах:

1. МООН-транзистори відрізняються дуже високим опором для струму закриття, внаслідок чого в статичному стані МООН-вентилі практично не споживають струми від керуючих ними схем. Це означає, що вони мають великий коефіцієнт розподілення по виходу.
2. МООН-вентилі технологічні у виготовленні та дозволяють досягти високу ступінь пакування в інтегральних схемах.
3. Ємності між стоком та затвором достатньо великі, що призводить до зменшення швидкості відкриття та закриття МООН-транзисторів. Це призводить до зменшення швидкодії МООН-вентилів, яка, як правило, нижча, ніж в ТТЛ [2, 41, 56].

1.5.12 Логічні елементи на КМООН-структурах

КМООН – це скорочення від слів *комплементарний, метал, окисел, напівпровідник* – що означає той факт, що в одній і тій самій схемі наявні як п-канальні, так і р-канальні МООН-транзистори. Всі транзистори у КМООН структурах є нормально закриті.

КМОН-вентиль складається з двох частин, одна з яких понижує потенціал на виході при визначених умовах на вході, а друга, навпаки, підвищує рівень вихідного сигналу при інших сигналах на вході. Обидві частини виконані у вигляді схем з безпосереднім зв'язком. Приклад КМОН-вентилля елемента НІ представлено на рис. 1.44.

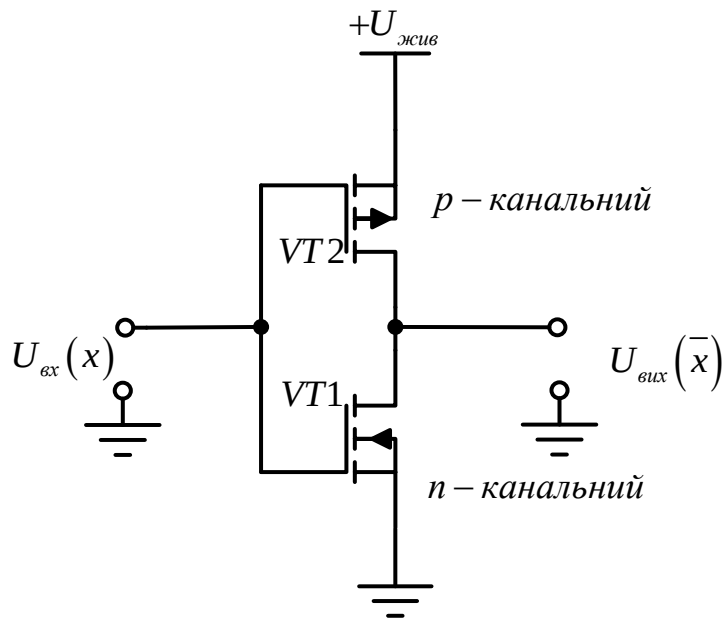


Рис. 1.44. КМОН-інвертор

В рамках додатної логіки при логічній «1» на вході інвертора транзистор $VT1$ відкривається та забезпечує логічний «0» на виході, а при логічному нулі на вході транзистор $VT2$ відкривається та підвищує рівень на виході до логічної «1». Причому $VT1$ та $VT2$ завжди працюють в протифазі, тобто коли один відкритий, інший - закритий.

Іншим прикладом КМОН-вентилля є вентиль 2І-НІ, що представлено на рис. 1.45.

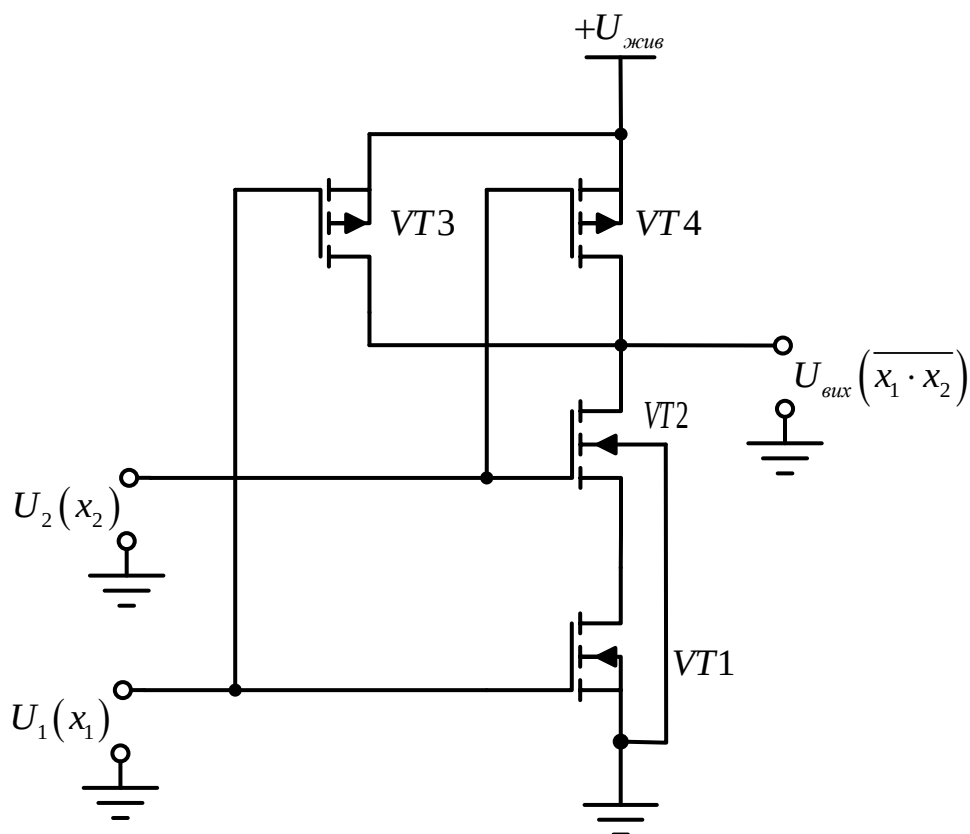


Рис. 1.45. КМОН-вентиль 2І-НІ

Основні відмінності між МОН та КМОН:

1. КМОН-логіка має більш складну структуру, ніж n-МОН та р-МОН, тому на її основі неможна досягти такої ж високої щільності розташування транзисторів, однак в статистиці ця логіка дуже мало споживає енергії. Ця властивість дуже важлива для тих випадків, коли живлення поступає від батарей живлення.
2. Коефіцієнт розповсюдження по виходу у КМОН-вентилів такий же великий, як і у n-МОН та р-МОН вентилів.
3. Швидкодія в МОН-транзисторі нижча, ніж у ТТЛ, за рахунок наявності ємностей сток-істок-затвор.
4. КМОН-вентилі можуть працювати в широкому діапазоні напруг живлення. Зокрема, $U_{жив}$ може бути в межах від 3 до 15 В, завдяки чому КМОН логіку можна суміщати з ТТЛ, обравши $U_{жив} = +5 В$. В цьому випадку КМОН-вентиль може керувати двома входами ТТЛ [14, 56].

Контрольні запитання до теми 1.5:

1. На які групи діляться логічні елементи в залежності від використаних в них електричних сигналів?
2. Перерахуйте технічні характеристики логічних елементів
3. Назвіть переваги та недоліки ДТЛ.
4. Які особливості у ТТЛ-вентилів з активним навантаженням?
5. Які існують різновиди ТТЛ-схем?
6. Наведіть приклади логічних елементів на польових транзисторах
7. Що таке інтегрально-інжекційна логіка?
8. Які існують основні класифікаційні ознаки напівпровідникових логічних елементів?
9. Які відмінності між діодними, діодно-транзисторними та транзисторно-транзисторними логічними елементами?
10. Які технічні параметри характеризують логічні елементи (коефіцієнт розгалуження, затримка, завадостійкість тощо)?

Розділ 2. Використання мікропроцесорних систем в електроенергетиці

Тема 2.1. Підключення мікропроцесорної системи до підстанції 10 кВ, 110 кВ, 330 кВ

В загальному випадку МП систему управління підстанціями отримує інформацію про струми, напруги на підстанції, про стан комутаційного обладнання, про стан електроустаткування тощо [61]. На підставі цієї інформації виробляє керуючі впливи для електроустаткування підстанції, а також різноманітні повідомлення, що дозволяють фіксувати і/або аналізувати процеси, що протікають на підстанції та в електроустаткуванні.

На сьогоднішній день МП системи управління підстанцій 10 кВ, 110 кВ, 330 кВ являють собою складні системи, що складаються з багатьох МП пристроїв, серед яких МП РЗА, пристрої телемеханіки, підстанційні сервери, та інше устаткування. Як правило сучасні пристрої об'єднані в інформаційну мережу для обміну інформацією та передачі інформації на верхній рівень.

Найпростіший приклад побудови МП системи управління зображено на рис. 2.1. В даному випадку під МП системою управління розуміють сукупність МП РЗА, пристрої телемеханіки, підстанційні сервери, та інше устаткування, які об'єднані інформаційною мережею. Слід зазначити, що в сучасних інформаційних мережах обмін інформацією завжди двонаправлений, реалізований по дуплексному або напівсимплексному каналу [17, С.75–81]. Передача в обох напрямках обумовлена використанням спеціалізованих протоколів зв'язку між МП пристроями РЗА [27] таких як ModBus, DNP3 [28], IEC60870-5-101, IEC60870-5-103, IEC60870-5-104, IEC61850.

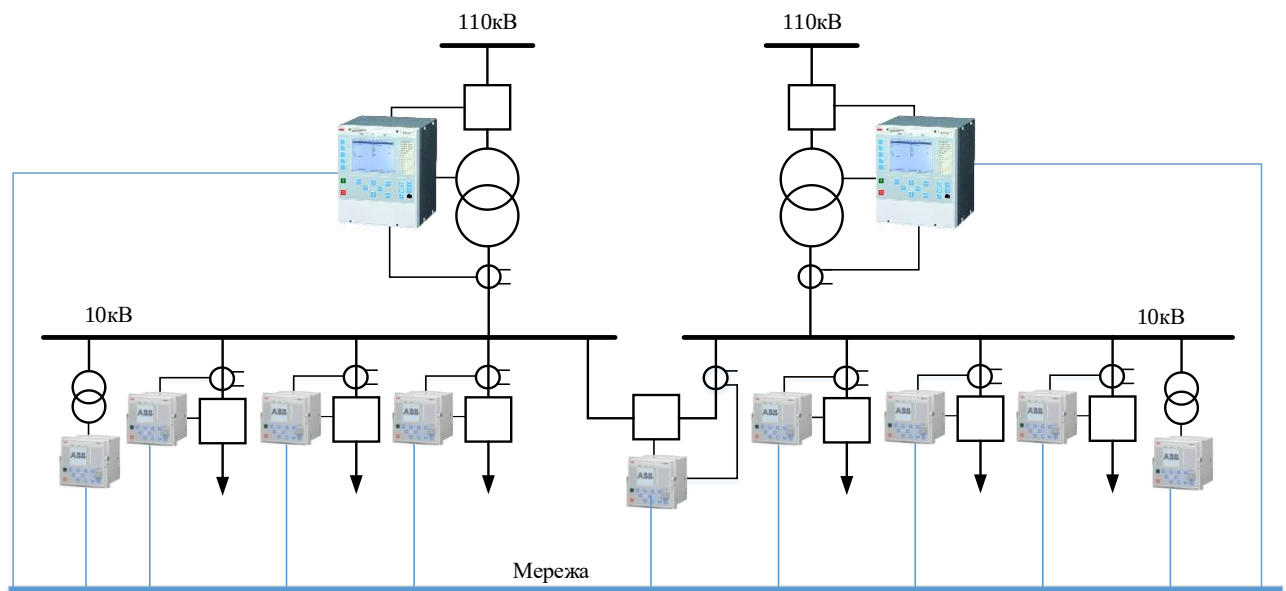


Рис.2.1. Спрощена система МП системи управління до підстанції 110кВ з двома системами збірних шин

В якості середовища для передачі інформації використовуються як електричні інтерфейси, так і оптичні. Сучасні тенденції розвитку інформаційних мереж, що забезпечують функціонування МП систем управління направлені в напрямку використання Ethernet технологій. Цьому сприяє, зокрема, прийняття і впровадження сучасного комунікаційного протоколу IEC 61850 [26, 59].

Разом із сучасними мережами, основаними на Ethernet технологіях на сьогоднішній день широко використовуються і більш давні інтерфейси. Зокрема інтерфейси RS-232, RS-485, RS-422, USB.

Контрольні запитання до теми 2.1:

1. Які основні рівні напруг (10 кВ, 110 кВ, 330 кВ) застосовуються у підстанціях і чим вони відрізняються з точки зору вимог до МП-систем?
2. Для чого потрібні трансформатори струму та напруги при підключенні МП-системи до первинних кіл?
3. Чим відрізняються трансформатори струму від трансформаторів напруги за функціями та конструкцією?
4. Які основні вимоги до ізоляції та безпеки при підключенні МП-систем до високовольтних об'єктів?
5. Чому безпосереднє підключення МП-системи до первинних кіл підстанції неможливе?

6. Які типи сигналів (аналогові та дискретні) подаються з підстанції на вхід МП-системи?
7. Як здійснюється узгодження рівнів сигналів між первинними перетворювачами і МП-системою?
8. Яке призначення вторинних ланцюгів підстанції у контексті підключення МП-систем?
9. Які засоби захисту (гальванічна розв'язка, фільтрація, екранування) застосовуються при передачі сигналів у МП-систему?
10. Поясніть роль дискретних входів (стан апаратури) у роботі МП-системи на підстанції.

Тема 2.2. Структура мікропроцесорної системи захисту підстанції 10 кВ, 110 кВ, 330 кВ

В загальному вигляді МП пристрої захисту для підстанцій 10 кВ, 110 кВ, 330 кВ можна представити у вигляді, що представлено на рис. 2.2.

В якості вхідних сигналів МП пристрої захисту використовують аналогові і дискретні сигнали. До аналогових сигналів відносяться струми та напруги від первинних вимірювальних перетворювачів якими є трансформатори струму, трансформатори напруги та трансреактори (перетворювачі струму в ЕРС). Номінальними вторинними струмами та напругами первинних перетворювачів є відповідно $I_{ном} = 5A$ або $I_{ном} = 1A$ і $U_{ном} = 100/\sqrt{3}V$ відповідно. В сучасних автоматичних пристроях, які виконуються на інтегральних мікросхемах сигнали знаходяться в межах 5–10В і 5–10 мА відповідно, що потребує додаткового масштабування вихідних струмів та напруг первинних перетворювачів, що здійснюється за рахунок вторинних трансформаторів струму та напруги, які називаються сигнальними. Разом із масштабуванням сигнальні трансформатори здійснюють функцію гальванічної розв'язки внутрішніх і зовнішніх кіл [30].

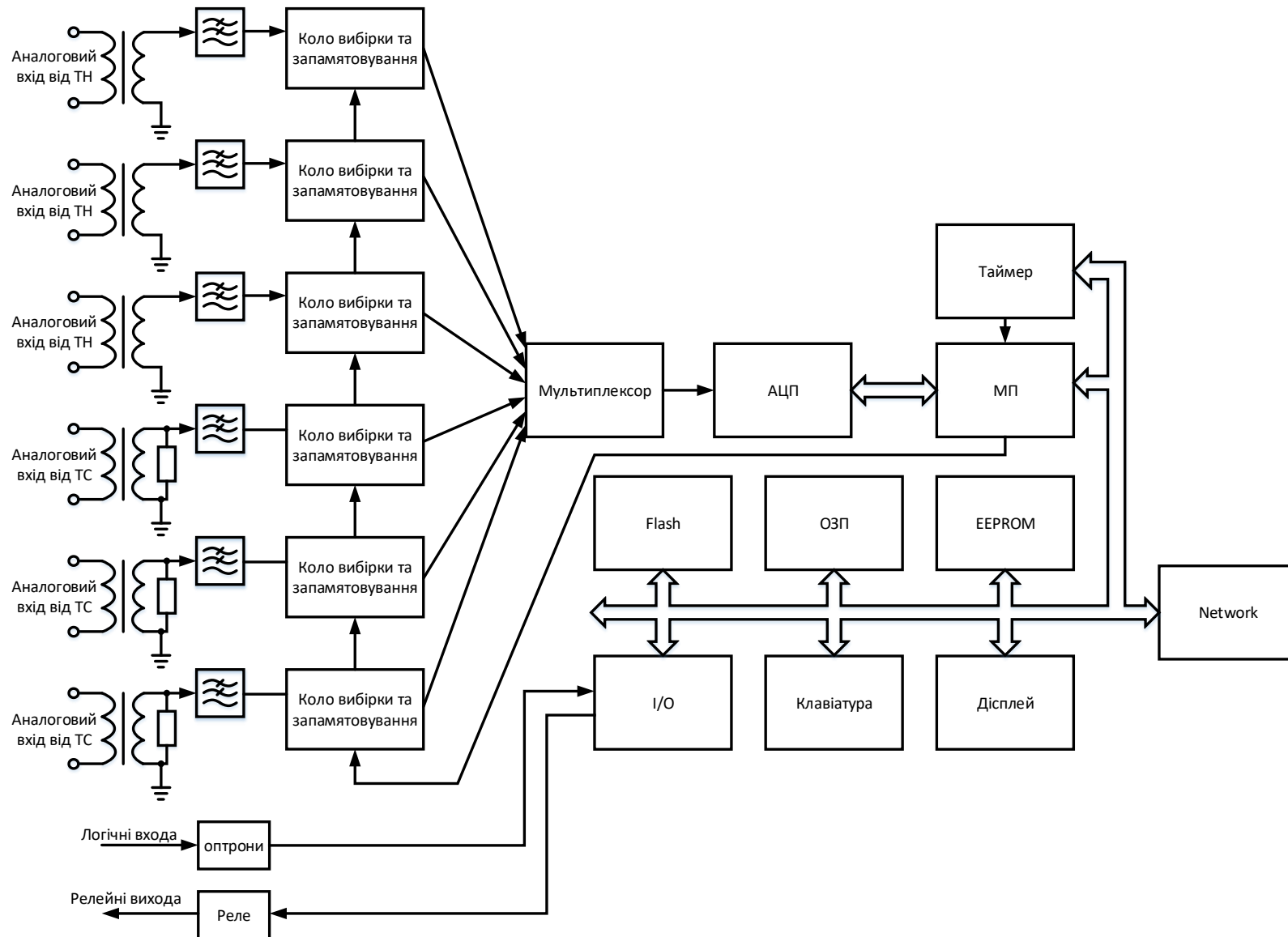


Рис. 2.2. Структурна схема МП захисту підстанції 10 кВ, 110 кВ, 330 кВ

З виходу сигнальних трансформаторів подається на фільтр (фільтр низьких частот для зменшення рівня завад), за допомогою якого збільшується якість перетворення аналогової величини в дискретну за допомогою АЦП.

Як правило сучасні МП системи містять від одного до трьох АЦП у своєму складі, тому для перетворення сигналів від багатьох джерел виникає необхідність в почерговій подачі сигналів, що перетворюються на один АЦП. Для цього у системі присутній *мультиплексор*, який пропускає в один конкретний момент часу аналоговий сигнал тільки з одного зі своїх входів на вихід до якого підключений АЦП (див. рис. 2.2) [39, 61].

При цьому слід зауважити, що для коректної роботи алгоритмів цифрової обробки сигналів необхідно, щоб сигнали по різних каналах були виміряні в один момент часу. Для досягнення цієї мети в МП систему вводять *кола вибірки і зберігання*, які по зовнішньому сигналу синхронно запам'ятовують аналогову величину і по черзі видають збережену аналогову величину через мультиплексор на АЦП для перетворення [1, 30].

Після перетворення інформація надходить до мікропроцесора, який здійснює обробку отриманих даних у відповідності до алгоритму функціонування (див. Тема 1.1).

Для зберігання інформації і даних в сучасних МП системах, як правило, присутні три типи пам'яті, які можуть знаходитися як в одному адресному просторі (у випадку побудови МП системи по архітектурі Фон-Неймана) так і в різних (у випадку побудови МП системи по Гарвардській архітектурі).

Таймер в МП системі призначений для синхронізації окремих складових частин МП системи.

Для введення дискретних сигналів та видачі керуючих впливів в МП системі присутні дискретні порти вводу/виводу. Які підключаються до зовнішніх схем через спеціальні схеми, які виконують функції захисту МП систем від зовнішніх перенапруг і узгодження рівнів МП системи із зовнішніми пристроями. Як правило ввід інформації виконується через оптрони, а вивід інформації здійснюється через електромагнітні реле, які створюють так званий «сухий контакт».

Клавіатура і дисплей призначені для взаємодії із користувачем, але у випадку відсутності необхідності у ручному конфігуруванні МП пристрою їх немає.

Для побудови складних інтегрованих систем управління, як правило виникає необхідність у інформаційній взаємодії із іншими МП системами. Для організації

цієї взаємодії МП пристрої обладнуються мережевими інтерфейсами, серед яких найбільш вживані RS-232, RS-485, RS-422, USB, Ethernet [39, 43, 59].

Контрольні запитання до теми 2.2:

1. Які протоколи зв'язку використовуються для передачі інформації в обох напрямках від підстанції до диспетчерського пункту і навпаки?
2. Які основні функціональні блоки входять до складу МП-системи захисту підстанції?
3. Що таке блок вимірювання і яку інформацію він надає системі захисту?
4. Яке призначення блоку логічної обробки сигналів у структурі МП-системи?
5. Як організований блок введення-виведення у МП-системах захисту?
6. Яке призначення каналу зв'язку між МП-системами різних рівнів?
7. Для чого в МП-системах використовують резервування апаратури і алгоритмів?
8. Яке значення мають годинники реального часу і синхронізація у системах захисту підстанцій?
9. Чим відрізняється локальний інтерфейс (для обслуговування) від диспетчерського інтерфейсу у складі МП-систем?
10. Які сучасні протоколи обміну (наприклад, МЭК 61850) застосовуються для взаємодії МП-систем у підстанціях?

Розділ 3. Типові вузли автоматичних пристроїв та мікропроцесорних систем

Тема 3.1. Типові цифрові логічні елементи мікропроцесорних систем

3.1.1 Тригери

Тригер – це послідовна схема із двома станами, кожен з яких за певних умов на входах підтримується постійним. Коли на вихідній лінії тригера логічна «1», говорять, що тригер встановлений. У протилежному випадку говорять, що тригер скинутий [31, 56].

3.1.1.1 RS-тригер

RS-тригер найпростішим типом тригера, який представлено на рис. 3.1. RS-тригер має два входи S (set - встановити) і R (reset - скинути), звідки і отримав свою назву [56].

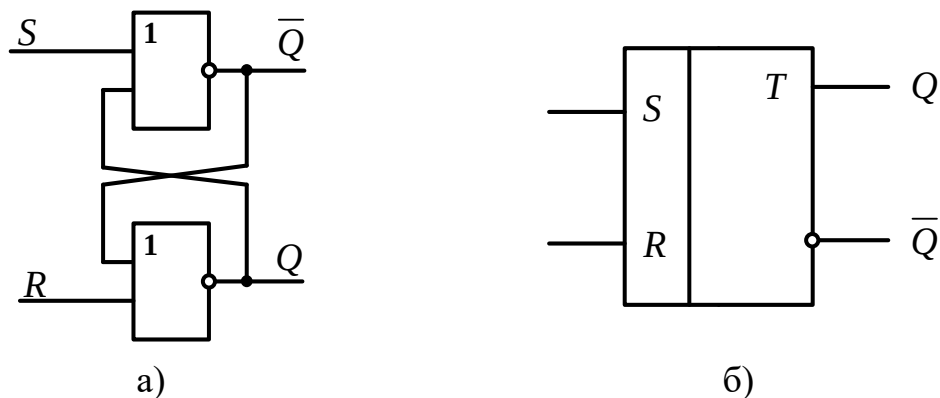


Рис. 3.1. Побудова простого RS-тригера на базі елемента «стрілка Пірса»: а - внутрішня схема; б - схемне позначення

В табл. 3.1. представлено таблиця станів RS-тригера на базі елемента «стрілка Пірса», яка описує його роботу [31, 56].

Таблиця 3.1. Таблиця станів для RS-тригера на базі елемента «стрілка Пірса»

S	R	Q	$\bar{Q}$
0	0	Q	$\bar{Q}$
0	1	0	1
1	0	1	0
1	1	—	—

Ознакою тригера є літера T на графічному позначенні рис. 3.1б.

1. Розглянемо подачу логічної «1» на вхід S і логічного «0» на вхід R . Тоді у відповідності до схеми, стан виходів буде визначатися як:

$$\begin{aligned}\bar{Q} &= \overline{Q + S} = \overline{Q + 1} = 0 \\ &\Downarrow \\ Q &= \overline{\bar{Q} + R} = \overline{0 + 0} = 1\end{aligned}\tag{1.1}$$

Результатом подачі таких сигналів на RS-тригер буде **встановлений** стан RS-тригера не залежно від вихідних сигналів.

2. Розглянемо подачу логічного «0» на вхід S і логічної «1» на вхід R . Тоді у відповідності до схеми, стан виходів буде визначатися як:

$$\begin{aligned}Q &= \overline{\bar{Q} + R} = \overline{\bar{Q} + 1} = 0 \\ &\Downarrow \\ \bar{Q} &= \overline{Q + S} = \overline{0 + 0} = 1\end{aligned}\tag{1.2}$$

Результатом подачі таких сигналів на RS-тригер буде **скинутий** стан RS-тригера не залежно від вихідних сигналів.

3. Розглянемо подачу логічного «0» на вхід S та на вхід R . Тоді у відповідності до схеми, стан виходів буде визначатися як:

$$\begin{aligned}Q &= \overline{\bar{Q} + R} = \overline{\bar{Q} + 0} = Q \\ \bar{Q} &= \overline{Q + S} = \overline{Q + 0} = \bar{Q}\end{aligned}\tag{1.3}$$

Результатом подачі таких сигналів на RS-тригер буде незмінний вихідний стан RS-тригера, який називається **стан утримання**.

4. Розглянемо подачу логічної «1» на вхід S та на вхід R . Тоді у відповідності до схеми, стан виходів буде визначатися як:

$$\begin{aligned}Q &= \overline{\bar{Q} + R} = \overline{\bar{Q} + 1} = 0 \\ \bar{Q} &= \overline{Q + S} = \overline{Q + 1} = 0\end{aligned}\tag{1.4}$$

Результатом подачі таких сигналів на RS-тригер буде поява на виходах Q та $\bar{Q}$ логічного «0». Це суперечить самій суті тригера у якого Q та $\bar{Q}$ повинні бути у протилежних станах, тому стан тригера при таких вхідних сигналах є невизначеним і подача таких сигналів на входи RS-тригеру вважається недопустимим, хоч і не призводить до пошкодження тригера.

Ці два логічних «0» будуть підтримуватися на виходах поки $S = R = 1$. При першій же зміні сигналів S або R схема перейде в стан 1 або 2 (див. вище) і тригер перейде скинутий або встановлений стан.

Ще однією реалізацією RS-тригера є реалізація RS-тригера на основі елемента «штрих Шеффера», який представлено на рис. 3.2.

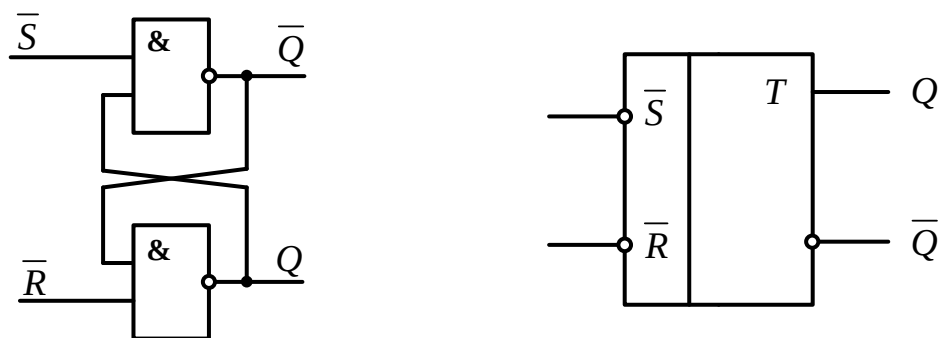


Рис. 3.2. Побудова простого RS-тригера на базі елемента «штрих Шефера»: а - внутрішня схема; б - схемне позначення

В табл. 3.2. представлено таблиця станів RS-тригера на базі елемента «штрих Шефера», яка описує його роботу.

Таблиця 3.2. Таблиця станів для RS-тригера на базі елемента «штрих Шефера»

S	R	Q	$\bar{Q}$
0	0	—	—
0	1	1	0
1	0	0	1
1	1	Q	$\bar{Q}$

Переваги та недоліки RS-тригера:

Переваги – простота та мінімальна кількість елементів.

Недоліки – будь-яка випадкова зміна сигналів на входах S та R може призвести до помилкового спрацьовування тригера.

3.1.1.2 Синхронний тригер

Дуже часто необхідно, щоб тригер не завжди реагував на зміну сигналу на входах S та R , а робив це у визначений час. Найпростішим тригером, що реалізує таку можливість є синхронний RS-тригер [31, 56], що представлено на рис. 3.3.

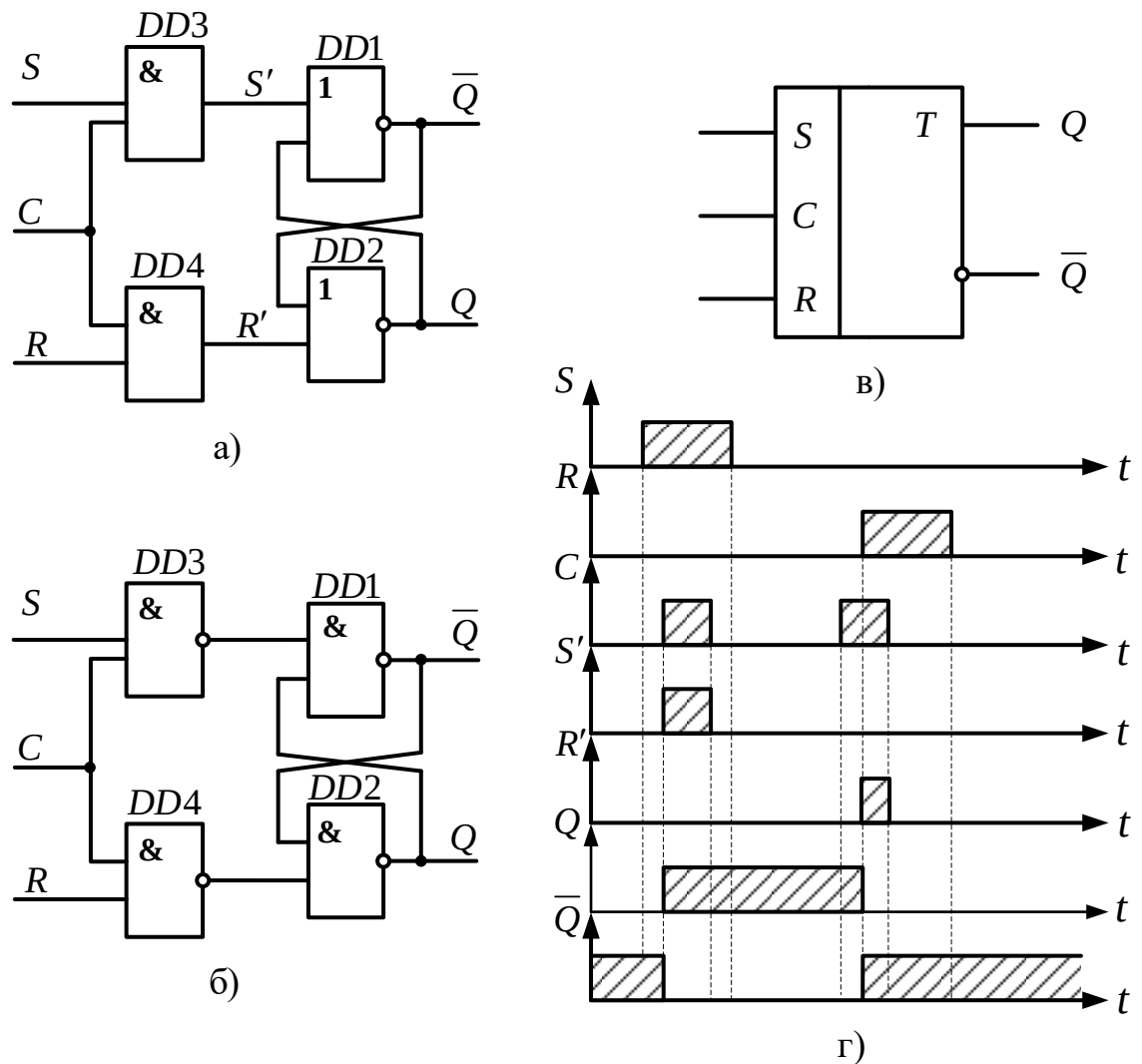


Рис. 3.3. Синхронний RS-тригер: а - схема класичної реалізації; б - реалізація на елементі «штрих Шефера»; в - схемне позначення; г - часова діаграма роботи

За рахунок введення елементів $DD3$ та $DD4$ з'явилася можливість блокування проходження сигналів S та R на внутрішні сигнали S' та R' .

Коли $C = 0$ проходження $S \rightarrow S'$ та $R \rightarrow R'$ через $DD3$ та $DD4$ блокується. Тобто $S' = S \cdot (C = 0) = 0$ та $R' = R \cdot (C = 0) = 0$ і при будь-якій комбінації S та R на $S' = 0$ та $R' = 0$, що підтримує стан утримання на RS-тригері, що зібраний на елементах $DD1$ та $DD2$. При $C = 1$ $S' = S \cdot (C = 1) = S$ та $R' = R \cdot (C = 1) = R$. Тобто сигнали S та R проходять на S' та R' і синхронний RS-тригер працює як звичайний RS-тригер, а саме може бути встановлений, скинутий, або залишитися у стані утримання. Керування блокуванням синхронного RS-тригер входом C може використовуватися для блокування тригера на час перехідних процесів на лініях S та R та для обирання активним одного з тригерів при паралельному з'єднанні декількох RS-тригер.

Переваги – можна керувати блокуванням роботи тригера через спеціальний вхід C .

Недоліки – тригер реагує на зміну сигналів S та R протягом певного часу, протягом якого на вході C присутня логічна «1». Ідеальним можна вважати спрацювання тригера у конкретній «часовій точці», оскільки у синхронних системах інформація, що зберігається в тригерах, повинна змінюватися тільки в чітко визначені моменти часу [31, 56].

3.1.1.3 Двотактний RS-тригер або MS-тригер

Для усунення недоліку синхронного RS-тригера розроблений двотактний RS-тригер. Двотактний RS-тригер представлено на рис. 3.4 і він фіксує новий стан тригера у часовій точці, що визначається переднім або заднім фронтом прямокутного імпульсу на вході C [31, 56].

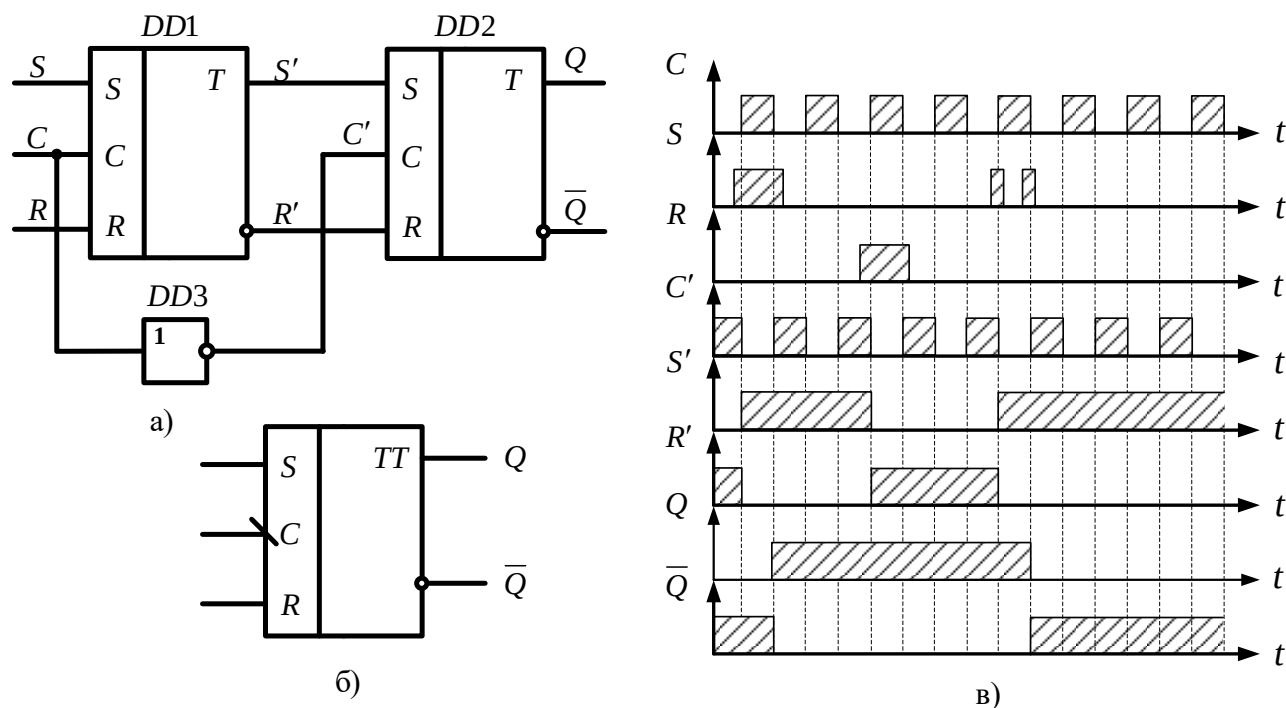


Рис. 3.4. Двотактний RS-тригер: а - внутрішня схема; б - схемне позначення; в - часова діаграма роботи

Ознакою двотактного тригера є подвійна літера T на графічному позначенні рис. 3.4 (б).

При подачі нуля на вхід C , тригер $DD1$ блокується і відповідно вся схема в цілому не реагує на зміну сигналів на входах S та R . При зміні сигналу C з «0» → «1» тригер $DD1$ розблоковується і починає реагувати на входи S та R , а саме переходить у стан, визначений входами S та R у відповідності до роботи синхронного RS-тригера. При цьому $DD2$ блокується через інвертор $DD3$, який

встановлює на вході C $DD2$ логічний «0». Таким чином зміни, що викликані станом сигналів S та R , доходять тільки до S' та R' .

В момент зміни сигналу C з «1»→«0», що є заднім фронт прямокутного імпульсу на вході C , $DD1$ фіксує останній стан S та R та блокується. А $DD2$ через $DD3$ розблоковується і «перепишує» інформацію з $DD1$. Таким чином для схеми в цілому момент зміни вихідного стану – це момент зміни стану виходів $DD2$, що відбувається при зміні сигналу на вході C з «1»→«0». Він умовно може бути прийнятий за точку на часовій осі [31, 56].

3.1.1.4 D-тригер

У RS-тригері для встановлення та скидання тригера використовуються різні входи. Часто дані для запису у тригер надходять по одній лінії у вигляді «0» або «1» і доцільно мати тригер, який здатний отримувати дані по одній вхідній лінії. Таким тригером є D-тригер, який представлено на рис. 3.4 забезпечує запис сигналів «0» або «1» на один вхід при наявності синхроімпульсу на вході C . D-тригер аналогічно RS-тригерам може бути синхронним або двотактним [13, 31, 56].

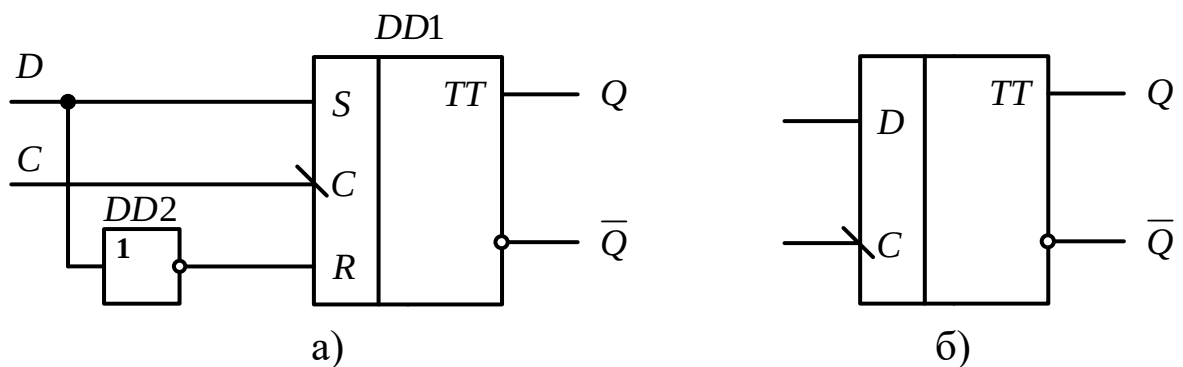


Рис. 3.5. D-тригер: а - внутрішня схема; б - схемне позначення

Для реалізації запису по одній лінії в схему введено інвертор $DD2$, який забезпечує подачу на входи S та R протилежних сигналів. А саме при $D = 1$ вхід $S = 1$ та $R = 0$. Відповідно по задньому фронту синхроімпульсу по входу C відбудеться встановлення тригера $DD1$. Аналогічно при $D = 0$ вхід $S = 0$ та $R = 1$. Відповідно по задньому фронту синхроімпульсу по входу C відбудеться скидання тригера $DD1$.

3.1.1.5 Т-тригер або лічильний тригер

Т-тригер або лічильний тригер отримав свою назву від слова time (час) оскільки є основою різноманітних лічильників які, в свою чергу,

використовуються в системах відліку часу. Схема типового Т-тригера представлена на рис. 3.6, в основі якого лежить двотактний RS-тригер (див. рис. 3.4).

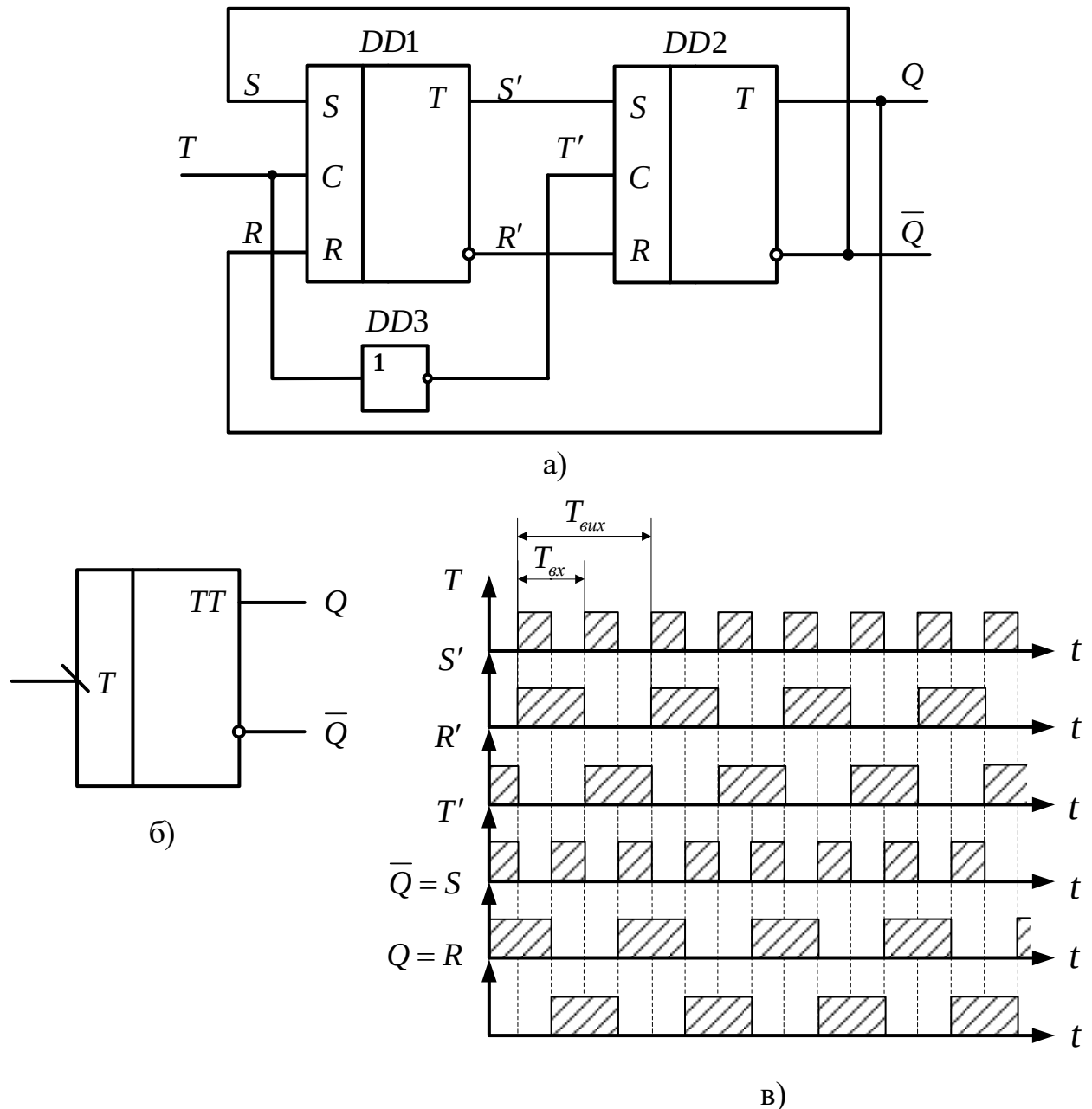


Рис. 3.6. Т-тригер: а - внутрішня схема; б - схемне позначення; в - часова діаграма роботи

Робота Т-тригера побудована на тому, що за рахунок зворотних зв'язків створюються умови для перекидання тригера в протилежний стан. Таким чином по кожному синхроімпульсу на вході С тригер змінює свій стан на протилежний. Для схеми (рис. 3.6) це відбувається наступним чином. Нехай початковий стан Т-тригера – скинутий. Стан Т-тригера в цілому визначається станом внутрішнього тригера DD2. При цьому оскільки $\bar{Q} = S$ та $Q = R$, то при

скинутому стані Т-тригера $S = 1$, а $R = 0$. Відповідно до принципу роботи RS-тригера, що лежить в основі Т-тригера, при таких вхідних сигналах по задньому фронту синхроімпульсу на вході C Т-тригер змінить свій стан на протилежний – тригер встановиться. При цьому стане $Q = R = 1$ та $\bar{Q} = S = 0$. Тобто по входам створяться умови для скидання тригера, яке відбудеться по черговому задньому фронту синхроімпульсу на вході C . Таким чином за 2 такти по входу C вихідний сигнал пройде через один повний цикл і повернеться в початкове значення. Тобто на виході пройде один період прямокутного сигналу. Таким чином Т-тригер забезпечує послідовне ділення частоти вхідних прямокутних імпульсів по входу T на 2 [13, 31, 56].

Існують і інші способи побудови Т-тригерів. Деякі з них представлено на рис. 3.7.

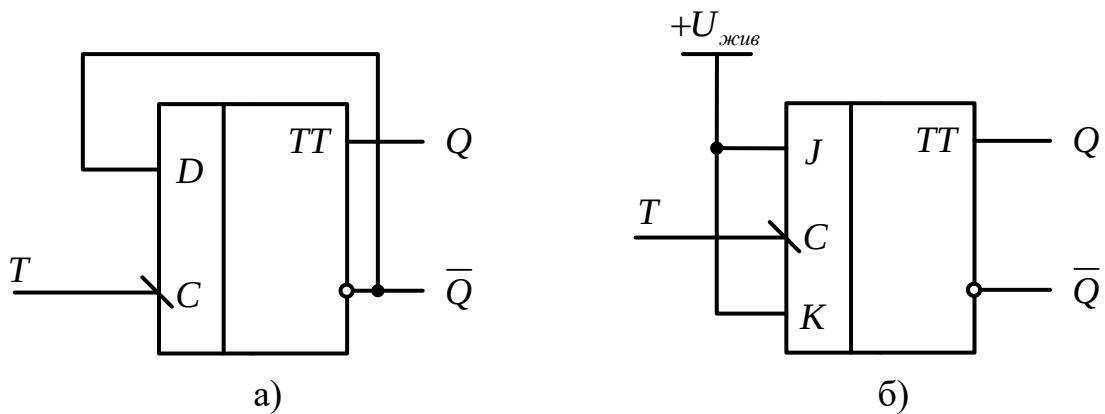


Рис. 3.7. Т-тригер: а- реалізація на основі D-тригера; б- реалізація на основі JK-тригера

3.1.1.6 JK-тригер

JK-тригер представлено на рис. 3.8 і являє собою узагальнену версію RS-тригера. При цьому вхід J відповідає входу S , а вхід K відповідає входу R . Різниця в роботі RS-тригера та JK-тригера полягає у реакції тригера на подачу логічної «1» на входи J та K . В той час як для RS-тригера подача на входи S та R логічної «1» вважається недопустимим, а стан тригера є невизначеним, робота JK-тригера за таких вхідних сигналів є доступною. При цьому JK-тригер працює аналогічно Т-тригеру за умови, що вхід C відповідає входу T . Тобто за синхроімпульсом по входу C JK-тригер змінює свій стан на протилежний [13, 31, 53, 56].

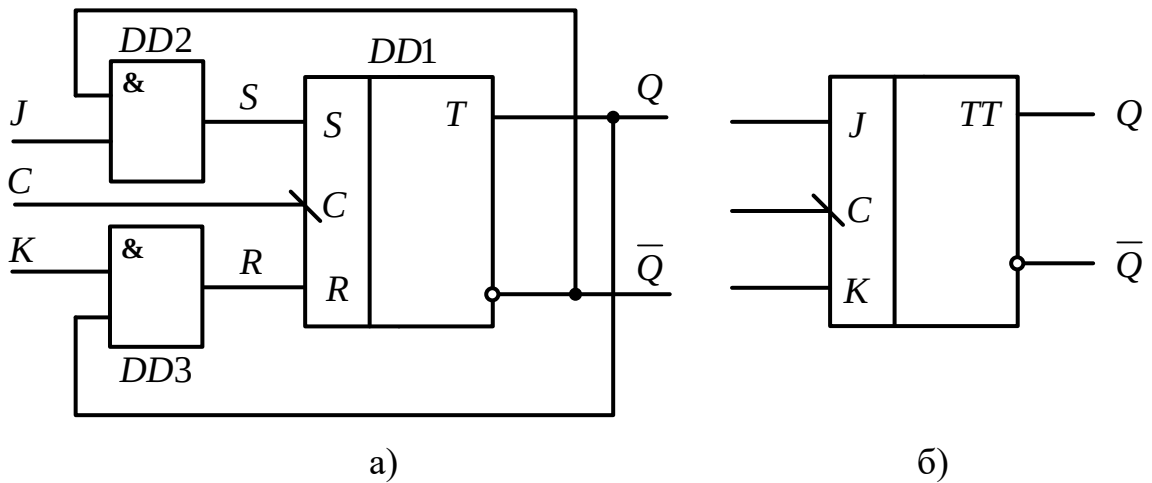


Рис. 3.8. JK –тригер: а - внутрішня схема; б – схемне позначення

Розглянемо детальніше роботу JK-тригера. При входних комбінаціях $J = K = 0$ на виході DD2 – $S = 0 \cdot \bar{Q} = 0$ і на DD3 – $R = 0 \cdot Q = 0$. Тобто на тригері DD1 підтримується стан утримання.

При $J = 1$, а $K = 0$ на виході DD2 – $S = J \cdot \bar{Q} = 1 \cdot \bar{Q} = \bar{Q}$ і на DD3 – $R = K \cdot Q = 0 \cdot Q = 0$. При цьому якщо тригер встановлено, то $S = (\overline{Q=1}) = 0$, а якщо тригер скинуто, то $S = (\overline{Q=0}) = 1$. Тому якщо тригер встановлено, то $S = R = 0$, що відповідає стану утримання, а якщо тригер скинутий, то $S = 1$, а $R = 0$, що відповідає стану встановлення тригера. В результаті якщо тригер встановлено, то він знаходиться в стані утримання, а якщо скинутий, то на вході DD1 створені умови для його встановлення по задньому фронту синхроімпульсу на вході C. В результаті по задньому фронту синхроімпульсу на вході C тригер буде знаходитись у встановленому стані.

Аналогічно при $J = 0$, а $K = 1$ на виході DD2 – $S = J \cdot \bar{Q} = 0 \cdot \bar{Q} = 0$ і на DD3 – $R = K \cdot Q = 1 \cdot Q = Q$. При цьому якщо тригер скинутий, то $R = (Q=0) = 0$, а якщо тригер встановлено, то $R = (Q=1) = 1$. Тому якщо тригер скинуто, то $S = R = 0$, що відповідає стану утримання, а якщо тригер встановлено, то $S = 0$, а $R = 1$, що відповідає стану скидання тригера. В результаті якщо тригер скинуто, то він знаходиться в стані утримання, а якщо встановлений, то на вході DD1 створені умови для його скидання по задньому фронту синхроімпульсу на вході C. В результаті по задньому фронту синхроімпульсу на вході C тригер буде знаходитись у скинутому стані.

Розглянуті стани аналогічні станам RS-тригера за умов, що вхід S відповідає входу J, а вхід R відповідає входу КЮ що представлено в табл. 3.3.

Таблиця 3.3. Таблиця станів для JK-тригера

J	K	Q	$\bar{Q}$
0	0	Q	$\bar{Q}$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}$	Q

При $J = 1$, а $K = 1$ на виході $DD2 - S = J \cdot \bar{Q} = 1 \cdot \bar{Q} = \bar{Q}$ і на $DD3 - R = K \cdot Q = 1 \cdot Q = Q$. При цьому якщо тригер скинутий, то $S = (\overline{Q=0}) = 1$, а $R = (Q=0) = 0$ – тобто створюються умови для встановлення тригера, а якщо тригер встановлено, то $S = (\overline{Q=1}) = 0$, а $R = (Q=1) = 1$ – тобто створюються умови для скидання тригера. Тому якщо тригер скинуто, то $S = R = 0$, що відповідає стану утримання, а якщо тригер встановлено, то $S = 0$, а $R = 1$, що відповідає стану скидання тригера. Іншими словами при $J = 1$, а $K = 1$ на входах S та R $DD1$ створюються умови для переключення тригера в протилежний стан. В результаті по задньому фронту синхроімпульсу на вході C тригер перейде в протилежний стан, тобто буде працювати аналогічно Т-тригеру за умови, що вхід C відповідає входу T [13, 31, 53, 56].

3.1.1.7 Асинхронні входи в тригерах

Часто виникає необхідність у встановленні початкового стану тригерів до запуску ліній синхронізації. Наприклад це необхідно при включенні АКП чи мікропроцесорних систем, або генеруванні апаратного скидання при неправильній роботі АКП чи мікропроцесорних систем. Для реалізації такої можливості в тригери вводять додаткові входи, робота яких не залежать від сигналів синхронізації. Додаватися можуть входи «передумовки» або «очищення» по одному або обидва одразу, за допомогою яких тригер може бути встановлений у потрібний стан незалежно від сигналів синхронізації. Оскільки ці входи працюють незалежно від входу синхронізації, їх називають асинхронними [13, 31, 56]. Приклад реалізації таких входів представлено на рис. 3.9.

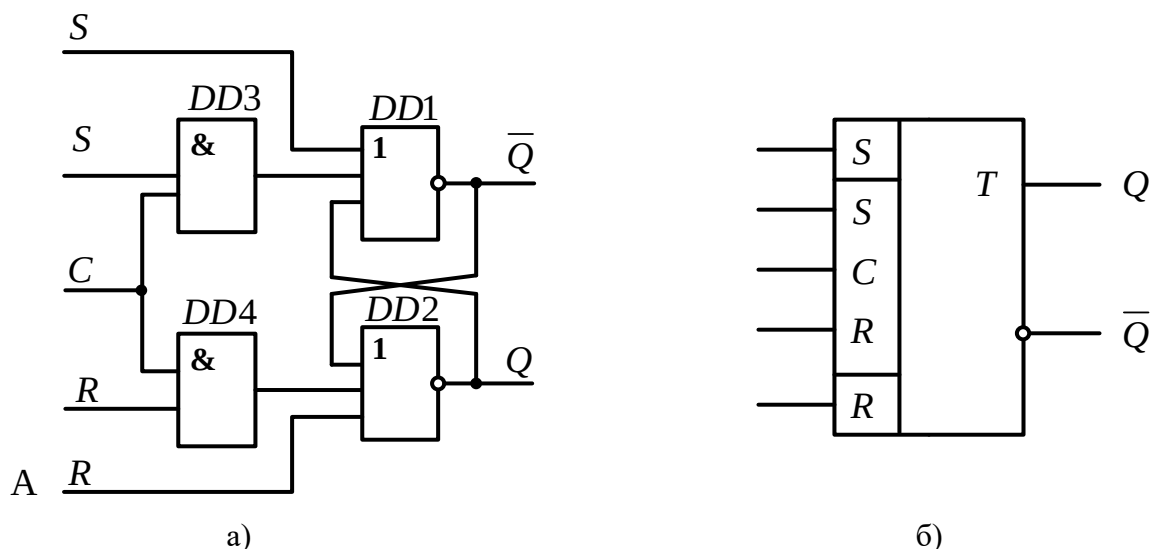


Рис. 3.9. RS-тригер з асинхронними входами: а) внутрішня схема, б) – схемне позначення

3.1.2 Регістри

Регістром називається пристрій, призначений для запису та зберігання одного **дискретного слова інформації** («слова»). Дискретним словом інформації називається послідовність двійкових біт, кожен з яких має своє місце та змістовну складову. Наприклад група біт двійкового числа або група біт слова стану мікропроцесора.

Крім зберігання «слова», за допомогою регістра можна одержати інвертований код «слова», здійснювати зсув «слова» на один або кілька розрядів, перетворювати «слово» із послідовного вигляду в паралельний і навпаки.

Основними елементами регістра є тригери. Число тригерів визначається числом двійкових розрядів «слова». За принципом роботи регістри поділяються на регістри без зсуву та регістри із зсувом (зсувні регістри). Останні, у свою чергу, можуть бути однонаправленими та двонаправленими [13, 31, 53, 56].

3.1.2.1 Регістр без зсуву (паралельний регістр)

Паралельний регістр в загальному випадку складається з n тригерів, де n – довжина «слова» і може складатися із любых типів тригерів, але кожному біту «слова» повинен відповідати свій тригер [13, 31, 53, 56]. На рис. 3.10 представлений паралельний регістр, що побудований на D-тригерах. Для запису «слова» в регістр на входа $D_0 - D_7$ подаються біти «слова», після чого на вхід C подається синхроімпульс, по задньому фронту якого всі тригери одночасно записують «слово». Після запису «слово» доступне у прямому вигляді на $Q_0 - Q_7$.

, і в інвертованому вигляді на $\overline{Q_0} - \overline{Q_7}$. Вхід R призначений для асинхронного скидання всіх тригерів регістра, а саме при подачі логічної «1» на вхід R всі тригери регістра $DD1 - DD8$ скидаються.

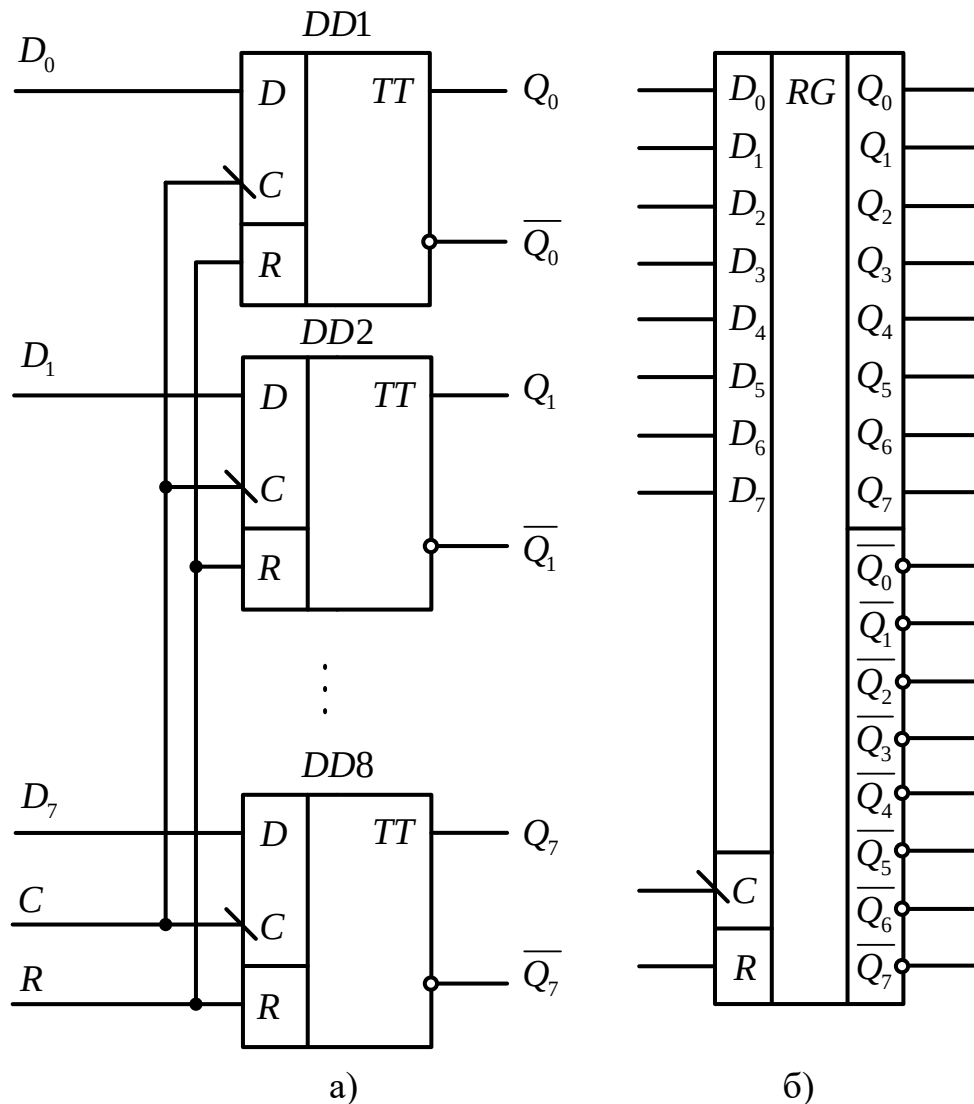


Рис. 3.10. Паралельний регістр побудований на D-тригерах на для дискретного слова інформації із 8 біт: а - внутрішня схема; б - схемне позначення

Ознакою регістра є символ RG на графічному позначенні рис. 3.10 (б).

3.1.2.2 Регістри зі зсувом інформації (послідовні регістри)

Зсув даних у регістрі – одна з основних операцій в цифрових системах. З її допомогою вирішуються такі завдання, як перетворення даних з послідовної в паралельну форму й назад, множення й ділення на степені двійки, позиціювання даних, послідовне зберігання даних [13, 31, 53, 56].

Найпростіший приклад зсувного регістра представлено на рис. 3.11.

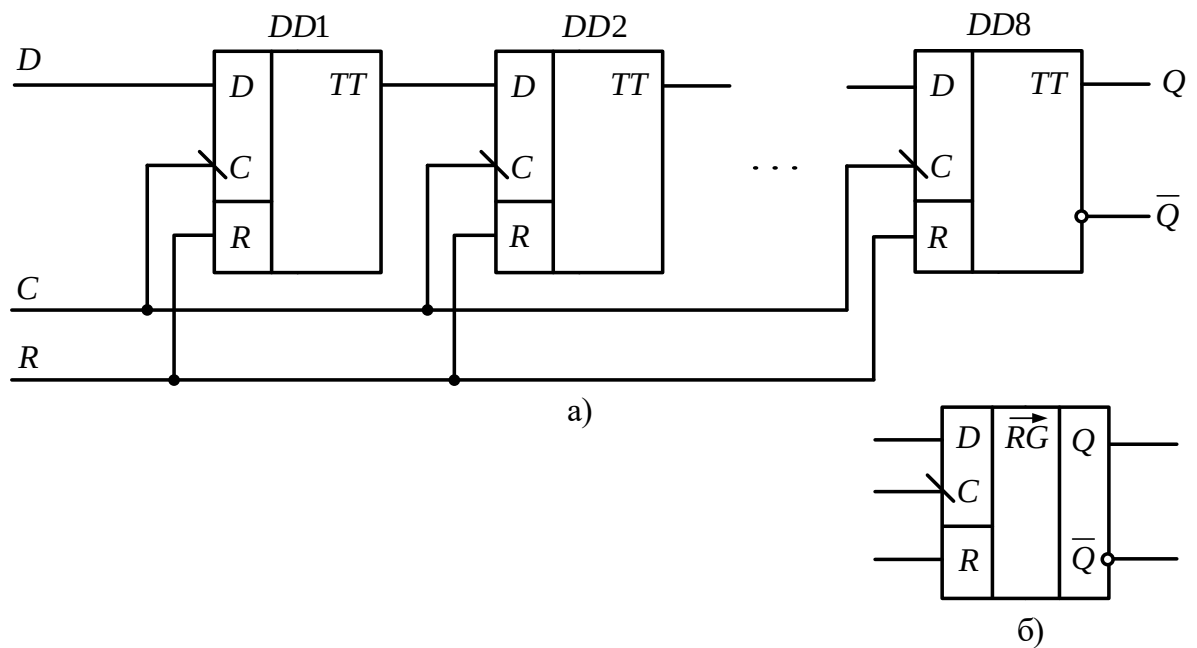


Рис. 3.11. Схема послідовного регістру: а - внутрішня схема; б - схемне позначення

Ознакою регістра є символ $\overrightarrow{RG}$ (зі стрілкою) на графічному позначенні рис. 3.11 (б).

На відміну від паралельного регістру послідовний здійснює запис «слова» в послідовному вигляді. «Слово» подається по черзі окремими бітами на вхід D тригера $DD1$ синхронно з синхроімпулсами на вході C . По задньому фронту синхроімпулсів на вході C відбувається фіксація бітів інформації у тригерах регістра. Причому тригер $DD7$ переписує біт даних з виходу $DD6$, $DD6$ з $DD5$ і т.д., а тригер $DD1$ з входу D . Таким чином по кожному синхроімпулсу слово інформації просувається вздовж ланцюга тригерів $DD1 - DD7$. Після 8-и імпульсів по вході C тригера $DD1 - DD8$ будуть зберігати «слово», а на виході $DD8$ буде присутній перший біт, що надійшов на вхід D тригера $DD1$. Для зчитування «слова» з регістра треба подати ще 8 тактів на вхід C , після кожного з яких на виходах $DD7$ буде присутній черговий біт «слова» в прямому вигляді на виході Q та інвертованому вигляді на виході $\bar{Q}$.

3.1.2.3 Послідовно-паралельні регістри

Послідовно-паралельні регістри поєднують в собі переваги обох типів і дозволяють працювати із «словом» як в паралельному, так і в послідовному вигляді. Послідовно-паралельні регістри забезпечують зсув інформації, запис та зчитування «слова» як в паралельному, так і послідовному вигляді, перетворення

«слова» із паралельної форми в послідовну і навпаки [13, 31, 53, 56]. Приклад послідовно-паралельного регістра представлено на рис. 3.12.

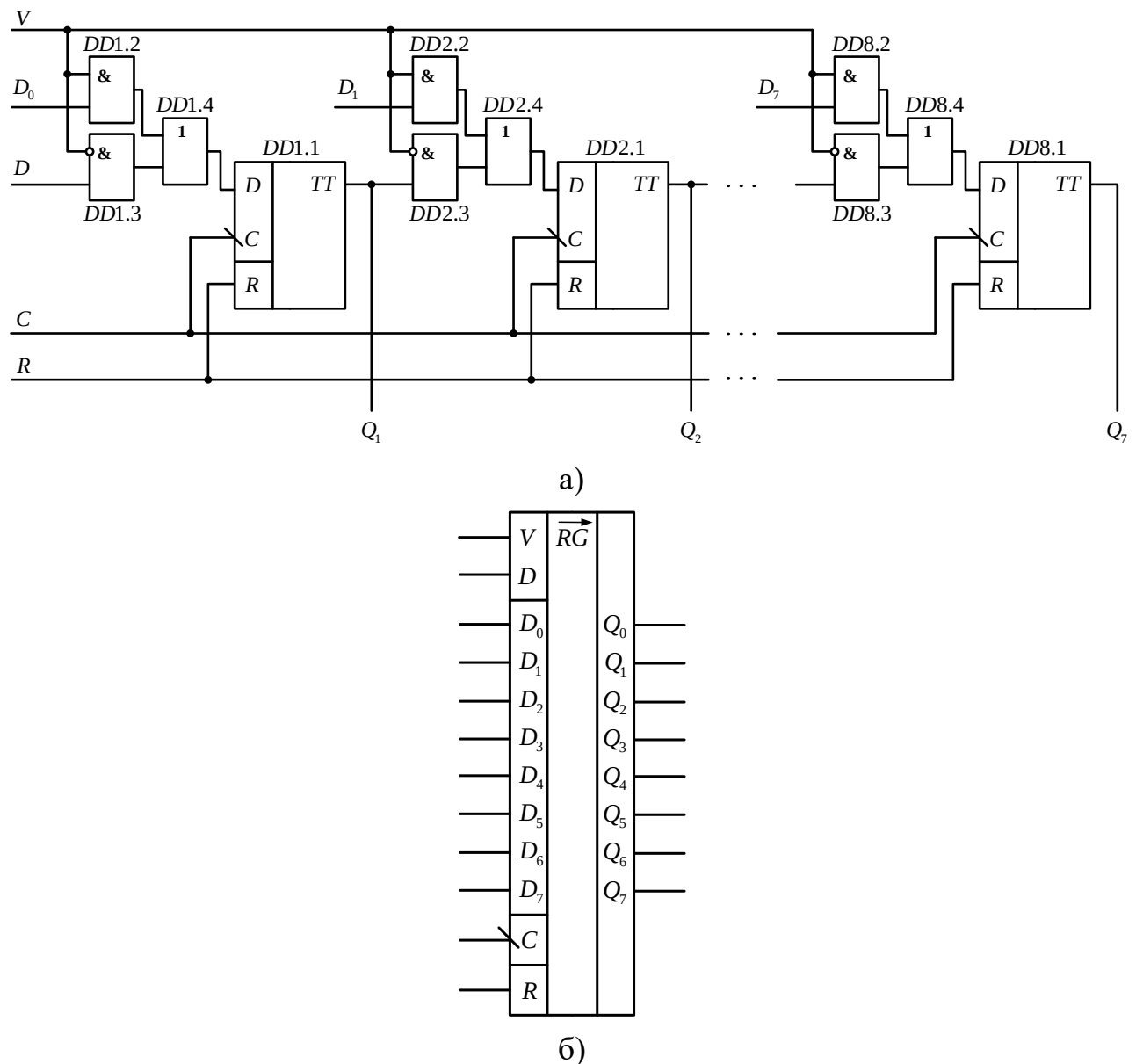


Рис. 3.12. Послідовно-паралельний регістр: а - внутрішня схема; б - схемне позначення

В схему послідовно-паралельного регістра (рис. 3.12) введено додатковий вхід V , який відповідає за режим роботи регістра. При $V=1$ регістр працює в паралельному режимі. При цьому з входу V на один з входів $DD1.2, DD2.2, \dots, DD8.2$ приходить логічна «1», а на $DD1.3, DD2.3, \dots, DD8.3$ з V приходить логічний «0» за рахунок інвертора на вході цих елементів. Таким чином через елементи $DD1.2, DD2.2, \dots, DD8.2$ на $DD1.4, DD2.4, \dots, DD8.4$ проходять сигнали $D_0, D_1, \dots, D_7$, а з елементів $DD1.3, DD2.3, \dots, DD8.3$ надходять логічні «0». Після логічного складання на елементах $DD1.4, DD2.4, \dots, DD8.4$ на тригери $DD1.1, DD2.1, \dots, DD8.1$ надходять сигнали $D_0, D_1, \dots, D_7$ відповідно і по задньому фронті

синхроімпульсу на вході C кожен з тригерів $DD1.1, DD2.1, \dots, DD8.1$ запише свій біт «слова», що подані на $D_0, D_1, \dots, D_7$ в паралельному вигляді.

При $V=0$ регістр працює в послідовному режимі. При цьому з входу V на один з входів $DD1.2, DD2.2, \dots, DD8.2$ приходить логічний «0», а на $DD1.3, DD2.3, \dots, DD8.3$ з V приходить логічна «1» за рахунок інвертора на вході цих елементів. Таким чином через елементи $DD1.2, DD2.2, \dots, DD8.2$ на $DD1.4, DD2.4, \dots, DD8.4$ надійдуть логічні «0», а з елементів $DD1.3, DD2.3, \dots, DD8.3$ надходить інформація з попереднього за номером тригера, окрім тригера $DD1.3$ через який проходить біт з входу D . Після логічного складання на елементах $DD1.4, DD2.4, \dots, DD8.4$ на тригери $DD1.1, DD2.1, \dots, DD8.1$ надходять біти, що записані в попередніх тригерах, тобто на $DD2.1$ надходить біт з $DD1.1$, на $DD3.1$ надходить біт з $DD2.1$, ..., на $DD8.1$ надходить біт з $DD7.1$, а на $DD1.1$ надходить біт входу D і по задньому фронту синхроімпульсу на вході C кожен з тригерів $DD1.1, DD2.1, \dots, DD8.1$ запише свій біт «слова», що відповідає запису інформації в послідовному вигляді.

При цьому режим роботи послідовно-паралельного регістра можна переключати в процесі роботи. Тобто можна записати «слово» в паралельному вигляді шляхом подачі логічної «1» на вхід V , «слова» на входи $D_0, D_1, \dots, D_7$ та синхроімпульсу на вхід C . Після чого «слово» в паралельному вигляді може бути зчитане з виходів $Q_0, Q_1, \dots, Q_7$. Після чого можна перевести регістр в послідовний режим шляхом подачі на вхід V логічного «0» та подачею синхроімпульсів на вхід C зчитати «слово» в послідовному вигляді з виходу Q_7 . Або навпаки в послідовному режимі при $V=0$ записати «слово» в регістр шляхом подачі бітів слова на вхід D та фіксацією їх подачею синхроімпульсів на вхід C , після чого зчитати «слово» в паралельному режимі з виходів $Q_0, Q_1, \dots, Q_7$.

3.1.3 Лічильники

У загальному вигляді лічильник – це послідовчаста схема, в основі якої лежить регістр, який у відповідь на імпульси, що надходять по спеціальній лінії, проходить через вказану послідовність станів. Лічильники із циклічною повторюваною послідовністю станів називаються лічильниками за модулем. Лічильники за модулем характеризуються як модулем, так і типом лічильної послідовності, яка, зокрема, може бути двійковою, двійково-десятьковою, кодом Грея, тощо [13, 31, 41, 53, 56].

3.1.3.1 Двійкові лічильники

Двійковий лічильник являє собою сукупність Т-тригерів, кожний з яких асоціюється з бітом у двійковому поданні числа. Якщо в лічильнику n тригерів, то число можливих станів лічильника дорівнює 2^n , а, отже, його модуль теж дорівнює 2^n . Лічильна послідовність у двійковому підсумовуючому лічильнику починається з 0 і доходить до максимального числа $(2^n - 1)$, після чого знову проходить через 0 і повторюється. У двійковому лічильнику, що віднімає, послідовні двійкові числа перебираються у зворотному порядку, і максимальне число йде після 0 при повторенні послідовності [13, 31, 41, 53, 56].

3.1.3.2 Асинхронний двійковий підсумовуючий лічильник

Лічильник, що представлено на рис. 3.13 являє собою двійковий підсумовуючий лічильник із модулем 16. Лічильна послідовність його починається з двійковою комбінацією 0000 (число 0), що може бути досягнуто, зокрема, використанням асинхронного входу скидання R , та закінчується двійковою комбінацією 1111 (число 15) [13, 31, 41, 53, 56].

Нехай початковий стан лічильника – 0000. По задньому фронту синхроімпульсу на вхід «+1» Т-тригер $DD1$ змінює свій стан на протилежний, тобто він встановлюється. На виходах лічильника встановлюється двійкова комбінація 0001 (число 1). Черговий синхроімпульс на вході «+1» знов викличе зміну стану Т-тригера $DD1$ і він повернеться в скинутий стан. При цьому зміна вихідного стану $DD1$ з встановлено в скинутий стан є заднім фронтом імпульсу, який буде сприйнятий $DD2$ та призведе до зміни його стану із скинутого у встановлений. Тобто на виходах лічильника з'явиться двійкова комбінація 0010. При чергових синхроімпульсах по входу «+1» зміна стану $DD1$ продовжиться, який в свою чергу буде керувати станом $DD2$ і т.д. Зміна вихідного стану лівого тригера з встановленого у скинутий викликає зміну стану тригера, що знаходиться праворуч на протилежний. Інакше кажучи, хвиля змін стану буде поширюватися послідовно зліва направо.

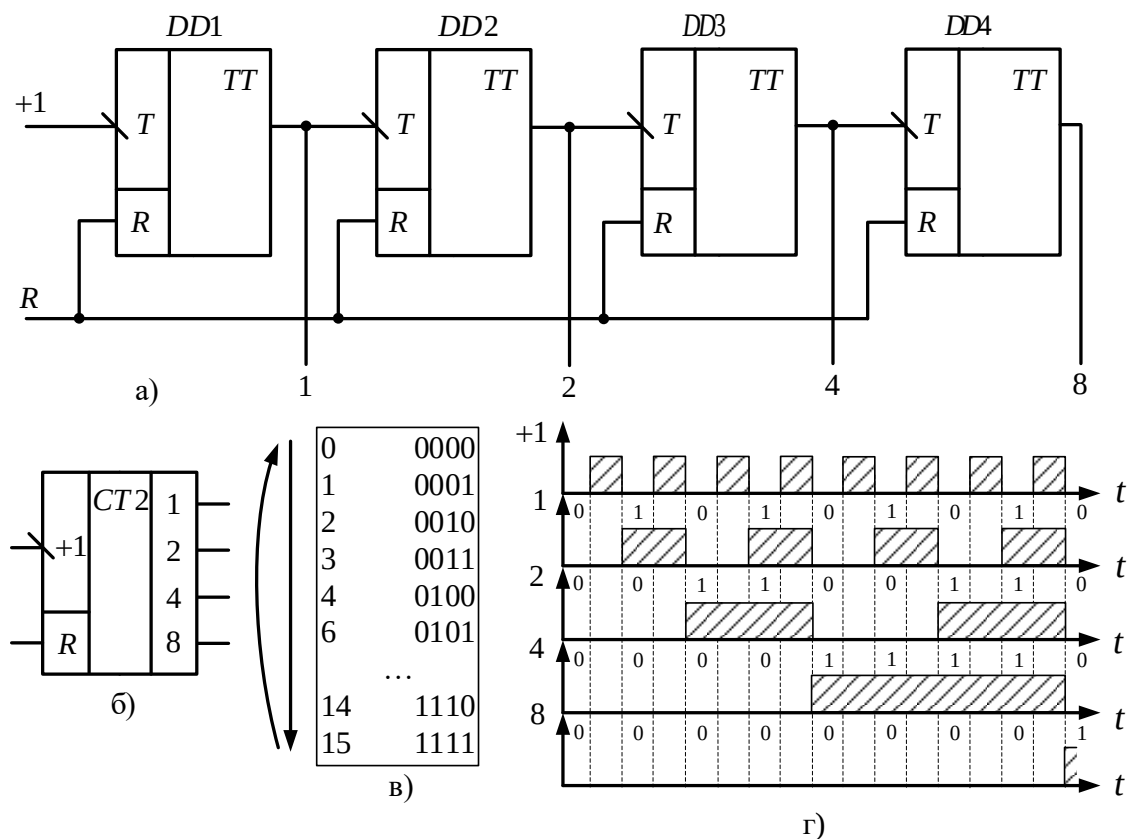


Рис. 3.13. Асинхронний двійковий сумуючий лічильник: а - внутрішня схема; б - схемне позначення; в - двійкова лічильна послідовність; г - часова діаграма роботи

Ознакою лічильника є символ *CT* на графічному позначенні рис. 3.13б, після якого іде модуль лічильника.

Але слід зазначити, що тригери перемикаються не одночасно, тобто асинхронно. Наприклад при перемиканні з двійкової комбінації 0001 в 0010 спочатку по черговому синхроімпульсу по входу «+1» перемкнеться тригер *DD1* і на виході з'явиться двійкова послідовність 0000. Лише після цього почнеться перемикання Т-тригера *DD2* і встановиться двійкова комбінація 0010. Тобто між двійковими комбінаціями 0001 (число 1) та 0010 (число 2) короткочасно присутня двійкова комбінація 0000 (число 0), яка не відповідає двійковій лічильній послідовності (рис. 3.13в) і може призвести до неправильної роботи зовнішніх схем.

3.1.3.3 Синхронний двійковий підсумовуючий лічильник

Більшість АП є синхронними і потрібно щоб лічильник, що в них використовуються теж були синхронними, тобто щоб всі тригери змінювали свої стани одночасно за синхроімпульсом [13, 31, 41, 53, 56].

Схема синхронного двійкового підсумовуючого лічильника представлена на рис. 3.14.

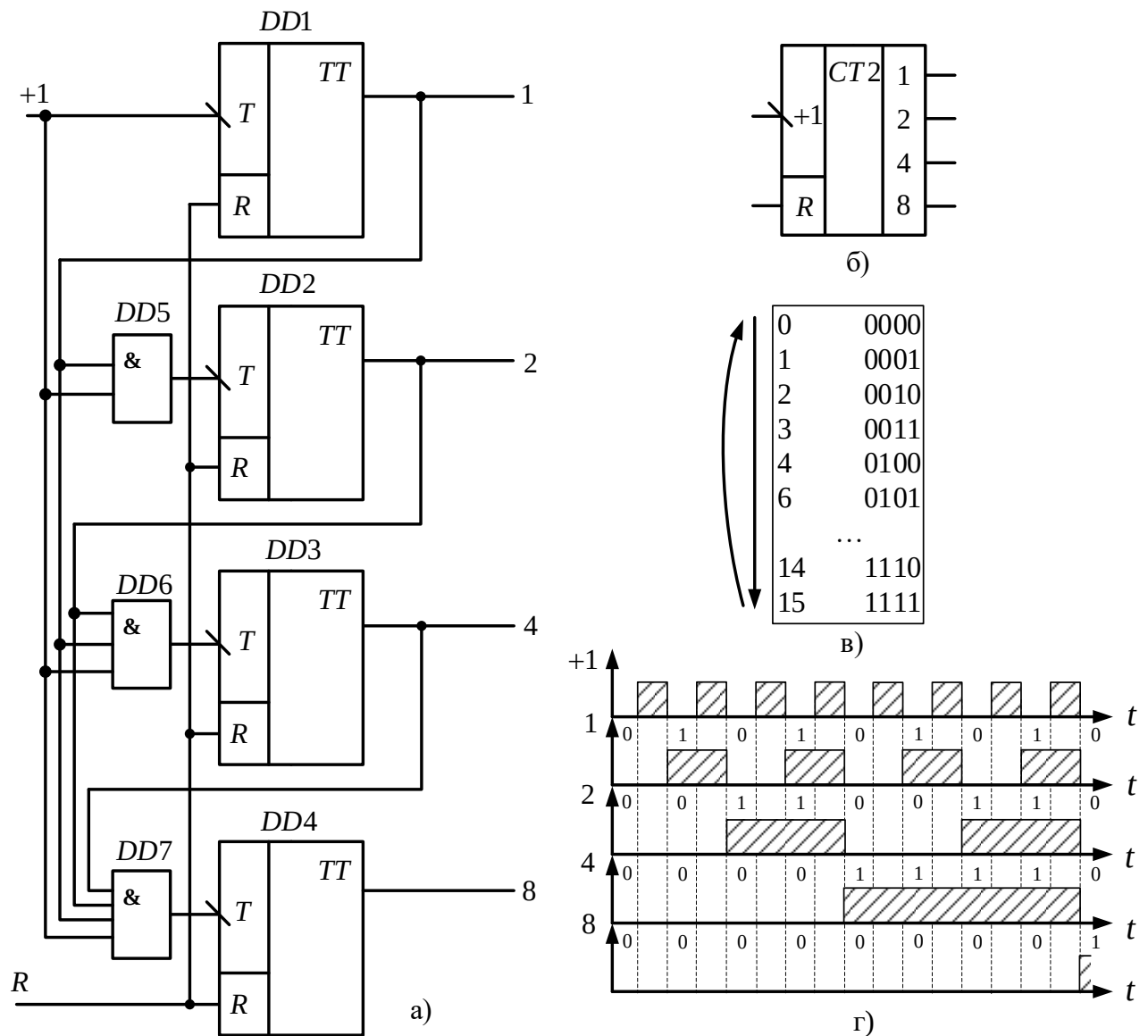


Рис. 3.14. Синхронний двійковий підсумовуючий лічильник: а - внутрішня схема; б - схемне позначення; в - двійкова лічильна послідовність; г - часова діаграма роботи

Нехай початковий стан лічильника 0000 (число 0) (рис. 3.14). Тоді логічний «0» з виходу лічильника «1» блокує проходження сигналів з входу «+1» через DD5 – DD7 на DD2 – DD4. Тоді при подачі синхроімпульсу на вхід «+1» лічильника він надійде на вхід T тригера DD1, та не пройде через DD5 – DD7 на DD2 – DD4. Відповідно це призведе до зміни свого стану тільки тригера DD1 і на виході лічильника встановиться двійкова комбінація 0001 (число 1). При цьому на виході лічильника «1» з'явиться логічна «1», яка надійде на DD5 – DD7 та розблокує елемент DD5. DD6 та DD7 залишаться заблокованими логічними «0» з виходів лічильника «2» та «4». Тоді черговий синхроімпульс з входу «+1» пройде на вхід T тригера DD1 та через DD5 на вхід T тригера DD2 – відповідно свій стан на протилежний змінять тригери DD1 та DD2. Причому зроблять це одночасно. На виході встановиться двійкова комбінація 0010 (число 2), що

відповідає двійковій лічильній послідовності. Далі процес повторюється. По мірі появи логічних «1» на виходах тригерів $DD1 - DD3$ відбувається розблокування проходження синхроімпульсів через логічні елементи $DD5 - DD7$ для одночасного перемикання тригерів $DD1 - DD4$ підсумовуючого лічильника у відповідності до лічильної послідовності.

3.1.3.4 Синхронний двійковий віднімаючий лічильник

Лічильники, що віднімають, можуть бути як синхронними, так і асинхронними. Побудова асинхронного віднімаючого лічильника аналогічна до підсумовуючих з тією лише різницею, що до наступного тригера підключається не прямий, а інверсний вихід попереднього тригера [13, 31, 41, 53, 56].

Схема синхронного віднімаючого лічильника представлено на рис. 3.15. В схемі замінені зворотні зв'язки для руху вздовж лічильної послідовності в зворотному напрямку.

Нехай початковий стан лічильника 0000 (число 0). Тоді на інверсних виходах $DD1 - DD3$ присутні логічні «1», які надходячи на елементи I $DD5 - DD7$ дозволяють проходження сигналів через $DD5 - DD7$ на входи T тригерів $DD2 - DD4$. Тоді, при подачі синхроімпульсу на вхід «-1» лічильника, він надійде на входи T тригерів $DD1 - DD4$, що призведе до зміни їх стану на протилежний. Тобто на виходах лічильника встановиться 1111 (число 15), що відповідає руху вздовж лічильної послідовності у зворотному напрямку (рис. 3.15в). Після встановлення на виходах лічильника комбінації 1111 (число 15) на інверсних виходах $DD1 - DD3$ встановляться логічні «0», які заблокують подальше проходження сигналів з входу «-1» на входи T тригерів $DD2 - DD4$. Відповідно. Черговий синхроімпульс з входу «-1» пройде тільки на тригер $DD1$, що призведе до зміни його стану на протилежний та встановленню на виходах лічильника комбінації 1110 (число 14). Далі процес відбувається аналогічний. По мірі появи логічних «1» на інверсних виходах тригерів $DD1 - DD3$ відбувається розблокування проходження синхроімпульсів через логічні елементи $DD5 - DD7$ для одночасного перемикання тригерів $DD1 - DD4$ підсумовуючого лічильника у відповідності до лічильної послідовності.

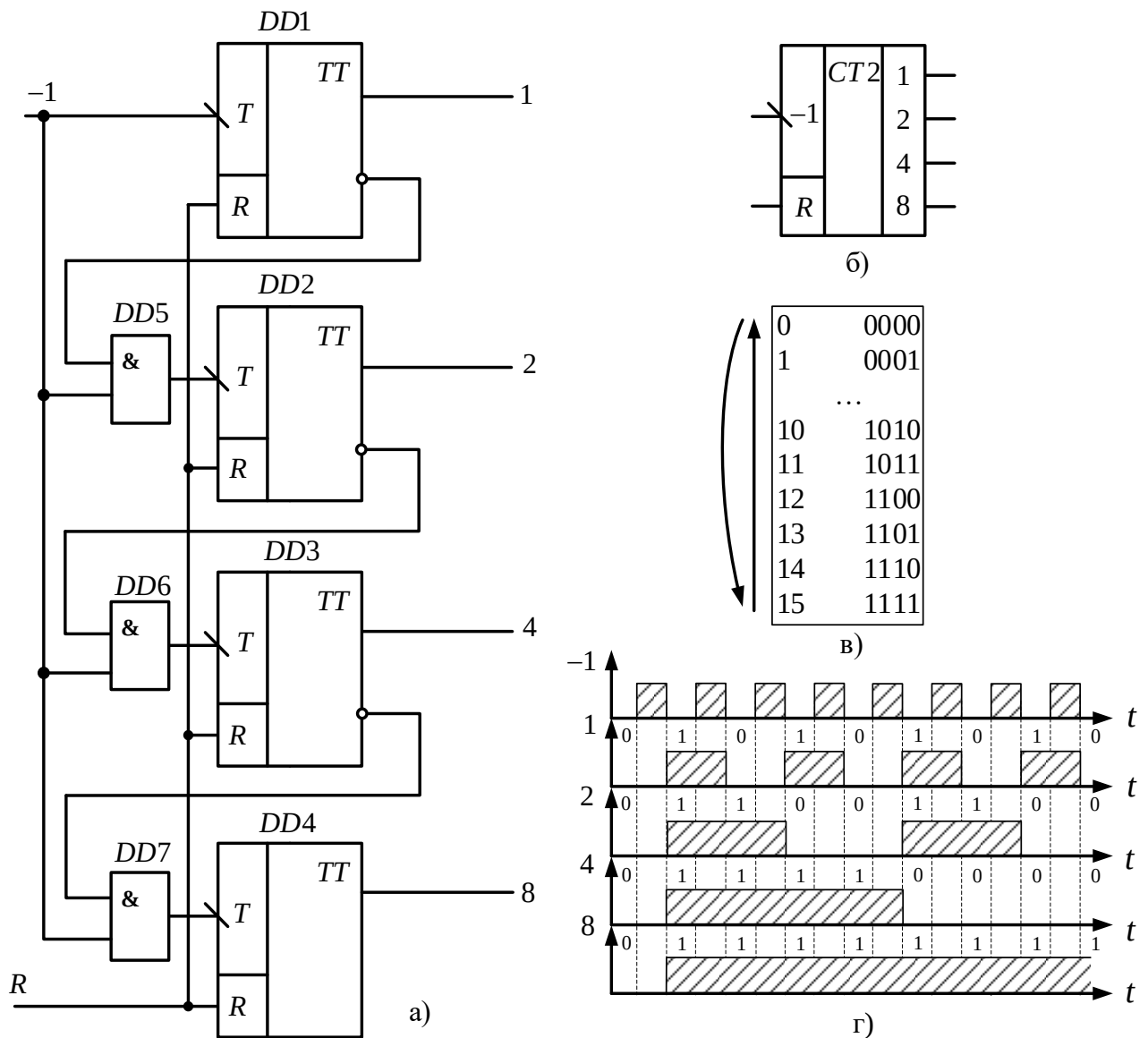


Рис. 3.15. Синхронний віднімаючий лічильник: а - внутрішня схема; б - схемне позначення; в - двійкова лічильна послідовність; г - часова діаграма роботи

Слід зазначити, що промисловістю випускаються різні типи лічильників, серед яких є і реверсивні лічильники, в яких можна здійснювати рух вздовж лічильної послідовності в обох напрямках.

3.1.3.5 Лічильники з модулем, що не є степенем числа 2

Якщо для асинхронного входу установки в «0» (вхід R), наявного в лічильнику, сформувати за допомогою логічних елементів схему, яке буде формувати логічну «1» по перевищенню максимальної лічильної комбінації, то даний лічильник буде скидатися в «0» щоразу, як тільки ця комбінація буде з'являтися, тобто лічильник буде проходити лічильну послідовність не до 2^n , а до числа, на яке налаштоване побудоване коло, яке менше 2^n .

Приклад формування такого кола представлено на рис. 3.16. Схема реакції на новий модуль ділення розрахована на модуль 6 та побудована на елементі *DD2*. Інвертори на вході *DD2* встановлені таким чином, щоб реагувати на новий модуль 6 (двійкова комбінація 0110).

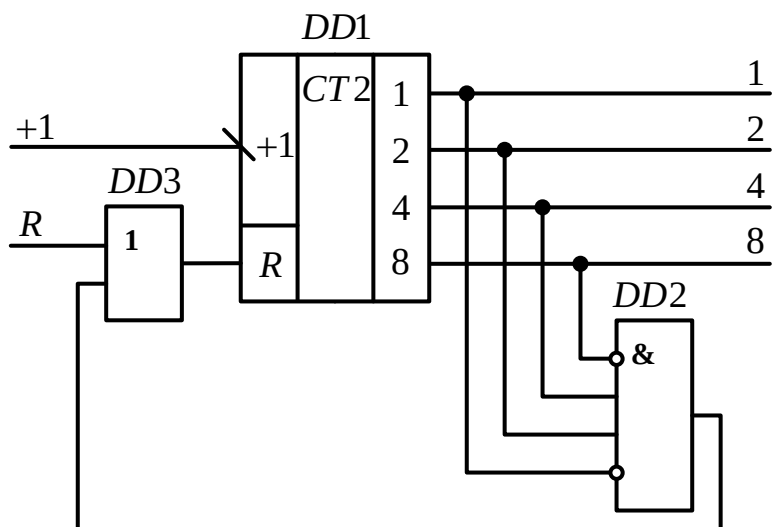


Рис. 3.16. Двійковий лічильник з коефіцієнтом ділення 6

По досягненню двійкової комбінації нового модуля (0110) на виході *DD2* з'являється 1, яка проходячи через *DD3* на вхід *R* двійкового лічильника *DD1* скидає його і лічильна комбінація повертається на початок (двійкова комбінація 0000). *DD3* слугує для створення можливості скидання лічильника *DD1* як по досягненню нового модуля так і по зовнішньому сигналу *R*.

На елемент *DD2* не обов'язково заводити усі вихідні сигналу лічильника. Іноді достатньо декількох сигналів. Як наприклад для модуля 6 та лічильника на схемі 3.16 достатньо було б завести вихідні сигнали 2 та 4, оскільки логічні «1» на цих лініях перший раз зустрічаються тільки при появи комбінації скидання (двійкова комбінація 0110). Але за умов часткового заведення сигналів слід уважно перевіряти, що логічна «1» на виході *DD2* не з'явиться до досягнення комбінації скидання [13, 31, 41, 53, 56].

3.1.3.6 Десяткові лічильники

Десятковий лічильник складається з декількох підлічильників, що відповідають десятковим розрядам. Підлічильники рахують по модулю 10, і їх називають декадними лічильниками. Приклад побудови десяткового лічильника представлено на рис. 3.17.

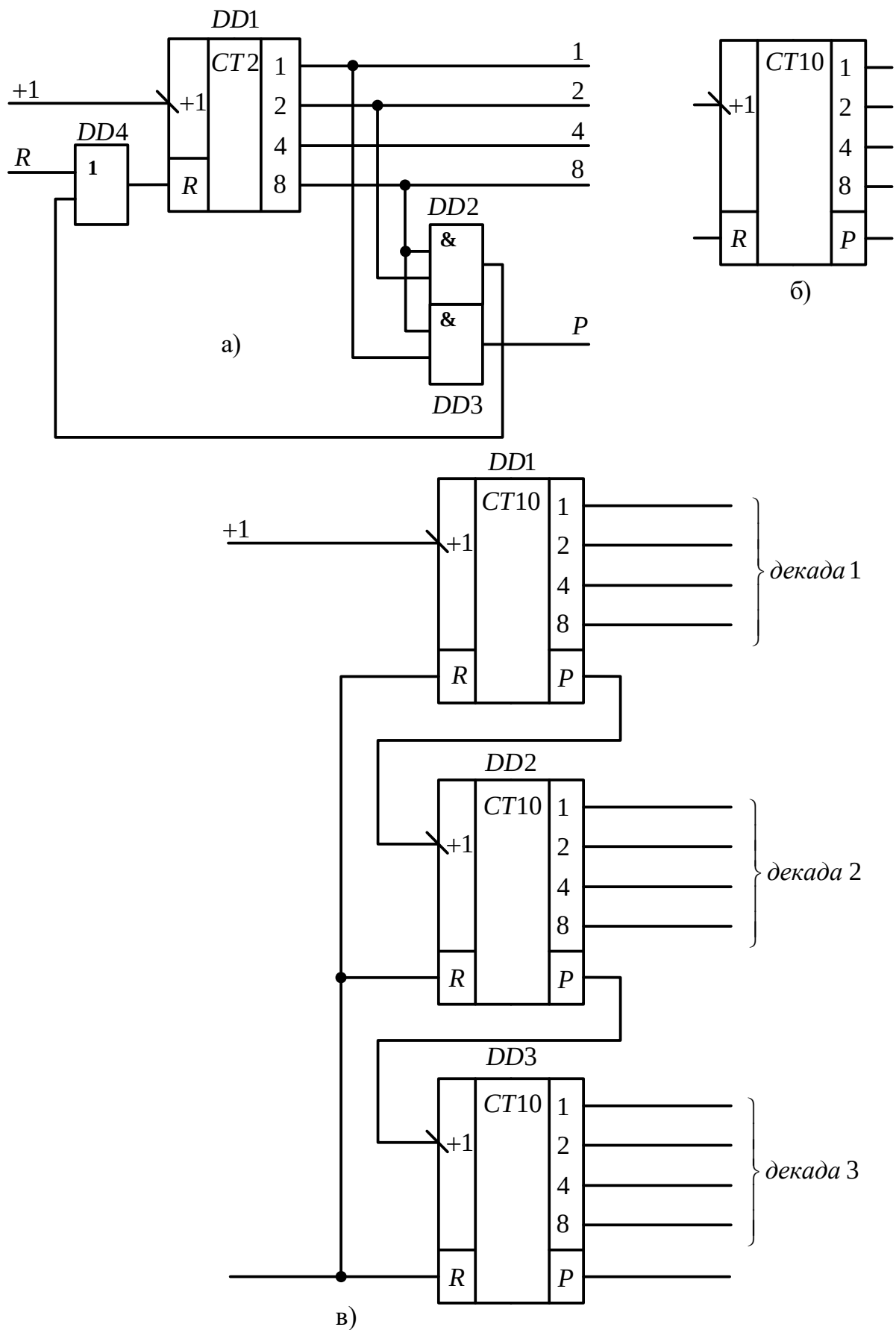


Рис. 3.17. Принцип організації десятичного лічильника: а - внутрішня схема декадного лічильника; б - схемне позначення; в - організація трьохрозрядного десятичного лічильника, що працює в коді 8421.

Найбільш поширене подання у двійково-кодованому десятковому коді 8421, у якому кожна десяткова цифра кодується чотирьохрозрядним двійковим числом. Лічильна послідовність підсумовуючого декадного лічильника в цьому випадку збігається із двійковою послідовністю від 0000 до 1001, після чого йде знову 0, а потім дії повторюються.

Для побудови системи скидання декадного лічильника по досягненню числа 9 застосовується підхід побудови лічильника за модулем, що не є степенем двійки, до описано в п. 3.1.3.5. Система скидання аналогічно побудована на елементі *DD4*. Але до декадного лічильника додано ще один вихід – вихід *P*, який формується елементом *DD3*.

Вихід *P* призначений для формування логічної «1» при появі на виході лічильника двійкової комбінації із максимально допустимим числом (число 9, двійкова комбінація 1001). Цей вихід може бути використаний для сповіщення іншого декадного лічильника про досягнення максимальної лічильної послідовності (оскільки на схемі рис. 3.17 (в)). При появі логічної «1» на виході *P* при двійковій комбінації на виході лічильника *DD1* потрапляє на вхід «+1» декадного лічильника *DD2*. При зміні сигналу на вході «+1» з «1» в «0» формується задній фронт синхроімпульсу, по якому декадний лічильник *DD1* скидається (оскільки на його виході було число 9 – двійкова комбінація 1001) разом із цим сигнал на виході *P* *DD1* змінюється з «1» в «0» - тобто теж по задньому фронті синхроімпульсу, який надходить на вхід «+1» *DD2* (рис. 3.17 (в)). Відповідно лічильник *DD1* переходить із 9 в 0, а лічильник *DD2* – із 0 в 1 (рис. 3.17 (в)). Тобто на лічильниках *DD1* та *DD2* число змінюється з «09» в «10». Таким чином сигнал *P* попереднього декадного лічильника формує синхроімпульс збільшення наступного декадного лічильника [13, 31, 41, 53, 56].

3.1.3.7 Кільцеві лічильники

Кільцевий лічильник являє собою зсувний регістр, що замкнений у кільце ланцюгом зворотного зв'язку, який дозволяє бітам, що зберігаються в тригерах регістра рухатись по колу. Причому, як правило в кільцевих лічильниках у лічильній комбінації лічильника присутня лише одна логічна «1». Топова схема такого лічильника представлена на рис. 3.18.

При подачі логічної «1» на асинхронний вхід скидання *R* тригер *DD1* встановлюється, а решта тригерів лічильника – скидаються. По задньому фронті кожного синхроімпульсу на вході *C* логічна «1» з тригера *DD1* буде просуватися

вздовж ланцюга тригерів і через N імпульсів досягне тригера DDN , де N – кількість тригерів в лічильнику. Після досягнення тригера DDN в лічильнику логічна «1» знову потрапляє в тригер $DD1$ по ланцюгу зворотного зв'язку і процес повторюється. Таким чином на виході кільцевого лічильника імпульс буде з'являтися один раз на N тактів – тобто кільцевий лічильник є дільником частоти вхідних імпульсів на N .

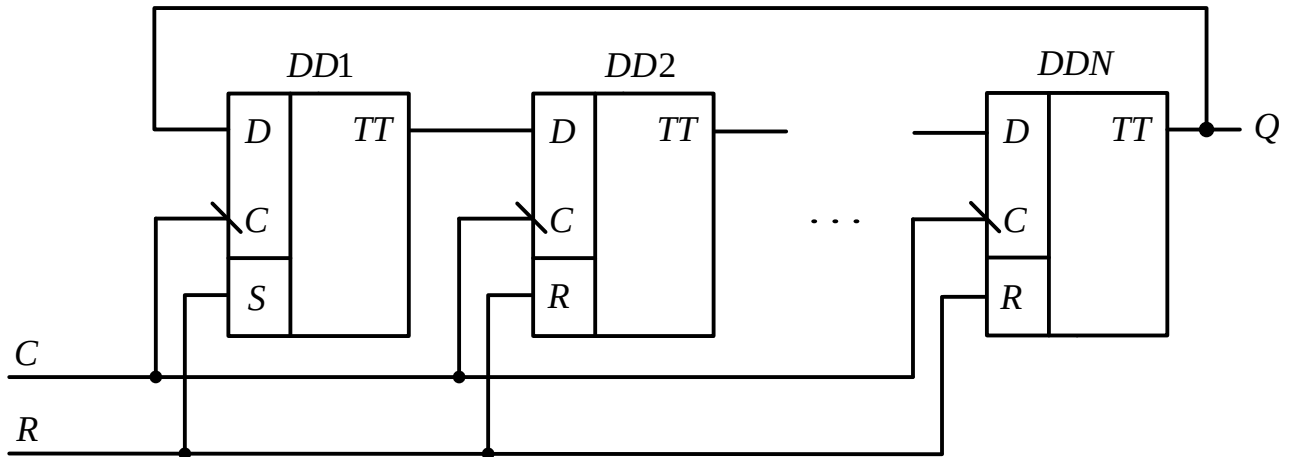


Рис. 3.18. Внутрішня схема кільцевого лічильника

Очевидно, що при великих коефіцієнтах ділення найпростіший кільцевий лічильник стає неекономічним, тому що вимагає великої кількості тригерів. Для зменшення кількості тригерів використовується послідовне з'єднання кільцевих лічильників (рис. 3.19). У цьому варіанті вихідний сигнал одного кільцевого лічильника є синхроімпульсом для іншого імпульсом для іншого. Для схеми рис. 3.19 імпульс на виході 1-го кільцевого лічильника просуває інформацію у другому один раз на N тактів на вході C . Таким чином логічна одиниця на виході другого кільцевого лічильника з'явиться один раз на $N \cdot M$ тактів на вході C . Що дозволяє суттєво скоротити кількість тригерів в лічильнику [13, 31, 41, 53, 56].

Наприклад для створення коефіцієнта ділення $K = 64$ при одному кільцевому лічильнику необхідно 64 тригери (рис. 3.18), при 2-х з'єднаних послідовно $K = N \cdot M = 8 \cdot 8 = 64$, тобто $N = 8$ та $M = 8$ (рис. 3.19) а при 3-х - $K = N \cdot M \cdot L = 4 \cdot 4 \cdot 4 = 64$, де L – кількість тригерів у 3-у кільцевому лічильнику.

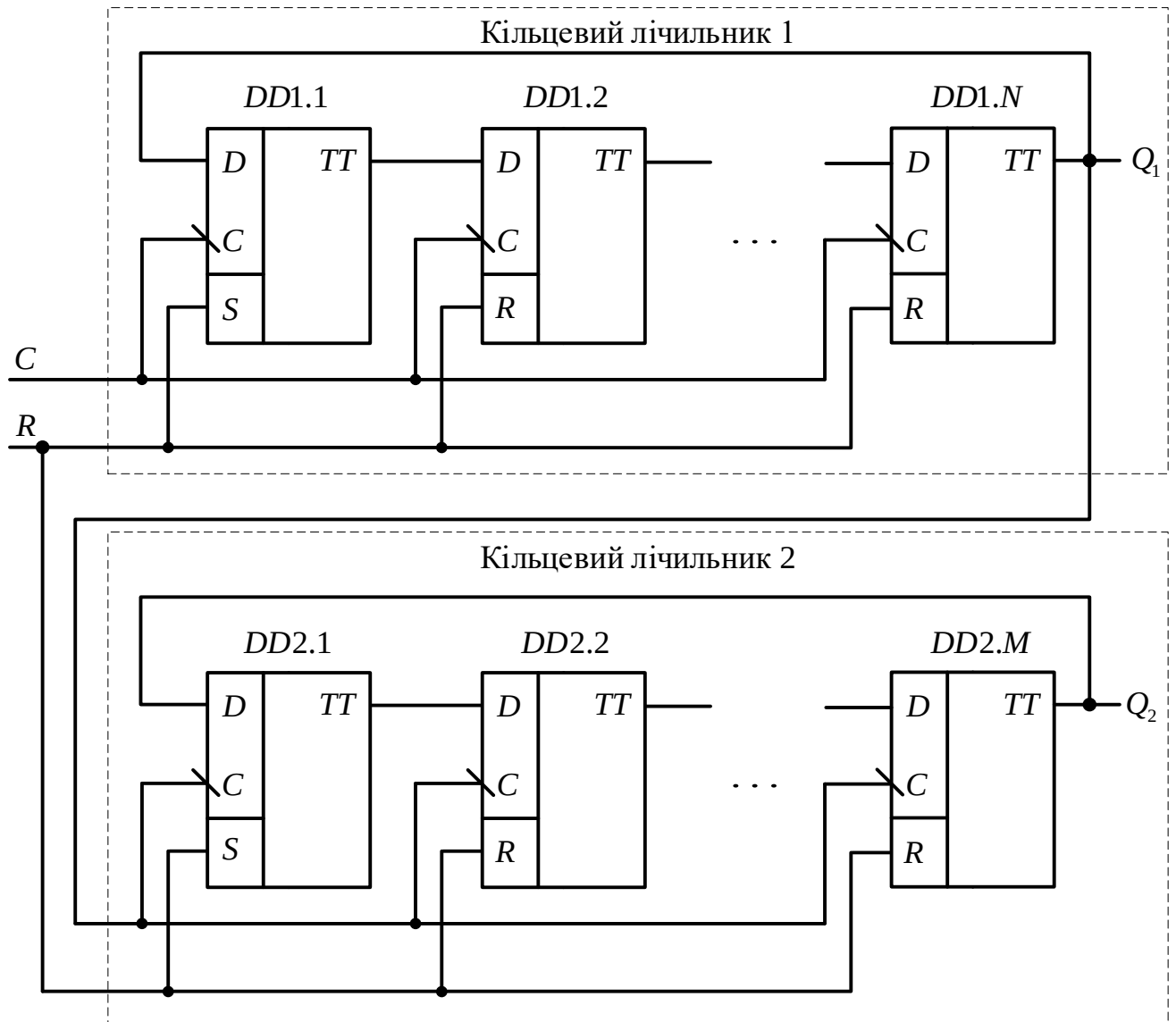


Рис. 3.19. Послідовне з'єднання кільцевих лічильників

3.1.4 Шифратори

Шифратором (або кодером) називається комбінаційна схема, що перетворює вхідний сигнал в еквівалентний цифровий код. Кожна з 2^n вхідних ліній однозначно характеризується своїм n -бітним кодом.

Шифратори характеризуються кількістю входів та типом вихідного коду. Вихідний код може бути у двійковому коді, двійково-десятковому коді, коді Грея, тощо. Типовим є шифратор, що перетворює сигнал по вхідній лінії в двійковий код, що відповідає номеру цієї вхідної лінії [13, 31, 41, 53, 56].

Приклад шифратора з двійковим вихідним кодом на 8 входів представлено у табл. 3.4, а його графічне представлення на рис. 3.19.

Таблиця 3.4. Автоматна таблиця шифратора з двійковим вихідним кодом на 8 входів

D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	Q_0	Q_1	Q_2
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

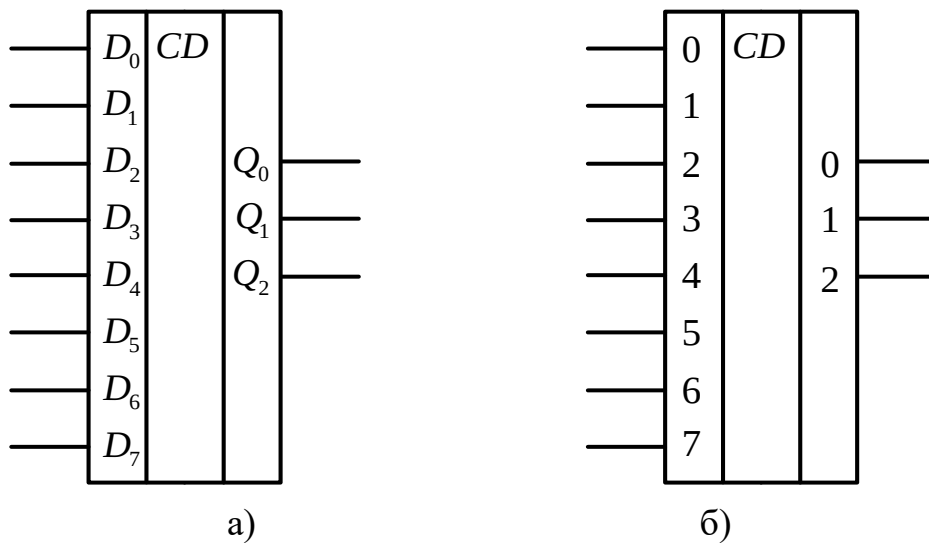


Рис. 3.20. Шифратор з двійковим вихідним кодом на 8 входів: а - з позначенням сигналів; б - без позначення сигналів

Побудова внутрішньої схеми шифратора потребує класичної мінімізації булевих функцій та не представлена в даному матеріалі.

3.1.5 Дешифратори

Дешифратором (або декодером) називається комбінаційна схема, що перетворює вхідний сигнал у вигляді цифрового коду в сигнал на відповідній йому вихідній лінії. Кожному n -бітному вхідному коду відповідає 1 з 2^n вихідних ліній. Іноді такий дешифратор називають дешифратор «1 з 2^n ».

Дешифратори характеризуються кількістю виходів та типом вхідного коду. Типовим є дешифратор, що перетворює двійковий код у сигнал по вихідній лінії, що відповідає даному двійковому коді [13, 31, 41, 53, 56].

Приклад дешифратора з двійковим вхідним кодом на 8 виходів представлено у табл. 3.5, а його графічне представлення на рис. 3.21. Мінімізація

вихідних функцій дешифратора із використанням спеціальних методів не є доцільна, тому що кожна з вихідних змінних приймає значення логічної «1» лише при одній вхідній комбінації. Тому можна записати вихідні функції одразу по автоматній таблиці, як описано у п.1.4.2, як представлено у табл. 3.5.

Таблиця 3.5. Автоматна таблиця дешифратора з двійковим вхідним кодом на 8 виходів

D_2	D_1	D_0	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Функції
0	0	0	1	0	0	0	0	0	0	0	$Q_0 = \overline{D_0} \cdot \overline{D_1} \cdot \overline{D_2}$
0	0	1	0	1	0	0	0	0	0	0	$Q_1 = D_0 \cdot \overline{D_1} \cdot \overline{D_2}$
0	1	0	0	0	1	0	0	0	0	0	$Q_2 = \overline{D_0} \cdot D_1 \cdot \overline{D_2}$
0	1	1	0	0	0	1	0	0	0	0	$Q_3 = D_0 \cdot D_1 \cdot \overline{D_2}$
1	0	0	0	0	0	0	1	0	0	0	$Q_4 = \overline{D_0} \cdot \overline{D_1} \cdot D_2$
1	0	1	0	0	0	0	0	1	0	0	$Q_5 = D_0 \cdot \overline{D_1} \cdot D_2$
1	1	0	0	0	0	0	0	0	1	0	$Q_6 = \overline{D_0} \cdot D_1 \cdot D_2$
1	1	1	0	0	0	0	0	0	0	1	$Q_7 = D_0 \cdot D_1 \cdot D_2$

В схему рис. 3.21 додано вхід V - дозвіл на декодування. Керує всіма вихідними сигналами. Якщо на лінію V подати «0» то всі виходи встановляться в «0». Існують варіанти в яких при $V=0$ всі вихідні лінії переходять в 3-й стан.

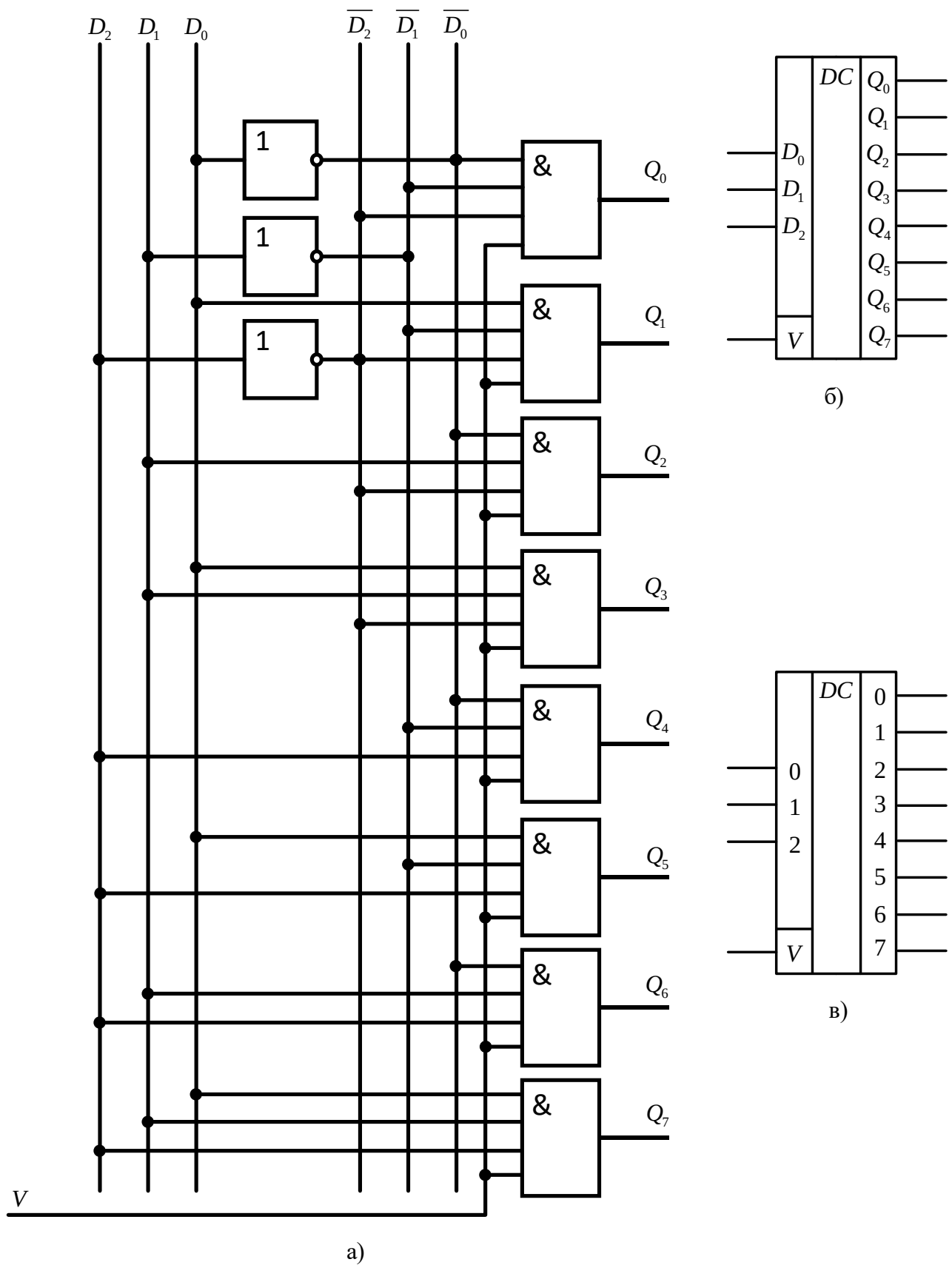


Рис. 3.21. Дешифратор з двійковим вхідним кодом на 8 виходах: а - внутрішня схема; б - з позначенням сигналів; в - без позначення сигналів

3.1.6 Селектори (мультиплексори)

Функцію вибору даних від одного або декількох джерел виконують пристрої, що виготовляються у вигляді модулів і називаються селекторами або мультиплексорами. Як правило, селектор – це комбінаційна схема з однією вихідною лінією для даних, 2^n вхідними лініями для даних і n керуючими лініями або лініями адреси. Кожна з 2^n вхідних ліній відповідає одній з 2^n можливих комбінацій сигналів на n вхідних лініях адреси. При заданій комбінації на вхідних лініях адреси значення відповідної вхідної лінії даних передається на вихідну лінію даних [13, 31, 41, 53, 56].

Приклад селектора на 4 вхідних лінії представлено на рис. 3.-3. Нехай на $[A_1 : A_0]$ подане двійкове число $K \in [0; 4]$. Тоді на виході K дешифратора DD6 з'явиться логічна «1», а на решті виходів – логічні «0». Тоді виході DDK з'явиться D_K , а на решті елементів DD1 – DD4 окрім DDK з'являться логічні 0. Тоді, після складання сигналів від елементів DD1 – DD4 на елементів DD5, на виході схеми з'явиться $F = 0 + D_K + 0 + 0 = D_K$. Тобто на вихід пройде сигнал з входу, номер якого подано на вхідні лінії адреси $[A_1 : A_0]$.

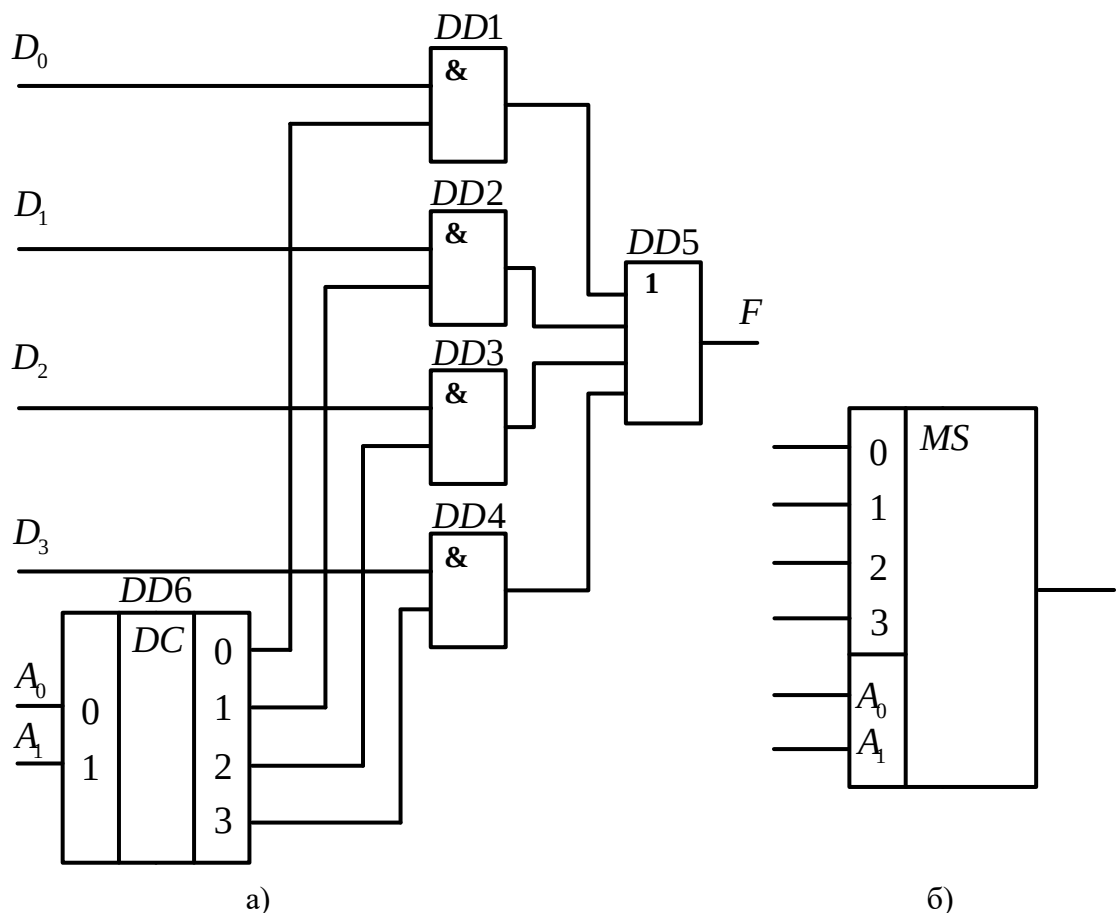


Рис. 3.22. Селектор на 4 лінії: а - внутрішня схема; б - схемне позначення

3.1.7 Шифратори-кодоперетворювачі

Шифратор-кодоперетворювач – це комбінаційна схема, що перетворює вхідну комбінацію сигналів в одному коді у вихідну комбінацію в іншому коді. Наприклад може перетворюватися двійковий код в двійково-десятковий, в код Грея, в код для семи- або восьми сегментного індикатора та навпаки. В промисловості випускаються шифратори-кодоперетворювачі для найбільш поширених видів кодів, як наприклад двійково-десяткового та коду для семи- або восьми сегментного індикатора.

Найбільш типовим прикладом шифратора-кодоперетворювача є перетворювач двійково-десяткового коду в код для семи- або восьми сегментного індикатора. 7-сигментний або 8-сигментний індикатор являє собою світлодіодний, рідкокристалічний або газорозрядний індикатор із розташуванням візуальних елементів як представлено на рис. 3.23, та який дозволяє відображати десяткові цифри, а 8-сигментний – десяткові цифри із десятковою крапкою. Слід зазначити, що залежно від схеми включення сегментів індикатора, активний стан індикатора може визначатися як логічною «1», так і логічним «0» [13, 31, 41, 53, 56].

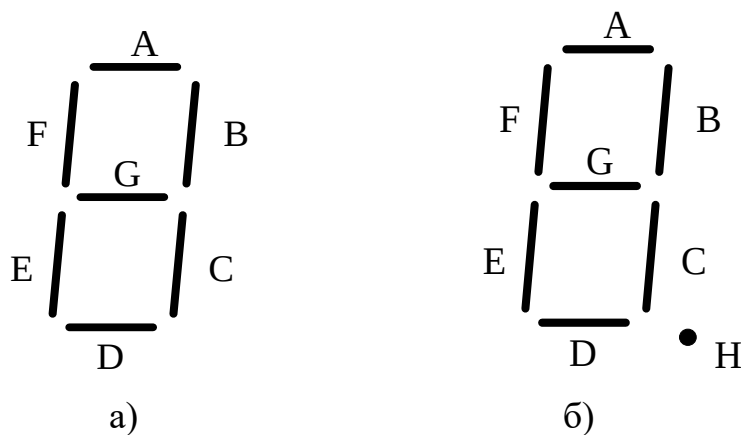


Рис. 3.23. Розташування сегментів у: а- семисегментному; б - восьми сегментному індикаторах

Автоматна таблиця для шифратора-кодоперетворювача для семисегментного індикатора представлена в табл. 3.6.

Шифратора-кодоперетворювач одержує десяткову цифру в 4-х бітовому двійково-десятковому коді і формує код на семи вихідних лініях, які використовуються для керування сегментами індикатора. Для автоматної таблиці в табл. 3.6 обрано активний стан сегментів – логічна «1», що потребує відповідної схеми включення сегментів індикатора. Схеми включення сегментів індикаторів

в даному розділі не розглядаються. Схемне позначення шифратора-кодоперетворювача представлено на рис. 3.24.

Таблиця 3.6. Автоматна таблиця шифратора-кодоперетворювача для семисегментного індикатора

№ п/п	1	2	4	8	A	B	C	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

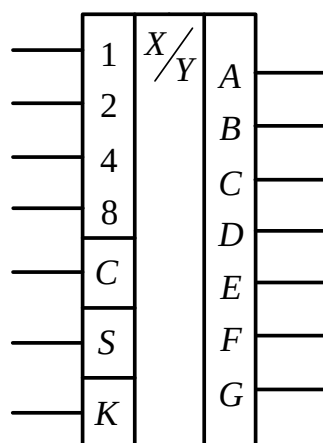


Рис. 3.24. Схемне позначення шифратора-перетворювача для семисегментного індикатора

На схемі рис. 3.24 на входи 1, 2, 4, 8 подається двійково-десятковий код числа. Виходи A, B, C, D, E, F, G керують роботою відповідних сегментів семисегментного індикатора. В схему рис. 3.24 введено сигнали, що зазвичай зустрічаються в реальних мікросхемах шифраторів-кодоперетворювачів. А саме вхід S визначає полярність активного стану сегментів: при $S=1$ – активний стан сегментів логічний «0», при $S=0$ – активний стан сегментів логічний «1». Вхід K керує активністю шифратора-кодоперетворювача: при $K=1$ шифратор-кодоперетворювач гасить символ на індикаторі, при $K=0$ – шифратор-кодоперетворювач переходить в активний стан та відображає символ. Вхід C керує внутрішніми тригерами, які можуть бути присутні в реальних шифраторах-

кодоперетворювачів, функцією яких є зберігання поточного коду, символ якого відображаються на індикаторі. Вхід C є входом C внутрішніх тригерів, по сигналу на якому внутрішні тригери фіксують код з входів 1, 2, 4, 8 та передають його на внутрішні схеми кодоперетворення для відображення на семисегментному індикаторі [13, 31, 41, 53, 56].

3.1.8 Суматори і віднімачі

3.1.8.1 Повний суматор

Сучасні цифрові та мікропроцесорні системи в своїй основі оперують двійковими числами. Основою двійкового числа є біт – найменша одиниця інформації, яка приймає значення 0 та 1 як і висловлювання в алгебрі Буля. Тому реалізація сучасних цифрових та мікропроцесорних системи ґрунтується на схемах, що реалізують функції алгебри Буля. Тому важливим є зв'язок між функціями алгебри Буля та функціями двійкової арифметики.

Першою базовою функцією двійкової алгебри є функція додавання. В загальному випадку двійкові числа можна представити у вигляді $A = a_{n-1} \cdot a_{n-2} \cdot \dots \cdot a_1 \cdot a_0$, де $a_0 \cdot a_1 \cdot \dots \cdot a_{n-1}$ – біти двійкового числа. Нехай друге число буде $B = b_{n-1} \cdot b_{n-2} \cdot \dots \cdot b_1 \cdot b_0$.

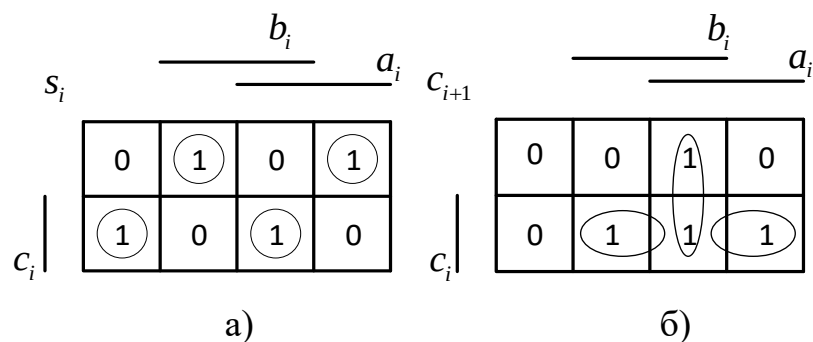
Розглянемо процес додавання чисел A та B з точки зору двійкової математики. Додавання виконується порозрядно та при додаванні розрядів повинні бути додані один до одного розряди та перенос з попереднього розряду. Якщо результат при цьому перевищує 1, то виникає перенос у наступний розряд. Таким чином ми отримуємо автомат із 3-а входами (два розряди та перенос із попереднього розряду) та 2-а виходами (результат додавання та перенос у наступний розряд). Повним суматором називається суматор, що підсумовує всі три біти в розряді, включаючи перенос та дає результат суми та перенос у наступний розряд [13, 31, 41, 53, 56].

Автоматна таблиця для повного суматора представлена у табл. 3.7.

Таблиця 3.7. Автоматна таблиця повного суматора

a_i	b_i	c_i	c_{i+1}	s_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Для побудови повного суматора як скінченного автомату необхідно отримати математичні вирази для вихідних сигналів у відповідності до табл. 3.7. Для цього застосуємо підхід із використанням карт Карно, що було розглянуто в п.1.4.4. Для цього побудуємо карти Карно для вихідних сигналів та виконаємо об'єднання поряд розташованих одиниць. Карти Карно для повного суматора у відповідності до автоматної таблиці (табл. 3.7) представлено на рис. 3.25.

Рис. 3.25. Карти Карно для повного суматора: а - для виходу c_{i+1} ; б - для виходу s_i

Тоді мінімізовані функції для повного суматора будуть мати вигляд (1.5)

$$\begin{aligned} c_{i+1} &= bc + ab + ac \\ s_i &= \bar{a}bc + a\bar{b}c + ab\bar{c} + abc \end{aligned} \quad (1.5)$$

Вираз для c_{i+1} достатньо спрощений, а s_i не пройшов жодної мінімізації у зв'язку із відсутністю об'єднань більше, ніж в одну одиницю.

Для спрощення виразу s_i введено нову функцію, що визначається виразом (1.6) та має назву **Виключаюче АБО (Exclusive OR)** або **Сума по модулю 2**

$$F(a, b) = \bar{a}b + a\bar{b} = (\bar{a} + \bar{b})(a + b) = a \oplus b \quad (1.6)$$

Функція описується автоматною табл. 3.8 та має логічний елемент, що її реалізує, який представлений на рис. 3.26.

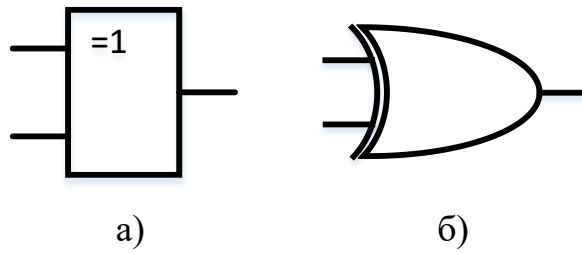


Рис. 3.26. Графічне позначення елемента Виключаюче АБО: а - згідно [25, 49]; б- згідно [29].

Таблиця 3.8. Таблиця істинності для елемента Виключаюче АБО

a	b	$a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

Із використанням (1.6) вираз для s_i прийме вигляд

$$s_i = a_i \oplus (b_i \oplus c_i) \quad (1.7)$$

Тоді схемна реалізація повного суматора буде мати вигляд, що представлено на рис. 3.27.

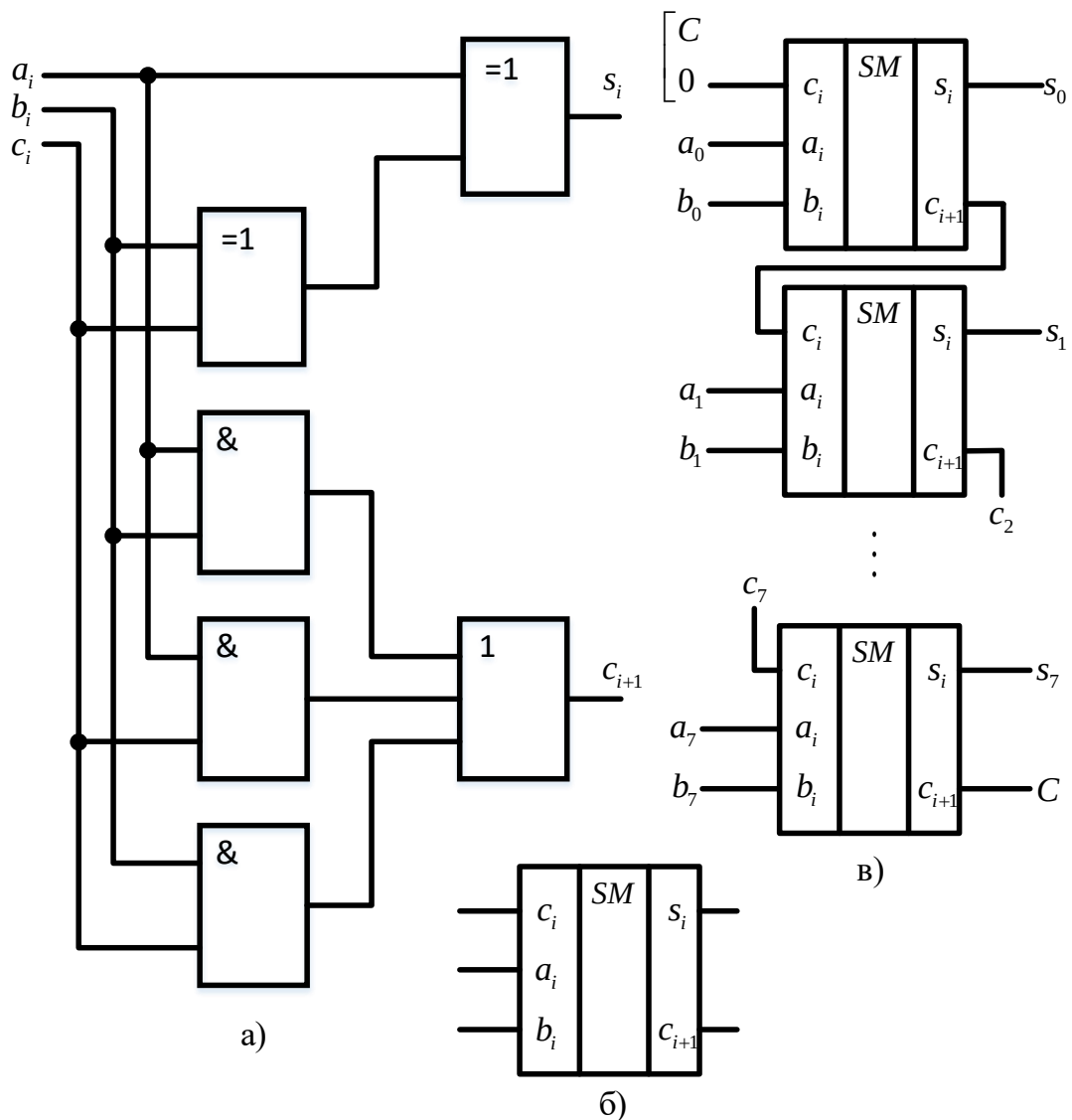


Рис. 3.27. Повний суматор: а - схемна реалізація додавання двох бітів; б - схемне позначення; в - схема додавання двох 8-и бітних слів

Для додавання слів повні суматори для двох бітів з'єднують каскадно (рис. 3.27в), з'єднуючі вихід переносу попереднього розряду повного суматора c_{i+1} із входом переносу c_i наступного повного суматора. Якщо каскадно з'єднати n повних суматорів, то виходить схема для додавання n розрядних двійкових чисел. Розряди чисел, що додаються, подаються на входи a_i і b_i , а результат з'являється на виходах s_i . Останній перенос c_{i+1} є переносом в наступний розряд, що виходить за межі n розрядного двійкового числа. В реальних мікропроцесорних системах цей розряд потрапляє в спеціальний тригер, що має назву «прапорець С». Вхідна лінія переносу в молодший розряд c_i є ще одним входом всієї схеми, який приймає значення 0 або значення, що зберігається у «прапорці С». Він дозволяє задати початкове значення переносу, що зручно для

додавання слів, розрядність яких виходить за межі схеми каскадно з'єднаних повних суматорів [13, 31, 41, 53, 56].

3.1.8.2 Повний віднімач

Розглянемо процес віднімання двійкових чисел A та B , що були розглянуті у п.3.1.8.1, з точки зору двійкової математики. Як і при додаванні, віднімання виконується порозрядно та при відніманні, необхідно від розряду a_i відняти розряд b_i та можливе запозичення, що відбулося при відніманні попередніх бітів c_i . В результаті отримуємо результат віднімання s_i та можливе запозичення із старшого розряду c_{i+1} . Таким чином ми аналогічно повному суматору отримуємо автомат із 3-а входами (два розряди та запозичення із попереднього розряду) та 2-а виходами (результат віднімання та запозичення із наступного розряду). Повним віднімачем називається віднімач, що віднімає із біту числа $A - a_i$ два біти: біт числа $B - b_i$ та запозичення c_i та дає результат віднімання s_i та запозичення із попереднього розряду c_{i+1} [13, 31, 41, 53, 56].

Автоматна таблиця для повного віднімача представлена у табл. 3.9.

Таблиця 3.9. Автоматна таблиця повного віднімача

a_i	b_i	c_i	c_{i+1}	s_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Порівняльний аналіз табл. 3.9 та табл. 3.7 показує, що колонки s_i для обох автоматів аналогічні. Отже і функції s_i для повного суматора та повного віднімача ідентичні. Відповідно для реалізації повного віднімача необхідно отримати новий вираз для функції займання у старшому розряді c_{i+1} .

Побудована карта Карно для виходу c_{i+1} представлена на рис. 3.28.

	$\overline{b_i}$		a_i
c_{i+1}	0	1	0
c_i	1	1	0

Рис. 3.28. Карта Карно для виходу c_{i+1} повного віднімача

Мінімізований вираз функції c_{i+1} для повного віднімача буде мати вигляд
(1.8)

$$c_{i+1} = bc + \bar{a}b + \bar{a}c \quad (1.8)$$

Для c_{i+1} вирази збігаються за умови заміни a_i на $\bar{a}_i$. Тоді схемна реалізація повного віднімача буде мати вигляд, що представлено на рис. 3.27.

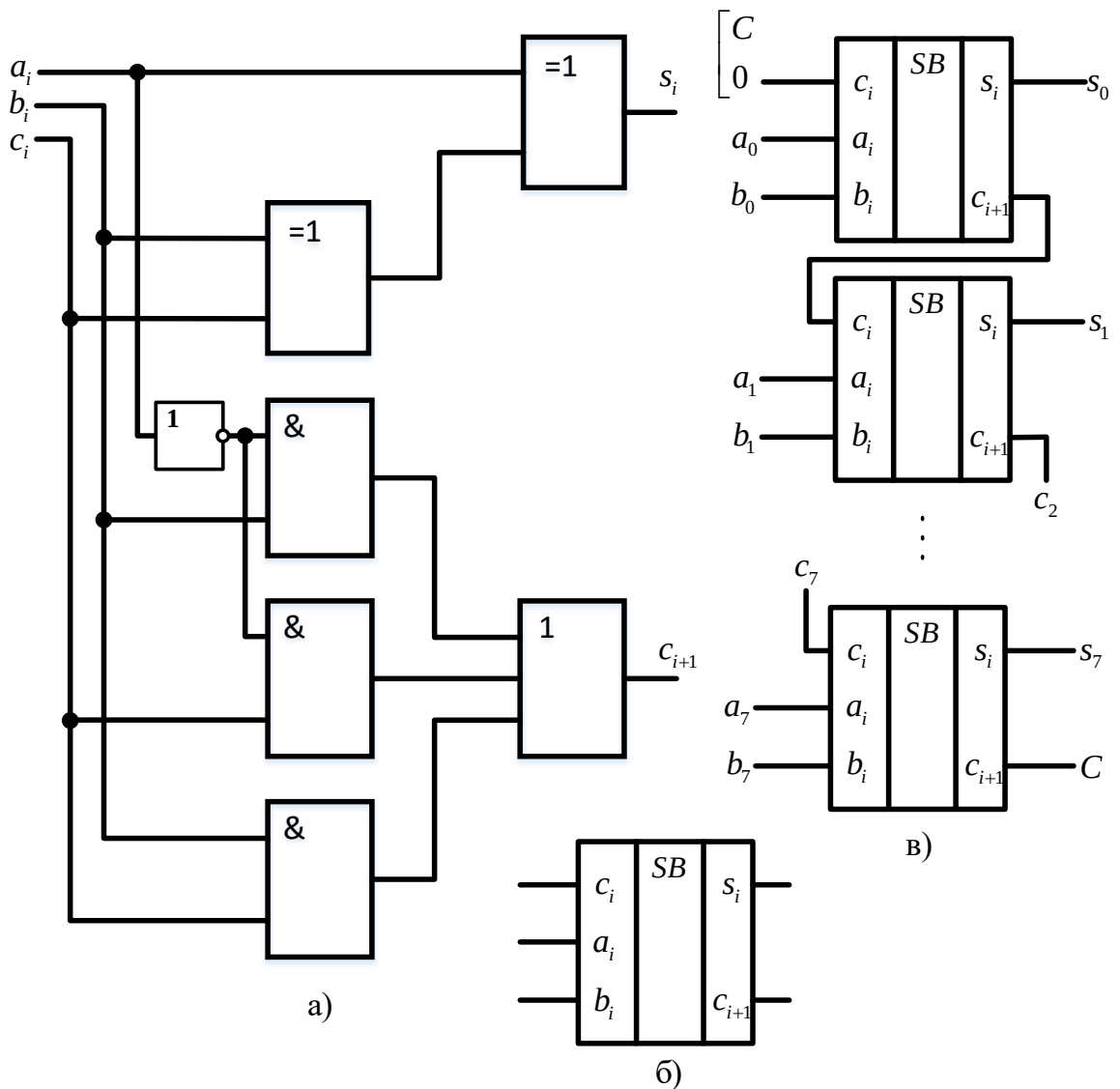


Рис. 3.29. Повний віднімач: а - схемна реалізація віднімання двох бітів; б - схемне позначення; в - схема віднімання двох 8-и бітних слів

3.1.9 Генератори прямокутних імпульсів

Важливою складовою більшості цифрових автоматів та сучасних мікропроцесорних систем є підсистема синхронізації, яка керує черговістю спрацювання тих чи інших блоків пристрою. Основою такої підсистеми є генератор прямокутних імпульсів [13, 31, 41, 53, 56].

Розглянемо найпростіші дві схеми генерації прямокутних імпульсів.

Перша найпростіша схема, що представлена на рис. 3.30.

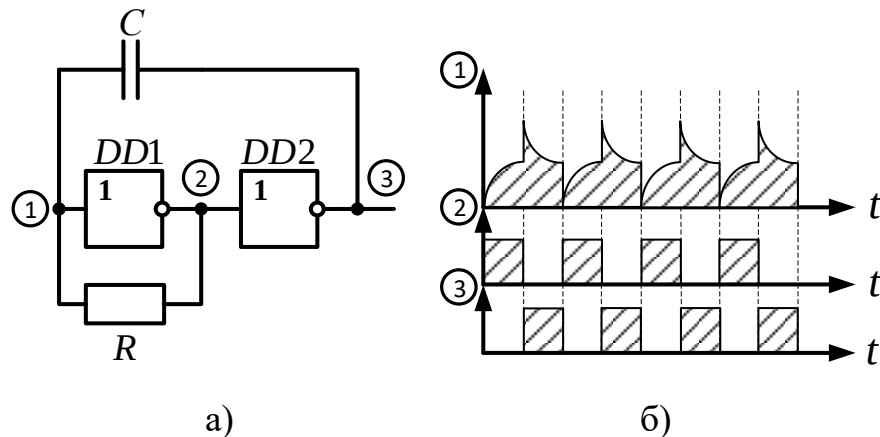


Рис. 3.30. Схема генерації прямокутних імпульсів: а – схема; б - часова діаграма

Принцип роботи схеми оснований на періодичному перезаряді ємності C через опір R . Момент перемикання схеми визначається напругою на конденсаторі C .

Принцип роботи схеми наступний. При включенні живлення в т.1 0-й потенціал тому що ємність C розряджена. Тому в т.2. встановлюється логічна «1», тобто $+5V$, а в т.3 – логічний «0». Відповідно по ланцюгу $+5V \rightarrow DD1 \rightarrow$ т.2 $\rightarrow R \rightarrow$ т.1 $\rightarrow C \rightarrow$ т.3 $\rightarrow DD2 \rightarrow$ «земля» відбувається заряд ємності C . При цьому в т.1 починає зростати потенціал. По досягненню їм порогу спрацювання логічного елементу $DD1$, останній сприймає цей потенціал за потенціал логічної «1», відповідно перемикається і встановлює в т.2 логічний «0». При цьому $DD2$ теж перемикається і встановлює в т.3 логічну «1». Відповідно в т.1 різко зростає напруга тому що $U_1 = U_3 + U_C$, а U_3 різко змінилось з логічного «0» (0V) в логічну «1» ($+5V$). Відповідно тепер ємність C розряджається по шляху $+5V \rightarrow DD2 \rightarrow$ т.3 $\rightarrow C \rightarrow$ т.1 $\rightarrow R \rightarrow$ т.2 $\rightarrow DD1 \rightarrow$ «земля». При проходженні порогового значення $DD1$ сприймає цей потенціал як логічний «0», елементи $DD1$ та $DD2$ перемикаються і процес повторюється.

Частота імпульсів зворотно пропорційна добутку $C \cdot R$. Чим більше ємність C та опір R , тим довше процес перезаряду конденсатора і тим менша

частота вихідних імпульсів. При цьому слід зазначити, що частота визначається 2-а елементами – ємністю та конденсатором.

Інша схема генератора прямокутних імпульсів представлена на рис. 3.31.

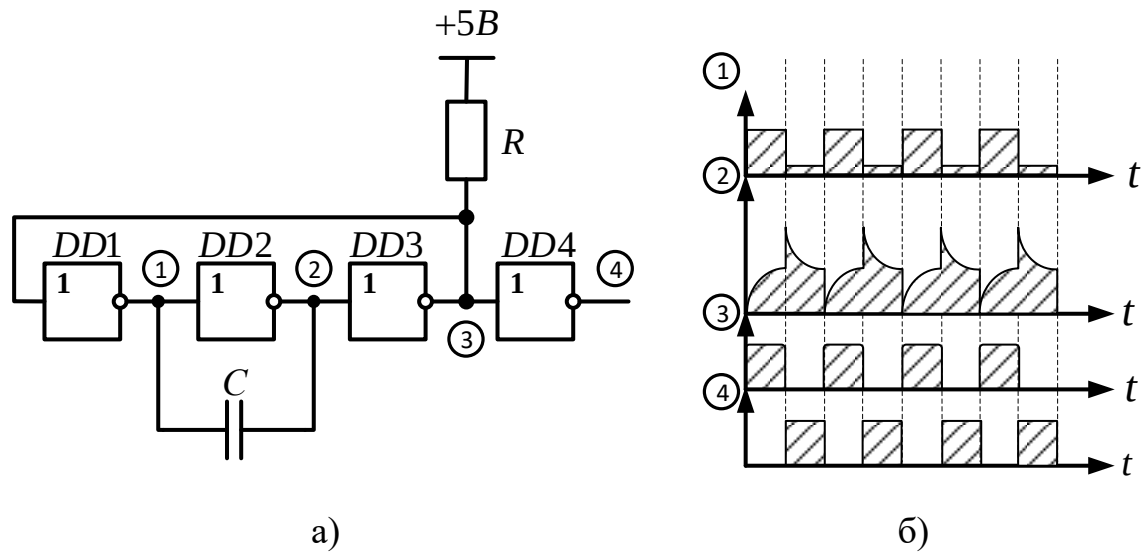


Рис. 3.31. Схема генерації прямокутних імпульсів: а – схема; б - часова діаграма

Принцип роботи схеми наступний. При включенні живлення в т.3 через опір R встановлюється логічна «1». Вона надходить на $DD1$ і $DD1$ встановлює в т.2 логічний «0». $DD2$ сприймає логічний «0» з т.1 і намагається встановити в т.2 логічну «1». Але, оскільки між т.1 та т.2 встановлена ємність C , то в т.2 напруга миттєво змінитись не може. І виникає коло заряду ємності C по шляху $+5V \rightarrow DD2 \rightarrow \text{т.2} \rightarrow C \rightarrow \text{т.1} \rightarrow DD1 \rightarrow \text{«земля»}$. По мірі заряду ємності C зростає і напруга в т.2. По досягненню напруги спрацювання елемент $DD3$ сприймає її як потенціал логічної «1», він перемикається і встановлює в т.3 логічний «0». Він інвертується в логічну «1» ($+5V$) в т.1. При цьому напруга в т.2 значно зростає тому що $U_2 = U_1 + U_C$, а U_1 різко змінилось з логічного «0» (0В) в логічну «1» ($+5V$). При цьому $DD2$ намагається встановити в т.2 логічний «0» та разом з $DD1$ створює шлях протікання струму розряду ємності C . $+5V \rightarrow DD1 \rightarrow \text{т.1} \rightarrow C \rightarrow \text{т.2} \rightarrow DD2 \rightarrow \text{«земля»}$. При розряді ємності C напруга в т.2 падає та при досягненні порогового значення сприймається $DD3$ як логічний «0». $DD3$ встановлює в т.3 логічну «1» та процес повторюється. Враховуючи, що напруга в т.3 на вході $DD3$ змінюється повільно, то і перемикання $DD3$ відбувається не миттєво. Це призводить до деякого спотворення фронтів прямокутних імпульсів в т.3. Для їх відновлення ставиться елемент $DD4$ (див. часову діаграму рис. 3.31 (б)).

Із збільшенням ємності C збільшується час перезаряду і відповідно зменшується частота прямокутних імпульсів. Замість ємності можна використовувати кварцовий резонатор [13, 31, 41, 53, 56].

3.1.10 Схеми формування імпульсів

При проектуванні цифрових пристроїв часто виникає необхідність у формуванні коротких імпульсів по фронтах вхідного прямокутного сигналу. Зокрема такі імпульси використовують в якості імпульсів синхронізації, при скиданні тригерів, регістрів та лічильників, для стробування запису інформації у регістри та елементи пам'яті [13, 31, 41, 53, 56].

Існує безліч схем формування імпульсів, які будуються як на аналогових, так і на цифрових схемах. Розглянемо два із них. Перша схема, що представлена на рис. 3.32, будується виключно на логічних елементах. Робота схеми ґрунтується на немиттєвому перемиканні логічних елементів.

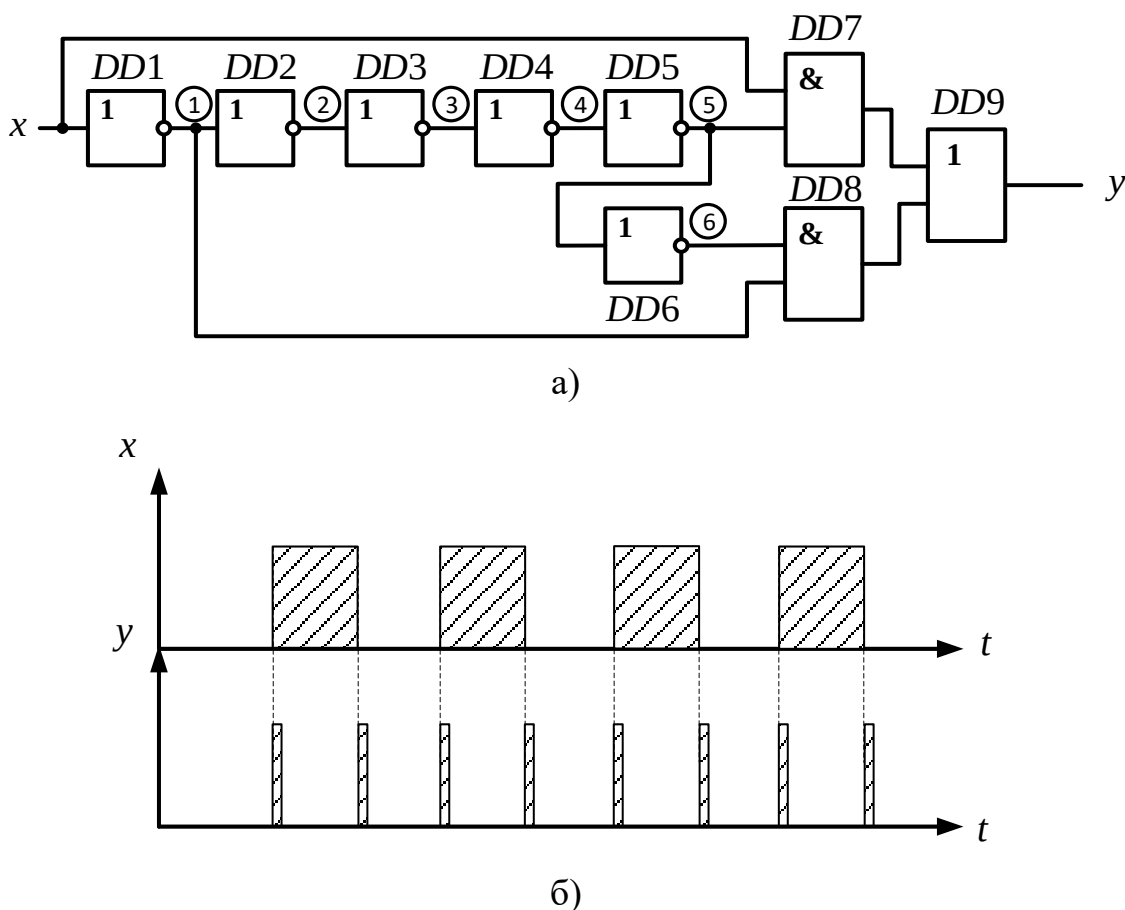


Рис. 3.32. Формувач імпульсів за переднім та заднім фронтами на логічних елементах: а – схема; б - часова діаграма

При $x=0$ на верхньому вході DD7 – 0, а на нижньому (т.5) за рахунок непарної кількості інверторів в ланцюгу DD1-DD5 – 1. Тобто на входах DD7 - 01.

Відповідно на виході $DD7 - 0$. При цьому на нижньому вході $DD8 - 1$ (т.1), а на верхньому $- 0$ (т.6). Тобто на входах $DD8 - 10$. Тому і на виході $DD8$ теж 0 . Відповідно на виході схеми y (вихід $DD9$) теж 0 .

Аналогічно при $x = 1$ на верхньому вході $DD7 - 1$, а на нижньому (т.5) $- 0$. Тобто на входах $DD7 - 10$. Відповідно на виході $DD7 - 0$. При цьому на нижньому вході $DD8 - 0$ (т.1), а на верхньому $- 1$ (т.6). Тобто на входах $DD8 - 01$. Тому і на виході $DD8$ теж 0 . Відповідно на виході схеми y (вихід $DD9$) теж 0 .

При зміні сигналу на вході x з 0 в 1 (передній фронт прямокутного імпульсу) 1 з входу x одразу потрапляє на верхній вхід $DD7$. Відповідно на входах $DD7 - 11$. На виході $DD7$ з'являється логічна «1». Відповідно і на виході схеми y (вихід $DD9$) теж 1 . При цьому 1 з входу x починає змінювати стани інверторів $DD1-DD6$. Але за рахунок інерційності інверторів та схемі включення вони перемикаються не одночасно, а по черзі із затримкою необхідною на внутрішнє перемикання транзисторів кожного інвертора. Зміна станів інверторів призведе до того, що через деякий час на виході $DD5$ (т.5) з'явиться 0 і на входах $DD7$ з'явиться 10 і на виході $DD7$ знову з'явиться 0 .

Аналогічно зміні сигналу на вході x з 1 в 0 працює елемент $DD8$. Тобто після зміни сигналу на вході x на виході $DD8$ з'являється 1 , яка призводить до появи 1 на виході схеми на час просування логічної 1 вздовж ланцюга інверторів $DD1-DD6$. Після чого схема повертається в початковий стан $- 0$ на виході y (рис. 3.32 (б)).

Таким чином при кожній зміні сигналів на вході x на виході з'являється короткочасний імпульс, тривалість якого визначається кількістю інверторів у ланцюгу $DD1-DD6$ та їх швидкодією.

Більш проста схема формування імпульсів представлена на рис. 3.33.

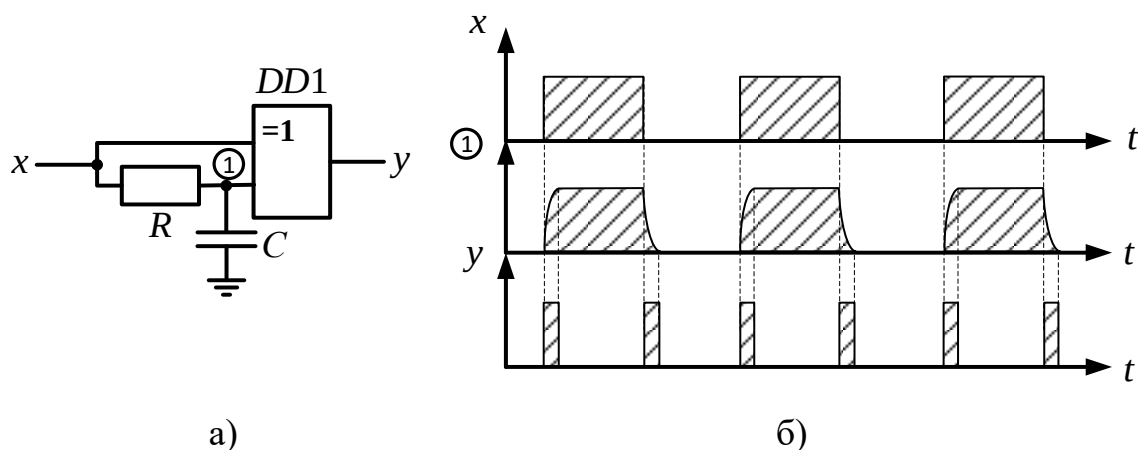


Рис. 3.33. Формувач імпульсів за переднім та заднім фронтами на елементі «Виключаюче АБО»: а – схема; б - часова діаграма

За принципом роботи елементу «Виключаюче АБО» якщо на його входах сигнали однакові, то на виході – 0, а якщо різні – 1. Тому при $x=0$ або $x=1$ на виході схеми y буде 0.

При зміні сигналу на вході x наприклад з 0 в 1 на верхній вхід елемента $DD1$ сигнал надійде одразу, а на нижній ні, тому що на ємності C напруга миттєво змінитись не може. Отже на верхньому вході $DD1$ – 1, а на нижньому – 0. Відповідно на виході $DD1$ з'явиться 1. При цьому виникає струм заряду ємності C по шляху x (логічна «1» – +5В) $\rightarrow R \rightarrow C \rightarrow$ «земля». При цьому ємність C заряджається і напруга в т.1 зростає. При досягненні напруги на C рівня логічної 1 елемент $DD1$ знову переключиться в 0.

Аналогічно при зміні сигналу на вході x наприклад з 1 в 0 на верхній вхід новий сигнал надійде зразу, а на нижньому за рахунок зарядженої ємності C напруга залишиться на рівні логічної 1. Відповідно на виході схеми знову з'явиться логічна «1», а по шляху $C \rightarrow R \rightarrow$ «земля» ємність буде розряджатися до рівня логічної «1». Після цього процес повторюється на і на виході схеми з'являються короткочасні імпульси [13, 31, 41, 53, 56].

3.1.11 Схеми усунення брязкоту контактів

Брязкіт контактів – це явище, що відбувається у електромеханічних пристроях та апаратах (кнопках, реле, герконах тощо), що триває деякий час при замиканні або розмиканні електричних контактів. Після початку процесу замикання або розмикання електричного контакту спостерігається багаторазові неконтрольовані замикання та розмикання контактів за рахунок пружності матеріалів та деталей контактної схеми (деякий час контакти відскакують один від одного при зіткненнях, чим замикають та розмикають електричні кола.

В залежності від розмірів, маси, матеріалу та конструкції контактної системи час брязкоту (час від першого дотику контактів до загасання механічних коливань, що призводять до брязкоту, та встановлення стійкого контакту) становить від 0,5-2 мс у мініатюрних герконах та кнопках до сотень мілісекунд у потужних контактах [13, 20, 31, 32, 41, 53, 56].

Тому при введенні в контактних датчиків двопозиційної інформації (наприклад кнопка), у момент перемикання здійснює короткочасні загасаючі коливальні рухи, які надходять до АП у вигляді послідовності коротких імпульсів обумовлених брязкотом контакту (рис. 3.34).

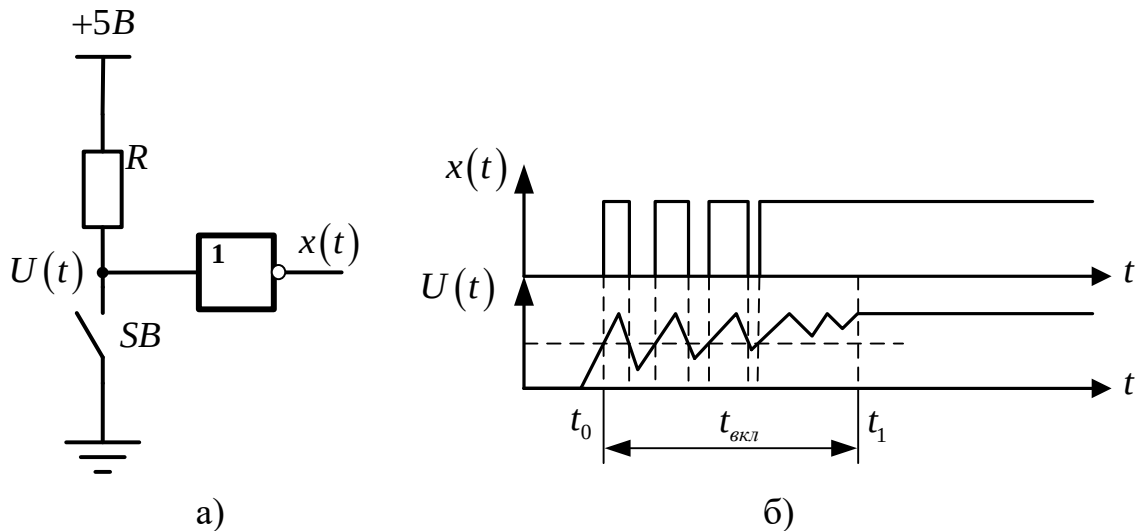


Рис. 3.34. Контактний датчик двопозиційної інформації: а – схема; б - часова діаграма при перемиканні

Послідовність імпульсів брязкоту може призводити до помилкових керуючих впливів, якщо не передбачати спеціальних заходів усунення брязкоту.

Існує ряд методів боротьби із брязкотом контактів, які можна поділити на програмні та апаратні.

До програмних методів можна віднести:

- Часова затримка із часом заздалегідь більшим за час брязкоту контакту. Програма визначивши зміну стану контакту, ігнорує його на час заздалегідь більший за час брязкоту, після чого стан перевіряється знову.
- Метод підрахунку кількості співпадаючих значень. Програма багатократно (від 10 до 100 разів зчитує стан контакту і якщо підраховано певну кількість нових станів, то приймається рішення про зміну стану контакту.
- Метод підрахунку часу стійкого стану – програма на протязі певного часу контролює стан контакту і якщо протягом цього часу не відбулося жодної зміни стану контакту, то приймається рішення про прийняття поточного стану за достовірний.

Але програмні методи виходять за рамки даного курсу, тому розглянемо лише апаратні методи.

По-перше доцільно використовувати перемикачі із зменшеним часом брязкоту аж до використання спеціальних перемикачів (наприклад із змоченим ртуттю контактами [31, 32, 41, 56]).

По-друге слід використовувати спеціальні схеми для усунення або зменшення брязкоту контактів. До схем, що знижують брязкіт контактів слід віднести фільтри нижніх частот та тригер Шмітта.

Ефективно прибрати брязкіт можна за умов використання двопозиційного перемикача (рис. 3.35).

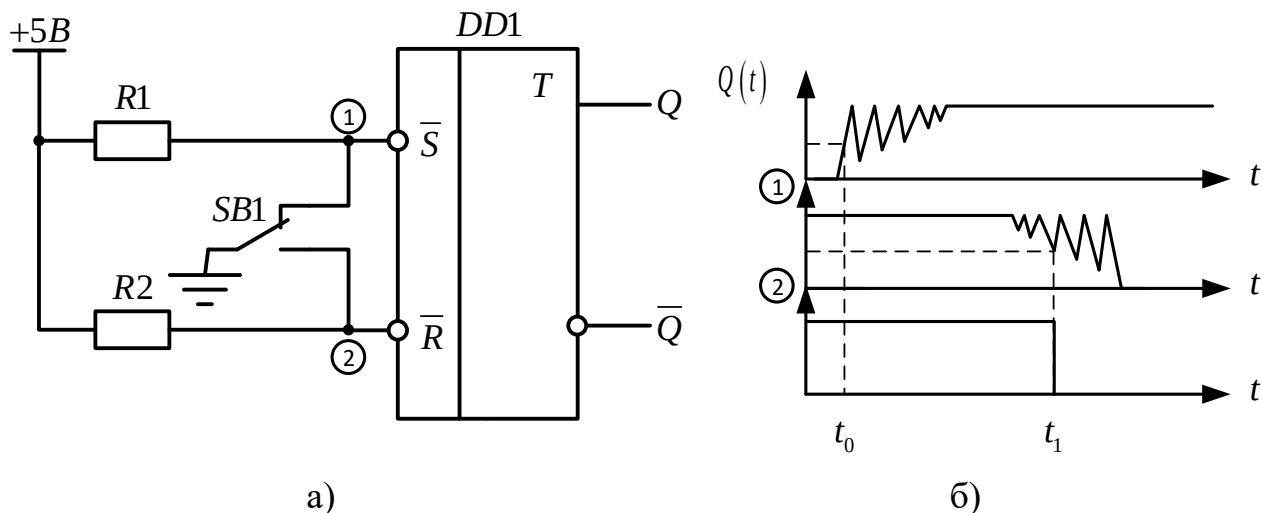


Рис. 3.35. Схема усунення брязкоту контактів для двопозиційного перемикача на RS-тригері: а – схема; б - часова діаграма його роботи

На входах S та R RS-тригера $DD1$ за рахунок резисторів R_1 та R_2 підтримується стан логічної «1» – тобто стан утримання. При поточній схемі включення, коли перемикач $SB1$ замикає на землю т.1, RS-тригер $DD1$ знаходиться у стані встановлення (рис. 3.35а). При початку перемикання перемикача $SB1$ його контакт відходить від т.1 і на ньому починається брязкіт (момент t_0 – рис. 3.35б). Але брязкіт призводить до коливань стану тригера між станом встановлення ($\bar{S} = 0, \bar{R} = 1$) та станом утримання ($\bar{S} = 1, \bar{R} = 1$). Враховуючи встановлений стан RS-тригера, ці коливання станів не призводять до змін вихідного стану тригера. З часом брязкіт закінчується і на входах тригера встановлюється стабільний стан утримання ($\bar{S} = 1, \bar{R} = 1$). При наближенні рухомого контакту перемикача $SB1$ до контакту, що під'єднаний до т.2 починається брязкіт на ньому. Але перший же дотик контакту, що призведе до зниження потенціалу в т.2 нижче порогу спрацювання (момент t_1 – рис. 3.35б) призведе до появи на вході RS-тригер $DD1$ стану скидання. Відповідно RS-тригер $DD1$ скинеться. При цьому подальший брязкіт контакту призведе до коливань вхідного стану RS-тригер $DD1$ між станами скидання та утримання, а оскільки RS-тригер $DD1$ вже скинутий, то ці коливання станів ніяк не впливають на вихідний стан.

Контрольні запитання до теми 3.1:

1. Яке призначення цифрових логічних елементів у мікропроцесорних системах?
2. Що таке тригер і яку функцію він виконує?
3. Опишіть роботу лічильного тригера. Як ще називають лічильний тригер?
4. Навіщо асинхронні входи в тригерах? Розкажіть, як працює тригер з асинхронними входами
5. Що таке регістри? Які види регістрів Ви знаєте?
6. Для чого використовуються регістри?
7. Що таке лічильники? Які типи лічильників Ви знаєте?
8. Опишіть роботу синхронного двійкового підсумовуючого лічильника
9. Опишіть роботу десяткового лічильника
10. Що таке шифратори, дешифратори? Для чого призначені та область їхнього використання?
11. Як суматори й віднімачі реалізуються у мікропроцесорних пристроях?
12. Що таке генератори імпульсів і як вони використовуються у цифровій техніці?
13. Яке значення мають схеми усунення брязкоту контактів у системах автоматики?

Тема 3.2. Типові аналогові вузли цифрових для мікропроцесорних систем

До задач проектування сучасних цифрових та мікропроцесорних систем часто входять задачі по обробці різноманітних аналогових сигналів. Часто рівні, форми та інші параметри є неприйнятними для прямого підключення до цифрових систем, тому виникає необхідність у масштабуванні та перетворенні вхідних сигналів до вихідних сигналів, придатних для підключення до цифрових та мікропроцесорних систем.

З математичної точки зору це перетворення часто зводиться до елементарних математичних операцій множення на константу (підсилення), додавання, віднімання, інтегрування, диференціювання, тощо.

Існує велика кількість аналогових схем, що дозволяють виконувати ці операції, що використовують весь асортимент наявних пасивних та активних напівпровідникових елементів.

Окремо слід зазначити схеми на основі інтегральних операційних підсилювачів (ОП) як такі, що ефективно вирішують більшість задач по перетворенню сигналів. Повний, всебічний аналіз функціонування ОП є складним, але, як правило, він потрібен при аналізі схем на ОП, що працюють в граничних умовах [2, 58].

3.2.1 Основні особливості функціонування операційних підсилювачів, охоплених петлею зворотного зв'язку

Для більшості схем із використанням ОП можна описати їх роботу із використанням декількох простих правил та відомих законів Ома та Кірхгофа.

1. Вхідний опір ОП прямує до ∞ , а вихідний – до 0. Тобто можна вважати вхідний струм ОП таким, що дорівнює 0, а вихід можна розглядати як ідеальне джерело напруги.
2. ОП має настільки великий коефіцієнт підсилення по напрузі, що зміна напруги між входами на декілька часток мілівольта викликає зміну вихідної напруги в межах повного діапазону.
3. Вихід ОП через від'ємний зворотний зв'язок намагається досягти, щоб різниця напруг між його входами дорівнювала нулю [2, 58].

Правила роботи ОП справедливі для будь-якого ОП за умови, що він перебуває в активному режимі, тобто входи й виходи не перевантажені.

При виході вхідних та вихідних параметрів схем з ОП за допустимі межі теж можна використати досить прості закономірності роботи ОП.

Наприклад, якщо подати на вхід підсилювача занадто великий сигнал, це призведе до того, що вихідний сигнал буде зрізатися поблизу рівнів $\pm U_{\text{жив}}$ (рис. 3.36). Розмах напруги на виході ОП не може бути більше діапазону напруги живлення (як правило розмах менше від $\pm U_{\text{жив}}$ на $\mp 2B$, хоча останнім часом з'явилися ОП Rail-to-Rail в яких розмах менше від $\pm U_{\text{жив}}$ на $\mp 0,3B$).

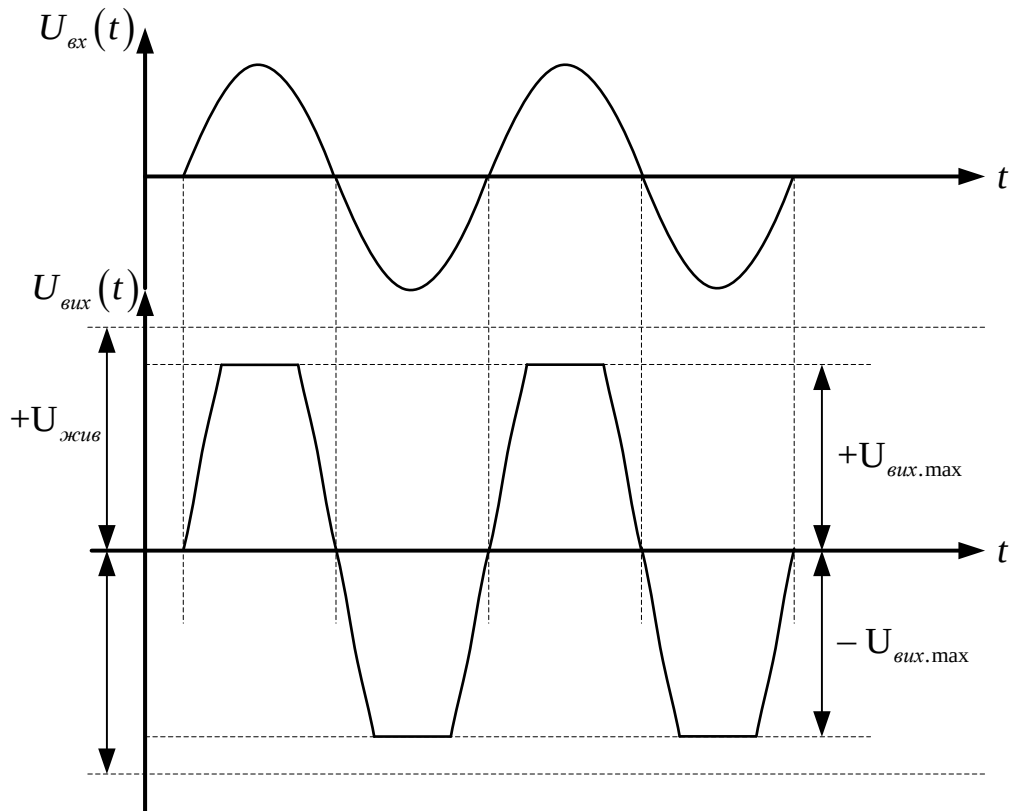


Рис. 3.36. Обмеження $U_{\text{вих}}$ при великих $U_{\text{вх}}$

Зворотний зв'язок як правило повинен бути від'ємним. Це означає, що не можна плутати інвертуючий і неінвертуючий входи. Додатній зворотній зв'язок використовується тільки в окремих схемах (наприклад генератори сигналів та тригер Шмідта).

У схемі ОП повинен бути передбачений ланцюг зворотного зв'язку за постійним струмом. У протилежному випадку ОП обов'язково попадає в режим насичення.

Багато ОП мають малу гранично припустиму вхідну напругу та гранично допустиму різницю напруг між прямим та інвертуючим входами, яка може бути малою (наприклад до $2...5\text{ В}$). Перевищення цього порогу може вивести ОП з ладу [2, 58].

3.2.2 Основні схеми на операційних підсилювачах для цифрових та мікропроцесорних систем

3.2.2.1 Інвертуючий підсилювач

Схема інвертуючого підсилювача представлено на рис. 3.37.

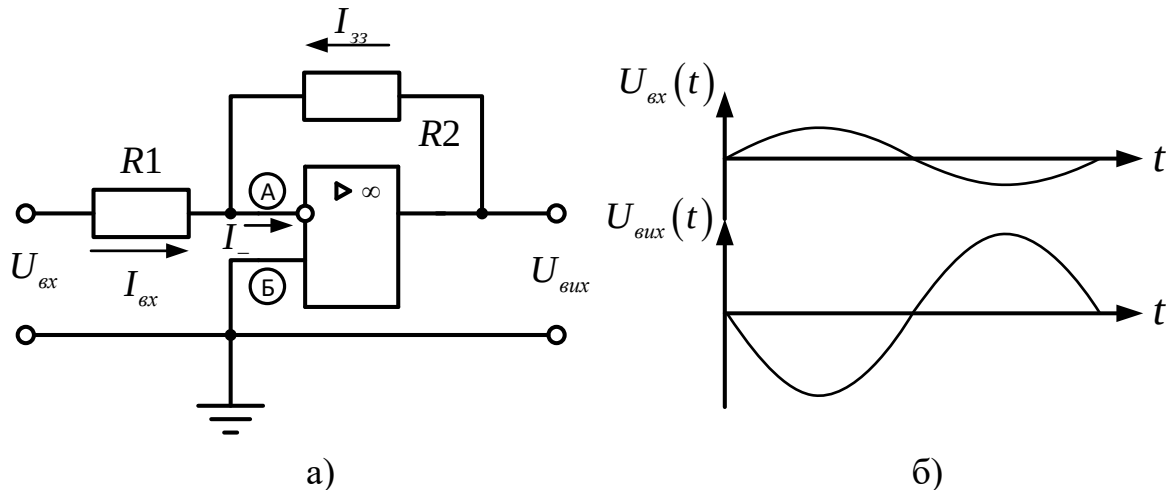


Рис. 3.37. Інвертуючий підсилювач: а- схема; б - приклад сигналів

Аналіз схеми інвертуючого підсилювача рис. 3.37 здійснюється виходячи із правил, що представлено п.3.2.1. Як правило, розгляд ведеться відносно потенціалів на прямому та інверсному входах ОП (на схемі рис. 3.37 точки А і Б). Тому порядок аналізу може мати наступний вигляд:

1. Потенціал точки Б дорівнює потенціалу землі, а за правилом 3 п.3.2.1 ОП намагається зрівняти напруги в точках А та Б, то за нормальних умов функціонування схеми $U_A = U_B = 0 \text{ В}$.
2. Спад напруги на опорі R_2 дорівнює $U_{R_2} = U_{\text{вих}} - U_A = U_{\text{вих}}$, тоді струм через опір R_2 становитиме $I_{R_2} = I_{33} = \frac{U_{R_2}}{R_2} = \frac{U_{\text{вих}}}{R_2}$
3. Спад напруги на R_1 дорівнює $U_{R_1} = U_{\text{вх}} - U_A = U_{\text{вх}}$, тоді струм через опір R_1 становитиме $I_{R_1} = I_{\text{вх}} = \frac{U_{R_1}}{R_1} = \frac{U_{\text{вх}}}{R_1}$.
4. За 1-м законом Кірхгофа сума струмів у вузлі А дорівнює 0. Тоді $I_{\text{вх}} + I_{33} - I_- = 0$. Так як за правилом 1 п.3.2.1 вхідний струм ОП дорівнює 0, то $I_- = 0$, тоді $I_{\text{вх}} = -I_{33}$. Тоді

$$\frac{U_{\text{вх}}}{R_1} = -\frac{U_{\text{вих}}}{R_2} \quad (1.9)$$

5. Коефіцієнт підсилення за напругою, що визначається як відношення напруги на виході до напруги на вході $K_{\Pi} = \frac{U_{\text{вих}}}{U_{\text{вх}}}$ буде визначатись із (1.9) як:

$$K_{\Pi} = -\frac{R_2}{R_1} \quad (1.10)$$

Аналіз виразу (1.10) показує, що K_{Π} є від'ємним, що говорить про інвертуючу природу підсилювача. Також K_{Π} може бути як більше 1, що властиве підсилювачам, так і менше 1, що дозволяє послабляти сигнал. Так як потенціал точки А завжди дорівнює 0 В (так назване уявне заземлення), то вхідний опір схеми $Z_{\text{вх}} = R_1$. Вихідний опір $Z_{\text{вих}}$ визначається вихідним опором ОП і як правило становить доли Ома. Звідси виходить і головний недолік схеми - при великих K_{Π} необхідно зменшувати R_1 , що зменшує вхідний опір і навантажує схему джерела сигналів. Незалежність K_{Π} від частоти говорить про те, що схема є підсилювачем як постійного, так і змінного сигналів [23, 53].

3.2.2.2 Неінвертуючий підсилювач

Схема неінвертуючого підсилювача представлена на рис. 3.38.

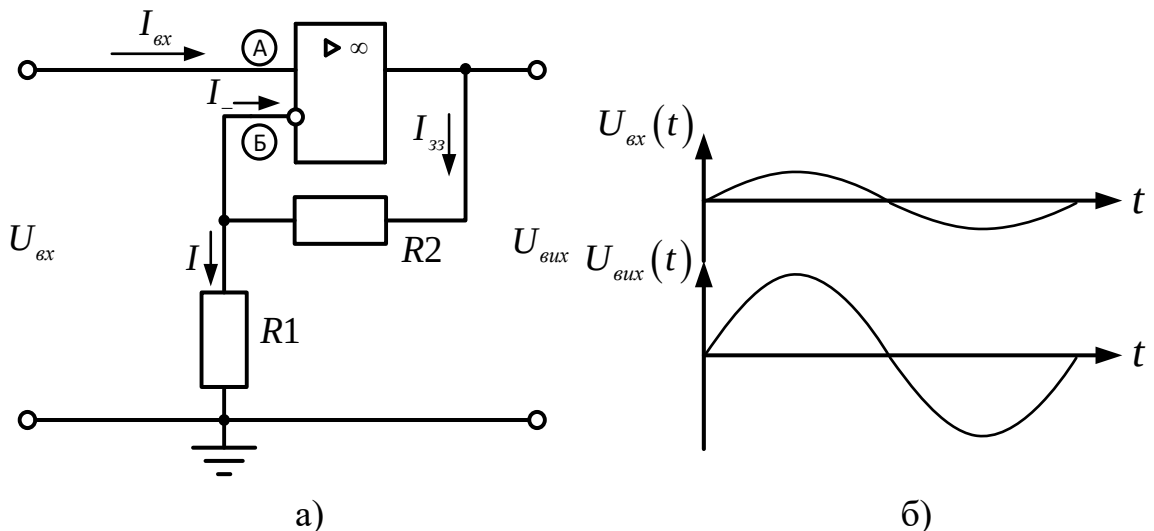


Рис. 3.38. Неінвертуючий підсилювач: а – схема; б - приклад сигналів

Аналіз схеми неінвертуючого підсилювача рис. 3.38 здійснюється аналогічно попередній схемі для інвертуючого підсилювача, а саме:

1. ОП через зворотній зв'язок намагається встановити потенціал точки А рівним потенціалу точки Б. При цьому потенціал точки А дорівнює U_{ex} , тоді $U_A = U_B = U_{ex}$.

2. Струм через опір R_1 становить $I = \frac{U_B}{R_1}$, а з урахуванням п.1: $I = \frac{U_{ex}}{R_1}$.

3. Струм через опір R_2 визначається як $I_{33} = \frac{U_{вих} - U_B}{R_2}$, а з урахуванням п.1:

$$I_{33} = \frac{U_{вих} - U_{ex}}{R_2}.$$

4. За 1-м законом Кірхгофа сума струмів у вузлі Б дорівнює 0. Тоді $I_{33} - I - I_- = 0$. Так як за правилом 1 п.3.2.1 вхідний струм ОП дорівнює 0, то $I_- = 0$, тоді $I = I_{33}$. Тоді

$$\frac{U_{ex}}{R_1} = \frac{U_{вих} - U_{ex}}{R_2} \quad (1.11)$$

5. Тоді коефіцієнт підсилення за напругою буде визначатись із (1.11) як:

$$K_{\Pi} = 1 + \frac{R_2}{R_1} \quad (1.12)$$

Аналіз виразу (1.12) показує, що K_{Π} є додатним, що говорить про неінвертуючу природу підсилювача та не може бути меншим за 1. Так як вхідна напруга U_{ex} подається безпосередньо на вхід ОП без додаткових схем, а згідно правила 1 п.3.2.1, вхідний опір ОП прямує до нескінченності, то і вхідний опір всієї схеми в цілому теж прямує до нескінченності, що дозволяє використовувати схему при роботі з малопотужними джерелами сигналу (наприклад мікрофон, або термопара). Вихідний опір $Z_{вих}$ визначається вихідним опором ОП і як правило становить доли Ома. Незалежність K_{Π} від частоти говорить про те, що схема є підсилювачем як постійного, так і змінного сигналів [2, 58].

3.2.2.3 Повторювач

Повторювач являє собою неінвертуючий підсилювач з $K_{\Pi} = 1$, схема якого представлена на рис. 3.39.

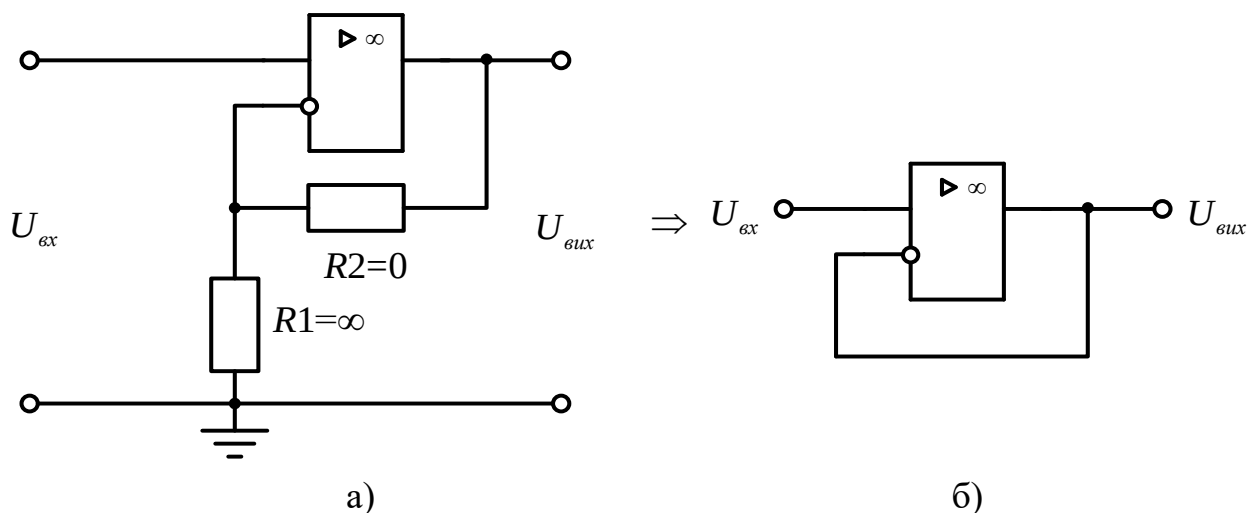


Рис. 3.39. Повторювач: а -ідея схеми на базі неінвертуючого підсилювача; б -
результуюча схема

Коефіцієнт підсилення за напругою для повторювача $K_{\Pi} = 1 + \frac{R_2 \Rightarrow 0}{R_1} = 1$.

При цьому для схеми характерно, що $Z_{ex} \Rightarrow \infty$, а $Z_{вых} \Rightarrow 0$. Повторювач називають ще буфером, тому що він має ізолюючі властивості (великий вхідний опір та малий вихідний) [2, 23, 53, 58].

3.2.2.4 Підсилювачі змінного струму

Іноді виникає необхідність у підсиленні тільки змінної складової сигналу (наприклад при роботі із звуковими сигналами або із сигналами струмів та напруг промислової частоти) [2, 41, 53, 58]. Тоді доцільно використовувати схеми підсилювачів змінного струму. Деякі з них представлені на рис. 3.40.

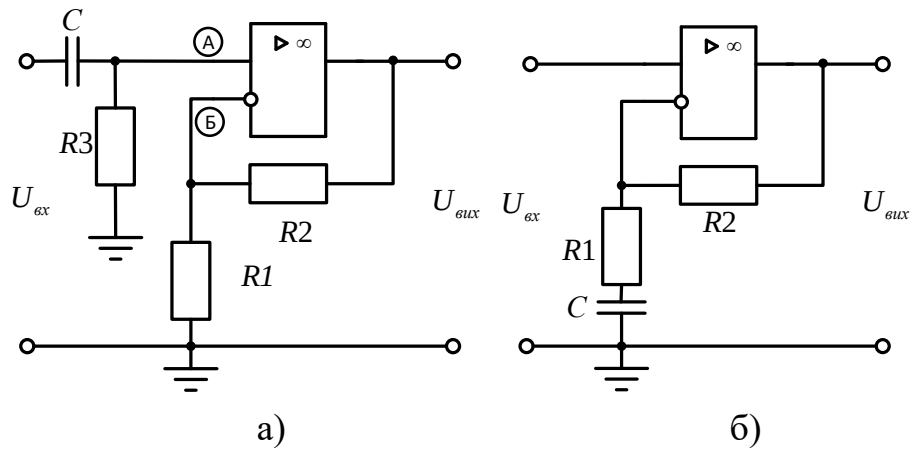


Рис. 3.40 – Підсилювачі змінного струму: а - підсилювач посилюючий у $K_{\Pi} = 1 + \frac{R2}{R1}$ раз постійну напругу зсуву між А и Б; б - підсилювач із $K_{\Pi} = 1 + \frac{R2}{R1}$ для змінного струму й з $K_{\Pi} = 1$ для постійного напруги й напруги зсуву

Для схеми рис. 3.40 (а) на вході неінвертуючого підсилювача стоїть дільник напруги, що складається із ємності C та опору $R3$. Враховуючи 0-й струм ОП по прямому входу (точка А) нескладно знайти напругу в точці А, що визначається дільником напруги.

$$U_A = \frac{U_{\text{вх}} \cdot R3}{R3 + \frac{1}{j\omega C}} = \frac{U_{\text{вх}} \cdot R3 \cdot j\omega C}{1 + j\omega C \cdot R3} \quad (1.13)$$

Аналіз виразу (1.13) показує, що при постійному струмі ($\omega = 0$) $U_A = 0$, що говорить про відсутність впливу постійної складової сигналу на вихідний сигнал. В реальних схемах ємності не є ідеальними і мають деяку невелику напругу зсуву, яка і буде збільшена підсилювачем.

Для змінного сигналу при $\omega C \cdot R3 \gg 1$ напруга $U_A \rightarrow U_{\text{вх}}$, що забезпечує підсилення змінної складової сигналу у $K_{\Pi} = 1 + \frac{R2}{R1}$ раз.

Для рис. 3.40б за рахунок послідовного з'єднання $R1$ та C вираз для коефіцієнту підсилення прийме вигляд

$$K_{\Pi} = 1 + \frac{R2}{R1 + \frac{1}{j\omega C}} = 1 + \frac{j\omega C \cdot R2}{1 + j\omega C \cdot R1} \quad (1.14)$$

Аналіз виразу (1.14) показує, що при постійному струмі ($\omega = 0$) $K_{\Pi} = 1$, що говорить про пропускання на вихід схеми постійної складової без змін. Для змінного сигналу при $\omega C \cdot R1 \gg 1$ напруга $K_{\Pi} \approx 1 + \frac{R2}{R1}$.

3.2.2.5 Диференціальний підсилювач

Операцію віднімання двох сигналів виконує схема диференціального підсилювача [2, 41, 53, 58]. Реалізація схеми диференціального підсилювача на основі ОП представлена на рис. 3.40 (а).

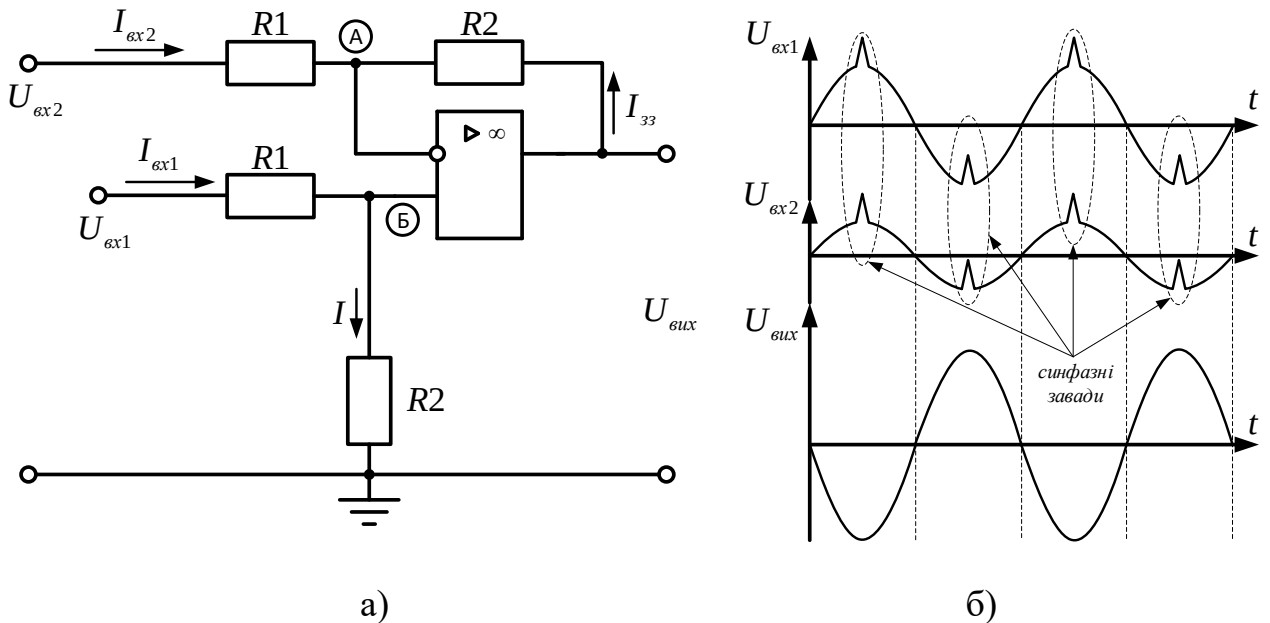


Рис. 3.41. Диференціальний підсилювач: а - схема диференціального підсилювача; б - осцилограми подавлення сінфазної завади

Аналіз схеми проведемо в спосіб, аналогічний аналізу попередніх схем. Для цього розглянемо потенціали точок А і Б та вплив на них $U_{вх1}$, $U_{вх2}$ та $U_{вих}$.

1. За 1 законом Кірхгофа сума струмів у вузлі Б дорівнює 0. При цьому за правилом 1 п.3.2.1 вхідний струм ОП по прямому входу дорівнює 0. Тоді $I_{вх1} = I$. Тоді потенціал вузла Б визначається як потенціал на ділянці з опорів $R1$ та $R2$, а саме

$$U_B = \frac{U_{вх1} \cdot R2}{R1 + R2} \quad (1.15)$$

2. Аналогічно за 1 законом Кірхгофа сума струмів у вузлі А дорівнює 0. При цьому за правилом 1 п.3.2.1 вхідний струм ОП по прямому входу дорівнює 0. Тоді з урахуванням обраних напрямків струму

$$I_{вх2} = -I_{зз} \quad (1.16)$$

3. За законом Ома

$$\begin{aligned} I_{ex2} &= \frac{U_{ex2} - U_A}{R1} \\ I_{33} &= \frac{U_{вих} - U_A}{R2} \end{aligned} \quad (1.17)$$

4. Відповідно з (1.17) отримаємо

$$\frac{U_{ex2} - U_A}{R1} = - \frac{U_{вих} - U_A}{R2} \quad (1.18)$$

5. За правилом 3 п.3.2.1 ОП намагається зрівняти напруги в точках А та Б, то за нормальних умов функціонування схеми.

$$U_A = U_B \quad (1.19)$$

6. Тоді згідно (1.15), (1.18) та (1.19) отримаємо систему рівнянь

$$\begin{cases} U_B = \frac{U_{ex1} \cdot R2}{R1 + R2} \\ \frac{U_{ex2} - U_A}{R1} = - \frac{U_{вих} - U_A}{R2} \\ U_A = U_B \end{cases} \quad (1.20)$$

7. Розв'язок системи рівнянь (1.20) відносно $U_{вих}$ дає вираз для вихідної напруги диференціального підсилювача, який має вигляд

$$U_{вих} = - \frac{R2}{R1} (U_{ex1} - U_{ex2}) \quad (1.21)$$

Аналіз виразу (1.21) показує, що диференціальний підсилювач підсилює різницю вхідних напруг в $K_{II} = - \frac{R2}{R1}$. Тобто коефіцієнт підсилення є від'ємним, що говорить про інвертуючу природу підсилювача. При цьому знак підсилення можна просто змінити шляхом перестановки напруг місцями.

Вхідні опір схеми не є нескінченним, а визначається виразом $R_{ex+} = R1 + R2$

для додатного входу та виразом $R_{ex-} = \frac{U_{ex2} R1 (R1 + R1)}{U_{ex2} (R1 + R1) - U_{ex1} R2}$. Тобто вхідний опір по інверсному входу є функцією від миттєвих значень U_{ex1} та U_{ex2} .

Властивість диференціального підсилювача, що полягає у посиленні різниці двох напруг ефективно використовується для придушення синфазних завад, які, наприклад виникають у довгих кабельних лініях зв'язку від датчиків

та інших джерел інформації [2, 41, 53, 58]. Приклад осцилограм сигналів із синфазними завадами представлено на рис. 3.40 (б).

Для узагальненої схеми диференціального підсилювача представлена на рис. 3.42.

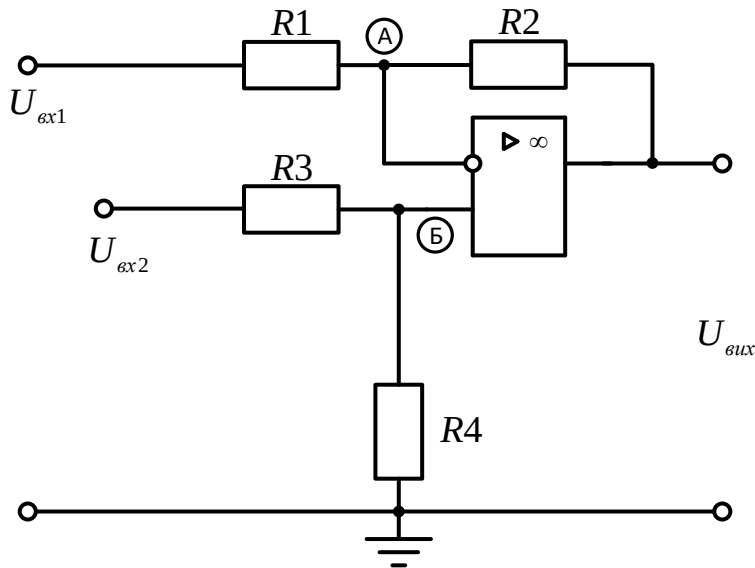


Рис. 3.42. Диференціальний підсилювач. Узагальнена схема

Вихідна напруга для такої схеми має більш складну залежність і становить (1.22)

$$U_{\text{вих}} = \frac{R4(R1 + R2)}{(R3 + R4)R1} U_{\text{вх2}} - \frac{R2}{R1} U_{\text{вх1}} \quad (1.22)$$

3.2.2.6 Підсумовуючий підсилювач

Іншою важливою операцією є операція додавання аналогових сигналів [2, 41, 53, 58]. Цю операцію можна виконати за допомогою схеми, що представлена на рис 3.43.

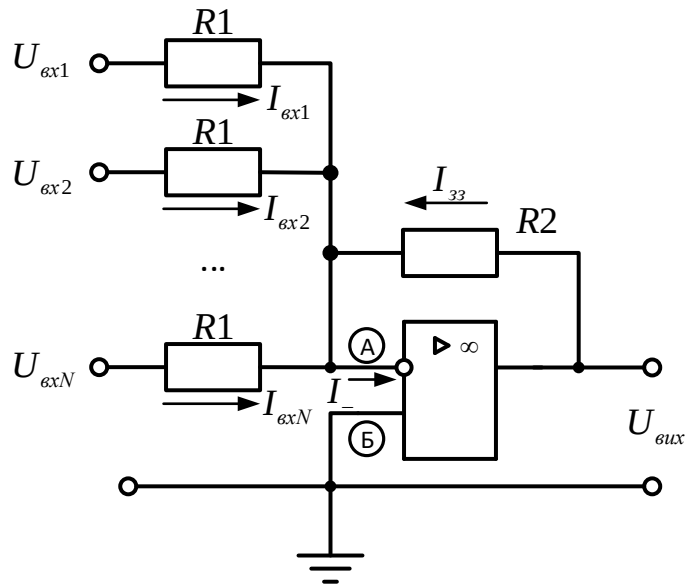


Рис. 3.43. Підсумовуючий підсилювач

Аналіз схеми проведемо аналогічно попереднім схемам.

1. Потенціал точки Б дорівнює потенціалу землі, а за правилом 3 п.3.2.1 ОП намагається зрівняти напруги в точках А та Б, то за нормальних умов функціонування схеми $U_A = U_B = 0$.
2. Спад напруги на опорі R_2 дорівнює $U_{R_2} = U_{\text{вих}} - U_A = U_{\text{вих}}$, тоді струм через опір R_2 становитиме $I_{R_2} = I_{зз} = \frac{U_{R_2}}{R_2} = \frac{U_{\text{вих}}}{R_2}$
3. Через кожний опір R_1 , що включені між $U_{\text{вх}}$ та вузлом А протікає струм, який визначається як $I_{R_i} = I_{\text{вх},i} = \frac{U_{\text{вх},i}}{R_1}$, де i – номер відповідного входу підсумовуючого підсилювача.
4. За 1-м законом Кірхгофа сума струмів у вузлі А дорівнює 0. Тоді з урахуванням обраних напрямків струмів $(I_{\text{вх}1} + I_{\text{вх}2} + \dots + I_{\text{вх}N}) + I_{зз} - I_- = 0$. Так як за правилом 1 п.3.2.1 вхідний струм ОП дорівнює 0, то $I_- = 0$, тоді $\sum_i I_{\text{вх},i} = -I_{зз}$. Тоді

$$\sum_i \frac{U_{\text{вх},i}}{R_1} = -\frac{U_{\text{вих}}}{R_2} \quad (1.23)$$

5. Тоді з виразу (1.23) можна отримати значення вихідної напруги як:

$$U_{\text{вих}} = -\frac{R_2}{R_1} \sum_i U_{\text{вх},i} \quad (1.24)$$

Аналіз виразу (1.24) показує, що вихідна напруга підсумовуючого підсилювача $U_{вих}$ пропорційна сумі вхідних напруг на входах підсумовуючого підсилювача із коефіцієнтом підсилення $K_{\Pi} = -\frac{R_2}{R_1}$, який є від'ємним, що говорить про інвертуючий характер підсилення.

Вхідні резистори не обов'язково повинні бути однаковими. Якщо вони неоднакові, то одержимо зважену суму. Для кожної вхідної напруги можна ввести свій ваговий коефіцієнт K за рахунок зміни відповідного вхідного опору в K раз. Наприклад, схема може мати 4 входи, а вхідні опори становлять $8R$, $4R$, $2R$, R , то напруга, яку знімають з виходу підсумовуючого підсилювача буде пропорційна двійковому числу, що задано на входах напругами $+1$ В для логічної 1 та 0 В для логічного 0. Тобто можна отримати один із різновидів цифро-аналогового перетворювача на основі ОП [2, 41, 53, 58].

3.2.2.7 Активний випрямляч

Потреба у випрямленні сигналів часто зустрічається пристроях релейного захисту, автоматики, пристроях обліку електроенергії та інших приладах. Але якщо випрямлення високовольтних сигналів легко вирішується шляхом застосування різноманітних діодних схем випрямлення, то з низьковольтними сигналами ці схеми мають суттєву ваду, яка ускладнює їх застосування особливо в метрологічних ланцюгах [2, 41, 53, 58].

Для виявлення вади притаманної звичайним діодним випрямлячам розглянемо роботу однонапівперіодного випрямляча, що представлено на рис 3.44а.

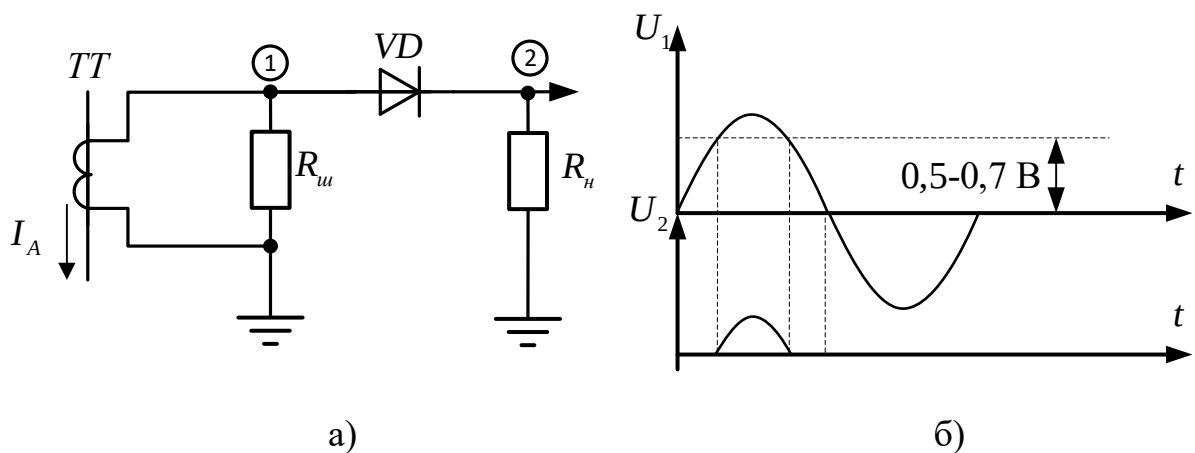


Рис. 3.44. Діодний однопівперіодний випрямляч: а – схема; б - часова діаграма роботи

Для любого напівпровідникового діода характерна наявність прямого падіння напруги на $p-n$ переході. Для звичайних кремнієвих діодів це падіння знаходиться в межах $0,5-0,7\text{ В}$. Для діодів Шоткі – $0,2-0,3\text{ В}$. Відповідно діод при прямому зміщенні відкривається не при нульовій вхідній напрузі, а по досягненню напруги прямого падіння діода. Відповідно проходженні через діодний випрямляч вихідна напруга буде менша від вхідної на величину прямого падіння на діоді, що може стати проблемою при вхідних напругах співставних із напругою прямого падіння (рис. 3.44 (б)). Наприклад при вхідній синусоїдальній напрузі 5 В та прямому падінні на діоді випрямляча (рис 3.44 (а)) максимальна вихідна напруга становитиме $4,3\text{ В}$, що на 14% менше від вхідної.

Для усунення цієї проблеми існують схеми на основі ОП, що мають назву активні випрямлячі. Одна із схем простого активного випрямляча представлено на рис. 3.45 (а).

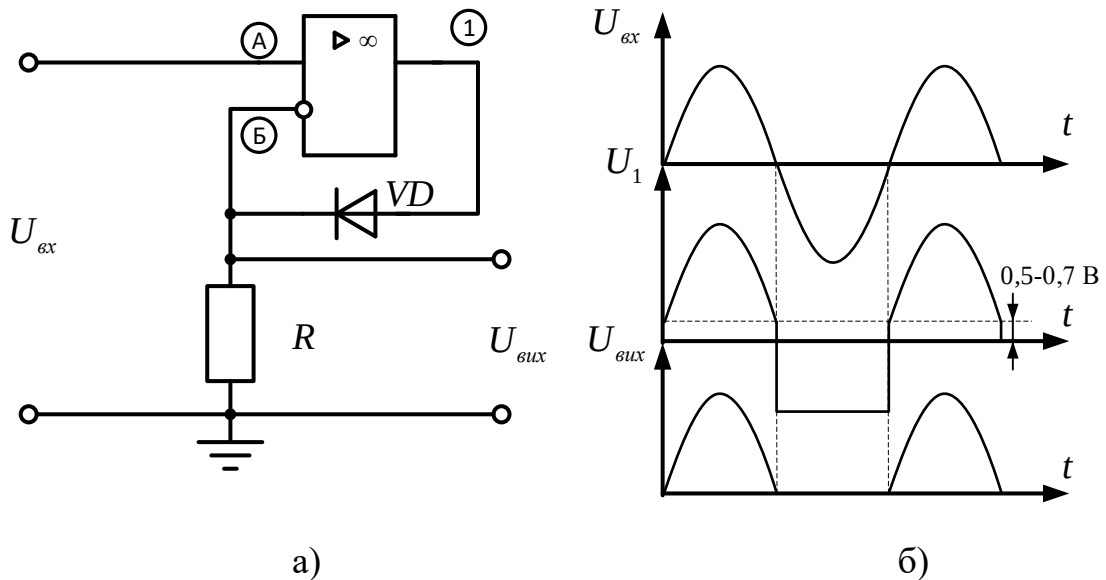


Рис. 3.45. Однопівперіодний активний випрямляч: а – схема; б - часова діаграма роботи

Розглянемо роботу схеми. ОП через зворотний зв'язок намагається зробити рівними напруги на входах А та Б. Потенціал входу А відповідає $U_{вх}$, відповідно і потенціал точки Б повинен бути $U_{вх}$ для виконання правила 3 п.3.2.1 і досягнення $U_A = U_B$. Для цього ОП на додатному напівперіоді починає піднімати напругу на своєму виході в точці 1, але робить це на величину, що більшу від $U_{вх}$ на U_{VD} – напругу прямого падіння на діоді VD . Таким чином досягається точне повторення вхідної напруги на виході. При від'ємному напівперіоді напруга на вході від'ємна і ОП намагається знизити напругу у вузлі Б шляхом зменшення напруги у вузлі 1. Але до вузла Б через опір R підключена «земля», що

призводить до зворотного зміщення діода VD та його закриття. В результаті напруга у вузлі 1 зменшується до $-U_{жс}$, а напруга на виході через опір R підтримується на рівні 0 В . Тобто схема на додатному напівперіоді повністю повторює вхідну напругу, а на від'ємному дорівнює 0 В , що відповідає процедурі випрямлення вхідної напруги [2, 41, 53, 58].

3.2.2.8 Інтегратори

Інтегратори призначені для виконання математичної функції інтегрування вхідного аналогового сигналу [2, 41, 53, 58]. Його схема представлена на рис. 3.46а

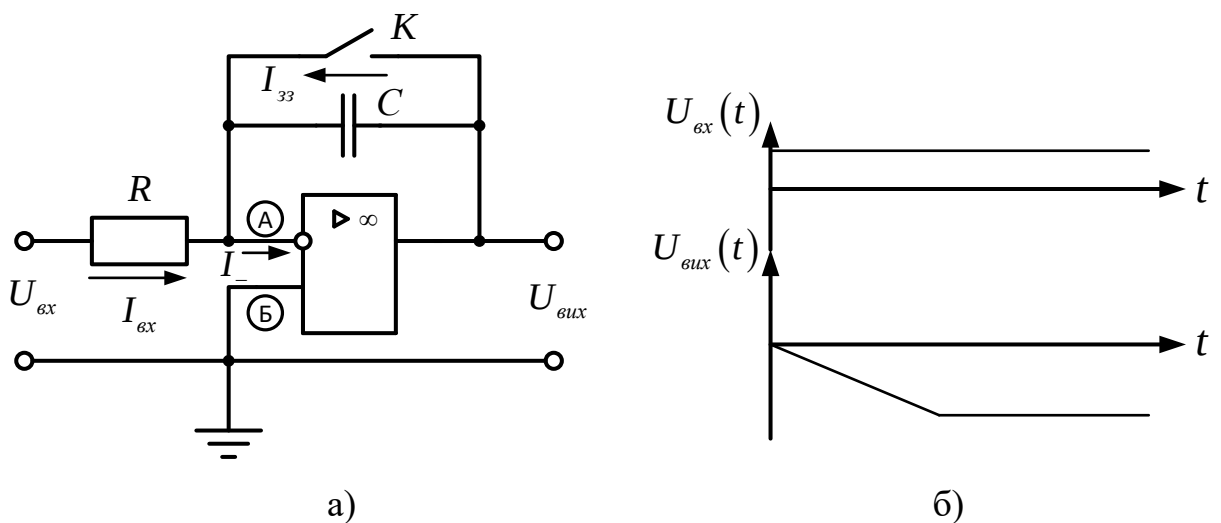


Рис. 3.46. Інтегратор: а – схема; б -) часова діаграма роботи

Схема схожа на схему інвертуючого підсилювача, тому аналіз схеми інтегратора рис. 3.46 (а) здійснюється аналогічно схемі для інвертуючого підсилювача, а саме:

1. Потенціал точки Б дорівнює потенціалу землі, а за правилом 3 п.3.2.1 ОП намагається зрівняти напруги в точках А та Б, то за нормальних умов функціонування схеми $U_A = U_B = 0\text{ В}$.
2. Спад напруги на ємності C дорівнює $U_C(t) = U_{вих}(t) - U_A = U_{вих}(t)$, тоді струм через ємності C становитиме $I_C = I_{зз} = C \frac{dU_{вих}(t)}{dt}$
3. Спад напруги на R дорівнює $U_R(t) = U_{вх}(t) - U_A = U_{вх}(t)$, тоді струм через опір R становитиме $I_R(t) = I_{вх}(t) = \frac{U_R(t)}{R} = \frac{U_{вх}(t)}{R}$.

4. За 1-м законом Кірхгофа сума струмів у вузлі А дорівнює 0. Тоді $I_{ex} + I_{zz} - I_- = 0$. Так як за правилом 1 п.3.2.1 вхідний струм ОП дорівнює 0, то $I_- = 0$, тоді $I_{ex} = -I_{zz}$. Тоді

$$\frac{U_{ex}(t)}{R} = -C \frac{dU_{vux}(t)}{dt} \quad (1.25)$$

5. Тоді вихідна напруга із виразу (1.25) буде визначатись як:

$$U_{vux}(t) = -\frac{1}{CR} \int U_{ex}(t) dt \quad (1.26)$$

Аналіз виразу (1.26) показує, що $U_{vux}(t)$ пропорційна інтегралу від вхідної напруги. Також слід відмітити наявність від'ємного коефіцієнту пропорційності $-\frac{1}{CR}$. Ключ K в схемі (рис. 3.46а) призначений для розряду ємності C та перезапуску процесу інтегрування. Приклад роботи схем інтегратора (рис. 3.46а) при постійній вхідній напрузі представлено на рис. 3.46б. Як видно з рис. 3.46б при інтегруванні постійної напруги вихідна напруга поволі зростає до максимального значення, яке визначається напругою живлення ОП. Основним недоліком даної схеми є явище дрейфу вихідної напруги за рахунок заряду ємності C різноманітними паразитними струмами ОП [2, 41, 53, 58].

3.2.2.9 Диференціатори

Диференціатори призначені для виконання математичної функції диференціювання вхідного аналогового сигналу [2, 41, 53, 58]. Його схема представлена на рис. 3.47а.

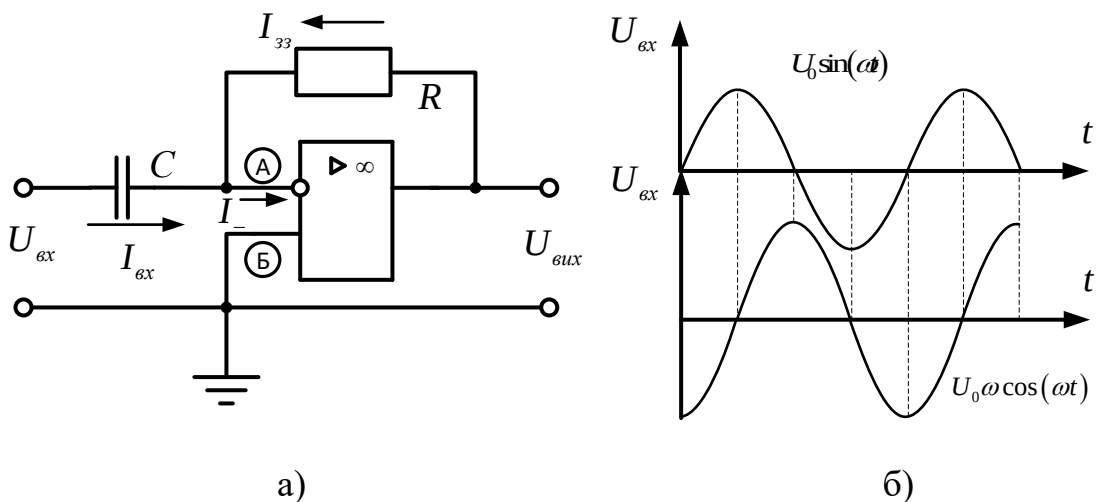


Рис. 3.47: Диференціатор: а – схема; б - часова діаграма роботи

Відмінність схеми диференціатора від схеми інтегратора полягає у переставленні місцями ємності та входного опору. Але це принципово змінює математичну залежність вихідної напруги від входньої. Проведено аналіз схеми диференціатора рис. 3.47 (а):

1. Потенціал точки Б дорівнює потенціалу землі, а за правилом 3 п.3.2.1 ОП намагається зрівняти напруги в точках А та Б, то за нормальних умов функціонування схеми $U_A = U_B = 0$.
2. Спад напруги на ємності C дорівнює $U_C(t) = U_{ex}(t) - U_A = U_{ex}(t)$, тоді струм через ємності C становитиме $I_C = I_{ex} = C \frac{dU_{ex}(t)}{dt}$
3. Спад напруги на R дорівнює $U_R(t) = U_{eux}(t) - U_A = U_{eux}(t)$, тоді струм через опір R становитиме $I_R(t) = I_{eux}(t) = \frac{U_R(t)}{R} = \frac{U_{eux}(t)}{R}$.
4. За 1-м законом Кірхгофа сума струмів у вузлі А дорівнює 0. Тоді $I_{ex} + I_{zz} - I_- = 0$. Так як за правилом 1 п.3.2.1 входний струм ОП дорівнює 0, то $I_- = 0$, тоді $I_{ex} = -I_{zz}$. Тоді

$$\frac{U_{eux}(t)}{R} = -C \frac{dU_{ex}(t)}{dt} \quad (1.27)$$

5. Тоді вихідна напруга із виразу (1.27) буде визначатись як:

$$U_{eux}(t) = -RC \frac{dU_{ex}(t)}{dt} \quad (1.28)$$

Аналіз виразу (1.28) показує, що $U_{eux}(t)$ пропорційна похідній від входньої напруги. Також слід відмітити наявність від'ємного коефіцієнту пропорційності $-RC$. Приклад роботи схем інтегратора (рис. 3.47 (а) при синусоїдальній входній напрузі представлено на рис. 3.47 (б).

3.2.2.10 Компаратори

Важливою функцією в пристроях релейного захисту та автоматики є порівняння аналогових величин. Цю функцію виконують пристрої, що називається компаратори. Вони призначені для порівняння двох сигналів поданих на його входи. Найпростішим компаратором є диференціальний підсилювач з великим коефіцієнтом підсилення (в ідеалі нескінченним). Схемне позначення та діаграми роботи представлено на рис. 3.48. Зазвичай в якості

компараторів напруги в сучасних пристроях використовують ОП, але існують і спеціалізовані мікросхеми компараторів [2, 41, 53, 58].

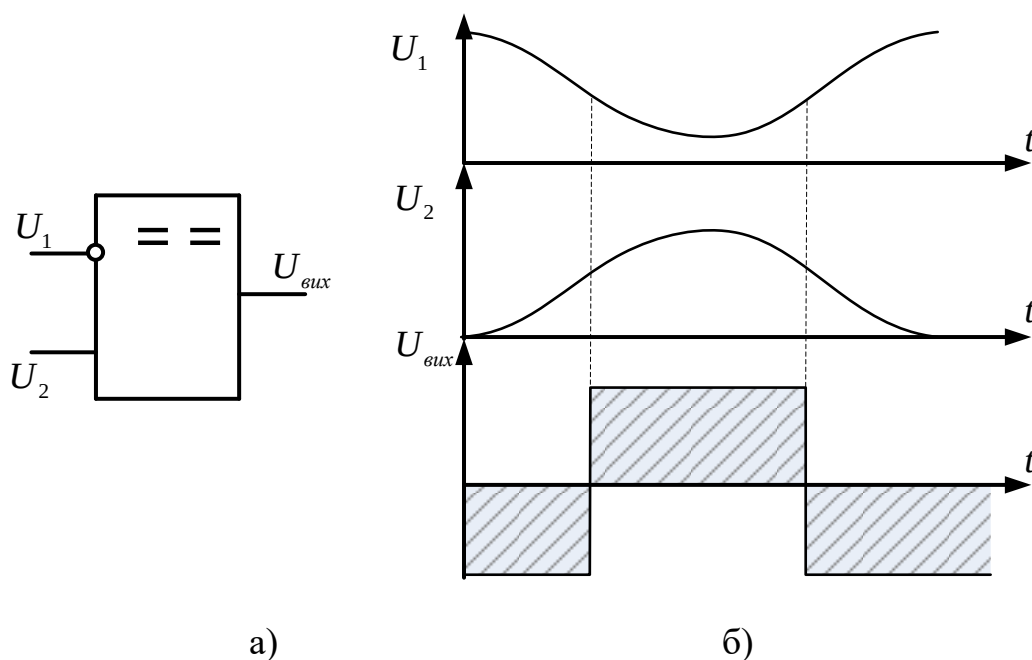


Рис. 3.48. Компаратор: а - схемне позначення; б - часова діаграма роботи

Залежно від знаку вхідних напруг ОП опиняється в додатному або від'ємному насиченні. Коефіцієнт підсилення по напрузі, як правило, перевищує 100000, тому для того, щоб вихід ОП не насичувала різниця напруги на входах повинна дорівнювати часткам мілівольта.

Компаратори відрізняються від ОП конструкцією вхідних та вихідних каскадів, зокрема:

1. Вхідний каскад компараторів повинні витримувати широкий діапазон диференціальних вхідних напруг (напруги між прямим та інвертуючим входами) аж до напруг живлення.
2. Вхідний каскад компаратора зазвичай конструюється сумісним за логічними рівнями і струмами з розповсюдженими типами логічних схем (ТТЛ, ЕЗЛ і т.д.). Можливі виконання вихідного каскаду компаратора на одному транзисторі із відкритим колектором, що забезпечує сумісність із ТТЛ, КМОП логічними елементами.
3. Мікросхеми компараторів не розраховані на роботу із замкненим ланцюгом зворотного зв'язку. Навпаки для забезпечення гістерезисної передаточної характеристики (як в тригері Шмітта) компаратори охоплюються додатнім зворотнім зв'язком.

4. При проектуванні схем компараторів особливу увагу приділяють швидкому відновленню вхідного каскаду після перевантаження чи зміни знаку різниці вхідних сигналів. Іноді для підвищення швидкодії не допускають потрапляння транзисторів в режими насичення та відсічки [2, 41, 53, 58].

При рівності вхідних сигналів компаратори на ОП створюють хаотичний вихідний сигнал, що може бути усунений додатнім зворотним зв'язком (див. тригер Шмітта підрозділ 3.2.2.11).

3.2.2.11 Тригер Шмітта

Тригер Шмітта являє собою двопозиційний релейний елемент, статична характеристика якого має зону неоднозначності – «петлю гістерезиса».

Винайшов тригер Шмітта американський біофізик Отто Герберт Шмітт (1934р), будучи студентом-практикантом.

Існує велика кількість схемних реалізацій тригера Шмітта. В даному розділі розглянемо реалізацію тригера Шмітта на ОП, який може працювати як компаратор при цьому ефективно боротися із завадами, що надходять на його вхід із зовнішніх схем разом із корисним сигналом [2, 20, 41, 53, 58].

Зокрема класичний компаратор на ПО, що розглянуто в підрозділі 3.2.2.10 має два недоліки:

- при вхідному сигналі, що повільно змінюється, в момент наближення до рівності вхідних напруг, напруга на виході також може змінюватися досить повільно.
- у момент рівності порівнюваних сигналів на виході може відбуватися брязкіт.

Приклад такого повільної зміни та брязкоту представлений на рис. 3.49.

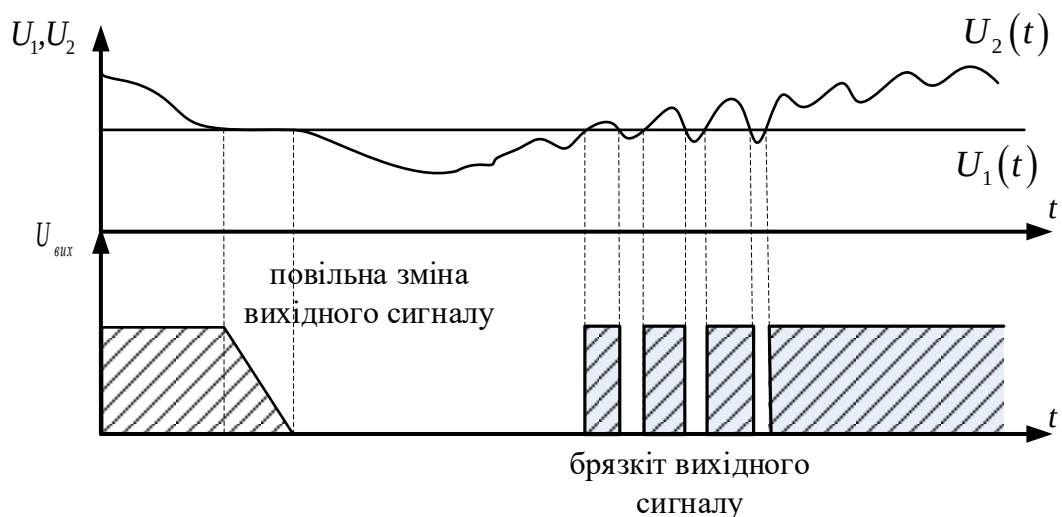


Рис. 3.49. Ефекти на виході компаратора при різних вхідних напругах

Вирішити цю проблему можна шляхом зміни порогу спрацювання тригера, що і лежить в основі роботи тригера Шмітта (див рис. 3.50б). В схемі на основі ОП цей недолік усувається позитивним зворотним зв'язком. Відповідно схемі тригера Шмітта на ОП із позитивним зворотним зв'язком представлена на рис. 3.50а)

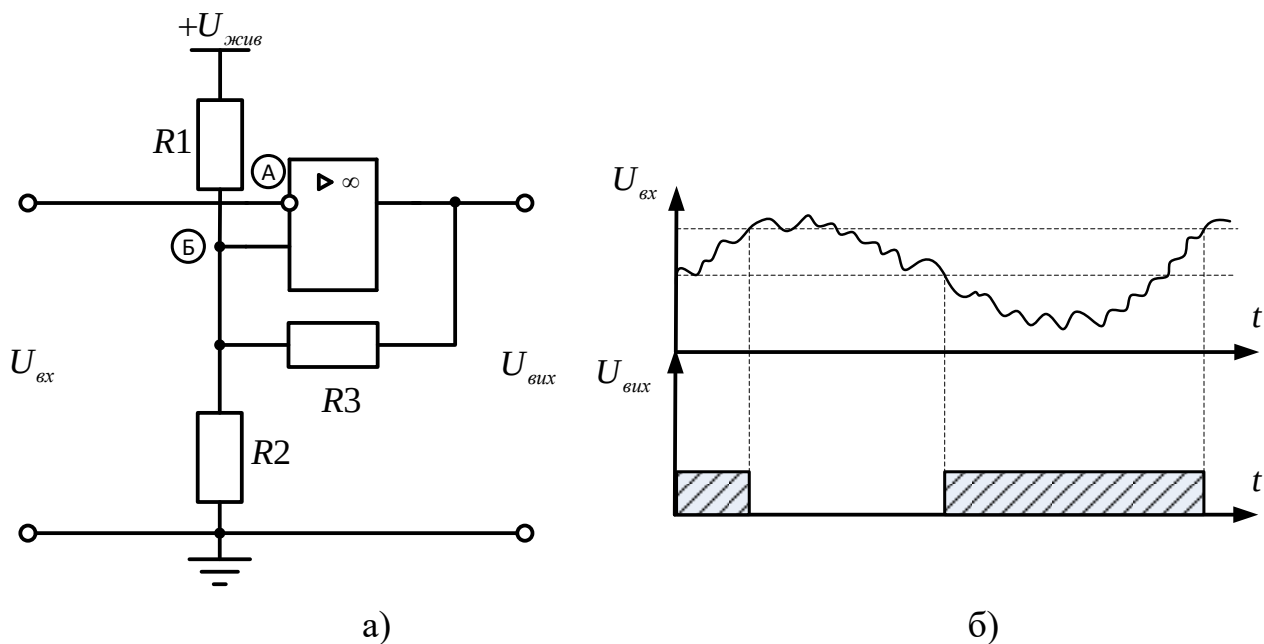


Рис. 3.50. Тригер Шмітта: а – схема; б - часова діаграма роботи

Тригер по своїй природі працює як компаратор, тобто перемикається між станами на виході $+U_{жив}$ та $-U_{жив}$. При цьому відповідно до правила 3 п.3.2.1 ОП, намагаючись зрівняти напруги в точках А та Б через неіснуючий від'ємний зворотний зв'язок, буде мати $-U_{жив}$ на виході при $U_A > U_B$ та $+U_{жив}$ на виході при $U_A < U_B$

Розглянемо вплив $U_{вих}$ на потенціал точки Б. Для цього представимо схему тригера Шмітта у вигляді схеми заміщення, що представлено на рис. 3.51 та застосуємо метод накладання.

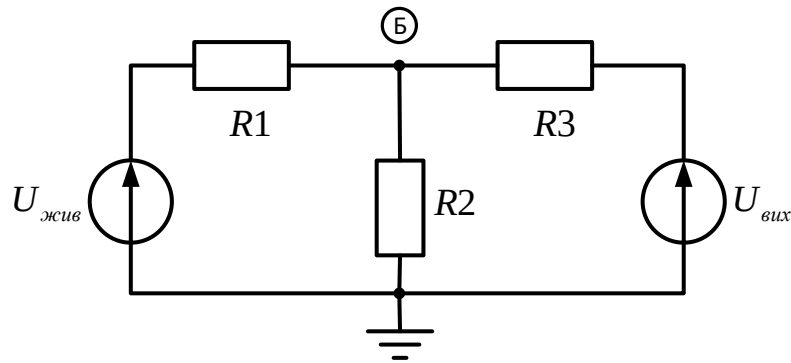


Рис. 3.51. Схема заміщення тригера Шмітта

Для схеми (рис. 3.51) напруга в точці Б при застосуванні методу накладання буде складатись із двох складових:

- Перша складова, що обумовлена дією джерела $U_{жив}$ – U'_B буде становити

$$U'_B = \frac{U_{жив} (R2 \parallel R3)}{R1 + R2 \parallel R3} \quad (1.29)$$

- Друга складова, що обумовлена дією джерела $U_{вих}$ – U''_B буде становити

$$\Delta U_B = \frac{U_{вих} (R1 \parallel R2)}{R3 + R1 \parallel R2} \quad (1.30)$$

де $R1 \parallel R2$ та $R2 \parallel R3$ - вирази для паралельного з'єднання опорів $R1$, $R2$ та $R2$, $R3$ відповідно.

Тоді напруга в точці Б буде визначатись як

$$U_B = U'_B + \Delta U_B \quad (1.31)$$

Залежно від знаку вихідної напруги $U_{вих}$, U_B буде більше U'_B або менше U'_B . А саме при $U_A > U_B$ на виході буде $-U_{жив}$. Відповідно ΔU_B буде від'ємною, та U_B буде меншою від U'_B на величину ΔU_B , тобто $U'_B - \Delta U_B$. Відповідно для переключення тригера в протилежний стан необхідно щоб напруга на вході знизилася нижче від U'_B на величину ΔU_B . Після чого тригер перемикається, на виході з'являється $+U_{жив}$, а напруга в точці Б стає $U'_B + \Delta U_B$, тобто для зворотного переходу необхідно досягти на вході напруги $U'_B + \Delta U_B$. Після чого процес повторюється. Це створює ефект гістерезису по спрацюванню тригера шириною $2 \cdot \Delta U_B$, який графічно зображено на рис. 3.52.

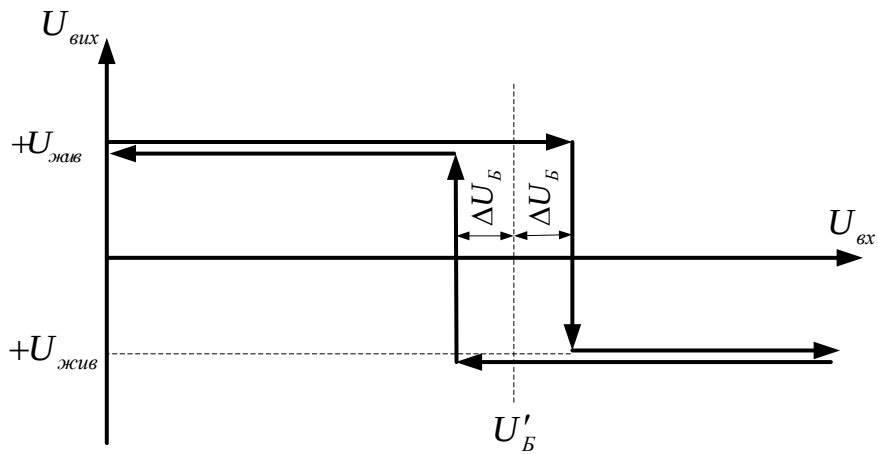


Рис. 3.52. Петля гістерезису тригера Шмітта

Контрольні запитання до теми 3.2:

1. Яке призначення операційних підсилювачів у цифрових системах? Які типи підсилювачів Вам відомі? Розкажіть про кожен з них.
2. Які основні параметри впливають на роботу операційного підсилювача?
3. Розкажіть про особливості підсумовуючого підсилювача.
4. Що таке активний випрямляч? Для чого потрібен, де використовується?
5. Що таке тригер Шмітта? Які його переваги?
6. Для чого використовуються компаратори напруги?
7. Як реалізується інтегратор і диференціатор та які принципи їх роботи?
8. Для чого потрібні диференціатори у цифрових системах?
9. Що таке суматор на ОП і де він застосовується?

Тема 3.3. Цифро-аналогові та аналогово-цифрові перетворювачі

3.3.1 Цифро-аналогові перетворювачі

Цифро-аналогові перетворювачі (ЦАП) – це пристрої, що призначені для перетворення цифрового коду (зазвичай двійкового) в еквівалентний аналоговий сигнал (напругу, струм, заряд, тощо). ЦАП є інтерфейсом між дискретними цифровими та мікропроцесорними пристроями та зовнішнім світом, що, зазвичай, сприймає сигнали у аналоговій формі [2, 5, 58].

В загальному вигляді цифрове двійкове подання числа A складається з n бітового ланцюга $\{a_{n-1}, a_{n-2}, \dots, a_1, a_0\}$. Значення величини A визначається поліномом:

$$A = 2^{n-1} \cdot a_{n-1} + 2^{n-2} \cdot a_{n-2} + \dots + 2^1 \cdot a_1 + 2^0 \cdot a_0 = \sum_{i=0}^{n-1} 2^i \cdot a_i \quad (1.32)$$

Обчислення полінома зводиться до множення окремих бітів на вагові коефіцієнти, що є степенями двійки, і в додаванні одержуваних членів. Це відповідає обчисленню лінійної комбінації бітів.

Якщо мати у своєму розпорядженні напруги, що представляють значення окремих бітів у вигляді:

$$A_i = \begin{cases} U, B & \text{якщо } a_i = 1 \\ 0, B & \text{якщо } a_i = 0 \end{cases}, \quad (1.33)$$

то за допомогою схеми з резисторів, що має назву «сходи опорів» (рис. 3.53) можна одержати напругу, що пропорційна значенню двійкового числа [2, 5, 41, 53].

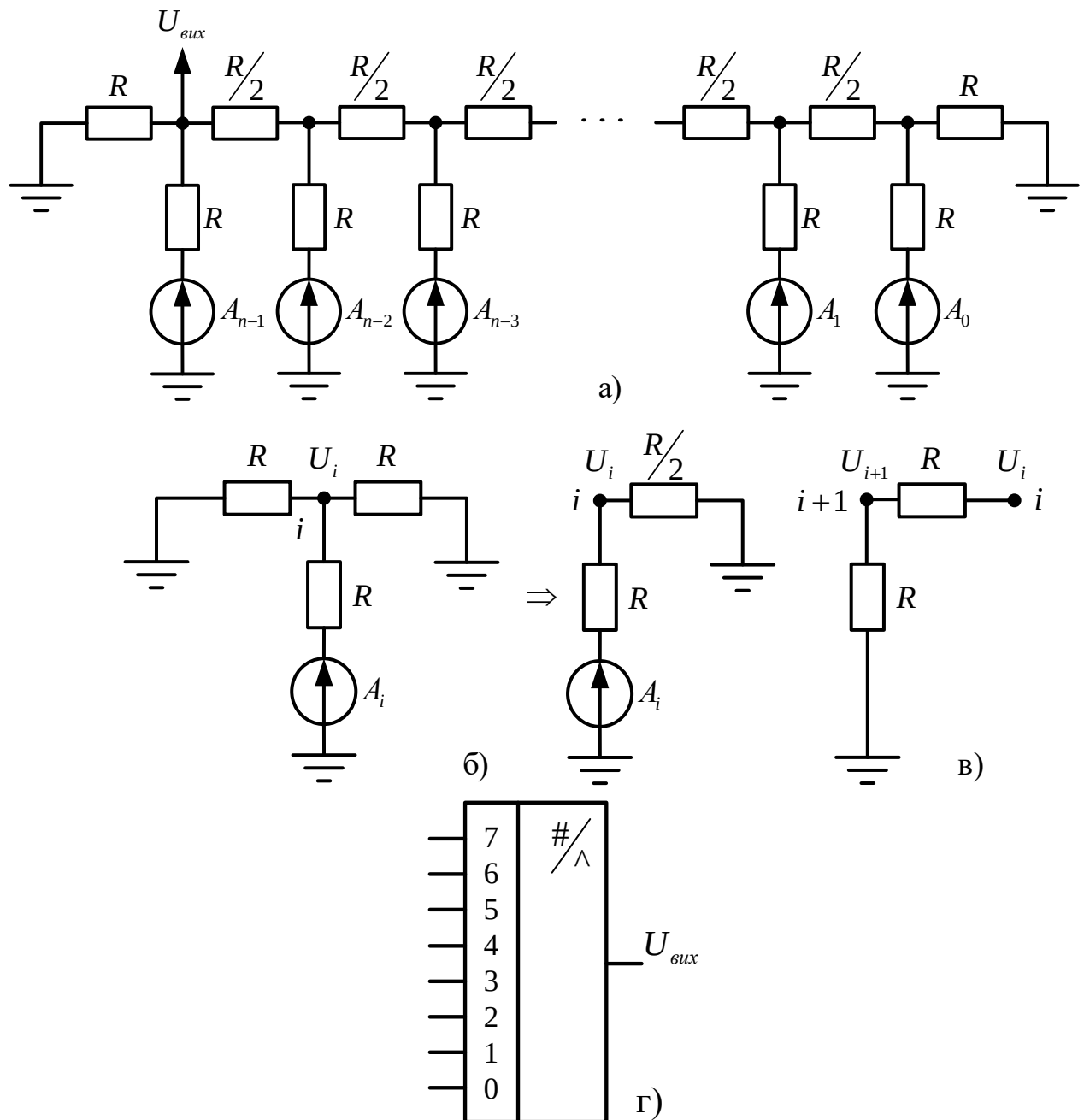


Рис. 3.53. Цифро-аналоговий перетворювач: а - схема «сходи опорів»; б - згортання схеми відносно вузла i ; в- згортання $i+1$ вузла відносно вузла i ; г - схемне позначення

В загальному випадку схема складається з n розрядів, напруга на кожному із яких задається ідеальним джерелом напруги, значення якої визначається виразом (1.33).

Аналіз схеми доцільно проводити із використанням суперпозиції лінійних схем, методом накладання. Це дає можливість визначити вихідну напругу $U_{вих}$, підсумовуючи впливи кожного окремого джерела напруги на вхідну напруги $U_{вих}$.

Розглянемо вплив на вхідну напруги $U_{вх}$ джерела A_i (рис. 3.53 (б)). При цьому у відповідності до методу накладання решту джерел схеми рис. 3.53 (а) слід замінити на внутрішній опір.

Спочатку слід визначити напругу вузла i , що розташований безпосередньо над джерелом A_i . Для цього виконаємо згортання схеми відносно вузла i . Згортання здійснюється із аналізу паралельного та послідовного з'єднання опорів схеми. Як зліва направо, так і з права наліво опори, номіналом R з'єднані між собою паралельно. Відповідно результуючий їх опір – $R/2$. Отриманий еквівалентний опір послідовно з'єднаний із опором $R/2$. В результаті отримаємо новий опір, номіналом R , який формує нову пару паралельних опорів, номіналом R . Результат згортання представлено на рис. 3.53 (б).

На схемі рис. 3.53 (б) лівий і правий опори, номіналом R теж з'єднані паралельно. Відповідно напруга у вузлі i буде:

$$U_i = \frac{R/2}{R + R/2} A_i = A_i/3 \quad (1.34)$$

Просуваючись від вузла до вузла ліворуч визначаємо напругу у вузлах, яку створює джерело A_i . Результат згортання схеми відносно i -го та $(i+1)$ -го вузлів представлено на рис. 3.53 (в). Як видно із рис. 3.53 (в) $(i+1)$ -й вузол розташований між однаковими опорами $R/2$. Відповідно напруга $U_{i+1} = U_i/2$. Таким чином у кожному наступному вузлі у напрямку вузла $U_{вх}$ напруга обумовлена джерелом A_i буде ділитися навпіл. Тоді частина вихідної напруги, що обумовлена джерелом A_i становитиме:

$$U_{вх.A_i} = \left(\frac{1}{2}\right)^{n-1-i} \left(\frac{A_i}{3}\right) \quad (1.35)$$

Тоді вихідна напруга схеми, враховуючи метод накладання, становитиме:

$$\begin{aligned} U_{вх} &= \left(\frac{1}{2}\right)^0 \left(\frac{A_{n-1}}{3}\right) + \left(\frac{1}{2}\right)^1 \left(\frac{A_{n-2}}{3}\right) + \dots + \left(\frac{1}{2}\right)^{n-2} \left(\frac{A_1}{3}\right) + \left(\frac{1}{2}\right)^{n-1} \left(\frac{A_0}{3}\right) = \\ &= \sum_{i=0}^{n-1} \left(\frac{1}{2}\right)^{n-1-i} \left(\frac{A_i}{3}\right) = \frac{1}{3 \cdot 2^{n-1}} \sum_{i=0}^{n-1} 2^i \cdot A_i \end{aligned} \quad (1.36)$$

де $\frac{1}{3 \cdot 2^{n-1}}$ – коефіцієнт пропорційності.

3.3.2 Побудова генераторів напруги для ЦАП

Важлива умова роботи ЦАП – незалежність напруг джерел A_i від навантаження з боку схеми «сходи опорів» а також точність цих напруг. Тобто наближеність їх до ідеальних прецизійних джерел напруги. Звичайні логічні елементи не можуть задовільнити ці умови у зв'язку із малою потужністю. До того ж часто необхідно, щоб масштабування здійснювалось не відносно напруги живлення, а від іншої напруги, що називається опорною. Така напруга позначається як V_{REF} і може бути присутня у вигляді окремого виводу у реальних мікросхемах АЦП, ЦАП та мікроконтролерів з АЦП та ЦАП [5, 22, 41].

Ці вимоги задовольняються за допомогою аналогових перемикачів, які з'єднують кожну вхідну лінію «сходів опорів» або з високоточним джерелом опорної напруги, або із землею залежно від значення a_i . Приклад такої схеми представлено на рис. 3.54.

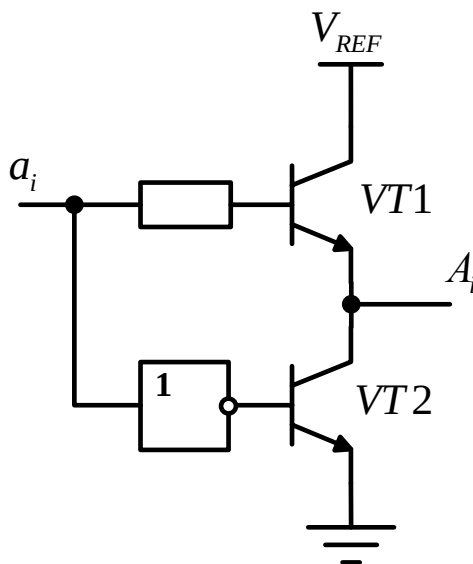


Рис. 3.54. Схема генератора напруги для одного розряду цифро-аналогового перетворювача

Транзистори VT1 і VT2 (рис. 3.54) вибираються з малим падінням напруги між К-Е в стані насичення для зменшення вхідного опору джерела напруги.

Замість сходів резисторів для підсумовування з вагами відповідно до подання двійкового числа у вигляді полінома можна використати операційний підсилювач (див. розділ 3.2.2.6).

Контрольні запитання до теми 3.3:

1. Намалюйте схемне позначення цифро-аналогового перетворювача.

2. Що таке ЦАП і для чого він використовується? Намалюйте схему генератора напруги для одного розряду ЦАП.
3. Які основні характеристики ЦАП (розрядність, швидкодія, похибка)?
4. Як будується генератор напруги на базі ЦАП?
5. Які основні параметри впливають на якість перетворення в АЦП?
6. Які приклади практичного використання ЦАП у мікропроцесорних системах можна навести?

Тема 3.4. Аналого-цифрові перетворювачі

Аналогово-цифрові перетворювачі (АЦП) призначені для перетворення аналогових сигналів у еквівалентний цифровий код, придатні для обробки мікропроцесорами та іншими цифровими пристроями.

Принципово не виключена можливість безпосереднього перетворення різних фізичних величин в цифрову форму, однак це завдання вдається вирішити лише в рідкісних випадках через складність таких перетворювачів. Тому в даний час найбільш раціональним вважається спосіб перетворення різних по фізичній природі величин спочатку в функціонально пов'язані з ними електричні, а потім вже за допомогою перетворювачів напруга-код – в цифрові. Саме ці перетворювачі мають зазвичай на увазі, коли говорять про АЦП [2, 7, 58].

В даний час відомо велика кількість методів перетворення напруга-код. Ці методи істотно відрізняються один від одного потенційною точністю, швидкістю перетворення і складністю апаратної реалізації [7, 45, 53]. Загальна класифікація АЦП представлена на рис. 3.55.

В основу класифікації АЦП покладено ознаку, що вказує на те, як в часі розгортається процес перетворення аналогової величини в цифрову. В основі перетворення вибіркового значення сигналу в цифрові еквіваленти лежать операції квантування і кодування. Вони можуть здійснюватися за допомогою послідовної, паралельної або послідовно-паралельної процедур наближення цифрового еквівалента до перетворюваної величини [7, 45, 53].

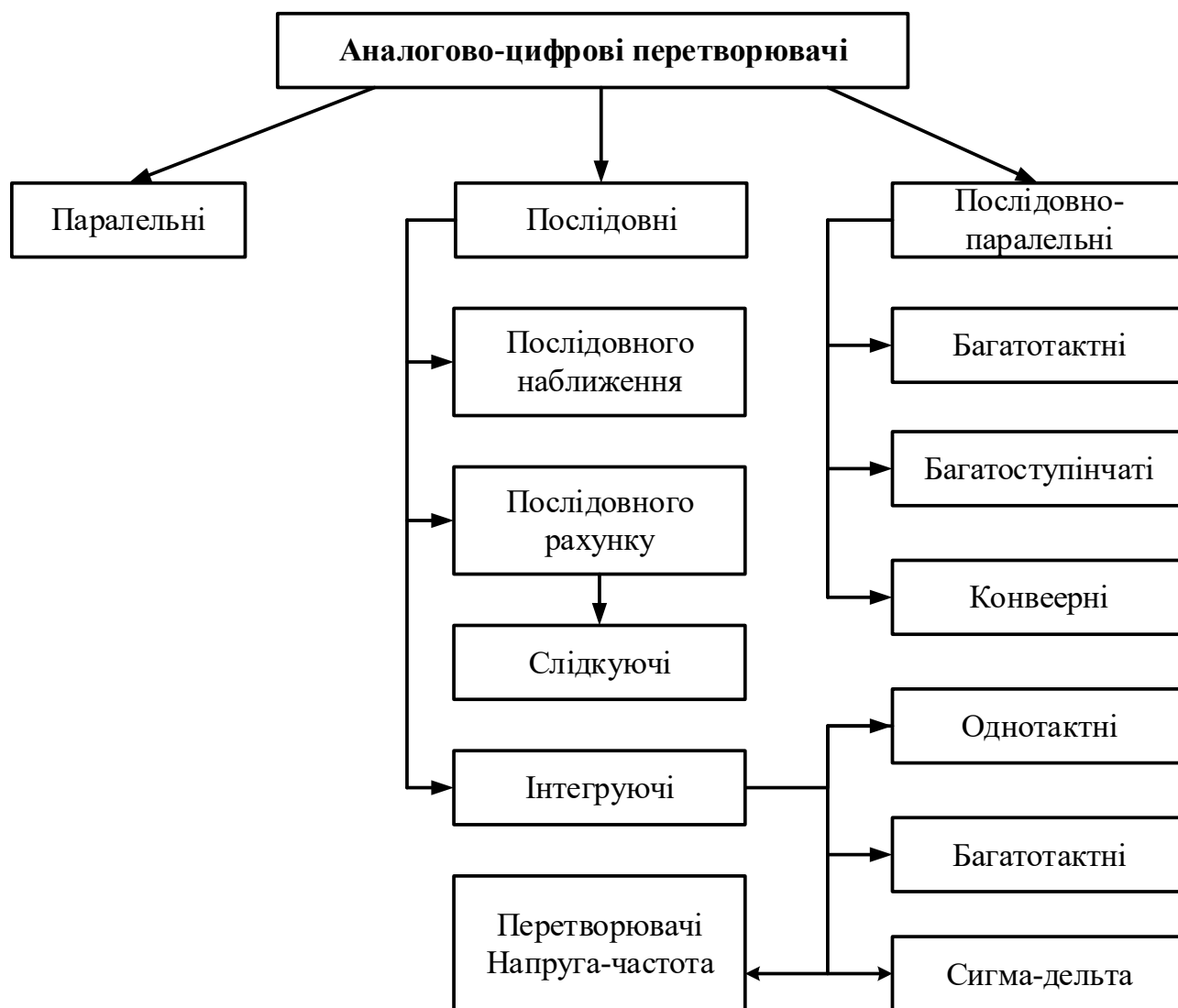


Рис. 3.55. Класифікація АЦП

В якості кодів зазвичай використовуються двійкові числа. Але зустрічаються і АЦП, що працюють із двійково-десятковими кодами, кодами для семисегментного індикатора, тощо.

3.4.1 Паралельні АЦП

АЦП цього типу здійснюють квантування сигналу одночасно за допомогою набору компараторів, включених паралельно джерелу вхідного сигналу. На рис. 3.56 показана реалізація паралельного методу АЦП для 3-розрядного числа.

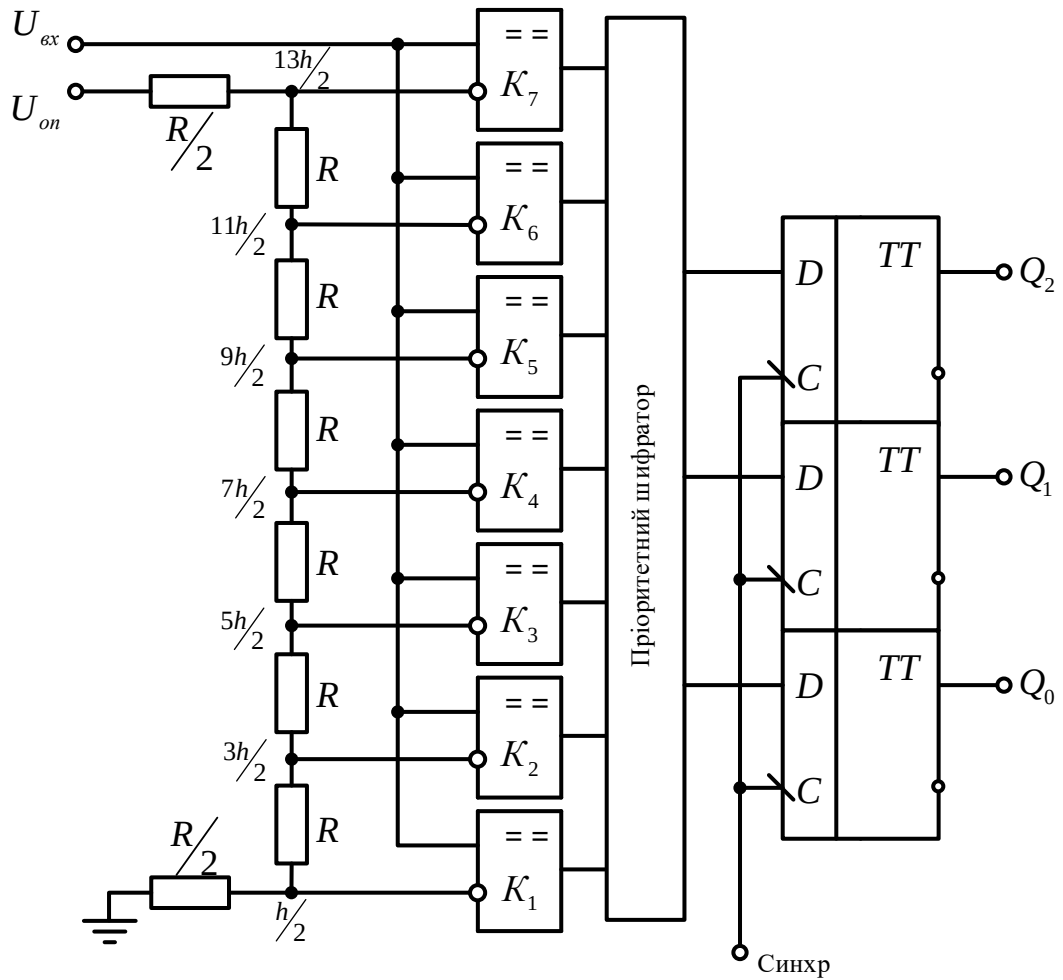


Рис. 3.56. Схема паралельного АЦП

За допомогою трьох двійкових розрядів можна представити вісім різних чисел, включаючи нуль. Отже, необхідно сім компараторів. Сім відповідних еквідистантних опорних напруг утворюються за допомогою резистивного дільника.

Якщо прикладена вхідна напруга не виходить за межі діапазону від $5h/2$, до $7h/2$, де $h = U_{on}/7$ – квант вхідної напруги, що відповідає одиниці молодшого розряду АЦП, то компаратори з 1-го по 3-й встановлюються в стан 1, а компаратори з 4-го по 7-й - в стан 0. Перетворення цієї групи кодів в тризначне двійкове число виконує логічний пристрій, який називається пріоритетним шифратором, автоматна таблиця якого представлена в табл. 3.10.

Таблиця 3.10. Автоматна таблиця пріоритетного шифратора

Вхідна напруга	Стан компараторів							Виходи		
$U_{ex}/7$	K_7	K_6	K_5	K_4	K_3	K_2	K_1	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Підключення пріоритетного шифратора безпосередньо до виходу АЦП може привести до помилкового результату при зчитуванні вихідного коду. Розглянемо, наприклад перехід від трьох до чотирьох, або в двійковому коді від 011 до 100. Якщо старший розряд внаслідок меншого часу затримки змінить свій стан раніше інших розрядів, то тимчасово на виході виникне число 111, тобто сім. Величина помилки в цьому випадку складе половину вимірюваного діапазону.

Так як результати АЦП записуються, як правило, в пристрій, існує ймовірність отримати повністю невірну величину. Вирішити цю проблему можна, наприклад, за допомогою пристрою вибірки-зберігання (ПВЗ). Деякі інтегральні мікросхеми (ІМС) паралельних АЦП, наприклад MAX100, забезпечуються надшвидкісними ПВЗ, що мають час вибірки порядку 0,1 нс. Інший шлях полягає у використанні коду Грея, характерною особливістю якого є зміна тільки однієї кодової позиції при переході від одного кодового значення до іншого. Нарешті, в деяких АЦП (наприклад, MAX1151) для зниження ймовірності збоїв при паралельному АЦП використовується двотактний цикл, коли спочатку стан виходів компараторів фіксуються, а потім встановлюється стан пріоритетного шифратора [2, 7, 41, 45, 53].

Як видно з табл. 3.10, при збільшенні вхідного сигналу компаратори встановлюються в стан 1 по черзі, починаючи від нижнього до верхнього. Така послідовність не гарантується при швидкому наростанні вхідного сигналу, оскільки через відмінності в тривалості затримки компаратори можуть перемикатися в іншому порядку. Пріоритетне кодування дозволяє уникнути помилки, можливої в цьому випадку, завдяки тому, що одиниці в молодших розрядах не беруться до уваги пріоритетним шифратором.

Завдяки одночасній роботі компараторів паралельний АЦП є найшвидшим. Наприклад, восьмизарядний перетворювач типу MAX104 дозволяє отримати 1 млрд відліків в секунду при часі затримки проходження сигналу не більше 1,2 нс. Недоліком цієї схеми є висока складність, Адже, N -розрядний паралельний АЦП стримає $2N-1$ компараторів і $2N$ узгоджених резисторів. Наслідком цього є висока вартість (сотні доларів США) і значна споживана потужність. Той же MAX104, наприклад, споживає близько 4 Вт.

3.4.2 Послідовно-паралельні АЦП

Послідовно-паралельні АЦП є компромісом між прагненням отримати високу швидкодію і бажанням зробити це по можливості меншою ціною. Послідовно-паралельні АЦП займають проміжне положення по роздільній здатності і швидкодії між паралельними АЦП і АЦП послідовного наближення. Послідовно-паралельні АЦП розділяють на багатоступінчасті, багатотактні та конвеєрні [2, 7, 41, 45, 53].

3.4.2.1 Багатоступінчасті послідовно-паралельні АЦП

У багатоступінчатому АЦП процес перетворення вхідного сигналу розділений у просторі. Як приклад на рис. 3.57 представлено схему двоступеневого 8-розрядного АЦП.

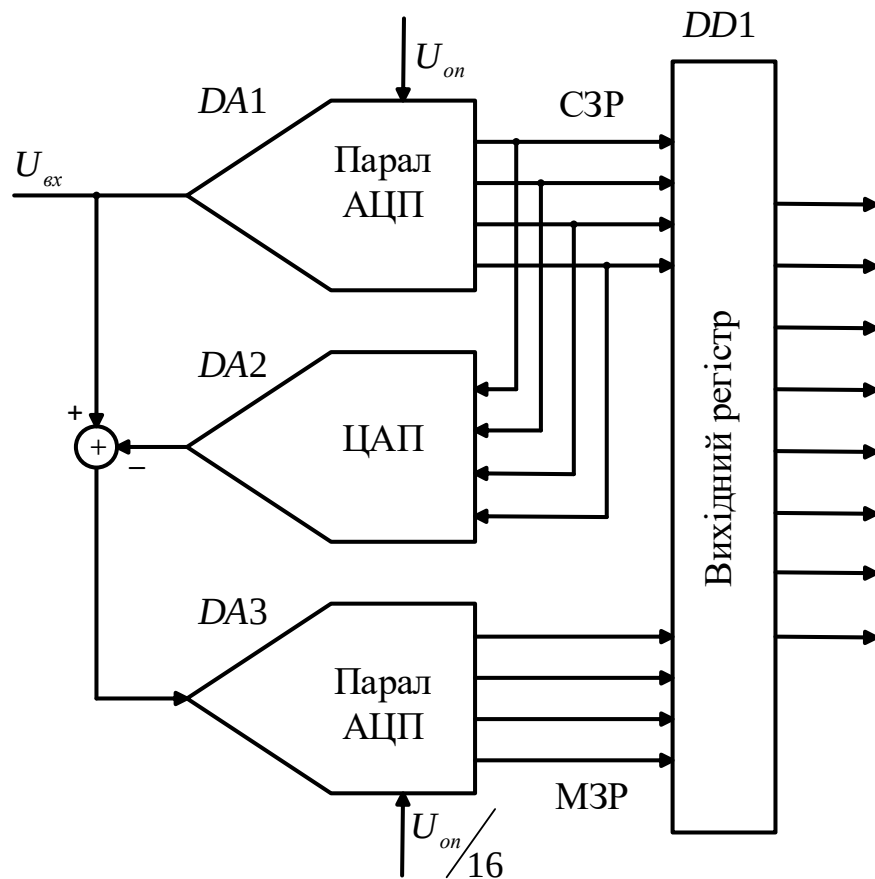


Рис. 3.57. Структурна схема двоступінчастого АЦП

АЦП $DA1$ здійснює грубе перетворення сигналу в чотири старших розряди вихідного коду. Цифрові сигнали з виходу АЦП $DA1$ надходять на вихідний регістр $DD1$ і одночасно на вхід 4-розрядного швидкодіючого ЦАП $DA2$. Залишок від віднімання вихідної напруги ЦАП $DA2$ з вхідної напруги надходить на вхід АЦП $DA3$, опорна напруга якого в 16 разів менше, ніж у АЦП $DA1$. Як наслідок, квант АЦП $DA3$ в 16 разів менший кванта АЦП $DA1$. Цей залишок, перетворений АЦП $DA3$ в цифрову форму є чотирьома молодшими розрядами вихідного коду. Різниця між АЦП $DA1$ і АЦП $DA3$ полягає насамперед у вимогах до точності: грубо наближена і точна величини повинні відповідати одній і тій же вхідній напрузі $U_{вх}$. Через наявність затримки сигналу на першому ступені виникає часове запізнення. Тому при використанні цього способу вхідну напругу необхідно підтримувати постійною за допомогою пристрою вибірки-зберігання до тих пір, поки не буде отримано всі біти цифрового коду.

Прикладами багатоступінчастих АЦП є $AD775$, $AD9040A$, $AD9042$, $AD9070$ [2, 7, 23, 41, 45, 53].

3.4.2.2 Багатотактні послідовно-паралельні АЦП

Розглянемо 8-розрядний послідовно-паралельний АЦП, що відноситься до типу багатотактних (рис. 3.58). Тут процес перетворення розділений у часі.

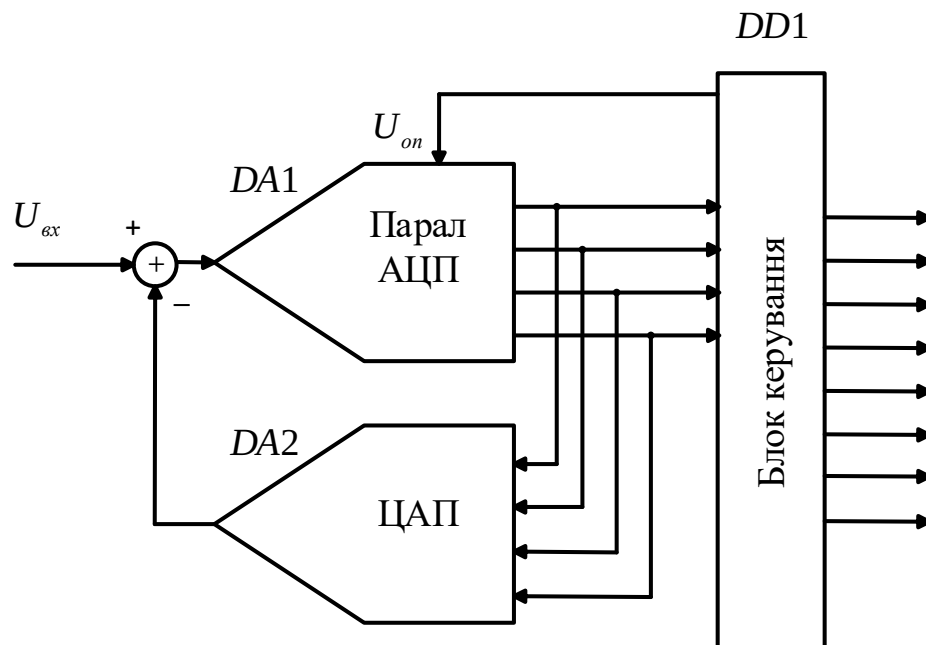


Рис. 3.58. Структурна схема двухтактного АЦП

Перетворювач складається з 4-розрядного паралельного АЦП $DA1$, квант h якого визначається величиною опорної напруги U_{on} , 4-розрядного ЦАП $DA2$ та блоку керування $DD1$, який поєднаний із вихідним регістром, що керує опорною напругою U_{on} .

Якщо максимальний вхідний сигнал дорівнює $2,56\text{ В}$, то в першому такті перетворювач працює з кроком квантування $h_1 = 0,16\text{ В}$. В цей час вхідний код ЦАП $DA2$ дорівнює нулю. Блок управління в першому такті дає сигнал на внутрішній регістр зафіксувати чотири старших розряди. Ці 4 розряди подаються на вхід ЦАП $DA2$, при цьому блок управління зменшує в 16 разів опорну напругу U_{on} АЦП $DA1$. Таким чином, у другому такті крок квантування $h_2 = 0,01\text{ В}$ залишок, що утворився при відніманні з вхідної напруги схеми вихідної напруги ЦАП $DA2$, буде перетворений в молодший напівбайт вихідного слова та зафіксований у регістрі, що входить до складу блоку управління $DD1$.

Очевидно, що використовуються в цій схемі 4-розрядні АЦП і ЦАП повинні мати 8-розрядну точність, в іншому випадку можливий пропуск кодів (тобто при монотонному наростанні вхідної напруги вихідний код АЦП не прийматиме деякі значення зі своєї шкали). Так само, як і в попередньому перетворювачі, вхідна напруга багатотактного АЦП під час перетворення

повинна бути незмінною, для чого між його входом і джерелом вхідного сигналу слід включити пристрій вибірки-зберігання.

Швидкодію розглянутого багатотактного АЦП визначається повним часом перетворення 4-розрядного АЦП, часом спрацьовування цифрових схем управління, часом встановлення ЦАП з похибкою, що не перевищує 0,2 ... 0,3 кванта 8-розрядного АЦП, причому час перетворення АЦП входить в загальний час перетворення двічі. В результаті при інших рівних умовах перетворювач такого типу виявляється повільнішим за двоступеневий перетворювач, який був розглянутий вище. Однак він простіший і дешевший. За швидкодією багатотактний АЦП займає проміжне положення між багатоступінчастими АЦП і АЦП послідовного наближення. Прикладами багатотактних АЦП є трьохтактний 12-розрядний AD7886 з часом перетворення 1 мкс, або трьохтактний 16-розрядний AD1382 з часом перетворення 2 мкс [2, 7, 23, 41, 45, 53].

3.4.2.3 Конвеєрні послідовно-паралельні АЦП

Швидкодія багатоступінчастого АЦП можна підвищити, застосувавши конвеєрний принцип багатоступінчастої обробки вхідного сигналу. У звичайному багатоступінчастому АЦП (рис. 3.57 розділ 3.4.2.1) спочатку відбувається формування старших розрядів вихідного слова за допомогою АЦП DA1, а потім йде період встановлення вихідного сигналу ЦАП DA2. На цьому інтервалі АЦП DA3 простоює. На другому етапі під час перетворення залишку перетворювачем АЦП DA3 простоює АЦП DA1. Ввівши елементи затримки аналогового і цифрового сигналів між ступенями перетворювача, отримаємо конвеєрний АЦП, схема 8-розрядного варіанта якого наведена на рис. 3.59.

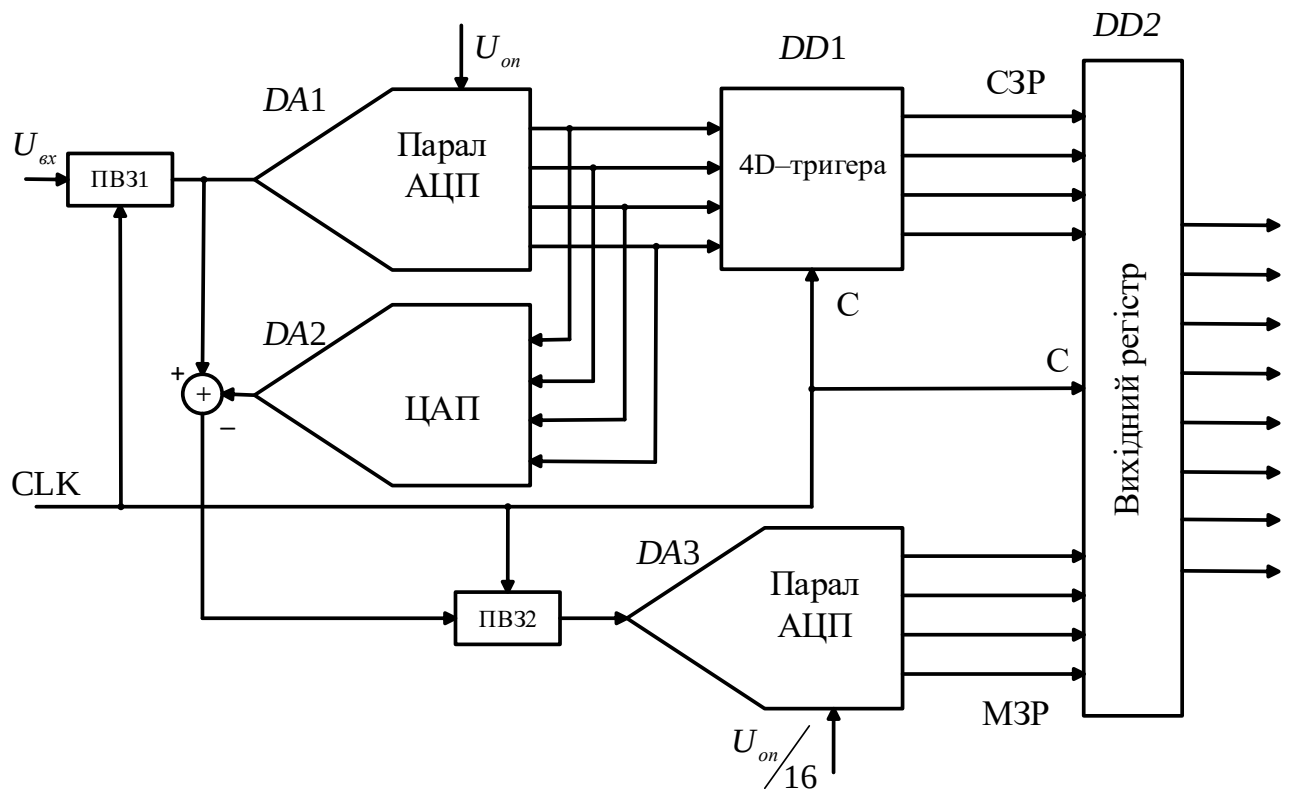


Рис. 3.59. Структурна схема конвеєрного АЦП

Роль аналогового елемента затримки виконує пристрій вибірки-зберігання ПБ31, а цифрового – група з 4-х D-тригерів DD1. Група D-тригерів DD1 затримує передачу старшого напівбайта в вихідний регістр DD2 на один період тактового сигналу CLK.

Сигнали вибірки, що формуються за тактовим сигналом, поступають на ПБ31 та ПБ32 в різні моменти часу (рис. 3.60). ПБ32 переводиться в режим збереження пізніше, ніж ПБ31 на час Δt_1 , що дорівнює сумарній затримці розповсюдження сигналу по АЦП DA1 і ЦАП DA2. Задній фронт тактового сигналу керує записом кодів в групу D-тригерів DD1 і вихідний регістр DD2. Повна обробка вхідного сигналу займає близько двох періодів CLK, але частота появи нових значень вихідного коду дорівнює частоті тактового сигналу [2, 7, 23, 41, 45, 53].

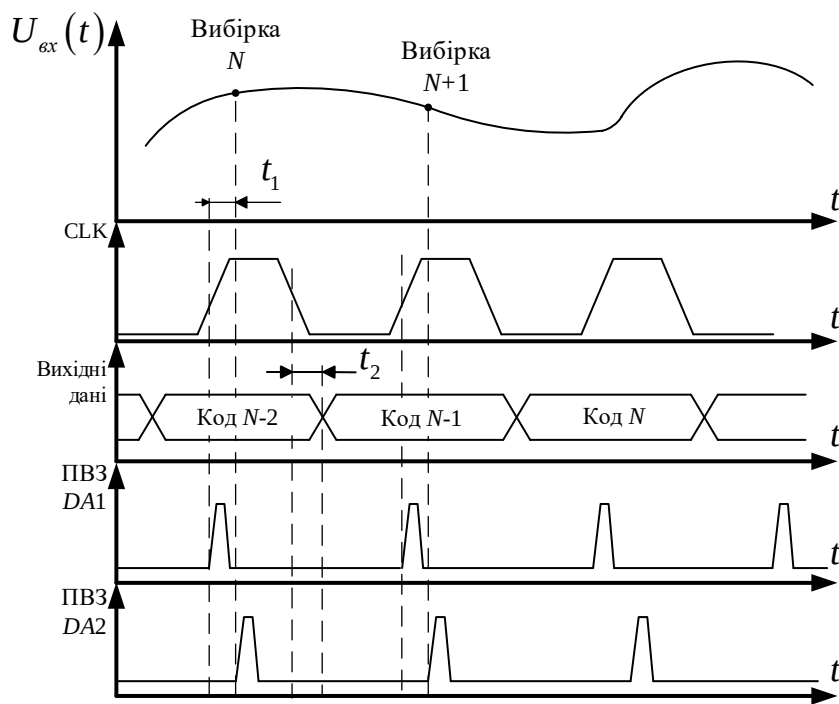


Рис. 3.60. Діаграма роботи конвеєрного АЦП

Таким чином, конвеєрна архітектура дозволяє істотно (в кілька разів) підвищити максимальну частоту вибірок багатоступінчастого АЦП. Те, що при цьому зберігається сумарна затримка проходження сигналу, що відповідає звичайному багатоступінчастому АЦП з рівним числом ступенів, не має істотного значення, так як час наступної цифрової обробки цих сигналів все одно в багато разів перевищує цю затримку. За рахунок цього можна без програшу у швидкодії збільшити число ступенів АЦП, знизивши розрядність кожної ступені. У свою чергу, збільшення числа ступенів перетворення зменшує складність АЦП. Наприклад, для побудови 12-розрядного АЦП з чотирьох 3-розрядних необхідно 28 компараторів, тоді як його реалізація з двох 6-розрядних вимагає 126 компараторів.

Велика кількість багатоступеневих АЦП, що випускаються в даний час, мають конвеєрну архітектуру. Зокрема, 2-ступінчастий 10-розрядний AD9040A, що виконує до 40 млн. перетворень в секунду (Мпс), 4-ступінчастий 12-розрядний AD9220 (10 Мпс), що споживає всього 250 мВт та інші. При виборі конвеєрного АЦП слід пам'ятати, що більшість з них не допускають роботу з низькою частотою вибірок. Наприклад, виробник не рекомендує роботу АЦП AD9040A з частотою перетворень менше 10 Мпс, 3-ступеневої 12-розрядної AD9022 з частотою менше 2 Мпс і т.д. Це викликано тим, що внутрішні ПВЗ мають досить високу швидкість розряду конденсаторів зберігання, на яких вони

побудовані, тому робота з великим тактовим періодом призводить до значної зміни сигналу в ході внутрішніх АЦП [2, 7, 23, 41, 45, 53].

3.4.3 Послідовні АЦП

Послідовні АЦП із використанням режиму «проб і помилок». Перетворення починається з деякого вихідного випробуваного коду, що перетворюється ЦАП-ом в аналогову форму й порівнюється з вхідним аналоговим сигналом. За результатами порівняння випробуваний код коректується. Потім спроба повторюється з новим кодом. Процес повторюється, поки не буде підібраний код, що відповідає заданій вхідній напрузі. При цьому припускається, що вхідна аналогова напруга промасштабована й відповідає діапазону ЦАП, що входить до складу АЦП [2, 23, 41, 53, 58].

3.4.3.1 Послідовний АЦП із підсумовуючим лічильником

Загальна структурна схема послідовного АЦП з підсумовуючим лічильником представлено на рис. 3.61.

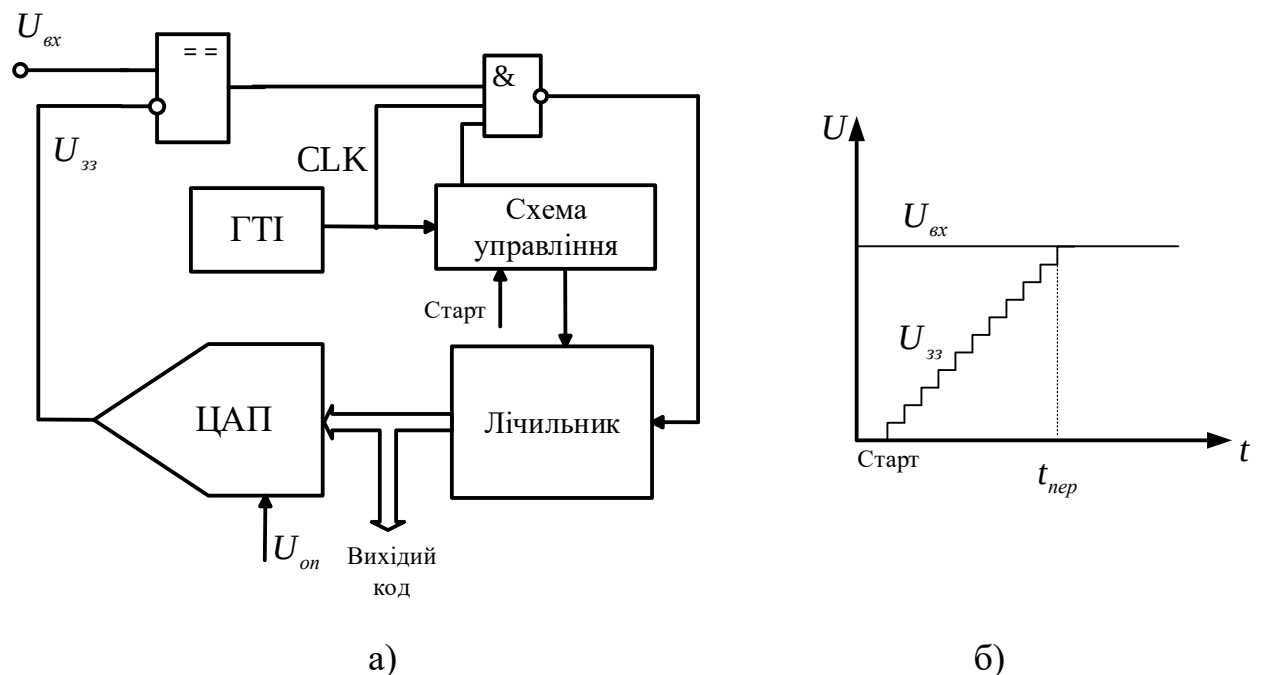


Рис.3.61. Послідовне АЦП: а - структурна схема; б - часова діаграма роботи

Робота перетворювача зазвичай починається з приходу імпульсу запуску, який скидає та запускає лічильник, що підсумовує кількість імпульсів, що надходять від генератора тактових імпульсів (ГТІ). Вихідний код лічильника подається на ЦАП, що здійснює його перетворення в напругу зворотного зв'язку $U_{зз}$. Процес перетворення триває до тих пір, поки напруга зворотного зв'язку

зрівняється із вхідною напругою і переключиться компаратор, який своїм вихідним сигналом припинить надходження тактових імпульсів на лічильник. Перехід виходу компаратора з 1 в 0 означає завершення процесу перетворення. Вихідний код, пропорційний вхідній напрузі в момент закінчення перетворення, зчитується з виходу лічильника.

Принципова схема класичного послідовного АЦП з підсумовуючим лічильником представлено на рис. 3.62. Процес перетворення починається із скидання лічильника $DD3$ у 0 шляхом подачі логічної «1» на вхід R , який відповідає входу ST АЦП. На виході лічильника $DD3$ встановлюється комбінація 00000000. Вона надходить на ЦАП $DA1$ та перетворюється у аналогову величину $U_{ЦАП} = 0В$, і порівнюється на компараторі $DA2$ із вхідною напругою, що перетворюється $U_{вх}$. Поки $U_{ЦАП} < U_{вх}$ на виході компаратора $DA2$ логічна «1», яка надходить на елемент «І» $DD2$ і дозволяє проходження прямокутних імпульсів від генератора $DD1$ на лічильник $DD3$. Після кожного з таких імпульсів двійкове число на виході $DD3$ збільшується і відповідно зростає напруга $U_{ЦАП}$. В якийсь момент $U_{ЦАП}$ стане більше $U_{вх}$ і на виході $DA2$ з'явиться логічний «0», який заблокує подальше проходження сигналів через $DD2$, а також сформує через $DD4$ сигнал завершення перетворення у вигляді логічної 1 на виході RDY . Після цього підібране двійкове число, що відповідає вхідній напрузі, може бути зчитане з виходів лічильника $DD3$, які і є виходами АЦП.

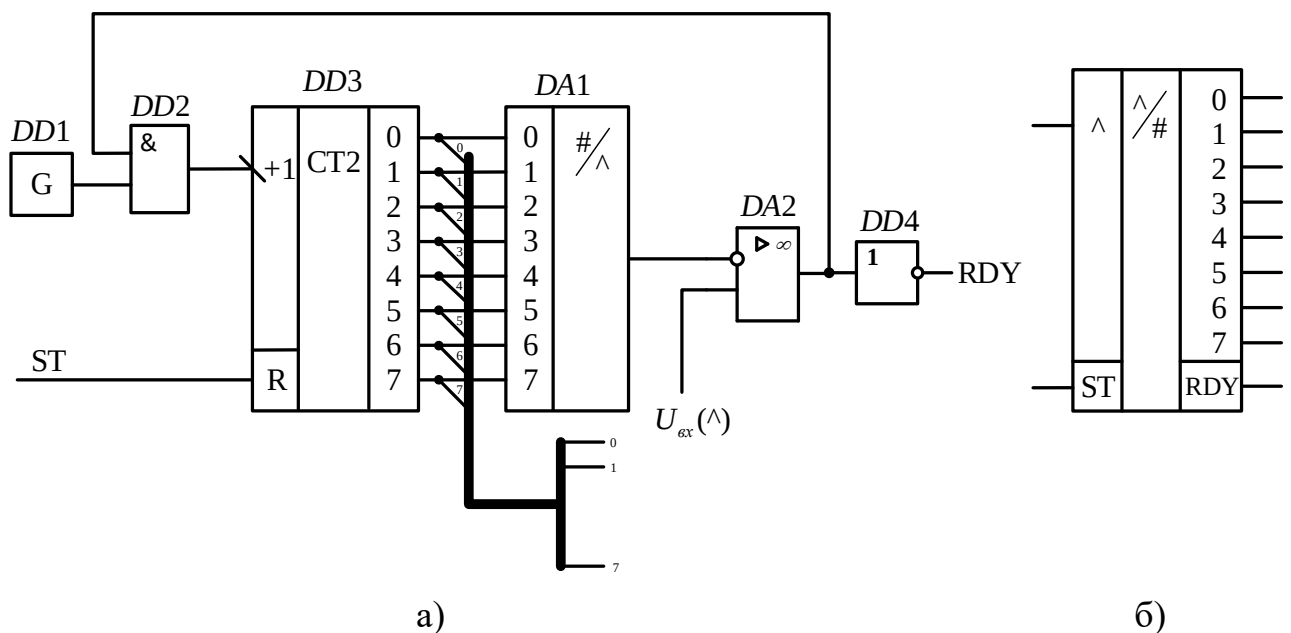


Рис. 3.62. Послідовний АЦП із підсумовуючим лічильником: а - внутрішня схема; б - схемне позначення

Час перетворення класичного послідовного АЦП є змінним і визначається вхідною напругою. Його максимальне значення відповідає максимальній вхідній напрузі.

При роботі без пристрою вибірки-зберігання перетворення надзвичайно сильно залежить від пульсацій вхідної напруги. При наявності високочастотних пульсацій середнє значення вихідного коду нелінійно залежить від середнього значення вхідної напруги. Це означає, що АЦП даного типу без пристрою вибірки-зберігання придатні для роботи з постійними або повільно змінюються напругами, які за час перетворення змінюються не більше, ніж на значення кванта перетворення.

Таким чином, особливістю послідовного АЦП із підсумовуючим лічильником є невелика швидкість перетворення, що становить декількох тисяч перетворень в секунду (sample-per-second - sps). Перевагою АЦП даного класу є порівняльна простота побудови, обумовлена послідовним характером виконання процесу перетворення.

Перевагою схеми є простота, а недоліком – непостійний час перетворення [2, 23, 41, 53, 58].

3.4.3.2 Послідовний АЦП із реверсивним лічильником

Ще одним різновидом послідовного АЦП є послідовний АЦП з реверсивним лічильником принципова схема якого представлено на рис. 3.63. Особливістю схеми є те, що вона починає перетворення з попереднього підібраного значення.

Перш ніж почати розглядати роботу схеми слід визначитись із елементом *DA2*, яка в реальності більш складна, а на схемі рис. 3.63а представлена як компаратор із двома виходами *H* та *L*. Для даної схеми робота *DA2* визначається наступним чином:

$$\begin{cases} H=1 & \text{якщо } U_{ЦАП} < U_{вх} - \Delta \\ L=1 & \text{якщо } U_{ЦАП} > U_{вх} + \Delta \end{cases} \quad (1.37)$$

При початку перетворення прямокутні імпульси від генератора *DD1* надходить на 2 логічні елементи «І» *DD2* та *DD3*. А от через який з цих елементів ці імпульси пройдуть далі визначається роботою елемента *DA2* [2, 23, 41, 53, 58].

Розглянемо діаграму роботи АЦП із реверсивним лічильником, що представлена на рис. 3.63в. Нехай $U_{ЦАП} < U_{вх}$. Тоді $H=1$, яка надходить на *DD2*

та дозволяє проходження імпульсів від $DD1$ на вхід «+1» $DD4$, що призводить до збільшення лічильної послідовності реверсивного лічильника $DD4$. В результаті збільшення лічильної послідовності збільшується і напруга $U_{ЦАП}$, яка є результатом перетворення лічильної послідовності лічильника $DD4$ у аналоговий еквівалент ЦАП $DA1$.

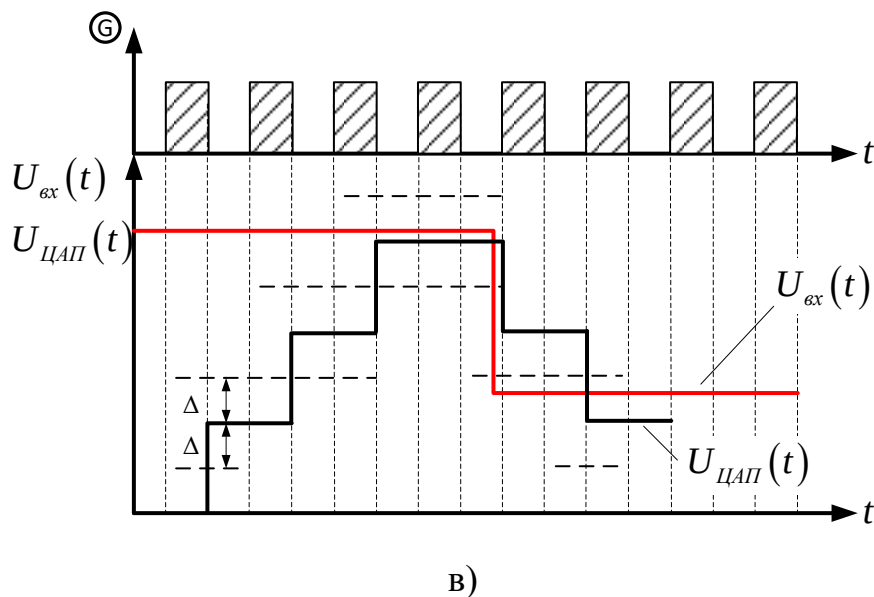
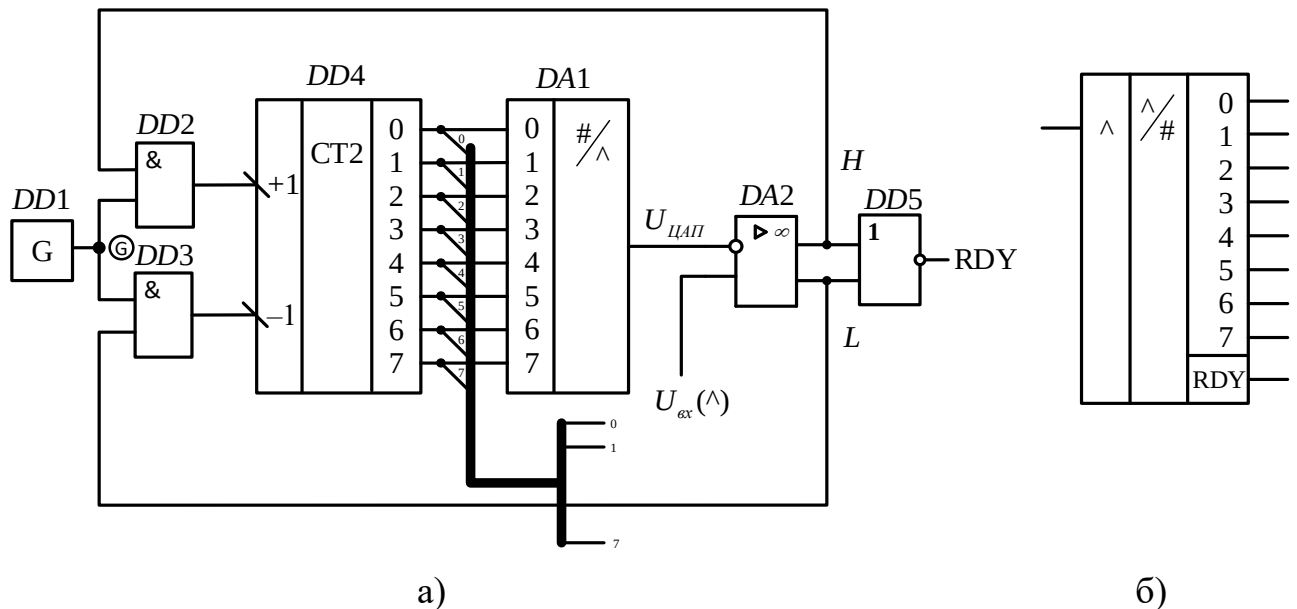


Рис. 3.63. Послідовний АЦП із реверсивним лічильником: а - внутрішня схема; б - схемне позначення; в - часова діаграма роботи

В якийсь момент напруга $U_{ЦАП}$ виросте настільки, що умова 1 виразу (1.37) перестане виконуватись H стане «0», що припинить проходження імпульсів від $DD1$ через $DD2$ на $DD4$. При цьому, тому що 2 виразу (1.37) теж не виконується, тобто $L = 0$, то і імпульси від $DD1$ через $DD3$ на $DD4$ теж не проходять.

Відповідно імпульси на $DD4$ не проходять, що і є ознакою завершення перетворення. Сигнал завершення перетворення формується через елемент $DD5$.

При зниженні U_{ex} спрацьовує умова 2 виразу (1.37), $L=1$ та розблоковується проходження імпульсів від $DD1$ через $DD3$ на вхід «-1» $DD4$, що призводить до зменшення лічильної послідовності $DD4$ та зменшенню $U_{\text{ЦАП}}$.

Таким чином у $DA2$ є мертва зона шириною $2 \cdot \Delta$ в межах якої $H = L = 0$. Підбір $U_{\text{ЦАП}}$ такого, що U_{ex} потрапляє у цю зону і є ознакою завершення перетворення.

Важливим є вибір значення Δ . Значення Δ повинне вибиратися таким чином, щоб у «мертву зону» потрапляло тільки одне значення лічильника. Ширина «мертвої зони» $2 \cdot \Delta$ повинна бути більше зміни $U_{\text{ЦАП}}$ при переході до сусіднього значення, що відповідає аналоговій вазі молодшого біта лічильника ($W_{\text{мб}}$), однак ширина «мертвої зони» не повинна бути більше двох ваг молодшого біта лічильника:

$$W_{\text{мб}} < 2 \cdot \Delta < 2 \cdot W_{\text{мб}} \quad (1.38)$$

Перевагою схеми є швидша робота, у зв'язку із тим, що підбір нової комбінації починається з попереднього підбраного значення, а не з початкової комбінації, що при сигналах, що змінюються повільно є ефективним. При різких змінах U_{ex} АЦП втрачає свою основну перевагу – швидкодію, і стає аналогічним АЦП із підсумовуючим лічильником. При цьому слід зазначити, що час перетворення все одно залишається непостійним.

Переваги та недоліки хоч і аналогічні послідовному АЦП із підсумовуючим лічильником, хоч і якісно кращі від нього [2, 23, 41, 53, 58].

3.4.3.3 АЦП за методом послідовних наближень

Перетворювач цього типу, званий в літературі також АЦП з порозрядним врівноважуванням, є найбільш поширеним варіантом послідовних АЦП.

В основі роботи цього класу перетворювачів лежить принцип дихотомії, тобто послідовного порівняння вимірюваної величини з $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$ і т.д. від її можливого максимального значення. Це дозволяє для N -розрядного АЦП послідовного наближення виконати весь процес перетворення за N послідовних кроків (ітерацій) замість $2N - 1$ кроків і отримати суттєву перевагу в швидкодії. Так, уже при $N = 10$ цей виграш досягає 100 разів і дозволяє отримати за

допомогою таких АЦП до 105-106 перетворень в секунду. У той же час статична похибка цього типу АЦП, що визначається в основному якістю ЦАПБ що в ньому використовується і може бути дуже малою, що дозволяє реалізувати роздільну здатність до 18 двійкових розрядів при частоті вибірок до 200 sps (наприклад, DSP101 фірми Burr-Brown) [2, 23, 41, 53, 58].

Структурна схема АЦП послідовного наближення представлена на рис. 3.64

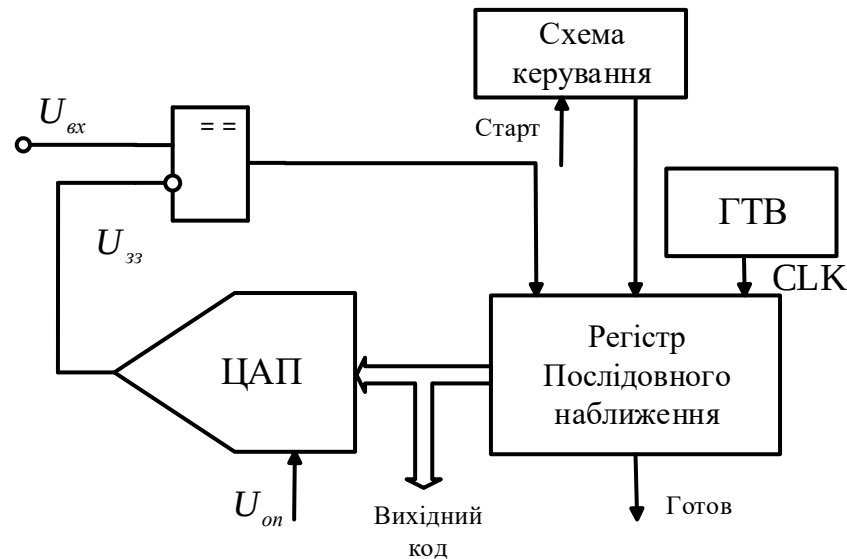


Рис. 3.64. Структурна схема АЦП послідовного наближення

Такий тип АЦП доцільно використовувати у тих випадках, коли один АЦП використовується для послідовного перетворення аналогових сигналів зі строгою періодичністю за фіксований час, що не залежить від конкретних значень аналогових сигналів, використовується метод послідовних наближень [2, 23, 41, 53, 58]. Принципова схема АЦП послідовного наближення представлено на рис. 3.65 (а).

Перетворення починається із подачі логічної «1» на вхід ST, по якій скидається лічильник *DD3* та регістр *DD6*. На їх виходах встановлюються логічні «0». При цьому 000 з виходів *DD3* потрапляє на дешифратор *DD4* і декодується у комбінацію 00000001 на його виходах. Логічна «1» з виходу «0» дешифратора *DD4* встановлює старший розряд регістра *DD6*, що призводить до появи на виході регістра *DD6* і ЦАП *DA1* комбінації 10000000 (128).

Якщо еквівалента напруга $U_{ЦАП}$ вище U_{ex} , то на виході *DA2* з'являється логічна «1», яка надходить на елементи *DD5.1- DD5.8*. При цьому з виходу «0» дешифратора *DD4* на верхній вхід *DD5.1* теж надходить логічна «1», яка формує сигнал скидання старшого розряду регістра *DD6* (див. рис. 3.65 (б)).

Якщо еквівалента напруга $U_{ЦАП}$ нижче U_{ex} , то на виході *DA2* з'являється логічний «0», яка надходить на елементи *DD5.1- DD5.8* і блокує їх. В результаті старший розряд регістра *DD6* залишається у встановленому стані (див. рис. 3.65 (б)).

Логічний «0» з виходу «8» лічильника *DD3* після інверсії на вході елемента «I» *DD2* дозволяє проходження імпульсів від генератора *DD1* через *DD2* на лічильник *DD3*. Відповідно черговий імпульс збільшить лічильну послідовність у лічильнику *DD3*. На його виході з'явиться комбінація 001, що надходить на дешифратор *DD4*. Він декодує її у комбінацію 00000010, що призведе до перевірки 6-го розряду двійкового числа аналогічно старшому.

Після восьми тактів від генератора *DD1* будуть перевірені всі розряди двійкового числа, на виході регістра *DD4* буде знаходитись підібраний двійковий код. При цьому на виході «8» лічильника *DD3* з'явиться логічна «1», яка заблокує подальше проходження імпульсів від генератора *DD1* через *DD2* на лічильник *DD3* а також слугує сигналом завершення перетворення.

Більшість інтегральних мікросхем АЦП послідовного наближення, що випускаються в даний час, (наприклад, 12-розрядний MAX191, 16-розрядний AD7882 і ін.), мають вбудовані пристрої вибірки-зберігання або, частіше, пристрої спостереження-збереження (track-hold), керовані сигналом запуску АЦП. Пристрій спостереження-збереження відрізняється тим, що постійно знаходиться в режимі вибірки, переходячи в режим зберігання лише на час перетворення сигналу.

Даний клас АЦП займає проміжне положення по швидкодії, вартості та роздільної здатності між послідовно-паралельними і інтегруючими АЦП і знаходить широке застосування в системах управління, контролю і цифрової

обробки сигналів. Перевагою АЦП послідовного наближення є детермінований час перетворення (8 тактів для схеми рис. 3.65 (а)).

3.4.4 Інтегруючі АЦП. АЦП багатотактного інтегрування

Недоліком розглянутих вище послідовних АЦП є низька завадостійкість результатів перетворення, адже вибірка миттєвого значення вхідної напруги, зазвичай включає додток у вигляді миттєвого значення завади. Згодом при цифровій обробці послідовності вибірок ця складова завади може бути вилучена чисельними методами, проте на це потрібен час і обчислювальні ресурси. В АЦП, розглянутих нижче, вхідний сигнал інтегрується або безперервно, або на певному часовому інтервалі, тривалість якого зазвичай обирається кратною періоду завади. Це дозволяє в багатьох випадках видалити заваду ще на етапі перетворення. Ціною цього є зменшена швидкодія таких АЦП [2, 7, 23, 41, 53, 58].

Спрощена структурна схема інтегруючого АЦП, що працює за два основних такти (АЦП двотактного інтегрування), представлена на рис. 3.66.

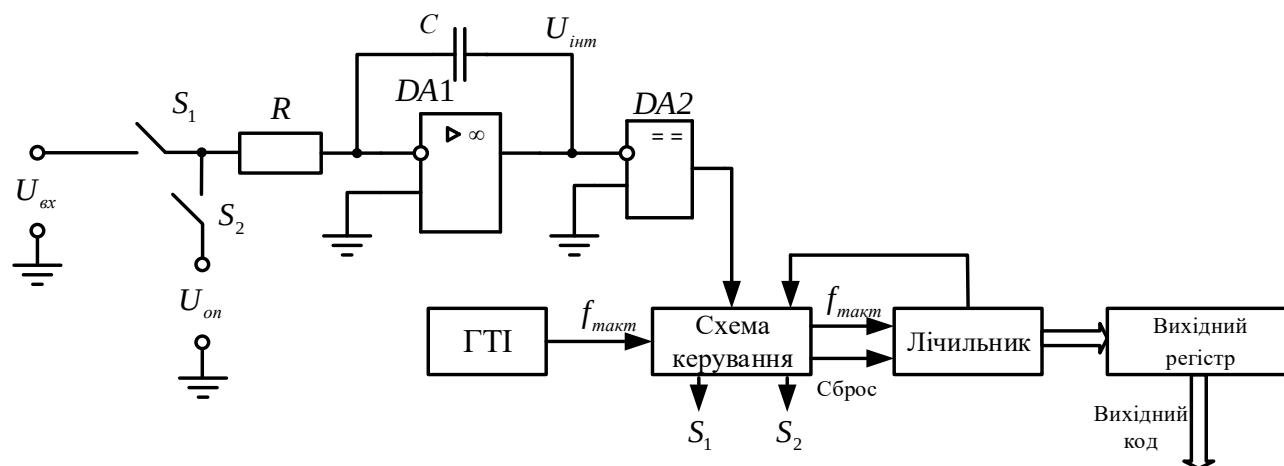


Рис. 3.66. Спрощена схема АЦП двотактного інтегрування

Перетворення проходить дві стадії: стадію інтегрування і стадію рахування. На початку першої стадії ключ S_1 замкнений, а ключ S_2 розімкнений. Інтегратор $DA1$ інтегрує вхідну напругу $U_{вх}$. Час інтегрування вхідної напруги t_1 – постійний; в якості таймера використовується лічильник з коефіцієнтом перерахунку $K_{рах}$, так що

$$t_1 = \frac{K_{рах}}{f_{такт}} \quad (1.39)$$

До моменту закінчення інтегрування вихідна напруга інтегратора U_{int} складає

$$U_{int} = -\frac{1}{RC} \int_0^{t_1} U_{ex}(t) dt = -\frac{U_{ex.сер} K_{раx}}{f_{такт} RC} \quad (1.40)$$

де $U_{ex.сер}$ – середнє за час t_1 вхідна напруга. Після закінчення стадії інтегрування ключ $S1$ розмикається, а ключ $S2$ замикається і опорна напруга U_{on} надходить на вхід інтегратора. При цьому обирається опорна напруга, протилежна за знаком вхідній напрузі. На стадії відліку вихідна напруга інтегратора лінійно зменшується за абсолютною величиною, як показано на рис. 3.67.

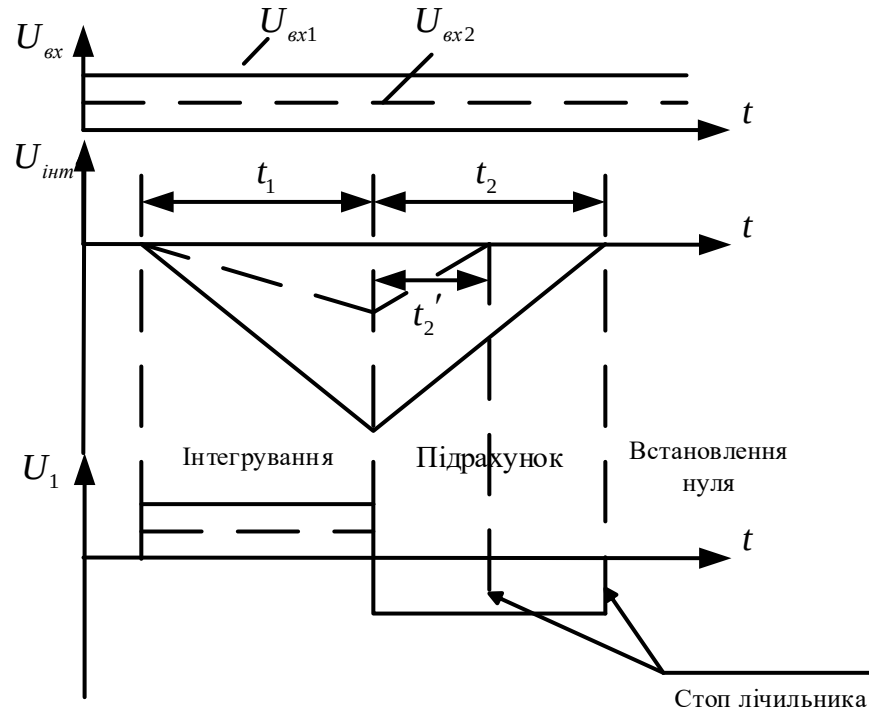


Рис. 3.67. Часові діаграми АЦП двухтактного інтегрування

Стадія підрахунку закінчується, коли вихідна напруга інтегратора переходить через нуль. При цьому компаратор $DA2$ перемикається і підрахунок зупиняється. Інтервал часу, в якому проходить стадія підрахунку, визначається рівнянням

$$U_{int}(t_1) + \frac{1}{RC} \int_{t_1}^{t_1+t_2} U_{on} dt = 0 \quad (1.41)$$

Підставивши значення $U_{int}(t_1)$ з (1.40) в (1.41) з урахуванням того, що

$$t_2 = \frac{n_2}{f_{такт}} \quad (1.42)$$

де n_2 – вміст лічильника після закінчення стадії відліку, отримаємо результат

$$n_2 = \frac{U_{ex.cер} K_{pax}}{U_{on}} \quad (1.43)$$

З виразу (1.43) випливає, що відмінною рисою методу багатотактного інтегрування є те, що ні тактова частота, ні постійна інтегрування РС не впливають на результат. Необхідно тільки вимагати, щоб тактова частота протягом часу $t_1 + t_2$ залишалася незмінною. Це можна забезпечити при використанні простого тактового генератора, оскільки істотні часові або температурні дрейфи частоти відбуваються за час незрівнянно більший, ніж час перетворення.

З виразів (1.39) – (1.43) видно, що результат перетворення АЦП не залежить від миттєвих значень напруги, що перетворюється, а залежить тільки від середнього значення вхідної напруги на інтервалі часу t_1 . Тому коефіцієнт передачі завад, які є змінними складовими вхідної напруги, зменшується з ростом частоти.

Визначимо коефіцієнт передачі завади K_{Π} для АЦП двотактного інтегрування. Нехай на вхід інтегратора надходить гармонійний сигнал одиничної амплітуди частотою f з довільною початковою фазою φ . Середнє значення цього сигналу за час інтегрування t_1 визначається як

$$U_{сер} = \frac{1}{t_1} \int_0^{t_1} \sin(2\pi ft + \varphi) dt = \frac{\sin(2\pi ft_1 + \varphi) \pi ft_1}{\pi ft_1} \quad (1.44)$$

Ця величина досягає максимуму по модулю при $\varphi = \pm \pi k$ при $\varphi = \pm \pi k$, $k = 0, 1, 2, \dots$ У цьому випадку

$$K_{\Pi} = \left| \frac{\sin^2(\pi ft_1)}{\pi ft_1} \right| \quad (1.45)$$

З (1.45) випливає, що гармонічні складові, період яких кратний періоду інтегрування t_1 , пригнічуються абсолютно (рис. 3.68). Тому доцільно вибрати тактову частоту такою, щоб добуток $K_{pax} f_{такт}$ був би рівним, або кратним періоду напруги промислової частоти [2, 7, 23, 41, 53, 58].

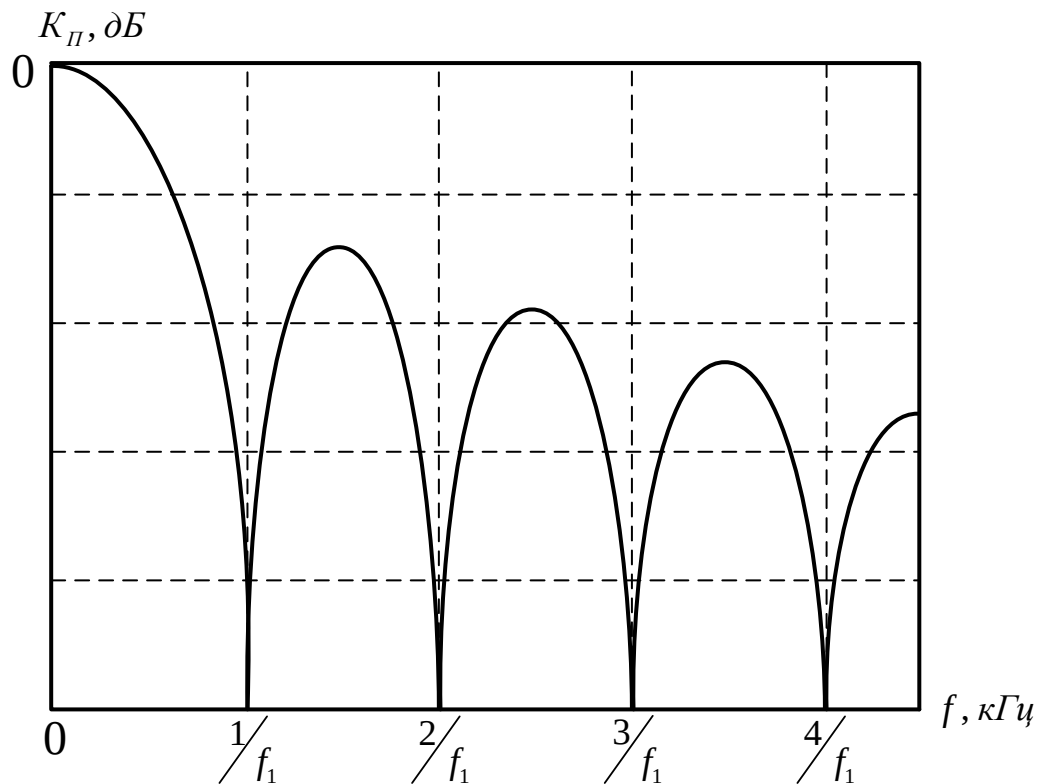


Рис. 3.68. Частотна характеристика коефіцієнта передачі завади АЦП двотактного інтегрування

3.4.4.1 Автоматична корекція нуля. Перетворення біполярних вхідних сигналів

Аналіз (1.43) показує, що статична точність АЦП багатотактного інтегрування визначається тільки точністю джерела опорної напруги та зсувом нуля інтегратора та компаратора, який додається до опорної напруги.

Зсув нуля можна усунути автоматичною компенсацією. Для цього в цикл перетворення вводять додаткову операцію встановлення нуля (див. рис. 3.69), під час якої інтегратор відключається від джерел сигналів і спільно з компаратором охоплюється глибоким негативним зворотним зв'язком, як це показано на рис. 3.69. Між інтегратором та входом АЦП включений повторювач на ОП DA1 в якості вхідного буферного елемента [2, 9, 23, 40, 41, 53, 58].

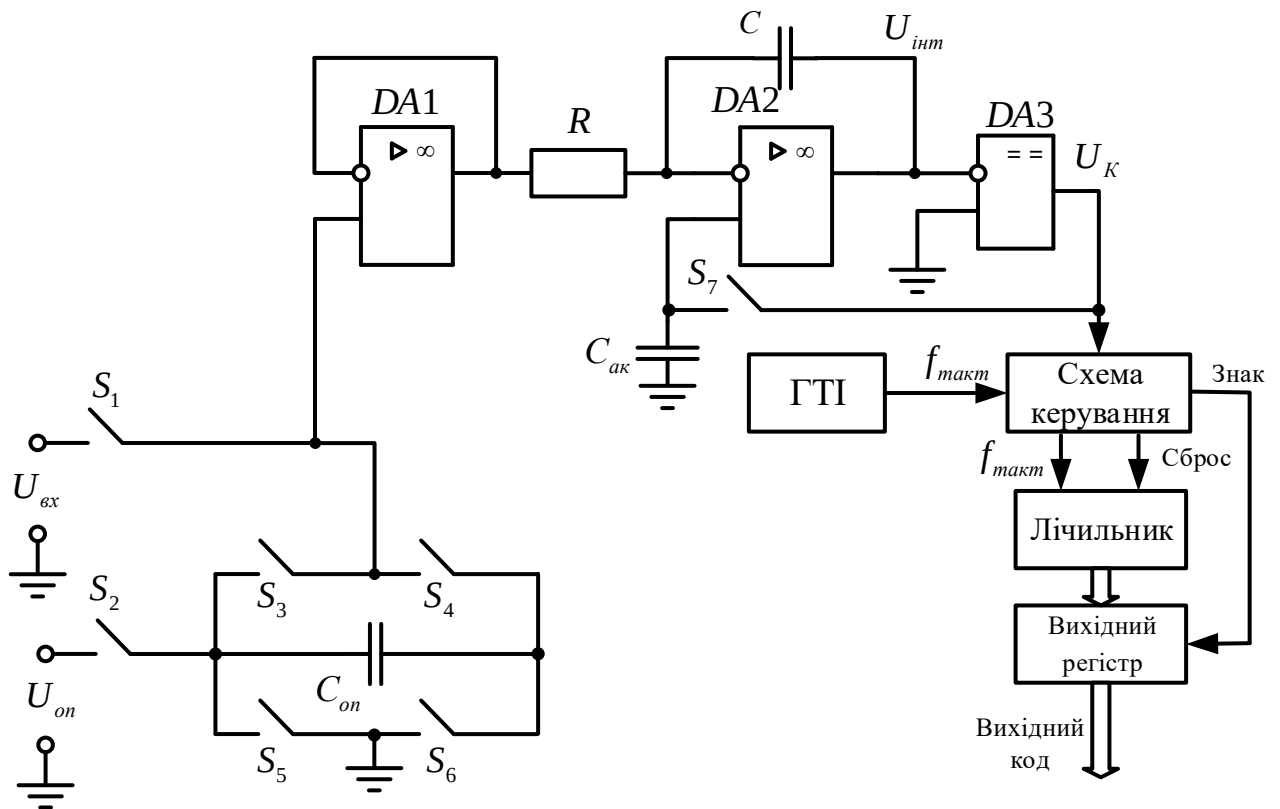


Рис. 3.69. АЦП двухтактного інтегрування з автоматичною компенсацією зміщення нуля

У фазі автоматичної компенсації нуля ключі S_1 , S_3 , S_5 розімкнуті, а ключі S_2 , S_4 , S_6 , S_7 – замкнуті. Тому інтегратор, компаратор і буферний підсилювач утворюють повторювач напруги, вихідна напруга якого U_K подається на конденсатор автоматичної компенсації $C_{ак}$. Вхідна напруга буферного підсилювача дорівнює нулю, а вихідна – напрузі зміщення нуля $U_{\Delta 0}$. Після закінчення перехідних процесів на конденсаторі $C_{ак}$ встановиться напруга $U_{\Delta 0} + U_{\Delta 0.інт}$, де $U_{\Delta 0.інт}$ – зміщення нуля інтегратора. Одночасно конденсатор $C_{оп}$ заряджається від джерела опорного напруги.

На стадії інтегрування вхідної напруги ключі S_4 і S_7 розмикаються, а S_1 – замикається. На цей час напруга на конденсаторі $C_{ак}$ відповідає напрузі зсуву нуля. Ця напруга і використовується для компенсації зсуву нуля при інтегруванні та відліку.

Оскільки в контурі компенсації зсуву нуля послідовно включені два підсилювача, то можуть виникнути автоколивання. Для стабілізації схеми послідовно з ключем S_7 доцільно включати резистор.

Після закінчення фази інтегрування схема управління аналізує вихідну напругу компаратора U_K . Якщо середнє значення вхідної напруги додатне, то на

виході компаратора встановлюється напруга високого рівня. У цьому випадку одночасно з розмиканням ключа $S1$ замикаються ключі $S4$ і $S5$, підключаючи до входу буферного підсилювача конденсатор C_{on} зі збереженням на ньому опорної напругою, причому так, що ця напруга має полярність, протилежну полярності джерела опорної напруги. Якщо середнє значення вхідної напруги від'ємне, то на виході компаратора встановлюється напруга низького рівня. Тоді замикаються ключі $S3$ і $S6$, підключаючи до входу буферного підсилювача опорний конденсатор іншою полярністю. В обох випадках в стадії відліку відбувається зміна напруги інтегратора U_{int} в напрямку, протилежному тому, яке мало місце на стадії інтегрування. Одночасно схема управління формує код знаку. Таким чином, в найпростішому випадку вихідний код АЦП являє собою прямий код із знаком.

Інтегральні АЦП багатотактного інтегрування виготовляються у вигляді напівпровідникових інтегральних мікросхем, які можна розрізнити дві головні групи:

- *схеми з паралельним або послідовним виходом* для сполучення з мікропроцесорами (наприклад, ICL7109, вихідне слово якого включає 12 біт плюс знак у паралельному чотирнадцяти- або восьмирозрядному коді, або 18-розрядний код плюс знак MAX132 з послідовним інтерфейсом);
- *схеми з двійково-десятковими лічильниками з дешифраторами* для управління семисегментними індикаторами, в тому числі мультиплексованими. Такі АЦП застосовуються в якості основи для цифрових вольтметрів. Прикладами можуть служити ICL7106 (вітчизняний аналог - 572ПВ5) з діапазоном ± 2000 відліків або ICL7135 (вітчизняний аналог - 572ПВ6) з діапазоном ± 40000 відліків [2, 9, 23, 40, 41, 53, 58].

3.4.5 Сигма-дельта АЦП

АЦП багатотактного інтегрування мають ряд недоліків:

- Нелінійність перехідної статичної характеристики операційного підсилювача, на якому виконують інтегратор, помітним чином позначається на інтегральній нелінійності характеристики перетворення АЦП високої роздільної здатності. Для зменшення впливу цього фактора АЦП виготовляють

багатотактним. Наприклад, 13-розрядний AD7550 виконує перетворення в чотири такти.

- Інтегрування вхідного сигналу займає в циклі перетворення тільки приблизно третю частину. Дві третини циклу перетворювач не приймає вхідний сигнал. Це погіршує завадостійкісні властивості інтегруючого АЦП.

- АЦП багатотактного інтегрування має містити в собі значну кількість зовнішніх резисторів та ємностей з високоякісним діелектриком, що значно збільшує місце, яке займає перетворювач на платі, і як наслідок, підвищує вплив завад.

Ці недоліки багато в чому усунуті в конструкції сігма-дельта АЦП (у ранній літературі ці перетворювачі називалися АЦП з врівноважуванням або балансом зарядів). Своєю назвою ці перетворювачі зобов'язані наявністю в них двох блоків: суматора (позначення операції – Σ) та інтегратора (позначення операції – Δ). Один з принципів, закладених в такого роду перетворювачах, що дозволяє зменшити похибку, внесену шумами, а отже збільшити роздільну здатність – це усереднення результатів вимірювання на великому інтервалі часу.

Основні вузли АЦП – це сігма-дельта модулятор і цифровий фільтр. Схема n -розрядного сігма-дельта модулятора першого порядку наведена на рис. 3.70. Робота цієї схеми заснована на відніманні з вхідного сигналу U_{ex} величини сигналу на виході ЦАП, отриманої на попередньому такті роботи схеми. Отримана різниця інтегрується, а потім перетворюється в код паралельним АЦП невисокої розрядності. Послідовність кодів надходить на цифровий фільтр нижніх частот [2, 8, 15, 23, 41, 53].

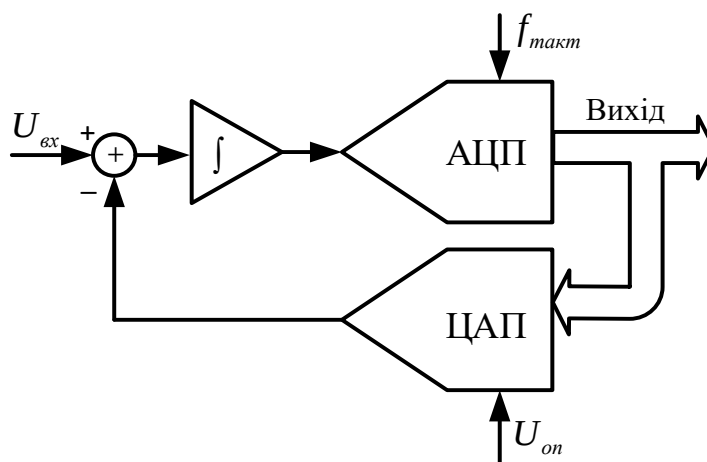


Рис. 3.70. Структурна схема сигма-дельта модулятора

Порядок модулятора визначається кількістю інтеграторів та суматорів в його схемі. Сигма-дельта модулятори N -го порядку містять N суматорів та N інтеграторів та забезпечують більше співвідношення сигнал/шум при тій же частоті відліків, ніж модулятори першого порядку. Прикладами сігма-дельта модуляторів високого порядку є одноканальний AD7720 сьомого порядку і двоканальний ADM0D79 п'ятого порядку.

Найбільш широко в складі інтегральних мікросхем використовуються однобітні сигма-дельта модулятори, в яких у якості АЦП використовується компаратор, а в якості ЦАП – аналоговий комутатор (рис. 3.71). Принцип дії пояснений в табл. 3.11 на прикладі перетворення вхідного сигналу $0,6\text{ В}$, при $U_{on} = 1\text{ В}$.

Нехай постійна часу інтегрування інтегратора чисельно дорівнює періоду тактових імпульсів. У нульовому періоді вихідна напруга інтегратора скидається в нуль. На виході ЦАП також встановлюється нульова напруга. Потім схема проходить через вказану в табл. 3.11 послідовність станів.

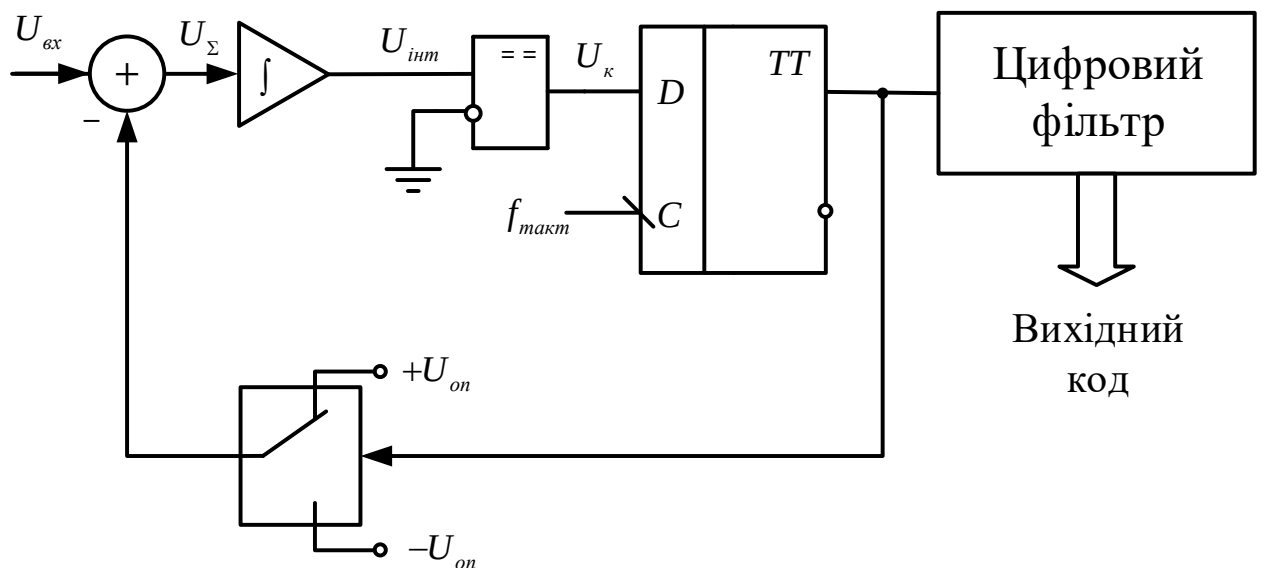


Рис. 3.71. Структурна схема сигма-дельта АЦП

Таблиця 3.11. Таблиця станів сигналів сигма-дельта АЦП при перетворенні

$U_{вх} = 0,6\text{ В}$					$U_{вх} = 0\text{ В}$				
N такта	$U_{\Sigma},$ В	$U_{інт},$ В	$U_{к},$ біт	$U_{ЦАП},$ біт	N такта	$U_{\Sigma},$ В	$U_{інт},$ В	$U_{к},$ біт	$U_{ЦАП},$ біт
1	0,6	0,6	1	1	1	1	1	1	1
2	-0,4	0,2	1	1	2	-1	0	0	-1
3	-0,4	-0,2	0	-1	3	1	1	1	1
4	1,6	1,4	1	1	4	-1	0	0	-1
5	-0,4	1,0	1	1	5	1	1	1	1

6	-0,4	0,6	1	1	6	-1	0	0	-1
7	-0,4	0,2	1	1	7	1	1	1	1
8	-0,4	-0,2	0	-1	8	-1	0	0	-1
9	1,6	1,4	1	1	9	1	1	1	1
10	-0,4	1,0	1	1	10	-1	0	0	-1
11	-0,4	0,6	1	1	11	1	1	1	1
12	-0,4	0,2	1	1	12	-1	0	0	-1
13	-0,4	-0,2	0	-1	13	1	1	1	1
14	1,6	1,4	1	1	14	-1	0	0	-1
15	-0,4	1,0	1	1	15	1	1	1	1
16	-0,4	0,6	1	1	16	-1	0	0	-1

У тактові періоди 2 і 7 стани системи ідентичні, так як при незмінному вхідному сигналі $U_{\text{вх}} = 0,6 \text{ В}$ цикл роботи займає п'ять тактових періодів. Усереднення вихідного сигналу ЦАП за цикл дає величину напруги $0,6 \text{ В}$:

$$(1-1+1+1+1)/5 = 0,6.$$

Для формування вихідного коду такого перетворювача необхідно якимось чином перетворити послідовність біт на виході компаратора у вигляді унітарного коду в послідовний або паралельний двійковий позиційний код. У найпростішому випадку це можна зробити за допомогою двійкового лічильника.

Візьмемо в нашому прикладі 4-розрядний лічильник. Підрахунок біт на виході компаратора за 16-ти тактний цикл дає число 13. Цілком ймовірно, що при $U_{\text{вх}} = 1 \text{ В}$ на виході компаратора завжди буде одиниця, що дає за цикл число 16, тобто переповнення лічильника. Навпаки, при $U_{\text{вх}} = -1 \text{ В}$ на виході компаратора завжди буде нуль, що дає рівне нулю вміст лічильника в кінці циклу. У разі, якщо $U_{\text{вх}} = 0 \text{ В}$ то, як видно з табл. 3.11, результат підрахунку за цикл складе 8_{10} (1000_2). Це означає, що вихідне число АЦП представляється в зміщеному коді. Тобто для розглянутого прикладу верхня межа повної шкали складе 0111_2 або $+7_{10}$, а нижня – 1000_2 або -8_{10} . При $U_{\text{вх}} = 0,6 \text{ В}$ вміст лічильника складе 13_{10} в зміщеному коді, що відповідає $+5_{10}$.

При використанні двійкового лічильника як перетворювач потоку бітів, що надходять з виходу компаратора, необхідно виділяти фіксований цикл перетворення, тривалість якого дорівнює добутку $K_{\text{рах}} \cdot f_{\text{такт}}$. Після його закінчення повинно проводитися зчитування результату, наприклад, за

допомогою регістра і обнуління лічильника. В цьому випадку з точки зору завадознищуючих властивостей сигма-дельта АЦП близькі до АЦП багатотактного інтегрування. Більш ефективно з цієї точки зору застосування в сигма-дельта АЦП цифрових фільтрів з кінцевою тривалістю перехідних процесів.

В сигма-дельта АЦП зазвичай застосовуються цифрові фільтри, використання яких показує значно кращі завадостійкісні властивості сигма-дельта АЦП.

У той же час застосування цифрового фільтра нижніх частот в складі сигма-дельта АЦП замість лічильника викликає перехідні процеси при зміні вхідної напруги. Час встановлення цифрових фільтрів з кінцевою тривалістю перехідних процесів становить декілька періодів тактової частоти, що знижує швидкодію систем збору даних на основі сигма-дельта АЦП. Тому випускаються інтегральні мікросхеми (наприклад AD7730 і AD7731), що оснащені складним цифровим фільтром, що забезпечують перемикання каналів з часом встановлення 1 *мс* при збереженні ефективної розрядності не нижче 13 біт (так званий Fast-Step режим). Зазвичай цифровий фільтр виготовляється на тому ж кристалі, що і модулятор, хоча інколи вони випускаються у вигляді двох окремих інтегральних мікросхем (наприклад, AD1555 - модулятор четвертого порядку та AD1556 - цифровий фільтр).

Порівняння сигма-дельта АЦП з АЦП багатотактного інтегрування показує значні переваги перших. Перш за все, лінійність характеристики перетворення сигма-дельта АЦП вище, ніж у АЦП багатотактного інтегрування при однаковій вартості. Це пояснюється тим, що інтегратор сигма-дельта АЦП працює в значно вужчому динамічному діапазоні, і нелінійність перехідної характеристики підсилювача, на якому побудований інтегратор, позначається значно менше. Ємність конденсатора інтегратора у сигма-дельта АЦП значно менше (десятки пікофарад), тому цей конденсатор може бути виготовлений прямо на кристалі мікросхеми АЦП. Як наслідок, сигма-дельта АЦП практично не має зовнішніх елементів, що істотно зменшує площу, яку АЦП займає на платі, і знижує рівень шумів. В результаті, наприклад, 24-розрядний сигма-дельта АЦП AD7714 виготовляється у вигляді однокристалної інтегральної мікросхеми в 24-вивідному корпусі, споживає 3 *mWt* потужності і коштує приблизно 14 доларів США, а 18-розрядний АЦП восьмитактного інтегрування HI-7159 споживає 75 *mWt* і коштує близько 30 доларів. До того ж сигма-дельта АЦП починає

давати правильний результат приблизно в двічі швидше при стрибкоподібній зміні вхідного сигналу у порівнянні із інтегруючими АЦП. В даний час ряд провідних фірм, що випускають інтегральні мікросхеми АЦП високої роздільної здатності (наприклад Analog Devices і Burr-Brown), припинили виробництво АЦП багатотактного інтегрування та повністю перейшли на сигма-дельта АЦП.

Сигма-дельта АЦП високої роздільної здатності мають розвинену цифрову частину, що включає мікроконтролер, що дозволяє реалізувати режими автоматичної установки нуля і самокалібрування повної шкали, зберігати калібровані коефіцієнти і передавати їх за запитом зовнішньому процесору [2, 8, 15, 23, 41, 53].

3.4.6 АЦП на основі перетворювачів напруга-частота

На базі перетворювачів напруга-частота (ПНЧ) можуть бути побудовані інтегруючі АЦП, що забезпечують відносно високу точність перетворення при низькій вартості. Існує кілька видів ПНЧ. Найбільше застосування знайшли ПНЧ із заданою тривалістю вихідного імпульсу. Структурна схема такого ПНЧ наведена на рис. 3.72. За цією схемою побудована інтегральна мікросхема АЦП VFC-32 (вітчизняний аналог - 1108ПП1) [2, 3, 17, 23, 41, 53, 60].

Під дією позитивного вхідного сигналу $U_{\text{вх}}$ напруга $U_{\text{інт}}$ на виході інтегратора, що зібрано на ОП DA1, зменшується. При цьому ключ S_1 розімкнений. Коли напруга $U_{\text{інт}}$ зменшиться до нуля, компаратор DA2 перемикається, запускаючи тим самим одновібратор. Одновібратор формує імпульс стабільної тривалості T_i , який керує ключем S_1 . Послідовність цих імпульсів і є вихідним сигналом ПНЧ. Ключ S_1 замикається і струм $I_{\text{он}}$ протягом часу T_i надходить на вхід інтегратора, викликаючи збільшення вихідної напруги інтегратора $U_{\text{інт}}$. Як тільки напруга $U_{\text{інт}}$ перетне порог спрацювання компаратора DA2 в зворотному напрямку (в нашому випадку 0В) одновібратор вимкнеться і процес повториться. Таким чином імпульси струму $I_{\text{он}}$ врівноважують струм, викликаний вхідною напругою $U_{\text{вх}}$ і на виході одновібратора формуються імпульси певної частоти $f_{\text{вих}}$.

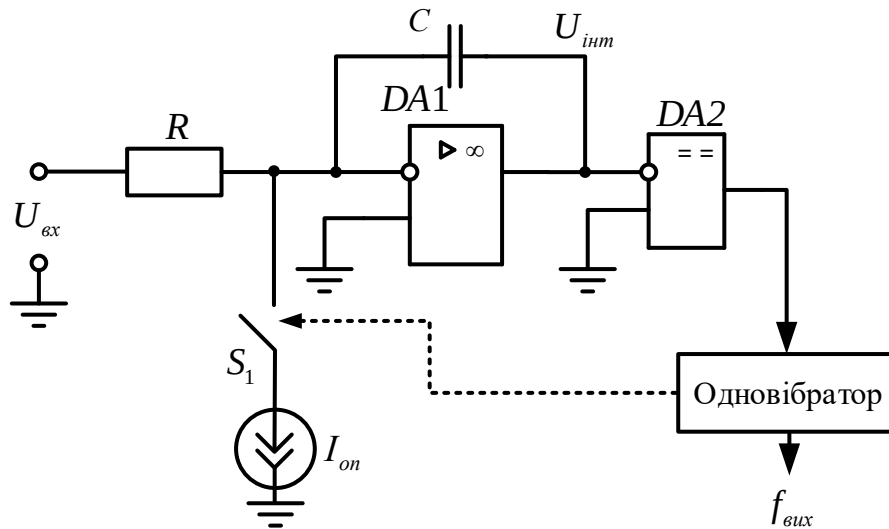


Рис. 3.72. Структурна схема ПНЧ

У сталому режимі

$$-\frac{1}{RC} \int_0^T U_{вх}(t) dt + \frac{1}{C} \int_0^{T_i} I_{он} dt = 0 \quad (1.46)$$

Виходячи із того, що середнє значення вхідної напруги $U_{вх}$ за період інтегрування T становить $U_{вх.сеп}$, можна отримати

$$f_{вих} = \frac{1}{T} = \frac{U_{вх.сеп}}{R \cdot I_{он} \cdot T_i} \quad (1.47)$$

Вираз (1.47) показує, що точність перетворення визначається точністю установки опорного струму $I_{он}$, точністю витримки тривалості імпульсу одновібратора T_i , а також точністю резистора R . Ємність конденсатора C інтегратора не впливає на частоту ПНЧ [2, 3, 17, 23, 41, 53, 60].

Таким чином, по суті ПНЧ перетворює вхідну напругу в унітарний код. Для його перетворення в двійковий позиційний можна використовувати лічильник. Схема інтегруючого АЦП на базі ПНЧ наведена на рис. 3.73.

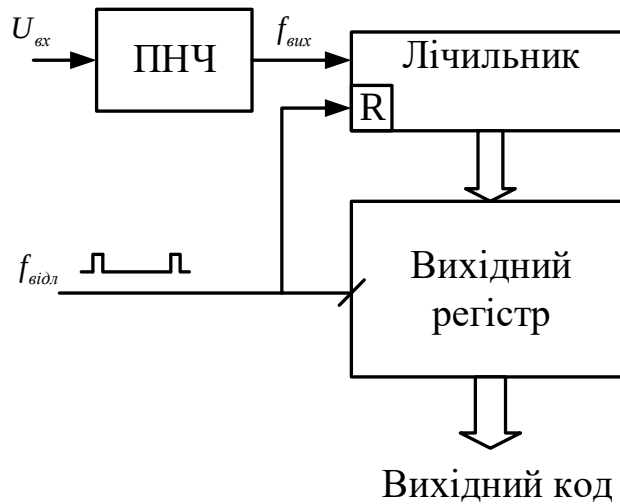


Рис. 3.73. Блок-схема АЦП на основі ПНЧ

Двійковий лічильник підраховує число імпульсів, що надійшли від ПНЧ за період $T_{\text{відл}} = \frac{1}{f_{\text{відл}}}$, що задається імпульсами відліку, за якими вміст лічильника копіюється у вихідний регістр. Разом із фіксацією значення у вихідному регістрі відбувається обнулення лічильника. Число імпульсів N , підраховане лічильником за час $T_{\text{відл}}$ визначається як

$$N = \frac{T_{\text{відл}}}{T_i} \cdot \frac{U_{\text{повне.вх.сер}}}{R \cdot I_{\text{он}}} \quad (1.48)$$

де $U_{\text{повне.вх.сер}}$ – середнє значення вхідної напруги за весь період $T_{\text{відл}}$.

Можна помітно підвищити точність ПНЧ, якщо замість одновібратора включити D-тригер, який перемикається тактами-імпульсами стабільної частоти. Нескладно переконатися (див. рис. 3.11), що в цьому випадку ПНЧ перетворюється в однобітний сигма-дельта модулятор [2, 3, 17, 23, 41, 53, 60].

3.4.7 Структура сучасних однокристальних систем збору даних та мікроконверторів

Поступове ускладнення АЦП, поява багатоканальних АЦП, АЦП з вбудованим пристроєм вибірки-зберігання, АЦП зі складною цифровою частиною призвело до того, що зараз є закінчені однокристальні системи збору даних, що забезпечують перетворення в цифровий код сигнали, що надходять від багатьох датчиків і передачу їх на мікроЕОМ [2, 3, 10, 41, 44, 53, 60]. Блок-схема розвиненої системи збору даних приведена на рис. 3.74.

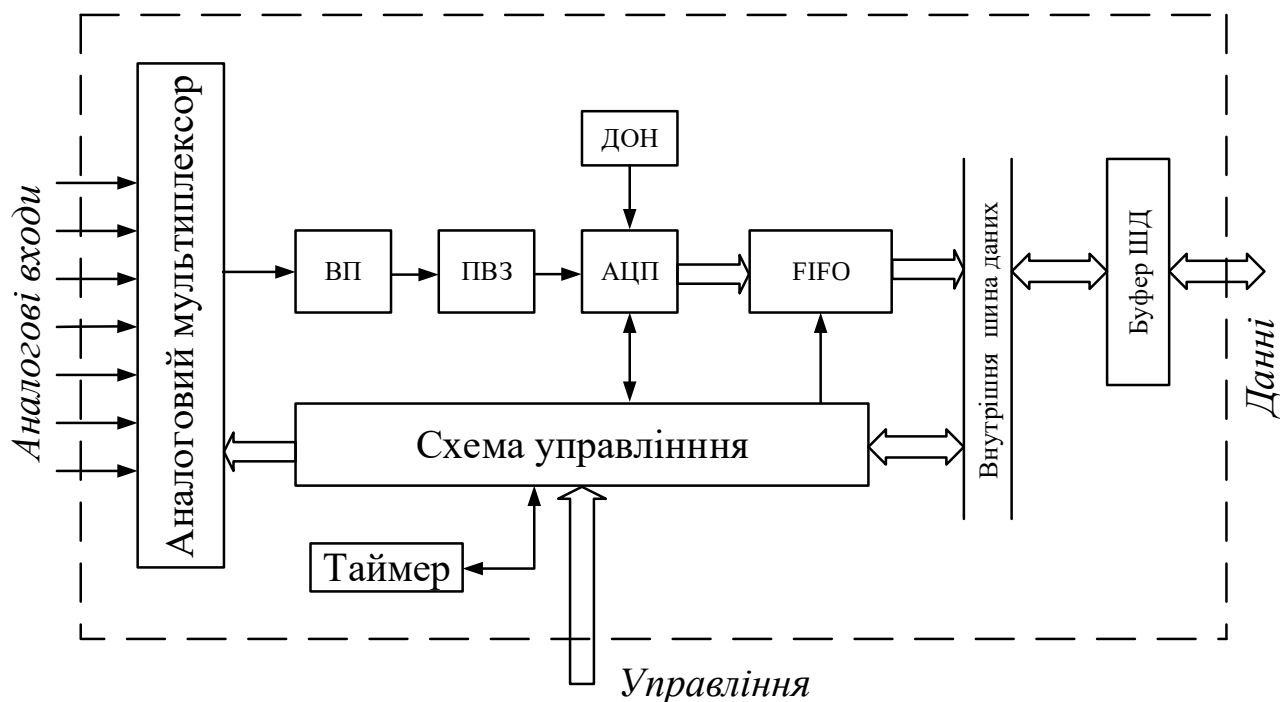


Рис. 3.74. Блок-схема однокристальної системи збору даних

де ВП – вимірювальний підсилювач, ПВЗ – пристрій вибірки-зберігання ДОН – джерело опорної напруги, FIFO – оперативний запам'ятовуючий пристрій типу FIFO (first input - first output - перший прийшов - першим вийшов), ШД – шина даних.

Оснoву системи складає АЦП, переважно АЦП послідовного наближення. В схему часто вбудовані ПВЗ і джерело опорної напруги. Для підключення до декількох джерел вхідних аналогових сигналів використовується аналоговий мультиплексор. Щоб скоротити частоту переривань головного процесора деякі системи збору даних мають у своєму складі оперативний запам'ятовуючий пристрій типу FIFO. Вимірювальний підсилювач ВП, що входить в систему, змінює свій коефіцієнт підсилення по команді від схеми управління. Це дозволяє вирівняти діапазони аналогових сигналів з різних входів.

Схема управління може включати оперативний запам'ятовувальний пристрій (ОЗП), в який отримує від головного процесора блок робочих команд. Ці команди містять відомості про те, які операційні режими використовувати, які з вхідних каналів повинні бути однопровідними, а які - об'єднуватися з утворенням диференціальних пар, наскільки часто і в якому порядку слід робити вибірку для кожного каналу. Вбудований в систему збору даних цифрової таймер визначає темп перетворення АЦП.

Характерним прикладом системи збору даних є AD7581 (вітчизняний аналог – 572ПВ4), що містить 8-входовий аналоговий мультиплексор, 8-

розрядний АЦП послідовного наближення, і пристрій FIFO з організацією 8x8 біт. Інший приклад – AD1B60, що включає 8-входовий аналоговий мультиплексор, вимірювальний підсилювач з програмованим коефіцієнтом підсилення від 1 до 128, 16-розрядний АЦП на основі інтегруючого ПНЧ, ДОН, мікропроцесор, ОЗУ з даними режиму і ПЗУ із конфігурацією. Однією з найбільш розвинених є система збору даних LM12458, яка містить 8-входовий аналоговий мультиплексор, ПБЗ, 13-розрядний АЦП послідовного наближення, пам'ять типу FIFO з організацією 32x16 біт, ОЗУ команд і 16-бітний цифровий таймер.

Для підвищення швидкодії встановлення коефіцієнта передачі і вибірка даних може здійснюватися по кожному каналу індивідуально. Так, наприклад, 4-х канална система збору даних AD7865 містить чотири кола масштабування вхідного сигналу і чотири пристрої спостереження/збереження, що включені до мультиплексора.

Особливий клас пристроїв з аналого-цифровими перетворювачами є мікроконвертори. Деякий час тому були спроби створення аналогових програмованих матриць, тобто пристроїв, що включають операційні підсилювачі та інші аналогові модулі, зв'язки між якими можна було встановити програмним шляхом. Ці спроби комерційного успіху не мали. Нещодавно деякі фірми, наприклад, Analog Devices, почали випуск програмованих пристроїв для перетворення аналогових сигналів, що включають багатоканальний АЦП, мікроконтролер і одно- або двоканальний ЦАП. Такий мікроконвертор приймає аналогові сигнали, перетворює їх в цифрові коди, за програмою, записаною в ПЗУ мікроконтролера, обробляє ці коди і за допомогою ЦАП знову перетворить результати в аналогові сигнали. Поступаючись чисто аналогової тільки у швидкодії, така схема відрізняється великою функціональною гнучкістю і точністю. Зокрема, мікроконвертор ADuC812 містить 8-канальний мультиплексор, ПБЗ, 12-розрядний АЦП послідовного наближення з продуктивністю 200 rps, два 12-розрядних ЦАП і мікроконтролер з системою команд сімейства MCS-51. Основне призначення таких пристроїв – побудова різноманітних цифрових фільтрів [2, 3, 10, 41, 44, 53, 60].

3.4.8 Інтерфейси АЦП

Важливу частину аналого-цифрового перетворювача складає цифровий інтерфейс, тобто схеми, що забезпечують зв'язок АЦП з приймачами цифрових

сигналів. Структура цифрового інтерфейсу визначає спосіб підключення АЦП до приймача вихідного коду, наприклад, мікропроцесору, мікроконтролеру або цифрового процесора сигналів. Властивості цифрового інтерфейсу безпосередньо впливають на рівень верхньої межі частоти перетворення АЦП [6, 11, 41, 42, 53].

Найбільш часто застосовують спосіб зв'язку АЦП з процесором, при якому АЦП є для процесора як би однією з комірок пам'яті. При цьому АЦП має необхідне число адресних входів, дешифратор адреси і підключається безпосередньо до адресної шини і шини даних процесора. Для цього він обов'язково повинен мати вихідні каскади з трьома станами.

Іншим підходом до побудови сумісної роботи АЦП з мікропроцесорами, є програмне сполучення. Є декілька способів програмного сполучення АЦП із процесорами.

Перевірка сигналу перетворення. Цей спосіб полягає в тому, що команда початку перетворення "Пуск" періодично подається на АЦП від зовнішнього або внутрішнього таймера апаратно. Процесор знаходиться в циклі очікування від АЦП сигналу закінчення перетворення "Готовий", після якого виходить з циклу, зчитує дані з АЦП і відповідно до них приступає або до наступного перетворення, або до виконання основної програми, а потім знову входить в цикл очікування. Тут АЦП виступає в ролі ведучого пристрою (master), а процесор - веденого (slave). Цей спосіб майже не вимагає додаткової апаратури, але придатний тільки в системах, де процесор не надто завантажений, тобто тривалість обробки даних від АЦП менше часу перетворення АЦП. Зазначений спосіб дозволяє максимально використовувати продуктивність АЦП.

Якщо тривалість обробки даних від АЦП складає помітно більше часу перетворення АЦП, можна використовувати варіант цього способу, що відрізняється тим, що сигнал "Пуск" надходить від процесора. Процесор виконує основну програму обробки даних, а потім зчитує дані з АЦП і знову запускає його. У цьому випадку процесор виступає в ролі ведучого пристрою, а АЦП – веденого.

Просте переривання. Видавши команду "Пуск", процесор продовжує роботу по основній програмі. Після закінчення перетворення формується сигнал переривання, який перериває в процесорі обчислення і включає процедуру пошуку периферійного приладу, який послав сигнал переривання. Ця процедура полягає в переборі всіх периферійних пристроїв до тих пір, поки не буде

знайдений потрібний. Перевага цього способу в порівнянні з попереднім проявляється в більшій кількості перетворень за один і той же час, якщо використовуваний АЦП працює повільно. Якщо ж АЦП швидкодіючий, то цей спосіб роботи може виявитися навіть повільніше попереднього, так як на обробку переривання потрібно чимало часу.

Векторне переривання. Цей спосіб відрізняється від попереднього тим, що разом з сигналом переривання надсилається і адреса програми обробки даного переривання. Отже, не потрібно перебирати всі периферійні пристрої.

Прямий доступ до пам'яті. Тут також використовується переривання, але на відміну від попередніх двох способів, управління по системі переривання передається на спеціальний інтерфейс, який передає дані перетворення АЦП в пам'ять, минаючи процесор. Це дозволяє не «відволікати» процесор на читання даних з АЦП, а сигналізувати цьому тільки після отримання ряду перетворень АЦП для їх комплексної обробки. Номери комірок пам'яті зберігаються в спеціальному адресному регістрі інтерфейсу.

Залежно від способу пересилання вихідного слова з АЦП в цифровий приймач розрізняють перетворювачі з послідовним та паралельним інтерфейсами вихідних даних. Послідовний інтерфейс повільніше паралельного, проте він дозволяє здійснити зв'язок з цифровим приймачем значно меншою кількістю ліній і в кілька разів скоротити число виводів інтегральної мікросхеми. Тому зазвичай паралельний інтерфейс використовується в паралельних і послідовно-паралельних АЦП, а послідовний – в інтегруючих. У АЦП послідовного наближення застосовуються як паралельний (наприклад, 1108ПВ2), так і послідовний (наприклад, AD7893) інтерфейси. Деякі АЦП послідовного наближення (наприклад, AD7892) мають інтерфейс обох типів [6, 11, 41, 42, 53].

3.4.9 Параметри АЦП

При послідовному зростанні значень вхідного аналогового сигналу $U_{\text{вх}}(t)$ від 0 до величини, що відповідає повній шкалі АЦП U_{max} вихідний цифровий сигнал $D(t)$ утворює ступінчасту кусочно-постійну лінію. Таку залежність за аналогією з ЦАП називають характеристикою перетворення АЦП. За відсутності апаратних похибок середні точки сходинок розташовані на ідеальній прямій 1 (рис. 3.75), якій відповідає ідеальна характеристика перетворення. Реальна характеристика перетворення може істотно відрізнятися від ідеальної розмірами

і формою сходинок, а також розташуванням на площині координат. Для кількісного опису цих відмінностей існує цілий ряд параметрів [4, 23, 46, 47, 53, 60].

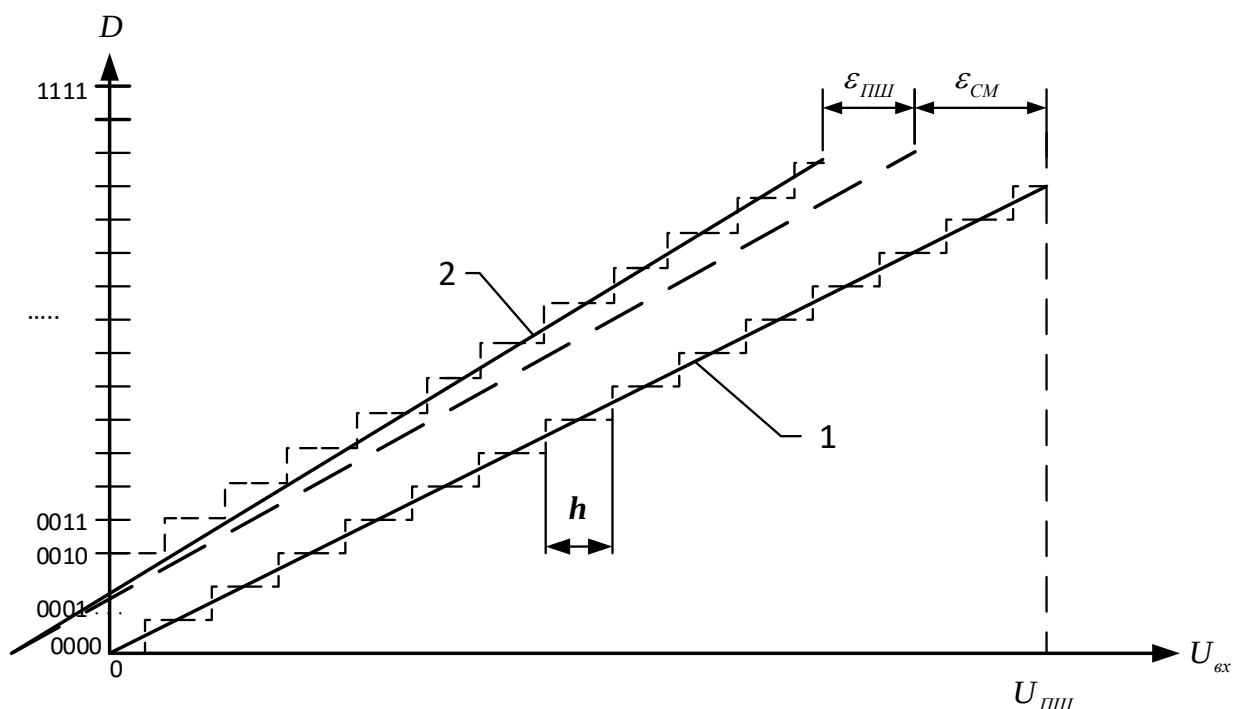


Рис. 3.75. Статична характеристика перетворення АЦП

3.4.9.1 Статичні параметри

Роздільна здатність – величина, зворотна максимальному числу кодових комбінацій на виході АЦП. Роздільна здатність виражається у відсотках, розрядах або децибелах і характеризує потенційні можливості АЦП з точки зору досяжної точності. Наприклад, 12-розрядний АЦП має роздільну здатність $\frac{1}{2^{12}} = \frac{1}{4096}$, або 0,0245% від повної шкали, або -72,2 дБ.

Роздільної здатності відповідає збільшення вхідної напруги АЦП $U_{вх}$ при зміні D_j на одиницю молодшого розряду (ОМР). Це збільшення є кроком квантування. Для двійкових кодів перетворення номінальне значення кроку квантування $h = \frac{U_{пш}}{2N - 1}$, де $U_{пш}$ – номінальна максимальна вхідна напруга АЦП (напруга повної шкали), що відповідає максимальному значенню вихідного коду, N – розрядність АЦП. Чим більше розрядність перетворювача, тим вища його роздільна здатність [4, 23, 46, 47, 53, 60].

Похибка повної шкали – відносна різниця між реальним і ідеальним значеннями межі шкали перетворення при відсутності зсуву нуля.

$$\delta_{\text{пш}} = \frac{\varepsilon_{\text{пш}}}{U_{\text{пш}}} \cdot 100\% \quad (1.49)$$

Ця похибка є мультиплікативною складовою повної похибки. Іноді вказується відповідним числом ОМР.

Похибка зміщення нуля – значення $U_{\text{вх}}$, коли вхідний код ЦАП дорівнює нулю. Є адитивною складовою повної похибки. Зазвичай визначається за формулою

$$\varepsilon_{\text{см}} = U_{\text{вх.01}} - h/2 \quad (1.50)$$

де $U_{\text{вх.01}}$ – значення вхідної напруги, при якому відбувається перехід вихідного коду з 0 в 1. Часто вказується в мілівольтах або у відсотках від повної шкали:

$$\delta_{\text{см}} = \frac{\varepsilon_{\text{см}}}{U_{\text{пш}}} \cdot 100\% \quad (1.51)$$

Похибки повної шкали та зміщення нуля АЦП можуть бути зменшені або підстроюванням аналогової частини схеми, або корекцією обчислювального алгоритму цифрової частини пристрою.

Похибки лінійності характеристики перетворення не можуть бути усунені такими простими засобами, тому вони є найважливішими метрологічними характеристиками АЦП.

Нелінійність – максимальне відхилення реальної характеристики перетворення $D(U_{\text{вх}})$ від оптимальної (лінія 2 на рис. 3.75). Оптимальна характеристика знаходиться емпірично так, щоб мінімізувати значення похибки нелінійності. Нелінійність зазвичай визначається у відносних одиницях, але в довідкових даних наводиться також і в ОМР. Для характеристики, наведеної на рис. 3.76.

$$\delta_{\text{л}} = \frac{\varepsilon_{\text{л}}}{U_{\text{пш}}} \cdot 100\% \quad (1.52)$$

Диференціальної нелінійності – АЦП в даній точці k характеристики перетворення називається різниця між значенням кванта перетворення h_k і середнім значенням кванта перетворення h . У специфікаціях на конкретні АЦП значення диференційної нелінійності виражаються в частках ОМР або відсотках від повної шкали. Для характеристики, наведеної на рис. 3.76,

$$\delta_{дл} = \frac{h_k - h}{U_{пш}} \cdot 100\% \quad (1.53)$$

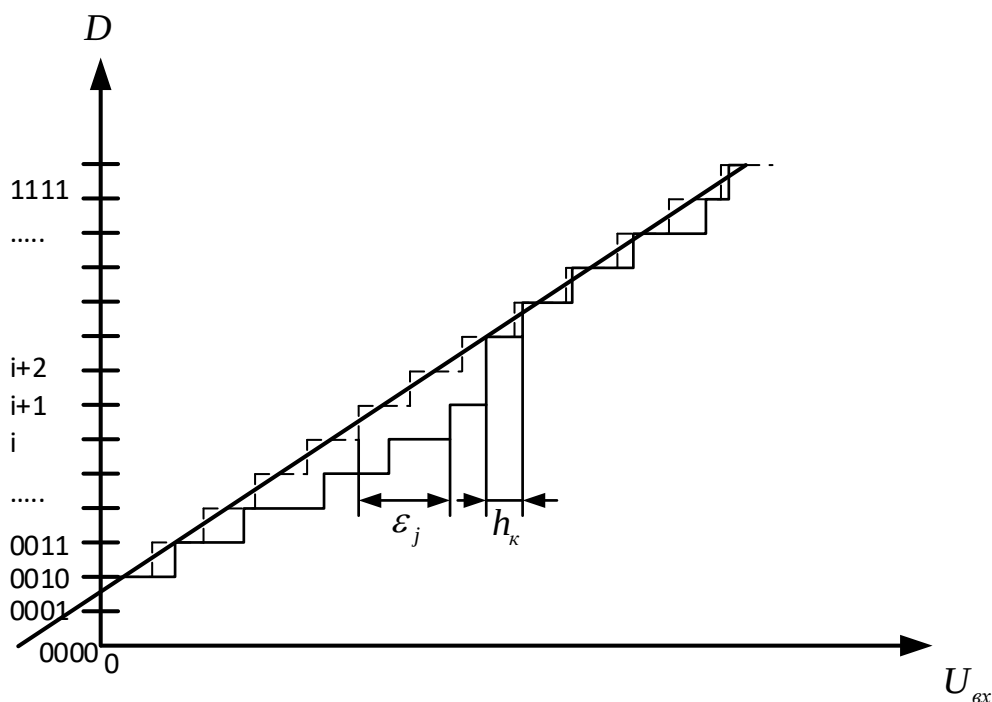


Рис. 3.76. Похибки лінійної характеристики АЦП

Похибка диференційної лінійності – визначає два важливі властивості АЦП: непропадання кодів і монотонність характеристики перетворення.

- *Непропадання кодів* – властивість АЦП видавати всі можливі вихідні коди при зміні вхідної напруги від початкової до кінцевої точки діапазону перетворення. Приклад зникнення коду $i+1$ наведено на рис. 3.76. При нормуванні непропадання кодів вказується еквівалентна розрядність АЦП – максимальна кількість розрядів АЦП, для яких не пропадають відповідні їм кодові комбінації.

- *Монотонність характеристики перетворення* – це незмінність знака приросту вихідного коду D при монотонній зміні вхідного перетворюється сигналу. Монотонність не гарантує малих значень диференційної нелінійності та непропадання кодів.

Температурна нестабільність – АЦП характеризується температурними коефіцієнтами похибки повної шкали та похибки зсуву нуля [4, 23, 46, 47, 53, 60].

3.4.10 Шуми АЦП

В ідеалі, повторювані перетворення фіксованого постійного вхідного сигналу повинні давати один і той же вихідний код. Однак, внаслідок неминучого шуму в схемах АЦП, існує деякий діапазон вихідних кодів для

заданого вхідного напруги. Якщо подати на вхід АЦП постійний сигнал та записати велику кількість перетворень, то в результаті вийде деякий розподіл кодів. Якщо підігнати Гаусовий розподіл до отриманої гістограми, то стандартне відхилення буде приблизно еквівалентне середньоквадратичному значенню вхідного шуму АЦП [4, 23, 46, 47, 53, 60].

Контрольні запитання до теми 3.4:

1. Які основні методи перетворення сигналів у АЦП існують?
2. Чим відрізняється паралельний АЦП від послідовно-паралельного?
3. Що таке сигма-дельта АЦП і які його особливості?
4. Як працює інтегруючий АЦП?
5. Для чого застосовуються АЦП багатотактного інтегрування?
6. У чому переваги АЦП на основі перетворювачів «напруга-частота»?
7. Які основні параметри АЦП впливають на точність перетворення?
8. Які Ви знаєте інтерфейси АЦП?
9. Перерахуйте параметри АЦП, прокоментуйте кожен з них.
10. Як борються з шумами в АЦП?

Тема 3.5. Аналогові вимірювальні перетворювачі напруги і струму

Номінальні вторинні напруги й струми первинних вимірювальних трансформаторів струму (ТС) та трансформаторів напруги (ТН) становлять відповідно $I_{\phi.HOM} = 5A (1A)$ та $U_{Л.HOM} = 100V$ або $U_{\phi.HOM} = \left(100/\sqrt{3}\right)V$. В сучасних автоматичних пристроях, що виконуються на інтегральних мікросхемах, значення відповідних напруг і струмів не можуть перевищувати (5-10) мА та (5-10) В відповідно. Тому найпростішими вимірювальними перетворювачами є вторинні вимірювальні ТС та ТН, призначені для зниження абсолютних значень струму та напруги первинних перетворювачів. Одночасно ці перетворювачі здійснюють гальванічну розв'язку ланцюгів енергооб'єкту та засобів автоматики. Вторинні вимірювальні трансформатори за ДСТУ називаються сигнальними, і залежно від режиму роботи, діляться на вимірювальні трансформатори струму, трансформатори напруги й трансреактори - перетворювачі струму в ЕРС [2, 9, 12, 23, 36, 41, 53, 60].

3.5.1 Активні вимірювальні перетворювачі струму

Вимірювання струму може бути здійснено за допомогою ТС або трансреакторів. При використанні ТС вторинна обмотка повинна бути обов'язково замкнена через ланцюг із малим опором, інакше на вторинних зажимах ТС виникне висока напруга, що здатна вивести із ладу сам ТС. Висока напруга виникає тому, що при нормальному режимі роботи магнітні потоки первинної та вторинної обмоток врівноважують один одного і результуючий магнітний потік близький до 0. При цьому індукція у осерді також близька до 0. При розмиканні вторинного ланцюга або при включенні його на схему із великим входним опором магнітний потік первинної обмотки нічим не врівноважується, індукція зростає в стоні разів і обмежується тільки магнітним насиченням матеріалу осерддя. Відповідно і вторинна напруга ТС зростає багатократно, що призводить до пробиття ізоляції [2, 9, 12, 23, 36, 41, 53, 60].

Тому для вимірювання струмів із використанням ТС на виході ТС встановлюється шунт із відомим малим опором, напруга на якому буде пропорційна струму, що вимірюється. Варіант схеми, що дозволяє виконати підключення ТС до АЦП або інших низьковольтних схем представлено на рис. 3.77.

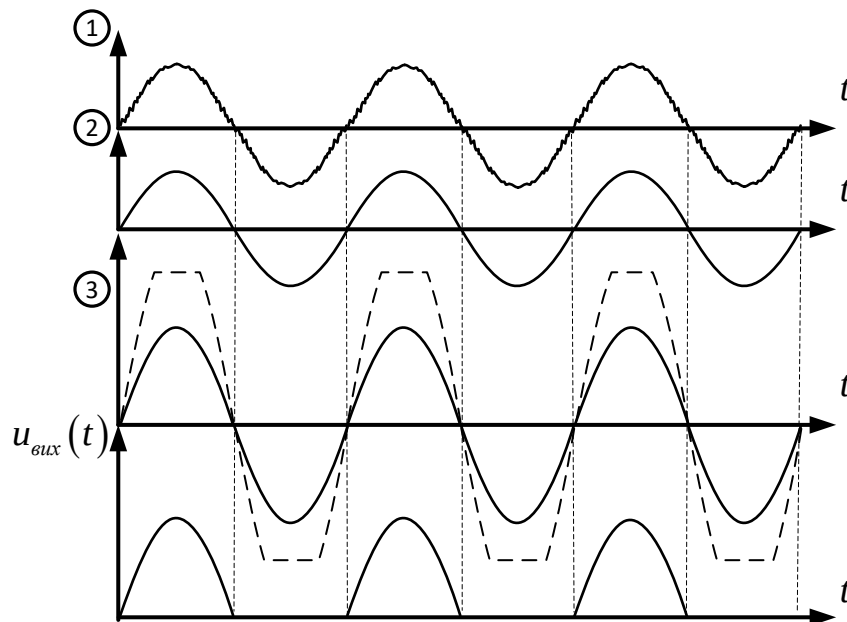
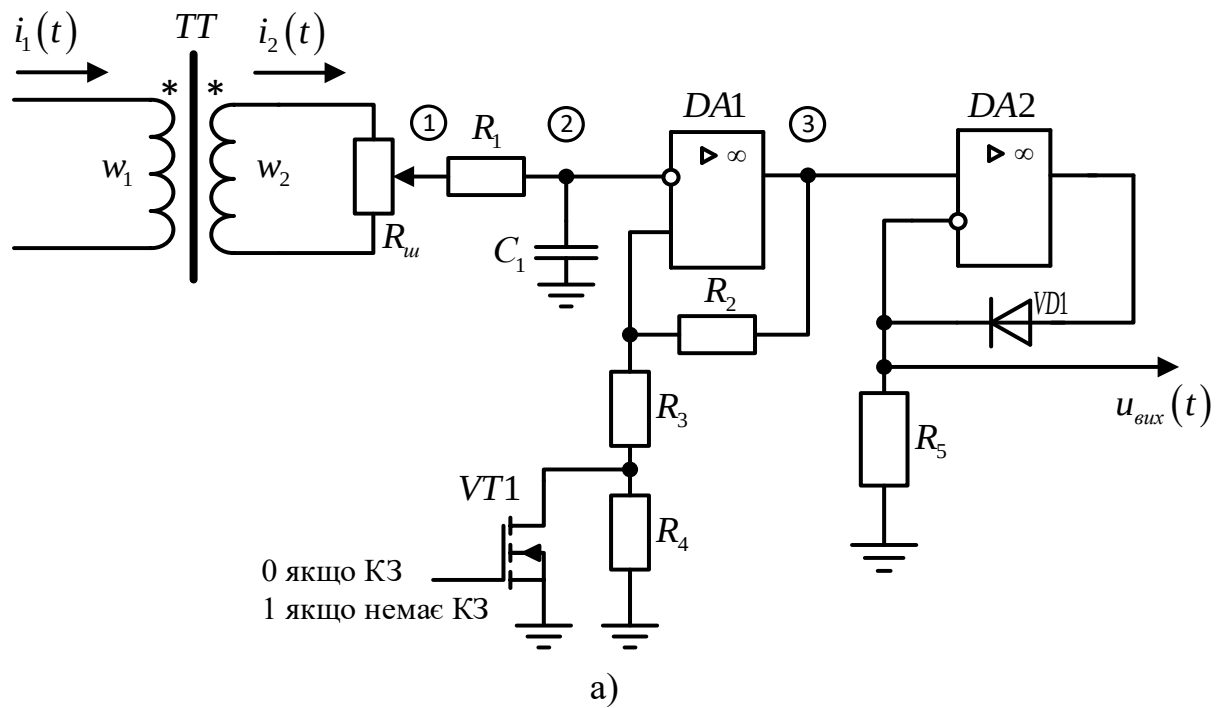


Рис. 3.77. Підключення ТС до низьковольтних схем: а - схема принципова; б - часові діаграми

На схемі (рис. 3.77) шунт R_u є змінним шунтом, що дозволяє додатково підстроїти схему для підвищення точності. З шунтної напруги, що вимірюється, яка є пропорційною струму, знімається фільтром низьких частот, що зібрано на R_1 та C_1 , задача якого прибрати високочастотні складові з сигналу промислової частоти (див. рис. 3.77 (б), криві 1 та 2).

На $DA1$, R_2 , R_3 , R_4 та $VT1$ побудований неінвертуючий підсилювач (див. розділ 3.2.2.2), із змінним коефіцієнтом підсилення. Змінний коефіцієнт підсилення необхідний у зв'язку із сильною відмінністю номіналів струму номального режиму та струмів КЗ.

Так при вимкненому $VT1$ (при логічному 0 на затворі транзистора), його опір великий і опори R_3 та R_4 стають з'єднаними послідовно. Тоді коефіцієнт підсилення схеми

$$K_{п1} = 1 + \frac{R_2}{R_3 + R_4} \quad (1.54)$$

Так при ввімкненому $VT1$ (при логічній 1 на затворі транзистора), його опір близький 0 і $VT1$ шунтує опір R_4 . Тоді коефіцієнт підсилення схеми

$$K_{п2} = 1 + \frac{R_2}{R_3} \quad (1.55)$$

Тому при КЗ транзистор $VT1$ вмикають для зменшення коефіцієнта підсилення схеми, що не дає досягнути напрузі на виході схеми станів насичення (див. рис. 3.77 (б), крива 3, штрихова лінія). Сигнал наявності КЗ отримується від зовнішніх схем керування.

На елементах $DA2$, R_5 та $VD1$ побудовано активний випрямляч (див. розділ 3.2.2.7), задачею якого є перетворення вхідного сигналу до однополярного – придатного для подачі на АЦП.

Іншим варіантом вимірювання струму є схеми із використанням трансреаторів. Трансреатор конструктивно, на відміну від ТС, має немагнітний зазор у магнітопроводі. Це призводить до того, що насичення осерддя трансреатора настає при значно більших струмах, ніж в ТС, що дозволяє тримати вторинну обмотку трансреатора розімкненою. При цьому вихідна напруга трансреатора буде пропорційна вхідному струму.

Іноді, для розширення діапазону трансреатора та для підвищення його точності (яка погіршується із-за нелінійності магнітного матеріала осерддя) в трансреаторах присутня додаткова вторинна обмотка, яка дозволяє компенсувати магнітний потік осерддя. Вимірювальні кола із такими трансреаторами при мініатюрних розмірах мають похибки, що не перевищують 1% похибок пасивних вимірювальних ТН та ТС. При цьому виникає необхідність у додаткових колах керування другою вторинною обмоткою, що забезпечують загальний сильний негативний зворотній зв'язок, що охоплює вимірювальний перетворювач і

забезпечує майже повну компенсацію МРС намагнічування магнітопроводу, яка і обумовлює похибки перетворення пасивних вимірювальних трансформаторів. Приклад такої схеми представлено на рис. 3.78.

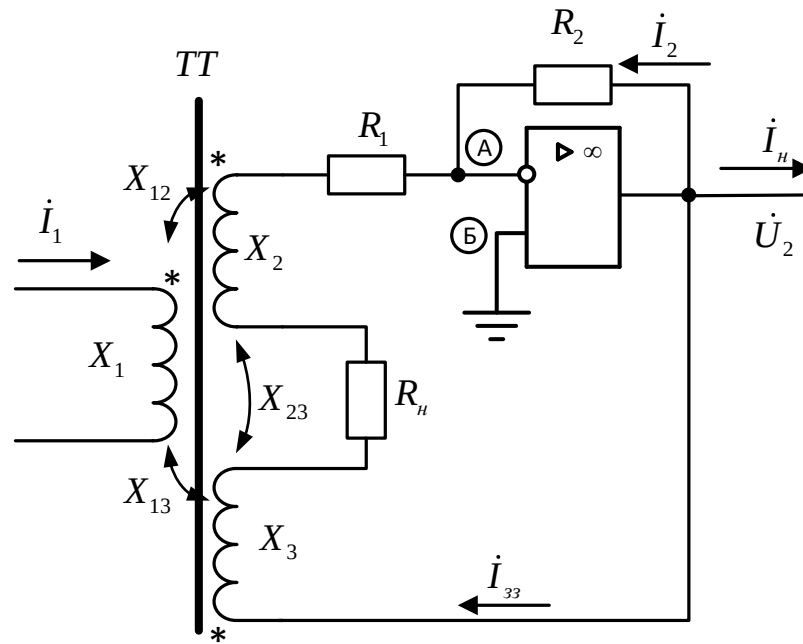


Рис. 3.78. Схема підключення трансреактора із додатковою вторинною обмоткою до низьковольтних схем

де X_1, X_2, X_3 – індуктивності обмоток трансреактора;

X_{12}, X_{13}, X_{23} – взаємні індуктивності обмоток трансреактора;

R_n – опір регулювання ступеня глибини зворотного зв'язку;

R_1, R_2 – опори інвертуючого підсилювача;

Вихідний струм ОП складається з 3-х складових: струму навантаження I_n , струму зворотного зв'язку інвертуючого підсилювача I_2 та струму сильного зворотного зв'язку, що компенсує магнітний потік осерддя I_{33} .

Аналіз схеми можна проводити із вихідних рівнянь, що базуються на правилах роботи ОП та законах для електричних кіл із магнітними зв'язками:

$$\begin{cases} \dot{U}_A = \dot{U}_B = 0 \\ \dot{I}_2 = -\dot{I}_{33} \\ \dot{U}_2 = \dot{I}_2 \cdot jX_3 + \dot{I}_2 \cdot R_n + \dot{I}_2 \cdot jX_2 + \dot{I}_2 \cdot R_1 - \dot{I}_2 \cdot jX_{23} + \dot{I}_1 \cdot jX_{12} - \dot{I}_1 \cdot jX_{13} \end{cases} \quad (1.56)$$

Розв'язавши цю систему відносно $K_{II} = \frac{\dot{U}_2}{\dot{I}_1}$, отримаємо коефіцієнт передачі

$$K_{\pi} = \frac{\dot{U}_2}{\dot{I}_1} = \frac{j(X_{12} - jX_{13})}{(R_{\pi} + R_1 + R_2) + j(X_3 - X_2 - X_{23})} \quad (1.57)$$

Компенсація магнітного потоку осердя виконується струмом i_{33} . Ступінь компенсації магнітного потоку осердя можна регулювати за допомогою опору R_{π} .

3.5.2 Активні вимірювальні перетворювачі напруги

Вторинна лінійна напруга ТН становить 0 – 100 В. На вторинному ТН (сигнальному) вона додатково трансформується у напругу 5-10 В. Можлива схема підключення ТН до низьковольтних схем представлена на рис. 3.79 (а).

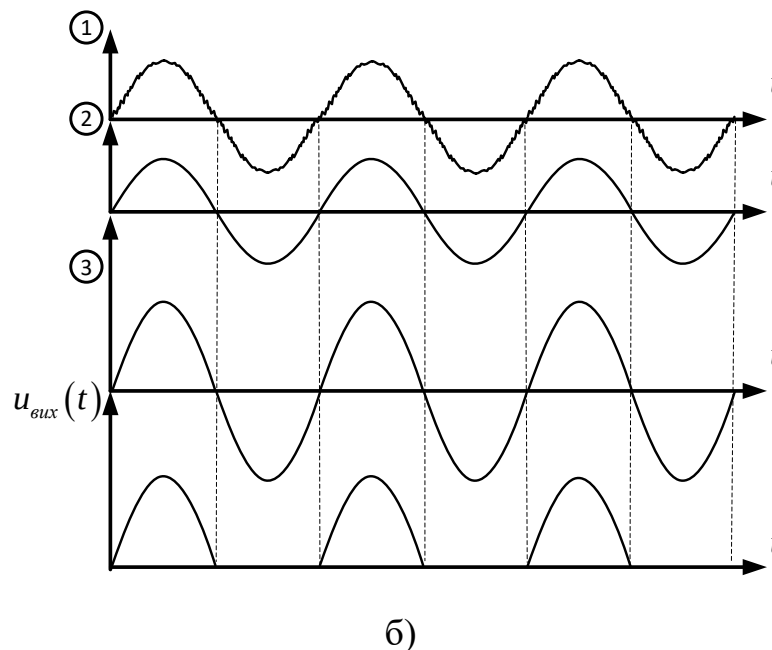
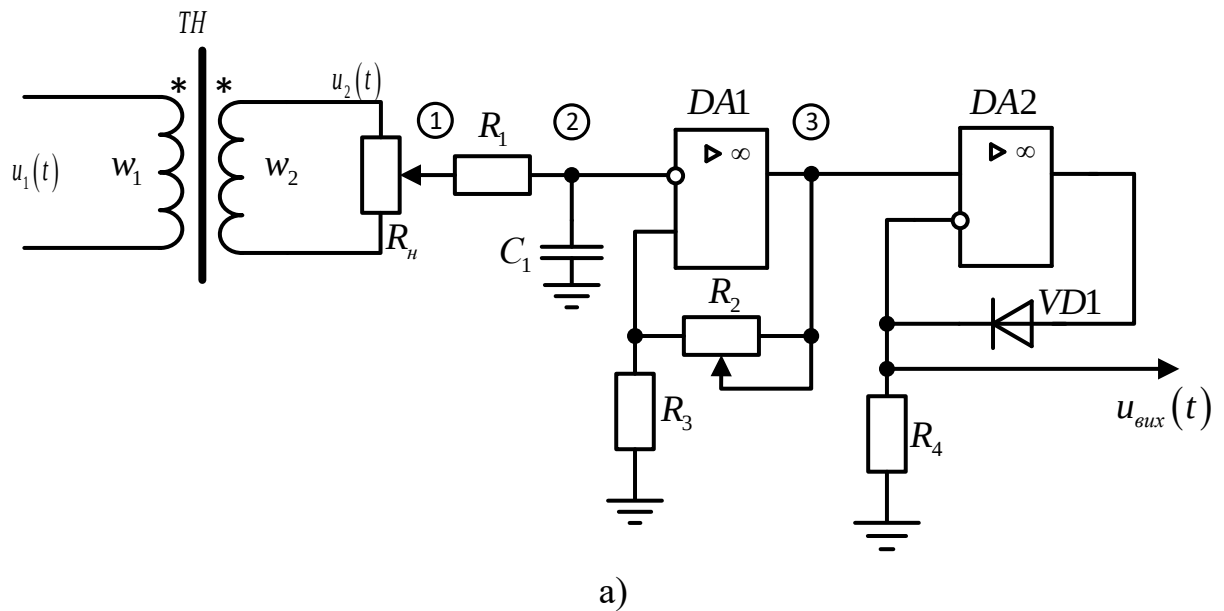


Рис. 3.79. Підключення ТН до низьковольтних схем: а - схема принципова; б - часові діаграми

Напруга з сигнального ТН первинно масштабується за допомогою опору R_n . Причому за режимом роботи ТН опір R_n повинен бути великим. На R_1 та C_1 зібрано низькочастотний фільтр, задача якого прибрати високочастотні складові з сигналу промислової частоти (див. рис. 3.79 (б), криві 1 та 2).

На $DA1$, R_2 та R_3 побудований неінвертуючий підсилювач (див. розділ 3.2.2.2), із змінним коефіцієнтом підсилення. Зміна коефіцієнту підсилення здійснюється за рахунок змінного R_2 .

На елементах $DA2$, R_5 та $VD1$ побудовано активний випрямляч (див. розділ 3.2.2.7), задачею якого є перетворення вхідного сигналу до однополярного – придатного для подачі на АЦП [2, 9, 12, 23, 36, 41, 53, 60].

Контрольні запитання до теми 3.5:

1. Для чого призначені вимірювальні перетворювачі напруги та струму? Область їхнього використання?
2. Чим відрізняються активні перетворювачі струму від пасивних?
3. Які методи застосовуються для побудови перетворювачів напруги?
4. Як працює активний вимірювальний перетворювач струму?
5. Як впливає температура на роботу вимірювальних перетворювачів?
6. Для чого застосовуються перетворювачі напруги і струму у системах релейного захисту?
7. Чим відрізняються аналогові перетворювачі від цифрових датчиків струму/напруги?
8. Як узгоджується вихід перетворювача з входами АЦП?
9. Наведіть приклади застосування активних перетворювачів у сучасних енергетичних системах.
10. Побудова мікропроцесорних систем.

Рекомендована література

1. ABB ABB RELION Series: Grid Automation REC615 and RER615 Technical Manual. – 2018-08-31. – Режим доступу: <https://library.e.abb.com>.
2. Adel S. Sedra, Kenneth C. Smith Microelectronic Circuits. – 8th ed. – Oxford: Oxford University Press, 2020.
3. Analog Devices AN-14: Designs for High Performance Voltage-to-Frequency Converters / Analog Devices. – 1986.
4. Analog Devices MT-004: The Good, the Bad, and the Ugly Aspects of ADC Input Noise - Is No Noise Good Noise? / Analog Devices. – 2008.
5. Analog Devices MT-015: DAC Basics / Analog Devices. – 2008.
6. Analog Devices MT-019: DAC Interface Fundamentals / Analog Devices. – 2008.
7. Analog Devices MT-021: ADC Architectures and Basic Theory / Analog Devices. – 2008.
8. Analog Devices MT-022: Sigma-Delta ADCs / Analog Devices. – 2008.
9. Analog Devices MT-037: Op Amp Input Offset Voltage / Analog Devices. – 2008.
10. Analog Devices Precision Analog Microcontrollers, [Електронний ресурс]. – 2008. – Режим доступу: <https://www.analog.com/media/en/news-marketing-collateral/product-highlight/precisionmicrocontrolleroverview.pdf>.
11. Analog Devices AN-877: Interfacing to High Speed ADCs via SPI / Analog Devices. – 2017.
12. Analog Devices MT-068: Instrumentation Amplifiers and Precision Applications / Analog Devices. – 2023.
13. Anil K. Maini Digital Electronics: Principles, Devices and Applications. – 10th ed. – John Wiley & Sons, 2007.
14. Behzad Razavi Fundamentals of Microelectronics. – 2th ed. – Hoboken: Wiley, 2013.
15. Bonnie Baker How delta-sigma ADCs work, Part 1 // Analog Applications Journal. – 2011. – №3. – P. 13–16.
16. Brown S., Vranesic Z. Fundamentals of Digital Logic with VHDL Design. – 4th ed. – New York: McGraw-Hill Education, 2021.

17. Burn-Brown VFC32 Precision Voltage-to-Frequency Converter / Burn-Brown. – 1998.
18. Charles H. R., Larry L. K., Eugene B. J. Fundamentals of Logic Design. – 7th ed. – Boston: Cengage Learning, 2020.
19. David Harris, Sarah Harris Digital Design and Computer Architecture. – 2th ed. – Amsterdam: Morgan Kaufmann, 2012.
20. Ding L., Mazumder P. On circuit techniques to improve noise immunity of CMOS dynamic logic // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2004. – Vol. 12. – №9. – P. 910–925.
21. Dr. Farid GolnaraghiDr., Benjamin C. Kuo Automatic Control Systems. – 10th ed. – New York: McGraw-Hill Education, 2017.
22. Egan M. The 20-Bit DAC Is the Easiest Part of a 1-ppm-Accurate Precision Voltage Source // Analog Dialogue. – 2010. – P. 1–4.
23. Franco S. Design with Operational Amplifiers and Analog Integrated Circuits. – 4th ed. – McGraw-Hill Education, 2014.
24. Hambley A. R. Electrical Engineering: Principles and Applications. – 8th ed. – Pearson, 2018.
25. International Standard; IEC 60617-12 Graphical symbols for diagrams - Part 12: Binary logic elements. – 1997-12-15. – Режим доступа: <https://webstore.iec.ch/en/publication/16985>.
26. International Standard; IEC 61850-7-420 Communication networks and systems for power utility automation - Part 7-420: Basic communication structure - Distributed energy resources and distribution automation logical nodes. – 2021-10-13. – Режим доступа: <https://webstore.iec.ch/en/publication/34384>.
27. IEEE Std. 1615-2007, IEEE Recommended Practice for Network Communication in Electric Power Substations – Piscataway, NJ, USA: IEEE. – 2007.
28. IEEE Std. 1815-2015, IEEE Standard for Electric Power Systems Communications - Distributed Network Protocol (DNP3) – Piscataway, NJ, USA: IEEE. – 2015. – Режим доступа: <https://standards.ieee.org/ieee/1815/6177/>.

29. IEEE Std 91-1984 IEEE Graphic Symbols for Logic Functions (Includes IEEE Std 91A-1991 Supplement, and IEEE Std 91-1984) – Piscataway, NJ, USA: IEEE. – 13 July 1984.
30. J. Lewis Blackburn, Thomas J. Domin Protective Relaying. Principles and Applications, Fourth Edition – Boca Raton: Taylor & Francis, 2014.
31. John F. Wakerly Digital Design: Principles and Practices. – 4th ed. – London: Pearson Education, 2005.
32. Kumar A. A. Pulse And Digital Circuits – New Delhi: Asoke K. Ghost, 2011.
33. M. Morris Mano, Charles R. Kime, Tom Martin Logic and Computer Design Fundamentals. – 5th ed. – London: Pearson Education, 2016.
34. Mano M. M. Digital Design Global Edition. – 6th ed. – London: Pearson, 2018.
35. Mark Balch Complete Digital Design: A Comprehensive Guide to Digital Electronics and Computer System Architecture – McGraw Hill Professional, 2003.
36. Motaz Khader System Trade-offs for High- and Low-side Current Measurements, [Электронный ресурс]. – 2023. – Режим доступа: <https://www.ti.com/document-viewer/lit/html/SSZTA51>.
37. Neil Weste, David Harris CMOS VLSI Design: A Circuits and Systems Perspective. – 4th ed. – London: Pearson Education, 2010.
38. Nise N. S. Control Systems Engineering. – 8th ed. – Hoboken, NJ: John Wiley & Sons, 2019.
39. Padilla E. Substation Automation Systems: Design and Implementation. – 1th ed. – Wiley, 2015.
40. Pastre M., Kayal M. Methodology for the Digital Calibration of Analog Circuits and Systems – Springer, 2006.
41. Paul Horowitz, Winfield Hill The Art of Electronics. – 1th ed. – Cambridge: Cambridge University Press, 2020.
42. Smith A., Wu J. Basics of SPI: Timing Requirements and Switching Characteristics / Texas Instruments. – 2020.
43. Spurgeon C. Ethernet: The definitive guide / Charles E. Spurgeon – Beijing, Farnham: O'Reilly, 2000.

44. Texas Instruments Data Converter Selection Guide / Texas Instruments. – 2004.
45. Texas Instruments High-Speed, Analog-to-Digital Converter Basics (SLAA510) / Texas Instruments. – 2011.
46. Texas Instruments ADC Performance Parameters - Convert the Units Correctly! / Texas Instruments. – 2013.
47. Van De Plassche, Rudy J. J. Integrated Analog-To-Digital and Digital-To-Analog Converters (The Springer International Series in Engineering and Computer Science) – Springer, 2012.
48. Дичка І.А., Тарасенко, М.В., Онай, М.В. Основи прикладної теорії цифрових автоматів: Підручник – К.: Політехніка, 2019. – 508с.
49. ДСТУ (Державний Стандарт України); ДСТУ ІЕС 60617:2018 Графічні символи для схем (ІЕС 60617:2012 DB, IDT). – 01.01.2019. – Режим доступу: https://online.budstandart.com/ua/catalog/doc-page.html?id_doc=80550.
50. Жабін В.І., Жуков І.А., Клименко І.А., Ткаченко В.В. Прикладна теорія цифрових автоматів: Навчальний посібник. – 2-е вид. – К.: Вид-во Нац. авіац. ун-ту «НАУ-друк», 2009. – 360с.
51. Ладанюк А.П., Луцька Н.М., Кишенько В.Д., Л.О. Власенко, В.В. Івашук Методи сучасної теорії управління – К.: Ліра-К, 2018. – 368с.
52. Матвієнко М.П. Комп'ютерна логіка. Навчальний посібник – К.: Ліра-К, 2012. – 288с.
53. Новацький А.О. Мікропроцесорні та мікроконтролерні системи : підручник. У 2 ч. Ч. 1. Мікропроцесорні системи – К.: КПІ ім. Ігоря Сікорського, Вид-во «Політехніка», 2020. – 361с.
54. Рябенський В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: навчальний посібник. – Львів: Новий Світ-2000, 2024. – 736с.
55. Свечніков Г. С., Діденко Ю.В. Інтегральна мікроелектроніка : Конспект лекцій – К.: КПІ ім. Ігоря Сікорського, 2019. – 454с.
56. Сенько В. І., Панасенко М. В., Сенько Є. В., Юрченко М. М., Сенько Л. І., Ясинський В. В. Електроніка і мікросхемотехніка. / Під ред. Сенько В. І. – К.: Каравела, 2008. – Т.3. – 400с.

57. Сільвестров А.М., Островерхов М.Я., Шефер О.В., Н.А. Ладік, Д.К. Зіменков Системи автоматичного керування технологічними комплексами: навчальний посібник – К.: КПІ ім. Ігоря Сікорського, 2022. – 466с.
58. Спінул Л.Ю., Святненко В.А. Основи цифрової електроніки. Курс лекцій: навчальний посібник для здобувачів ступеня бакалавра за освітньою програмою 141«Електроенергетика, електротехніка та електромеханіка», спеціальності «Електротехнічні пристрої та електротехнологічні комплекси» – К.: КПІ ім. Ігоря Сікорського, 2022. – 118с.
59. Стаднік М.І., Видмиш А.А., Штуць А.А., М.А. Колісник Інтелектуальні системи в електроенергетиці. Теорія та практика: навчальний посібник – Вінниця: ТОВ «ТВОРИ», 2020. – 332с.
60. Ціделко В.Д., Яремчук Н.А., Затока С.А., Г.К. Бурченков Основи метрології та вимірювальної техніки. Навчальний підручник – К.: Видавництво «Політехніка», 2012. – 266с.
61. Яндульський О.С., Дмитренко О.О. Релейний захист. Цифрові пристрої релейного захисту, автоматики та управління електроенергетичних систем: Навчальний посібник – К.: НТУУ «КПІ», 2016. – 102с.

Предметний покажчик

D-тригер.....	73, 169	АЦП послідовного наближення ...	143, 146, 153, 154, 156, 157, 170, 171, 173
JK-тригер.....	75	багатоступінчасті послідовно-паралельні АЦП	143
n-МОН-вентиль.....	55, 56, 57	багатотактні послідовно-паралельні АЦП.....	145
RS-тригер.....	68, 69, 70, 71, 72, 74, 78, 111	Брязкіт контактів.....	109
Автомат з пам'яттю.....	19	Векторне переривання	173
автомат Мілі.....	21	Вентилі із відкритим колектором....	47
автомат Мура	21	Вентилі інтегральної інжекційної логіки.....	52
автоматична система керування	13	вимірювальний трансформатор напруги.....	178, 180, 182, 183
автоматичне керування.....	6	вимірювальний трансформатор струму.....	178, 179, 180
автоматичний керуючий пристрій.....	6	відмова приладу	14, 15
автоматна таблиця.....	18	внутрішні стани пристрою... ..	17, 20, 21
автоматний опис	18, 22	генератор напруги.....	137
Активний вимірювальний перетворювач напруги	182	Генератор прямокутних імпульсів	105
активний випрямляч.....	124	головний зворотній зв'язок	13
Активні вимірювальні перетворювачі струму	178	головний прямий зв'язок	13
алгебра Буля.....	24	<u>граф переходів</u>	20
алгебра Буля. Закон поглинання.....	25	Двійковий лічильник	83
алгебра Буля. Закон склеювання.....	25	<u>декадний лічильник</u>	88
алгебра Буля. Переміщувальний закон	24	Десятковий лічильник	88
Алгебра Буля. Розподільний закон..	25	Дешифратор.....	95
алгебра Буля. Сполучувальний закон	24	Дешифратори.....	93
алгебра Буля. Теорема де Моргана..	25	диз'юнктивна нормальна форма	26
алгоритм керування.....	6	<u>диз'юнкція</u> висловлення	23
алгоритм функціонування	6	дискретний сигнал	11, 16
аналогова схема	113	Диференціальна нелінійність	175
Аналогові вимірювальні перетворювачі напруги і струму	178	диференціальний підсилювач	120, 122
Аналого-цифровий перетворювач .	139	диференціатор	127
Асинхронний двійковий підсумовуючий лічильник	83	діод Шоткі.....	48, 49, 54, 125
Асинхронні входи в тригерах.....	77	Діодні логічні елементи	41
АЦП багатотактного інтегрування	157, 160, 162, 163, 166	Діодно-транзисторні логічні елементи	40, 42
АЦП з вбудованим пристроєм вибірки-зберігання	169	Додатковий зворотний зв'язок.....	13
АЦП за методом послідовних наближень	153	<u>Додатковий</u> прямий зв'язок.....	13
АЦП на основі перетворювачів напруга-частота	167	елемент АБО	23, 36, 37, 38
		елемент АБО-НІ	37
		елемент І	24, 36, 37, 38
		елемент І-НІ	38

елемент **НІ**.....23, 58
Завадостійкість41
 замкнутий ланцюг впливу13
 запам'ятовувальний елемент12
 Зворотній зв'язок13, 14
 І²Л Шоткі.....54
 Імовірність безвідмовної роботи15
 інвертуючий підсилювач115
 Інтегратор.....126
 Інтегруючі АЦП.....157
 Інтенсивність відмов15
 Інтерфейс АЦП.....171
 Карти Карно29, 30, 100
 карти Карно. факультативні умови 32, 33
 квантований сигнал.....11, 16
 Кільцевий лічильник90
 КМОН40, 57, 58, 59
 КМОН-вентиль57, 58
 коефіцієнт заповнення10
Коефіцієнт об'єднання за входом...40
 коефіцієнт підсилення.....116, 118, 129
Коефіцієнт розгалуження за виходом40
кола вибірки і зберігання66
 комбінаційна схема18, 34
 компаратор128, 129
 Конвеєрні послідовно-паралельні АЦП146
 кон'юнктивна нормальна форма26
кон'юнкція висловлення24
 Лічильник83
 Лічильники з модулем, що не є степенем числа 2.....87
 Логічні вентиля з емітерними зв'язками49
 Логічні елементи із трьома станами 45
 логічні елементи на польових транзисторах55
 MS-тригер.....72
 меандр.....9, 16
 МОН логічні елементи.....55
Монотонність характеристики перетворення176
 МОН-польовий транзистор55

мультиплексор 66, 96, 170, 171
Надійність 14
 неінвертуючий підсилювач..... 116
Нелінійність АЦП..... 162, 175
Непропадання кодів 176
 несправність виробу 14
 оперативний запам'ятовувальний пристрій..... 170
 операційний підсилювач 113, 114, 115, 116, 117, 119, 120, 121, 123, 124, 125, 126, 127, 128, 129, 130, 131, 160, 167, 181
 пам'ять 19, 20, 171, 173
 паралельний регістр..... 78, 81
 Паралельні АЦП..... 140
 Параметри АЦП 173
 підсилювач змінного струму . 118, 119
 підсумовуючий підсилювач... 122, 123
 Повний віднімач..... 103, 104
 Повний суматор 99, 102
 повторювач 117, 118
 Послідовний АЦП із підсумовуючим лічильником..... 149, 150
 Послідовний АЦП із реверсивним лічильником..... 151, 152
 послідовний регістр 79
 Послідовні АЦП..... 149
 Послідовно-паралельний регістр 80
 Послідовно-паралельні АЦП 143
Потужність розсіювання..... 41, 48
Похибка диференційної лінійності 176
Похибка зміщення нуля 175
Похибка лінійної характеристики 175
Похибка повної шкали 175
 працездатність виробу 14
 Принципова електрична схема 13
 прогальність..... 10
Просте переривання 172
 протокол зв'язку..... 61
Прямий доступ до пам'яті 173
 Регістр 78
 ремонтпридатність виробу 14
Роздільна здатність..... 174

розімкнутий ланцюг впливу	13	таблиця змін станів	20
Селектори	96	таблиця переходів	20
Сигма-дельта АЦП	162, 167	Температурна нестабільність АЦП	
<u>сигнал дискретизований за рівнем</u>	11		176
<u>сигнал дискретизований за часом</u>	11	транзистор Шоткі	48
сигнал перетворення	172	Транзисторно-транзисторні логічні	
Синхронний двійковий віднімаючий		елементи	40, 43
лічильник	86	Тригер	68, 131
Синхронний двійковий		тригер Шмітта	111, 130, 133
підсумовуючий лічильник	84, 85	Тригер Шмітта	130
Синхронний тригер	70	Т-тригер	73, 74, 75, 83
складання структурної формули по		функціональні елементи	12
нулям	27	функціональні схеми	12
<u>складання структурної формули по</u>		<u>функціонально повна система</u>	
<u>одинацям</u>	26	<u>елементів</u>	35
Словесний опис	17, 25	Цифро-аналоговий перетворювач .	134
Статичні параметри АЦП	174	цифровий сигнал	11, 134, 139, 171
структурна схема	12	<i>Час затримки</i>	41
Сума по модулю 2	100	чорний ящик	17
Схема усунення брязкоту контактів		Шифратор	93, 97
.....	109	Шифратор-кодоперетворювач	97
схема формування імпульсів	107	штрих Шефера	37, 38, 69, 70, 71
таблиця виходів	21	Шуми АЦП	176