

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

**Радіотехнічний факультет
Кафедра радіотехнічних систем**

До захисту допущено:

В.о. завідувача кафедри

_____ Сергій ЖУК

«___» _____ 20 р.

Дипломний проєкт

на здобуття ступеня бакалавра

за освітньою програмою «Радіотехнічні комп'ютеризовані системи»

спеціальності 172 «Електронні комунікації та радіотехніка»

на тему: «Пристрій керування фазообертачами»

Виконав:

студент IV курсу, групи РС-01

Краснюк Юрій Євгенійович

Керівник:

Старший викладач кафедри РТС, к.т.н.

Неуймін Олександр Станіславович

_____  _____

Рецензент:

Старший викладач кафедри ПРЕ

Адаменко Володимир Олексійович

Засвідчую, що у цьому дипломному проєкті немає запозичень з праць інших авторів без відповідних посилань.

Студент (-ка) _____

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»
Радіотехнічний факультет
Кафедра радіотехнічних систем

Рівень вищої освіти – перший (бакалаврський)

Спеціальність – 172 «Електронні комунікації та радіотехніка»

Освітня програма «Радіотехнічні комп'ютеризовані системи»

ЗАТВЕРДЖУЮ

В.о.завідувача кафедри

_____ Сергій ЖУК

«___» _____ 2022 р.

ЗАВДАННЯ

на дипломний проєкт студенту

Краснюку Юрію Євгенійовичу

1. **Тема проєкту:** «Пристрій керування фазообертачами», керівник проєкту Неуймін Олександр Станіславович, PhD, затверджені наказом по університету від «29» 05 2024 р. № 2178-с

2. **Термін подання студентом проєкту** 17.06.2022 р.

3. **Вихідні дані до проєкту:**

1. Напруга живлення 12 В. 2. Робоча тактова частота системи 8 МГц. 3. Температура експлуатації пристрою від -40°C до +65°C. 4. Розрахунок фазових зсувів для цифрових 6-розрядних фазообертачів, сигналом 3,3 В CMOS. 5. Розрахунок здійснювати для різної кількості фазообертачів від 0 до 512 шт. 6. Можливість калібрування значення порахованих фаз. 7. Можливе налаштування поведінки пристрою через ПК. 8. Діапазон розрахунку по куту азимуту та місця від -45° до 45°; 9. Діапазон задання частоти розрахунку від 1 до 1000 МГц

4. **Зміст пояснювальної записки:** Перелік скорочень; Вступ; 1. Аналіз роботи та застосувань фазообертачів; 2. Аналіз технічного завдання; 3. Вибір та обґрунтування схемотехнічного рішення; 4. Розробка друкованого вузла; 5. Розробка програмного забезпечення; Висновки; Список використаних джерел;

5. **Перелік графічного матеріалу:** схема електрична принципова; кресленик друкованої плати; складальний кресленик; презентація;

6. Консультанти розділів проєкту*

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

7. Дата видачі завдання 15.04.2024 р.

Календарний план

№ з/п	Назва етапів виконання дипломного проєкту	Термін виконання етапів проєкту	Примітка
1	Аналіз актуальності пристрою	15.04 – 22.04	Виконано
2	Аналіз роботи та застосувань фазообертачів	22.04 – 29.04	Виконано
3	Розробити ТЗ та провести його аналіз	29.04 – 05.05	Виконано
4	Обґрунтування конфігурації структури та функцій пристрою	05.05 – 12.05	Виконано
5	Вибір елементної бази	12.05 – 19.05	Виконано
6	Розробка схеми електричної принципової	19.05 – 26.05	Виконано
7	Розробка друкованого вузла	26.05 - 03.06	Виконано
8	Розробка програмного забезпечення	03.06 – 10.06	Виконано

Студент

Юрій КРАСНЮК

Керівник



Олександр НЕУЙМІН

* Консультантом не може бути зазначено керівника дипломного проєкту(роботи)

АНОТАЦІЯ

Тема дипломного проєкту «Пристрій керування фазообертачами» складається з пояснювальної записки обсягом 65 сторінок, 42 рисунок, 17 таблиць, 3 креслеників, 3 додатків та 21 посилань.

Метою даного дипломного проєкту є створення цифрового пристрою, що обраховує значення фазових зсувів для заданої кількості фазообертачів за такими вхідними параметрами, як кути азимуту та місця, робоча частота сканування, розташування фазообертачів з можливістю задання поведінки пристрою через зовнішній блок керування, наприклад ПК.

Для досягнення цілі, було розглянуто аналіз роботи та застосувань фазообертачів, їх роль та перспектива в сучасних фазованих антенних решітках, проаналізовано технічне завдання. Відповідно до технічного завдання було обґрунтовано конфігураційну структуру пристрою та його функціонал. Було обрано надійну елементну базу, розроблену схему електричну принципову, друковану плату та окремо розроблено програмне забезпечення, що задовольняє поставленим функціональним можливостям пристрою.

Ключові слова: фазообертач, фазована антенна решітка, фазовий зсув, діаграма направленості, програмована логічна інтегральна схема.

ANNOTATION

The theme of the diploma project "Phase shifter control device" consists of an explanatory note of 65 pages, 42 figures, 17 tables, 3 drawings, 3 appendices and 21 references. The purpose of this diploma project is to create a digital device that calculates the value of phase shifts for a given number of phase shifters by such input parameters as azimuth and position angles, scanning operating frequency, the location of phase shifters with the ability to set the behavior of the device through an external control unit, such as a PC. To achieve the goal, the analysis of the work and applications of phase shifters, their role and perspective in modern phased antenna arrays was considered, the technical task was analyzed. In accordance with the terms of reference, the configuration structure of the device and its functionality were substantiated. A reliable element base was chosen, an electrical circuit diagram was developed, a printed circuit board was developed, and software was separately developed that meets the functionality of the device. Keywords: phase shifter, phased array antenna, phase shift, radiation pattern, field programmable gate array.

ПОЯСНЮВАЛЬНА ЗАПИСКА

до дипломного проекту

на тему: Пристрій керування фазообертачами

Київ – 2024 року

ЗМІСТ

Перелік скорочень.....	9
Вступ.....	10
1 Аналіз роботи та застосувань фазообертачів.....	11
1.1 Підходи до побудови сучасних фазованих антенних решіток.....	11
1.2 Класифікація фазообертачів.....	18
2 Аналіз технічного завдання.....	21
3 Вибір та обґрунтування схемотехнічного рішення.....	22
3.1 Обґрунтування конфігурації структури та функцій пристрою.....	22
3.2 Вибір елементної бази.....	29
3.3 Розробка схеми електричної принципової.....	42
4 Розробка друкованого вузла.....	43
4.1 Створення бібліотек компонентів.....	43
4.2 Вибір матеріалу плати.....	48
4.3 Вибір ширини провідників та налаштування правил трасування.....	49
4.4 Трасування друкованої плати.....	51
5 Розробка програмного забезпечення.....	54
5.1 Алгоритм.....	54
5.2 САПР Quartus Intel Prime.....	55
5.3 Комунікація з зовнішнім блоком керування.....	58

					PC01.4645015.001 ПЗ				
ЗМ.	Лист	№ докум.	Підпис	Дата					
Розробив		Краснюк Ю.Є.			Пристрій керування фазообертачами		Лім.	Лист	Листів
Перевірів		Неуймін О.С.						1	65
Н. Контр.							КПІ ім. Ігоря Сікорського		
Затвердив									

5.4 Використання М9К-пам'яті.....	61
5.5 Контрольний модуль обрахунку фаз.....	63
5.6 Формування посилки.....	64
5.7 Калібрування даних.....	65
Висновки.....	67
Список використаних джерел.....	69

ПЕРЕЛІК СКОРОЧЕНЬ

ДН – Діаграма направленості

ФАР – Фазована антенна решітка

ФО – Фазообертач

ПЛІС – Програмована логічна інтегральна схема

FPGA – Field-programmable gate array

LED – Light-emitting diode

САПР – Система автоматизованого проектування і розрахунку

HDL – Hardware description language

UART – Universal asynchronous receiver/transmitter

SPI – Serial peripheral interface

					PC01.4645015.001 ПЗ	Лист
						3
Зм.	Лист	№ докум.	Підпис	Дата		

ВСТУП

Із стрімким розвитком телекомунікаційних технологій, сучасний світ вимагає постійного вдосконалення систем зв'язку та радіолокації. В умовах швидкого прогресу, необхідність у пристроях, які забезпечують точне і надійне управління фазовими зсувами для таких пристроїв як фазообертачі, стає все більш актуальною.

Ключовими принципами, що робить цей пристрій актуальним є те, що фазообертачі(ФО) є однією з важливих частин, завдяки якій радіосистеми стають універсальними та ефективними. На основі властивості ФО, а саме керований зсув фази вхідного електромагнітного випромінювання, їх використання є ключовим для керування променем випромінювання, модуляції сигналу та керування фазованими антенними решітками(ФАР). Саме завдяки таким технологічним можливостям з маніпулювання діаграмою направленості(ДН) та витісненню аналогових екземплярів цифровими, що зробило їх високоточними та програмно-керованими, ФО знайшли своє застосування в сучасних комп'ютеризованих ФАР, таких як системи стільникового зв'язку 5G, комерційного постачання послуг широкосмугового доступу до інтернету на основі супутників низької навіколоземної орбіти (Starlink та Amazon Project Kuiper), систем з активним та пасивним електричним скануванням (AESA та PESA), ФАР з гібридним формуванням променя та решіток з цифровим формуванням променю.

Проте настає й необхідність в розробці цифрового пристрою, який би керував ФО, обумовлено це тим, що наведені вище сучасні телекомунікаційні та радіолокаційні технології вимагають точного, швидкого і надійного управління фазовими зсувами. Такий пристрій буде ключовим елементом для забезпечення високої продуктивності, гнучкості, ефективності та надійності сучасних систем зв'язку і радарів.

					PC01.4645015.001 ПЗ	Лист
						4
Зм.	Лист	№ докум.	Підпис	Дата		

1 АНАЛІЗ РОБОТИ ТА ЗАСТОСУВАНЬ ФАЗООБЕРТАЧІВ

1.1 Підходи до побудови сучасних фазованих антенних решіток

Перш за все потрібно взяти до відома просту антенну решітку(АР) в якій радіочастотний струм від передавача подається на N окремих антен(елементів АР) з належним співвідношенням фаз, так що радіохвилі від окремих елементів АР накладуються(явище інтерференції хвиль) утворюючи промені, що збільшує потужність випромінювання в бажаному напрямку та придушує в небажаних напрямках.[3] Ці явища накладання хвиль в АР описуються теоремою про перемноження ДН:

Діаграма направленості системи з N ідентичних та однаково орієнтованих спрямованих випромінювачів визначається добутком діаграми направленості одиничного випромінювача на діаграму направленості тієї ж системи з N уявних неспрямованих випромінювачів та може бути записана за формулою (1.1) [22]

$$f(\theta, \varphi) = F_1(\theta, \varphi) f_N(\theta, \varphi) \quad (1.1)$$

$$\text{де } f_N(\theta, \varphi) = \left| \sum_{n=1}^N \frac{I_n}{I_1} e^{-ikr_n} \right| - \text{множник антенної решітки}$$

Даний вираз визначає напруженість поля у довільному напрямі (відстань r_n залежить від кутів θ, φ . Абсолютне значення цього виразу визначає ДН системи з N неспрямованих випромінювачів, збуджуваних струмами I_n . [22]

Тобто додавання більшої кількості антен до АР звужує промінь основного випромінювання, проте й формує деякі бічні пелюстки або небажані випромінювання, що виникають в деяких напрямках неосновного випромінювання через недосконале погашення хвиль як показано на рисунках 1.1 та 1.2. [1]

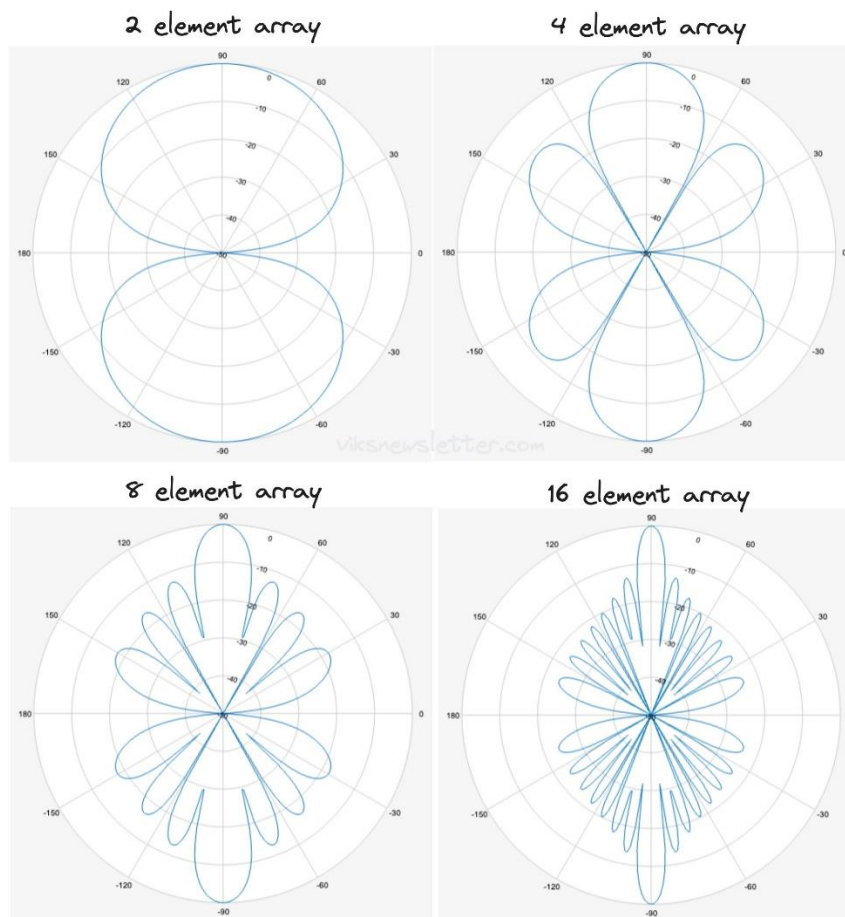


Рисунок 1.1 - ДН АР з різною кількістю елементів

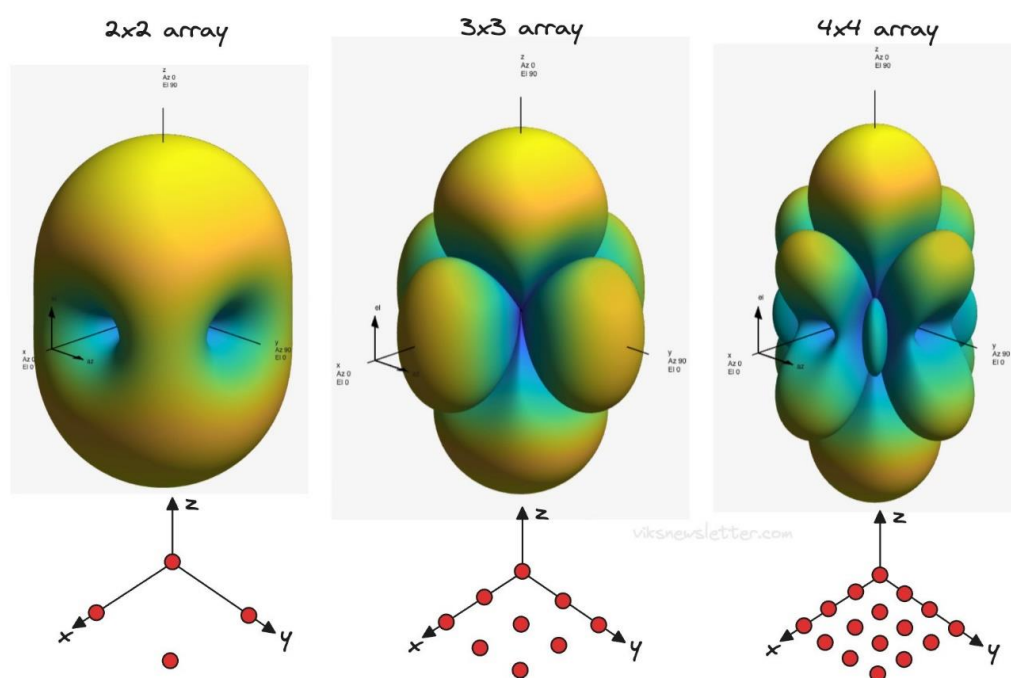


Рисунок 1.2 - ДН в трьохвимірному просторі при різних конфігураціях АР

Так як вузьким променем випромінювання від АР, на відміну від ізотропної антени, не можна передавати та приймати в усіх напрямках, потрібно направляти промінь в напрямок джерела(цілі). Історично для цього використовувались моторизовані платформи для обертання антени вручну. Наразі такий метод не буде прийнятним, адже це достатньо громіздко та повільно. Крім того вступає фактор механічного зносу, що робить таку радіолокаційну систему (РЛС) менш надійною. У сучасних засобах зв'язку промінь антени потрібно за доли мілісекунд скеровувати в інших напрямках. [2]

Використання ФАР пропонує рішення для швидкого керування променями за допомогою методів управління зсувом фаз, змінюючи напрямок скануючого променя, проте не рухаючи саму антену. [2]

Управління фазами(фазування) надає такі переваги: [4]

- формування(при досить різноманітних розташуваннях випромінювачів) необхідної ДН ФАР;
- зміна напрямку променя нерухомої ФАР, і в тому числі здійснення швидкого, практично безінерційного, сканування – хитання променю;
- керування в певних межах формою ДН – зміна ширини променя, інтенсивністю або рівнем бічних пелюсток тощо, для цього також в ФАР використовується управління амплітудами хвиль окремих випромінювачів);

Взагалом основний принцип роботи ФАР полягає в тому, що можна направляти промінь в будь-якому напрямку, та також змінювати його, за рахунок того, що точно подаючи на кожен елемент АР сигнал з зсувом фаз, тим самим змінювати ДН як показано рисунках 1.3 та 1.4.

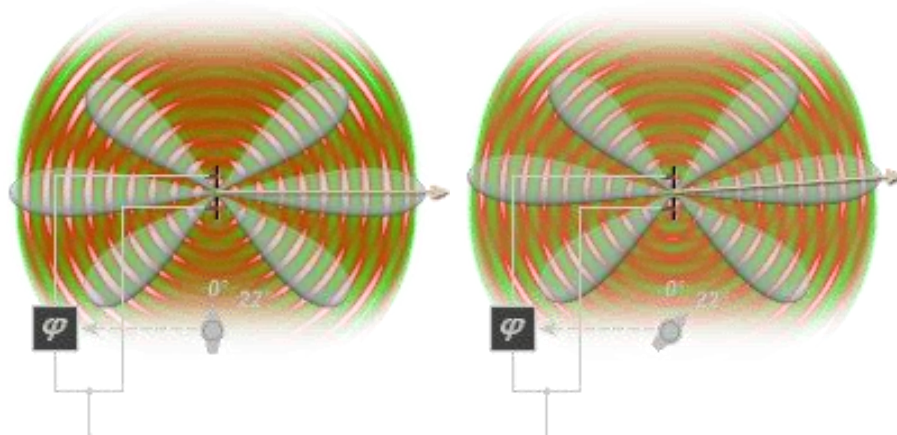


Рисунок 1.3 - Ліворуч: два елементи антени, які живляться з однаковою фазою; праворуч: два елементи антени, які живляться з фазовим зсувом [5]

За способом керування фазовими зсувами, розрізняють ФАР: [4]

- з електромеханічним скануванням, що здійснюється, наприклад, за допомогою змін геометричних форм збуджуючого хвилеводу;
- з частотним скануванням, використання залежності фази від частоти, наприклад за рахунок довжини фідера між сусідніми випромінювачами або дисперсії хвиль;
- з електричним скануванням, за допомогою фазозсувних кіл або ФО, що керуються електричними сигналами з безперервною або дискретною зміною фазових зрушень;

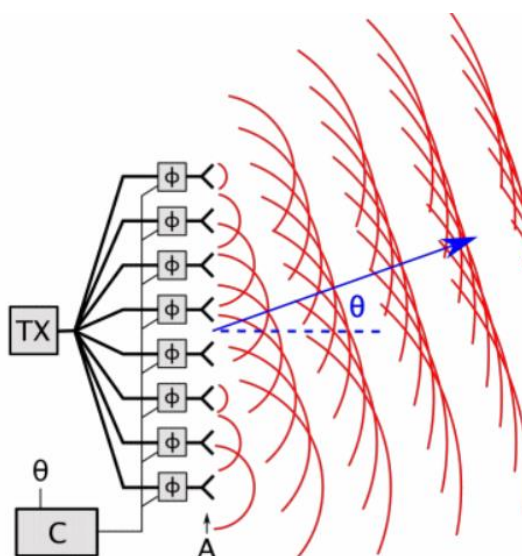


Рисунок 1.4 - Принцип дії ФАР

Сучасними ФАР вважаються ті, що використовують електричне сканування, через найбільші можливості та точність цього способу керування фазами. У такій ФАР потужність від передавача подається на антени через фазообертачі, які є електрично керованими за допомогою швидкодіючої комп'ютеризованої системи, яка в найтривіальніших випадках керує лише групами елементів(наприклад, рядками і стовпчиками в плоских ФАР з прямокутним розташуванням випромінювачів), а в найскладніших – кожним фазообертачем окремо, та змінюють фазу або затримку сигналу в електронному вигляді через протоколи передачі даних, таким чином направляючи скануючий промінь в іншому напрямку. Зміна напрямку променя може проводитися так само як наперед заданим алгоритмом сканування, так і за програмою/алгоритмом, що формується в ході роботи всієї радіотехнічної комп'ютеризованої системи. [4]

Як приклад, на рисунку 1.5 зображена ДН довільної лінійної 6-елементної АР, де до кожного елементу підключений фазообертач з певним зсувом фаз. Замальовані квадрати представляють собою різні фазові зсуви основного сигналу. В залежності на те знач. зсуву на яке скерований кожен ФО, досягнуто такі ДН: [2]

- 1) **Broadside:** на кожен елемент подано однаковий зсув та амплітуда. Отримана діаграма має максимум випромінювання +/- 90 градусів в азимутальній площині;
- 2) **Endfire:** кожна антена живиться із зсувом на 0 або 180 градусів. Результируюча діаграма має максимуми в 0 та 180 градусів;
- 3) **Phased:** кожен послідовний елемент живиться з прогресивною затримкою на +50 або -50 градусів, що дає можливість направляти промінь “в бік”. Збільшення значення фазового зсуву на фазообертач ще більше спрямовує убік від поперечного напрямку.

Зм.	Лист	№ докум.	Підпис	Дата

PC01.4645015.001 ПЗ

Лист

9

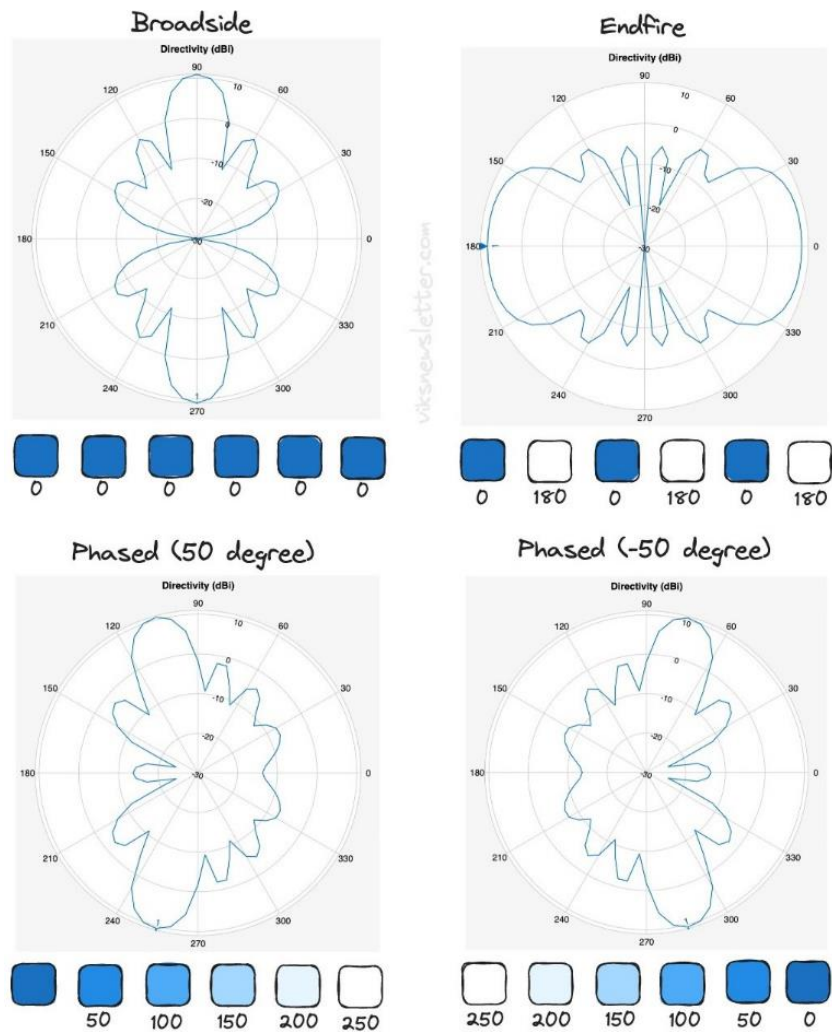


Рисунок 1.5 Зміна ДН в залежності від значень зсуву

Ключова роль відведена фазообертачам у функціонуванні таким ФАР як PESA (Passive Electronically Scanned Array) та AESA (Active Electronically Scanned Array). PESA використовує центральний підсилювач передавача та приймача для посилення радіосигналів із фазозсувом на кожному елементі антени. Це був основний метод проектування на початку розвитку радарів, оскільки впровадження активних схем на кожному елементі антени було непомірно дорогим. PESA мають обмежену функціональність без контролю амплітуди для кожної антени. Такі функції, як звуження підсилення, неможливо реалізувати. [3]

З розвитком інтегральних схем активні решітки стали доступними з підсиленням і зсувом фази, реалізованими за допомогою компактних модулів прийому/передачі (T/R) на кожній антені масиву. Завдяки повному контролю над

сигналом, що подається на кожну антену, ми можемо формувати випромінюваний промінь відповідно до вимог системи. [2]

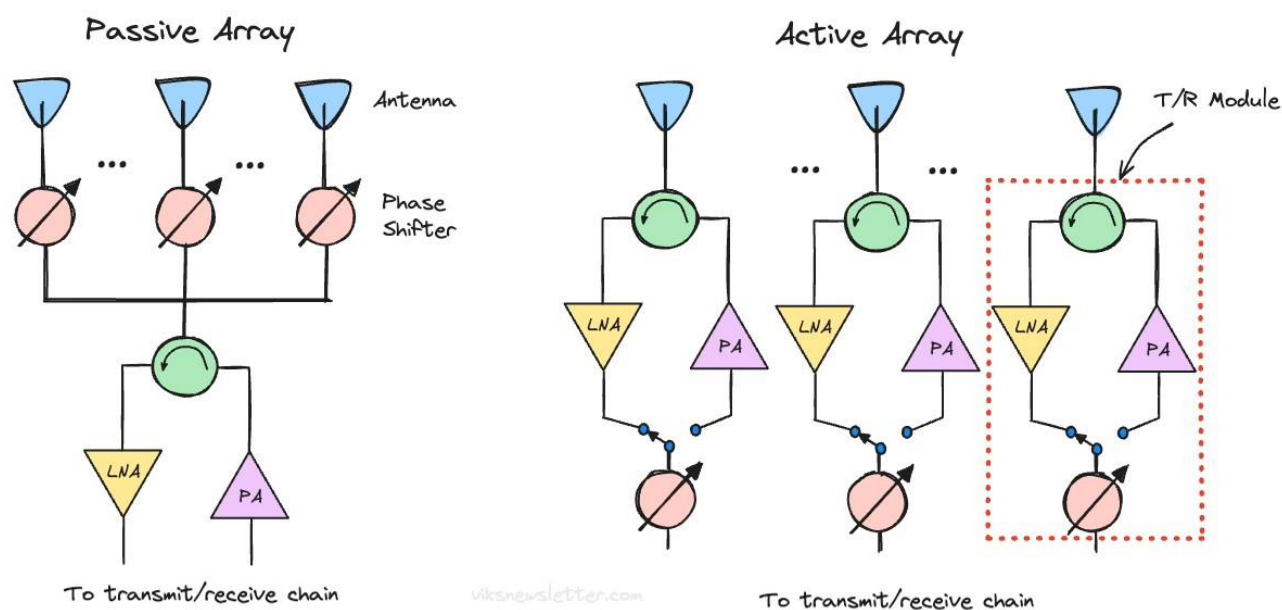


Рисунок 1.6 - Архітектура PESA та AESA

Основні відмінності використання ФО в цих системах полягають в тому, що у PESA фазообертачі використовуються для централізованого керування фазою сигналу, який подається на кожен випромінюючий елемент, а в AESA кожен випромінюючий елемент має власний передавач і приймач, і фазообертачі використовуються для індивідуального керування фазою сигналу для кожного елемента. [3]

Взагалом ФАР спочатку були задумані для використання у військових радарних системах, щоб швидко направляти промінь радіохвиль по небу для виявлення літаків і ракет. Зараз ці системи широко використовуються і поширилися на цивільні програми, такі як 5G MIMO для мобільних телефонів. Або також як приклад антену Starlink (Dishy McFlatface або Dishy), яка складається з 1280 круглих патч-антен, розташованих у вигляді шестикутних сот. На кожну антену подається сигнал 12 ГГц та спрямований сигнал має бути переданий до супутника на відстані 550 км, який рухається зі швидкістю 27 000

км/год. Для цього на кожен елемент масиву з антен подається із зсувом основний модульований сигнал, для того, щоб направляти ДН точно на супутник. [2]

Підсумовуючи все вище сказане, фазообертачі є незамінними для сучасних ФАР, оскільки забезпечують можливість динамічного керування фазою сигналів, що дозволяє швидко і точно змінювати напрямок випромінювання і формувати необхідні діаграми спрямованості. Використання ФО підвищує ефективність, гнучкість і надійність антенних систем, роблячи їх ключовими компонентами як у PESA, так і в AESA.

1.2 Класифікація фазообертачів

Фазообертач - загальна назва електричних пристроїв, призначених для зміни фази електромагнітних коливань на виході пристрою щодо фази коливань на його вході [23], як показано на рисунку 1.7. Використовується в ФАР. Класифікація фазообертачів може здійснюватись за такими критеріями:

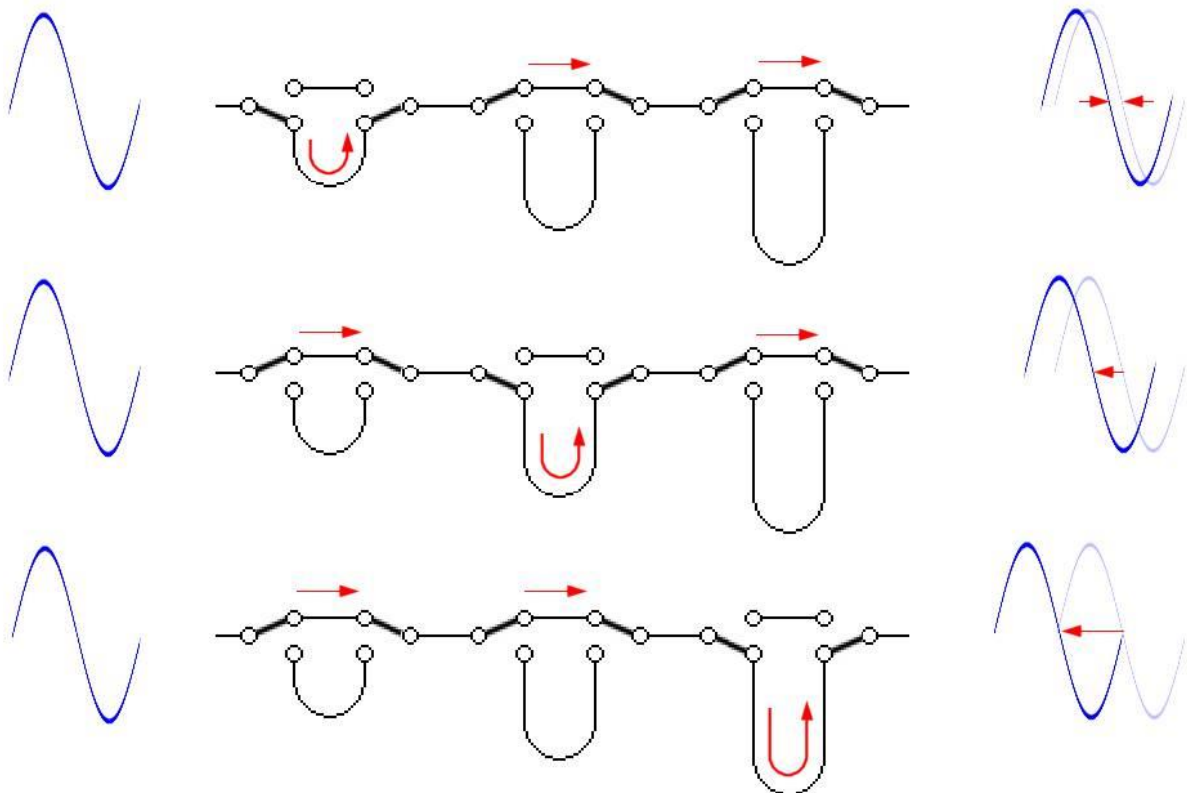


Рисунок 1.7 - Перемикання відрізків лінії передач у ФО

1) За принципом керування:

- Аналогові, зсув фази є постійною функцією від вхідного сигналу. [11] Інструменти з регулювання індуктивності або лінії передач використовуються для безперервної та плавної зміни фаз. Зазвичай розроблені на основі таких компонентів, як PIN-діоди, варикаторні діоди. Переваги аналогових ФО включають їх простоту, адаптивність у реальному часі та придатність для таких застосувань, які вимагають плавних переходів фаз. Вони корисні в таких системах, як аналогове формування променя, де поступове регулювання фази відіграє значну роль у керуванні променями. Однак аналоговим ФО може бракувати точності та повторюваності виготовленні порівняно з їхніми цифровими еквівалентами; [7]
- Цифрові або дискретні, забезпечують дискретний набір фазових зсувів, які контролюються “фазовими бітами” з двома станами(нуль та одиниця) по формулі (1.2): [10]

$$\Delta\varphi = \frac{\pi}{2^{Q-1}} \sum_{k=0}^{Q-1} a_k \cdot 2^k \quad (1.2)$$

де a_k – Q-мірний вектор, що складається з ‘0’ та ‘1’

При $Q = 3$ (фаза задається трьома бітами), то a_k містить $2^3 = 8$ векторів та можна визначити такий набір фазових зсувів: 0° , 45° , 90° , 135° , 180° , 225° , 270° , 315° ; MSB(Most Significant Bit) відповідатиме за 180° , наступний після нього 90° та LSB(Least Significant Bit) за 45° , тобто 360° ділиться на все менші двійкові кроки. Шестирозрядний ФО буде вже забезпечувати точність LSB $5,6^\circ$. [6] Цифрові ФО застосовують в разі необхідності високої точності, програмно-комп’ютеризованого керування фазою, включаючи адаптивне формування променя в ФАР і передових РЛС; [7]

2) Активні або пасивні: [9]

- Активні фазообертачі забезпечують посилення сигналу під час зсуву;
- В пасивних фазообертачах відбувається згасання під час зсуву;

3) За принципом роботи. По суті, принцип роботи ФО полягає в уповільненні однієї частини вхідного сигналу порівняно з іншою з метою створення деякої різниці в їхніх фазах. Різниця фаз досягається різними механізмами: [7]

- Зсув фази через відбиття: сигнал відбивається від імпедансу, який змінюється, що і призводить до зсуву фази відбитої хвилі. Часто використовується в цифрових фазообертачах;
- Зсув фази через лінію передач: такі лінії передач як коаксіальні кабелі або мікросмужки, можна використовувати для введення змінного фазового зсуву шляхом зміни довжини лінії та діелектричного матеріалу;
- Зсув фази через феритовий матеріал: феритові фазообертачі використовують зміну магнітної проникності матеріалу, які змінюють швидкість поширення хвиль, під час їх проходження;
- Зсув фаз через напівпровідникові матеріали: зміна фази сигналу шляхом зміни електричних параметрів кола(варикапи, PIN-діоди);

4) Прохідний та відбиваючий ФО: [8]

- Прохідний ФО: сигнал проходить через пристрій з додатковим фазовим зсувом без відбиття назад до джерела
- Відбиваючий ФО: сигнал відбивається від фазообертача, і фаза змінюється в процесі відбиття

Зм.	Лист	№ докум.	Підпис	Дата

PC01.4645015.001 ПЗ

Лист

14

2 АНАЛІЗ ТЕХНІЧНОГО ЗАВДАННЯ

Потрібно розробити програмне забезпечення та друкований вузол пристрою, який буде обраховувати значення фазових зсувів для цифрових ФО(різної кількості) за формулою (2.1) у вигляді двійково-дискретного значення:

$$\theta_n^D = \text{Round}\left(\frac{\theta_n}{\theta_{bit}}\right) \times \theta_{bit} \quad (2.1)$$

де θ_{bit} – розрядність ФО – 6 [біт]

θ_n – значення фазового зсуву для n-ого фазообертача та нормоване відносно $[0:2\pi]$ та обраховується по формулі (2.2):

$$\theta_n(Az, El) = 2\pi \times F_0 \times T_n(Az, El) \quad (2.2)$$

де Az, El - азимут та кут місця відповідно $[-\pi/4: \pi/4]$,

F_0 – робоча частота [МГц],

$T_n(Az, El)$ - значення затримки в залежності від Az та El та обраховується по формулі (2.3):

$$T_n(Az, El) = 1/300 \times ((-\cos El \times \sin Az \times Y_n) + (\sin El \times Z_n)) \quad (2.3)$$

де Y_n та Z_n – позиція n-елементу по горизонталі та вертикалі відповідно [мм]

Також поставлені вимоги до даного пристрою:

- Вхідне живлення на пристрій +12 [В];
- Робоча температурний діапазон експлуатації пристрою: від -40 до +65°C;
- Можливість калібрування значень порахованих фаз;
- Розрахунок фазових зсувів для 6-розрядних ФО, на частоті 8 МГц, сигнал 3,3 В CMOS;
- Розрахунок значень фазових зсувів для різної кількості ФО: 0-512;
- Можливе налаштування поведінки пристрою через ПК;

3 ВИБІР ТА ОБГРУНТУВАННЯ СХЕМОТЕХНІЧНОГО РІШЕННЯ

3.1 Обґрунтування конфігурації структури та функцій пристрою

Розроблена структурна схема пристрою представлена на рисунку 3.1

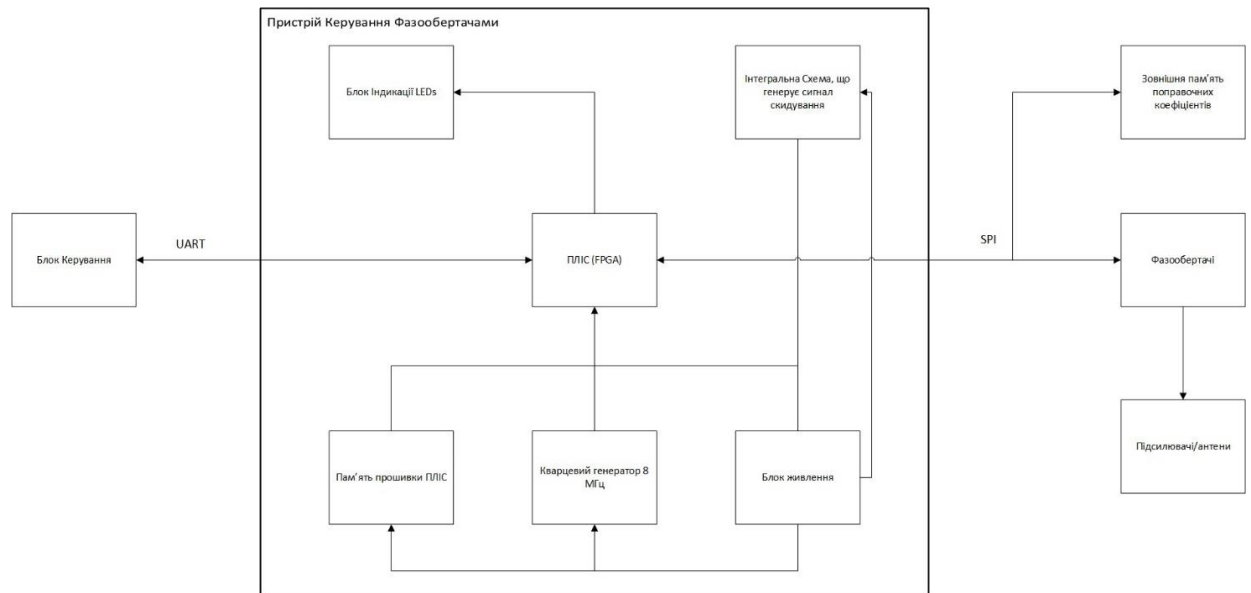


Рисунок 3.1 – Структурна схема

Конфігурація структури пристрою в більшості своїй залежатиме від центрального процесору чи мікроконтролеру, який буде обрано задля обрахунку певної кількості значень зсуву фаз та обробки деяких протоколів передачі даних для вірного передавання інформації, значень зсувів.

Обрання саме ПЛІС(Програмованої Логічної Інтегральної Схеми) як центрального пристрою для керування ФО в конфігураційній структурі проекту може бути обґрунтоване рядом вагомих причин: [24]

- 1) **Гнучкість і конфігурованість:** ПЛІС дозволяє реалізувати складні логічні функції та обробку сигналів, які можуть бути налаштовані або змінені в процесі розробки або експлуатації системи. Це особливо важливо для проектів, де необхідно швидко адаптуватися до змінних/плаваючих вимог або умов. Також на відміну від традиційних мікроконтролерів ПЛІС підтримують паралельну обробку різних

сигналів, що дає можливість ефективно розраховувати водночас значення фаз, передачі цих значень і т.д;

- 2) **Продуктивність:** ПЛІС може забезпечувати високу швидкість обробки та передачі даних та сигналів, в деяких навіть до 300-400 MHz та з мінімальною затримкою, що дуже важливо для синхронізованих систем. Це все можливо завдяки апаратній природі(на рівні регістрової та побітової передачі даних) обробки сигналів, адже логіку роботи ПЛІС та її цифрову схему на відміну від звичайних цифрових мікросхем або процесорів не визначають на етапі виготовлення, а задається мовами поведінкового опису апаратури(Verilog, VHDL);
- 3) **Інтеграція з зовнішніми інтерфейсами:** ПЛІС можуть бути інтегровані з різними периферійними інтерфейсами, такими як SPI(Serial Peripheral Interface), I2C(Inter Integrated Circuit), UART(Universal Asynchronous Receiver/Transmitter), що дозволяє легко взаємодіяти з іншими компонентами системи або зовнішніми пристроями. Протоколи дуже гнучко можна переписати в залежності від вимог проекту/задачі;
- 4) **Розширення функціональності:** Окрім керування ФО, ПЛІС можуть виконувати інші функції, такі як обробка сигналів/протоколів, фільтрація, модуляція/демодуляція, що зменшує необхідність в додаткових компонентах і спрощує архітектуру системи;
- 5) **Висока надійність:** ПЛІС є дуже надійними у порівнянні з мікропроцесорами, оскільки вся обробка йде, як було вище сказано, саме на апаратному рівні, тобто вони менш схильні до програмних помилок;
- 6) **Ефективний Процес Розробки:** Такі сучасні інструменти розробки для ПЛІС, як САПР(Система Автоматизованого Проектування та Розрахунку) Quartus від Intel та Vivado від Xilinx/AMD, наявність багато технічної документації, та спільноти користувачів-розробників з порадами, дозволяють швидко розробляти, симулювати при різних температурних режимах і тестувати різні конфігурації, що значно

					PC01.4645015.001 ПЗ	Лист
						17
Зм.	Лист	№ докум.	Підпис	Дата		

прискорює процес розробки і зменшує витрати на тестування та розробку в цілому;

- 7) Оновлюваність та масштабованість:** ПЛІС або FPGA містять велику кількість конфігурованих логічних блоків (CLB), які можуть бути використані для реалізації будь-якої необхідної логіки. Це дозволяє легко масштабувати систему для підтримки додаткових функцій або збільшення обчислювальних потужностей. FPGA також дозволяють модульне проектування, де окремі функціональні блоки можуть бути додані або замінені без впливу на інші частини системи з гнучким перепрограмуванням. [20]

У конфігурації структури, де ПЛІС (FPGA) використовується як центральний компонент, необхідно враховувати кілька додаткових компонентів для забезпечення коректної роботи та функціональності системи. Ось пояснення, чому включаються такі компоненти як блок індикації LEDs, інтегральна схема для генерації сигналу скидування, пам'ять для прошивки, кварцевий генератор та блок живлення.

Блок індикації LEDs

Обґрунтування:

- **Стан роботи системи:** LED індикатори використовуються для відображення стану роботи системи (наприклад, нормальна робота, помилки, процес перепрограмування тощо). Це дозволяє легко відстежувати поточний стан системи;
- **Діагностика та відладка:** LED індикатори корисні для діагностики та відладки під час розробки та обслуговування системи. Вони можуть показувати статус сигналів і допомагати швидко ідентифікувати проблеми;

Інтегральна схема, що генерує сигнал скидання (reset)

Обґрунтування: [25]

- **Ініціалізація системи:** Сигнал скидання необхідний для коректної ініціалізації FPGA(обнулення регістрів та автоматів зі скінченною множиною станів(finite state machine)) та інших компонентів системи після увімкнення живлення або при виникненні помилок. Це забезпечує впевнений запуск системи з відомого нульового стану;
- **Захист від збоїв:** Інтегральна схема генерації сигналу скидування може забезпечувати стабільний та надійний сигнал, що важливо для запобігання збоєм у випадку непередбачуваних ситуацій, таких як стрибки напруги або короткі замикання;

Пам'ять для Прошивки

Обґрунтування:

- **Зберігання конфігураційних даних:** FPGA зазвичай не має вбудованої пам'яті для зберігання конфігураційних даних, тому необхідна зовнішня пам'ять (наприклад, флеш-пам'ять) для зберігання прошивки. Це дозволяє зберігати і завантажувати конфігураційні файли при кожному увімкненні живлення;
- **Можливість оновлення:** Зовнішня пам'ять дозволяє легко оновлювати прошивку, що є важливим для підтримки та модернізації системи;

					PC01.4645015.001 ПЗ	Лист
						19
Зм.	Лист	№ докум.	Підпис	Дата		

Кварцевий генератор

Обґрунтування:

- **Стабільний тактовий сигнал:** Кварцевий генератор забезпечує стабільний і точний тактовий сигнал, необхідний для синхронізації роботи FPGA та інших компонентів системи. Стабільність тактового сигналу є критичною для коректної роботи цифрових схем, так як стабільні та надійні системи побудовані на синхронній логіці;
- **Висока точність:** Кварцеві генератори мають високу точність і стабільність у порівнянні з RC-генераторами, що забезпечує надійну роботу системи в широкому діапазоні температур та умов;

Блок живлення

Обґрунтування:

- **Стабільне живлення:** FPGA та інші компоненти системи потребують стабільного і безперебійного живлення для коректної роботи. Блок живлення забезпечує необхідні напруги та струми для всіх компонентів системи;
- **Захист компонентів:** Якісний та надійний блок живлення включає захист від перевантаження, короткого замикання та інших аномалій, що запобігає пошкодженню компонентів і забезпечує безперервну та надійну роботу системи;

Включення цих компонентів до конфігураційної структури проекту є обґрунтованим та необхідним для забезпечення стабільної, надійної та функціональної роботи системи. Кожен з цих компонентів виконує важливу роль у забезпеченні коректної роботи FPGA, управління та моніторингу стану системи, а також захисту від можливих збоїв та аномалій.

Функціональність пристрою визначає його здатність забезпечувати точне і ефективне управління ФО в різних умовах. Розглянемо кожну з функцій пристрою та їх обґрунтування:

1) Обмін Командами з Зовнішнім Блоком Керування по UART

Функція:

Пристрій обмінюється командами з зовнішнім блоком керування (наприклад, ПК) по інтерфейсу UART, отримуючи кути, кількість елементів, частоту, команди керування(старт-команди, команди на оновлення таблиць поправок).

Обґрунтування: [15]

- **Універсальність і Простота:** UART є стандартним і широко використовуваним інтерфейсом для передачі даних між пристроями. Це забезпечує простий і універсальний спосіб обміну інформацією з ПК або іншими блоками керування;
- **Конфігурація та Управління:** Зовнішній блок керування може легко конфігурувати пристрій, відправляючи необхідні параметри (кути, кількість елементів, частота), команди. Це спрощує налаштування і управління системою.

2) Калібрування пристрою

Функція:

Пристрій виконує калібрування на основі отриманих команд та параметрів від зовнішнього блоку керування по UART, а також даних з зовнішніх таблиць поправок (SPI пам'ять).

Обґрунтування:

- **Забезпечення Точності:** Калібрування дозволяє налаштувати фазообертачі для досягнення максимальної точності при різних частотах і кутах. Використання зовнішніх таблиць поправок забезпечує високу точність фазових налаштувань, що є критичним для коректної роботи радіосистем на основі фазообертачів;
- **Універсальність та Гнучкість:** Калібрування може бути виконане для різних конфігурацій та умов роботи, забезпечуючи гнучкість і адаптивність системи. Зовнішні таблиці поправок можуть бути оновлені або замінені, що дозволяє легко адаптувати систему до нових умов або вимог.

3) Розрахунок фаз для заданої кількості елементів

Функція:

Пристрій виконує розрахунок фаз для заданої кількості елементів на основі отриманих параметрів (кути, частота, поправочні коефіцієнти).

Обґрунтування:

- **Висока Точність:** Розрахунок фаз для кожного елемента забезпечує точне управління фазообертачами, що необхідно для досягнення бажаних характеристик сигналу.
- **Адаптивність:** Можливість динамічного розрахунку фаз дозволяє швидко адаптуватися до зміни умов або вимог, наприклад, зміни частоти або кута.

4) Відправка Прорахованих Значень Фазообертачам по SPI

Функція:

					PC01.4645015.001 ПЗ	Лист
						22
Зм.	Лист	№ докум.	Підпис	Дата		

Пристрій посилає прораховані значення фаз фазообертачам через інтерфейс SPI.

Обґрунтування: [16]

- **Ефективність та Універсальність:** Використовується лише 4 виводи, зокрема для програмування фазообертачів потрібно лише 3(відсутній MISO) та простота в апаратній реалізації,
- **Послідовність та масштабованість:** Можливість послідовно передати однією посилкою довільну кількість значення фазових зсувів

3.2 Вибір елементної бази

На основі попередніх пунктів були сформовані функціональні вимоги пристрою, його кліматичні вимоги, тому було сформовано такий перелік необхідних елементів:

3.2.1 10CL006YE144I7G Intel

ПЛІС сімейства Cyclone 10 LP від Intel оптимізовані під низькобюджетні та низькопотужні проекти, що робить їх ідеальними для використання в об'ємних та чутливих до вартості застосуваннях. Основні переваги цього сімейства наведені в таблиці 3.1: [17]

Таблиця 3.1 – Переваги сімейства ПЛІС Cyclone 10 LP

Переваги	Опис
Технологія	- Мала вартість, мале споживання; - Варіанти живлення внутрішнього ядра 1,0 та 1,2 В; - Доступний у комерційному, індустріальному та автомоутів температурних навантаженнях
Корпуси мікросхем	- Кілька типів корпусів та посадкових місць: • FineLine BGA (FBGA);

Зм.	Лист	№ докум.	Підпис	Дата

PC01.4645015.001 ПЗ

Лист
23

	- Enhanced Thin Quad Flat Pack (EQFP) - Ultra FineLine BGA (UBGA) - Micro FineLine BGA (MBGA) - Велика щільність пристроїв з можливістю міграції виводів; - ROHS6 сумісність;
Внутрішня архітектура	- Логічний елемент – 4-бох вхідна пошукова таблиця та регістр; - Велика кількість маршрутів/металевих з'єднань між логічними елементами;
Вбудовані перемножувачі	- Один режим множника 18×18 або два 9×9, каскадований; - Повний набір процесорів цифрових сигналів для прискорення алгоритмів
Блоки внутрішньої пам'яті	- M9K – 9-ти кілобітні блоки внутрішньої SRAM пам'яті - Можуть використовуватись як RAM, FIFO-буфери, або ROM
Мережа тактових сигналів	- Тактові сигнали, які керують всім пристроєм, живлячи всі квадранти пристрою; - До 15 виділених пінів під тактовий сигнал;
Системи фазового автопідстроювання частоти(PLL)	- До чотирьох PLL загального призначення; - Забезпечує надійне керування тактовим сигналом та синтез;
Вводи та виводи загального призначення (GPIO)	- Підтримка кількох стандартів вводу/виводу; - Програмовані функції вводу/виводу;

Конфігурація	- Активний послідовний (AS), пасивний послідовний(PS), швидкий пасивний паралельний (FPP) режими конфігурації; - Наявна JTAG-конфігурація; - Декомпресія конфігураційних даних; - Віддалене оновлення системи;
--------------	---

В якості центрального керуючого елементу пристрою було обрано 10CL006YE144I7G 144-pin (згідно кодового маркування пристроїв, що представлено на рисунку 3.2) в EQFP-корпусі з такими характеристиками: [18]

- Розмір 22 x 22 мм;
- Крок між пінами – 0,5 мм
- 88 GPIO-пінів та 22 LVDS
- Логічних елементів - 6,272
- Розмір внутрішнього блоку пам'яті M9K – 276,480 біт
- 18 x 18 вбудованих перемножувачів – 15
- PLL – 2
- До 20 пінів, які можна виділити під тактовий сигнал
- Робоча температура: Індустріальна (-40...+100°C)
- 8 пінів під живлення внутрішньої логіки digital 1,2 В
- 2 піна під аналогове живлення для PLL – 2,5 В
- 12 пінів під живлення I/O логіки в залежності від стандарту назначеного на піни I/O відповідно, в нашому випадку digital 3,3 В
- Оцінка класу швидкості ПЛІС – 7, максимально можлива тактова частота сигналу – 437,5 МГц

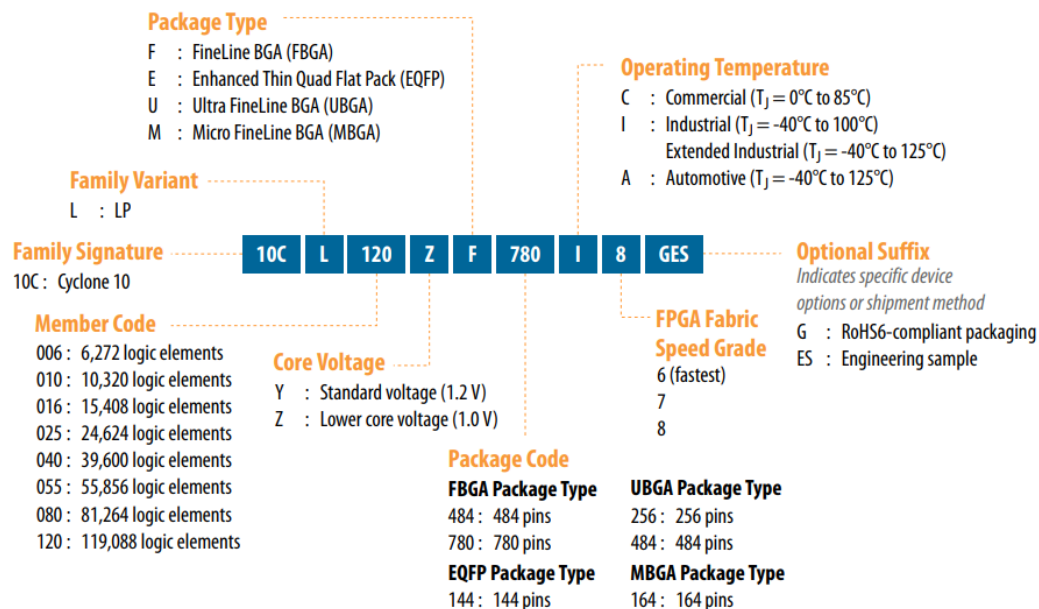


Рисунок 3.2 – Кодове маркування ПЛІС сімейства Cyclone 10 LP

Вибір даного пристрою базується на низькому енергоспоживанні, низькій вартості для промислового виробництва (ціна 11,8375\$ за 100 шт.), можливості в використанні в великих проектах завдяки кількості логічних елементів та також в розробці з використанням САПР Quartus, що полегшує проектування пристрою на основі ПЛІС. Пристрій представлений на рисунку 3.3

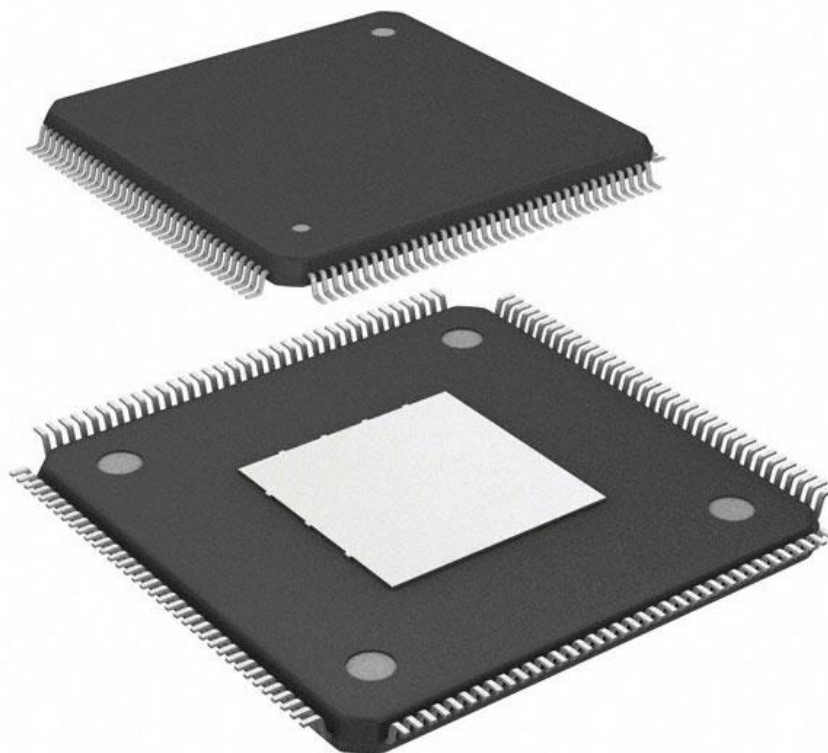


Рисунок 3.3 – ПЛІС 10CL006YE144I7G Intel

3.2.2 EPCQ4ASI8N Intel

Цей елемент представляє собою конфігураційний девайс, який зберігає пам'ять прошивки для ПЛІС, від виробника Intel, тому сумісна з вище згаданою ПЛІС, якщо підключити до неї її(пам'ять) згідно з даташиту [21]

Основні характеристики конфігураційного модуля:

- Розмір пам'яті – 4,194,304 біт
- Можливість перепрограмування, енергонезалежний тип пам'яті
- Робота від 2,7 до 3,6 В; Рекомендована – 3,3 В
- Доступний в SOIC-корпусі, 8 пінів
- Температура експлуатації індустріального типу: -40...+85°C

Даний девайс був вибраний, адже підходить по показникам температури експлуатації, напруги живлення та також розміром блоку пам'яті в 4 Мбіт, що

буде цілком достатньо для поставленого технічного завдання. Конфігураційний пристрій представлений на рисунку 3.4.

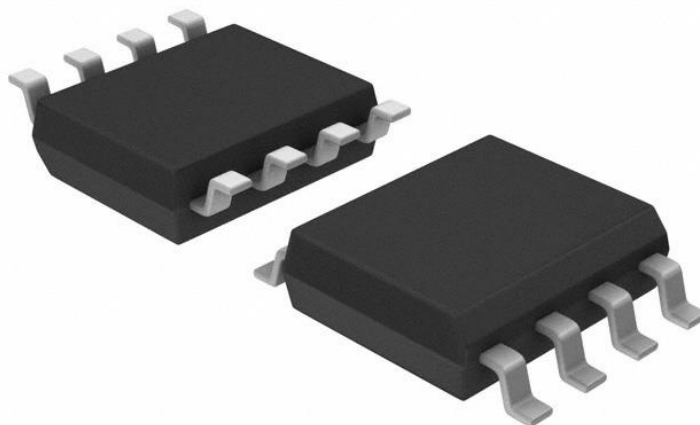


Рисунок 3.4 – Кофігураційний девайс EPCQ4ASI8N Intel

3.2.3 ECS-2033-080-AU ECS Inc.

Основний пристрій, завдяки якому вся система буде працювати на 8 МГц, є генератор тактової частоти на кристалі. Був вибраний саме на кристалі, адже частота системи згідно технічного завдання в нас лише одна, навіть якщо буде потрібно ще частоти їх можна буде реалізувати через PLL в ПЛІС. Також він відповідає нашим основним вимогам, а саме:

- Напруга живлення: 3,3 В
- Температура експлуатації: $\sim -55 - 125^{\circ}\text{C}$
- Вихідний сигнал тактової частоти: 3,3 В CMOS
- Тактова частота сигналу 8 МГц
- Максимальне споживання струму – 7 мА

Даний кварцевий генератор зображено на рисунку 3.5.



Рисунок 3.5 – Кварцевий генератор ECS-2033-080-AU ECS Inc.

3.2.4 ADM811T Analog Devices

Модуль, що генерує сигнал скидування для ПЛІС. Необхідність даного модуля обґрунтовано тим, що під час увімкнення плати та після того, як напруга живлення перевищить порогове значення скидання, внутрішній таймер подає на вихід інвертований сигнал скидання протягом 240 мс. Це дає час для стабілізації як джерела живлення, так і ПЛІС після ввімкнення. Якщо живлення переривається, сигнал скидування аналогічно активується та залишається активним протягом 240 мс після відновлення живлення. Дана мікросхема представлена на рисунку 3.6. [35]

Основні характеристики:

- Порог скидування – 3,08 В
- Час протягом якого сигнал скидування активний – 240 мс(типове значення)
- Мале споживання: 5 мкА(типове значення)
- Температура експлуатації: -40...+85°C
- Напруга живлення 3,3 В
- Корпус: 4-pin SOT-143



Рисунок 3.6 – Мікросхема ADM811T Analog Devices

3.2.5 LMZM33603RLRR Texas Instruments

Існує необхідність використовувати DC-DC конвертори для перетворення вхідної напруги +12 В на потрібні робочі напруги. Різні компоненти на платі, включаючи ПЛІС, потребують різне живлення: +3.3 В для мікросхем та інтерфейсів, +2.5 В – спеціалізоване аналогове живлення для PLL в ПЛІС, і +1.2 В для внутрішньої логіки ПЛІС. Використання DC-DC конверторів забезпечує стабільне живлення з мінімальними втратами енергії, знижуючи загальне споживання енергії та тепловиділення, що важливо для стабільної роботи системи. Крім того, забезпечення більшого вихідного струму також має вирішальне значення для пристрою, адже короточасні стрибки споживання струму будуть присутні під час виконання операцій системою.

З огляду на вище сказане, було обрано дану мікросхему, яка зображена на рисунку 3.7, конвертора напруги, та вона має такі основні характеристики:

- Вхідна напруга: 4-36 В
- Вихідна напруга:
 - 1 – 13,5 В при 3А
 - 1 – 18 В при 2А
- Пульсація вихідної напруги: 10 мВ (типове значення)
- Ефективність (ККД) до 95%
- Частота перемикавання: від 200 кГц до 1,2 МГц
- Температура експлуатації: -40...+105°C

Зм.	Лист	№ докум.	Підпис	Дата

PC01.4645015.001 ПЗ

Лист
30

- Корпус: 7x9x4 мм, QFN 18-pin

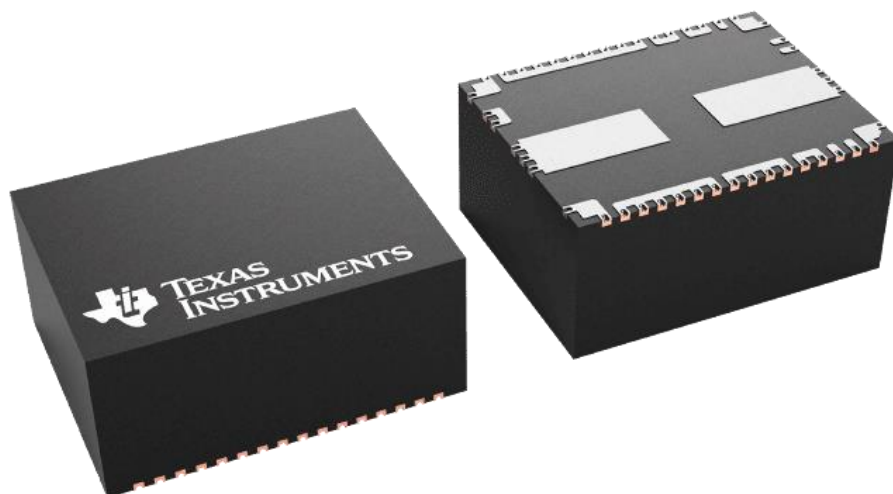


Рисунок 3.7 – DC-DC конвертор LMZM33603RLRR Texas Instruments

3.2.6 Роз'єми

Було обрано два роз'єми. Перший – M80-5100442 Harwin Inc., 4 контакти (рисунок 3.8), використовується для комунікації з зовнішнім блоком керування по UART, де передаються керуючі команди та параметри. Також через нього подається вхідне живлення на плату +12 В.



Рисунок 3.8 – 4-ьох контактий роз'єм M80-5100442 Harwin Inc.

Другий - M80-5100842 Harwin Inc., 8 контактів(рисунок 3.9), використовуватиметься для комунікації з зовнішньою SPI-пам'яттю, яка буде розташована в іншій платі, в якій зберігається таблиця поправочних коефіцієнтів для значень обрахованих фаз. Крім того, через цей роз'єм здійснюється передача даних для ФО.

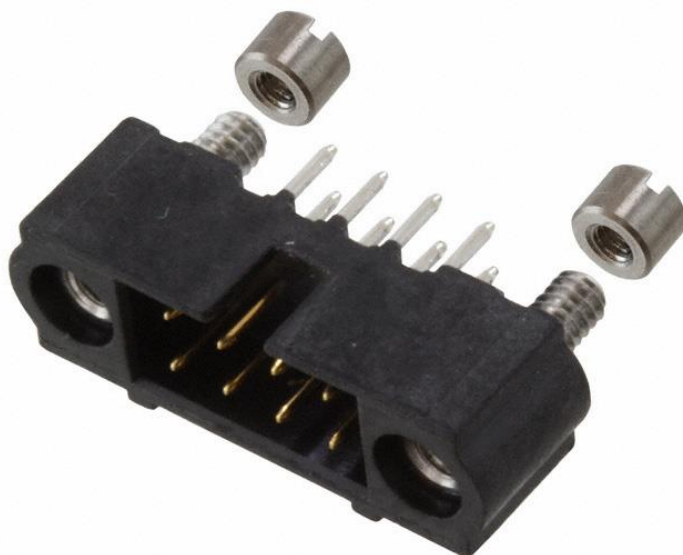


Рисунок 3.9 – 8-ми контактний роз'єм M80-5100842 Harwin Inc.

Встановлення цих елементів схеми забезпечить комунікацію між різними пристроями, друкованими вузлами. Дані роз'єми відповідають технічному завданню, адже мають такі характеристики:

- Номінальна напруга: 800 В
- Номінальний струм: 2,2 А
- Температура експлуатації: -55...+125°C

3.2.7 Резистори

Резистори є одними з найпоширеніших і важливих компонентів в електроніці. Вони використовуються для обмеження струму, поділу напруги, регулювання рівнів сигналів, а також у багатьох інших застосуваннях. Розроблюваний пристрій використовує резистори, які необхідно підключити

					PC01.4645015.001 ПЗ	Лист 32
Зм.	Лист	№ докум.	Підпис	Дата		

відповідно і до ПЛІС згідно з технічної документації до неї, так і до мікросхем живлення для забезпечення правильної роботи та видачі потрібної напруги.

Резистори R-0603 SMD (рисунок 3.10) мають дуже маленькі розміри – 1,5x0,85 мм, що дозволяє зменшити загальні габарити друкованої плати та забезпечити високу щільність монтажу. Завдяки сучасним технологіям виробництва, такі резистори забезпечують високу точність номіналів і стабільність характеристик в широкому діапазоні робочих умов. [27]



Рисунок 3.10 – Резистор SMD 0603

3.2.8 Конденсатори

У пристрої використовуються різні типи конденсаторів для забезпечення стабільної роботи і фільтрації шумів. Електролітичні та керамічні конденсатори, як правило, розміщуються між джерелом живлення мікросхем та землею, виконуючи роль фільтра. Вони згладжують напругу, зменшують електричні шуми та стабілізують живлення, що особливо важливо для роботи ПЛІС та інших чутливих компонентів.

Електролітичні танталові конденсатори є компактною версією традиційних електролітичних конденсаторів, в яких алюмінієва фольга замінена на тантал. Вони мають високу питому ємність при порівняно малих габаритах, що дозволяє економити місце на платі та забезпечує високу ємність у компактному форм-факторі. Використання танталових конденсаторів С-2917 (рисунок 3.11) у пристрої дозволяє ефективно згладжувати напругу живлення і забезпечувати стабільну роботу системи.

Також використовуються керамічні конденсатори, такі як С-1206, 0805, та 0603 (рисунок 3.12), які використовуються для високочастотного фільтрування та забезпечення стабільної роботи схем. Керамічний конденсатор використовує керамічний матеріал як діелектрик, що забезпечує його високу надійність, низькі втрати та стабільність параметрів.



Рисунок 3.11 – Конденсатор танталовий 2917 SMD

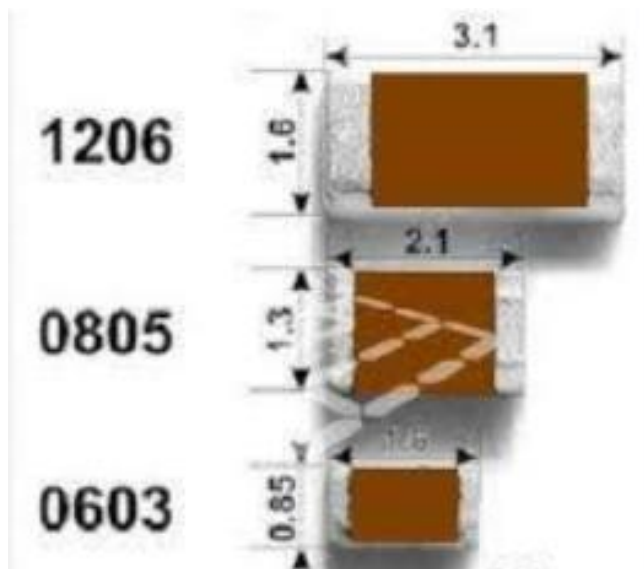


Рисунок 3.12 – Керамічні конденсатори SMD

3.2.9 Світлодіоди

Для індикації стану і роботи системи були обрані світлодіоди CMD15-21VRDTR8 Visual Community Company – VCC, SMD-типу (рисунок 3.13), блискучого червоного кольору. Був обраний через невеликі габаритні розміри (2.0 x 1.5 mm) та температурний режим експлуатації (-40...+85°C). Також для потрібного падіння напруги на кожному з світлодіодів (1,7 В типове значення) підключені до кожного з їх входів резистор номіналом 800 Ом.

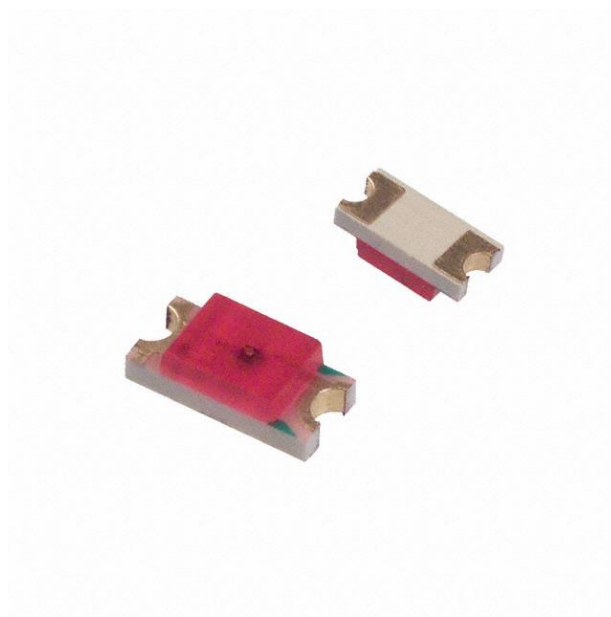


Рисунок 3.13 – Світлодіод CMD15-21VRDTR8 VCC

3.3 Розробка схеми електричної принципової

Підключення всієї елементної бази представлено на рисунках 3.14 та 3.15 та виконано згідно з рекомендаціями виробників та технічних документів. [19]

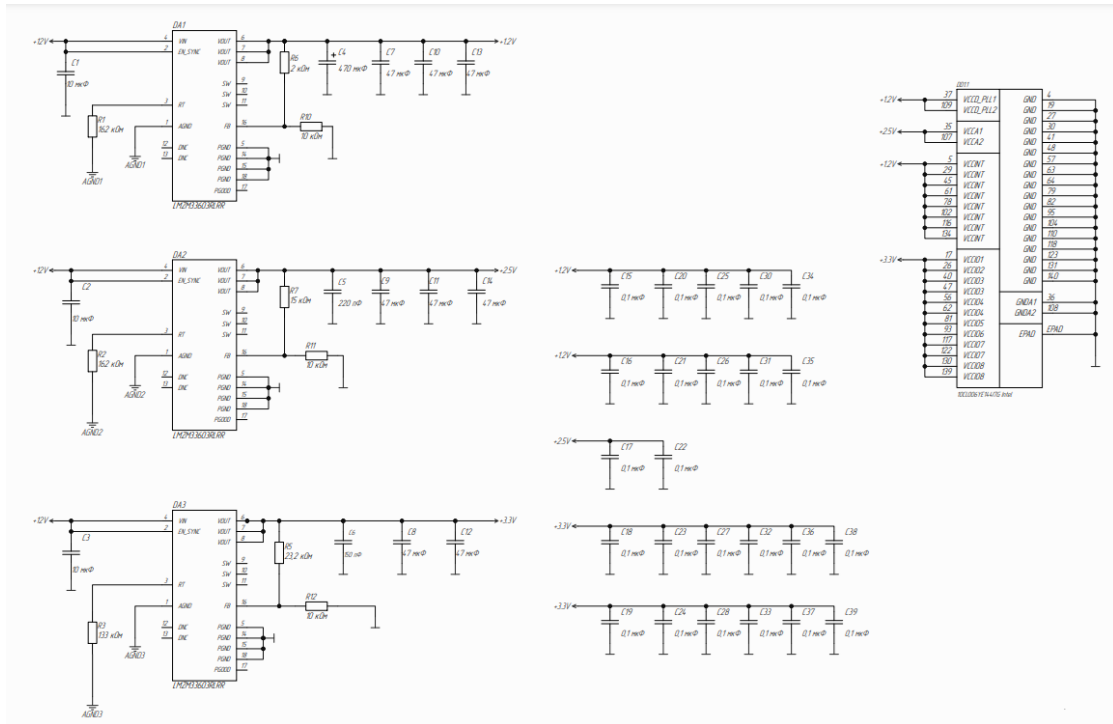


Рисунок 3.14 – Схема електрична принципова, живлення ПЛІС

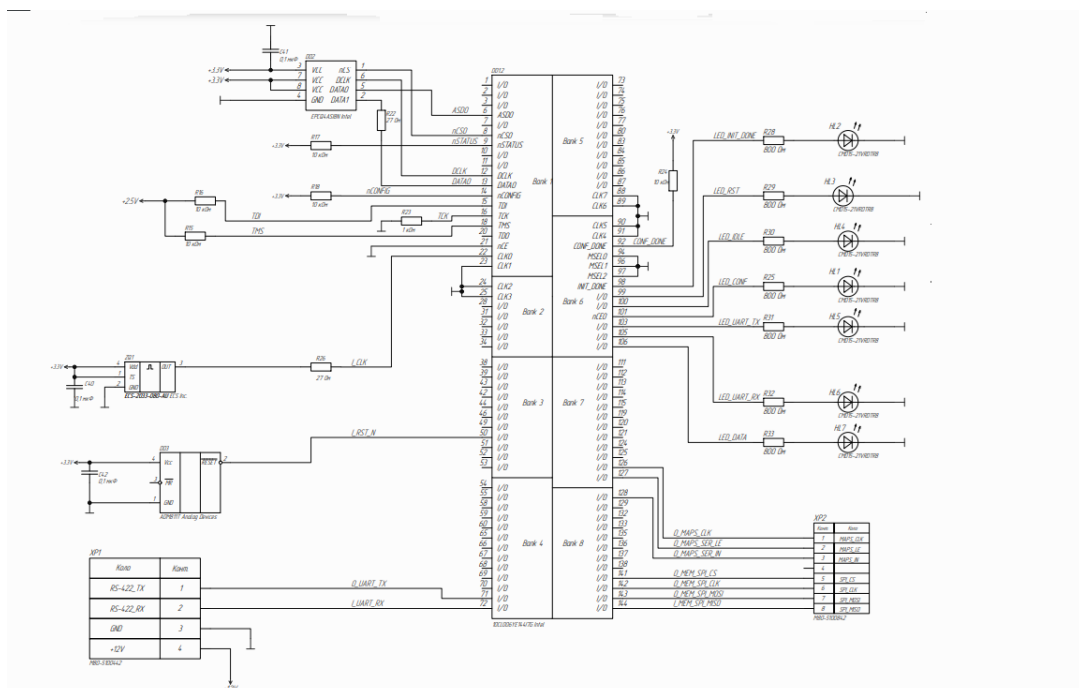


Рисунок 3.15 – Схема електрична принципова, комунікація ПЛІС

4 РОЗРОБКА ДРУКОВАНОГО ВУЗЛА

Даний розділ описує процес проектування друкованого вузла/плати з використанням САПР Altium Designer 23. Цей етап включає в себе: розрахунок ширин сигнальних/силових ліній на платі, створення монтажних отворів, розмірів контактних майданчиків, створення бібліотек компонентів та вибору матеріалу плати, та відповідне трасування плати.

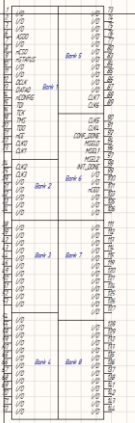
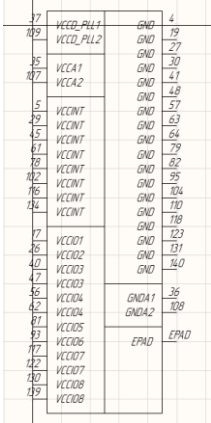
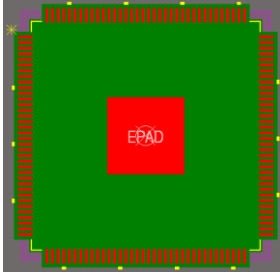
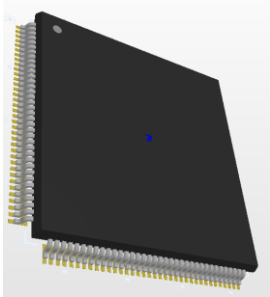
4.1 Створення бібліотеки компонентів

Для подальшої розробки друкованої плати необхідно створити бібліотеку компонентів в Altium Designer, в якій міститься наступна інформація про елементну базу:

- Схематичне позначення компонента
- Посадкові місця (footprints)
- 3D модель компонента

На основі попереднього розділу був сформований основний перелік компонентів, що використовуватиметься для створення плати, тому була й сформована відповідна бібліотека, де міститься вся вище згадана інформація про окремий компонент та зображена в таблицях 4.1 – 4.13:

Таблиця 4.1 – ПЛІС EQFP-144 корпус

Сх. позн. Частина 1	Сх. позн. Частина 2	Посадкове місце	3D
			

Таблиця 4.2 – Конфігураційна мікросхема SOIC-8

Сх. позн.	Посадкове місце	3D

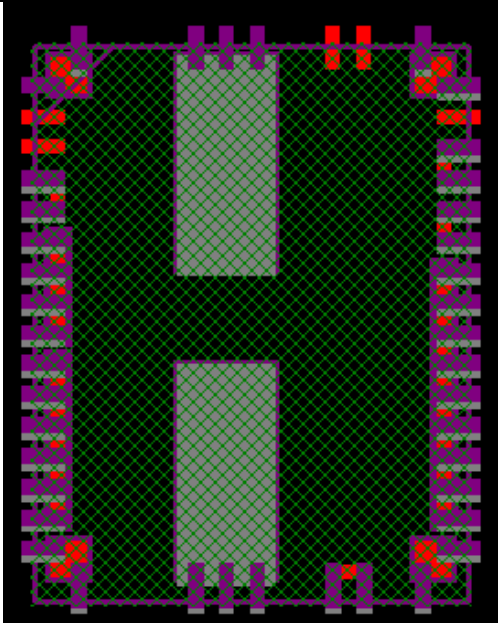
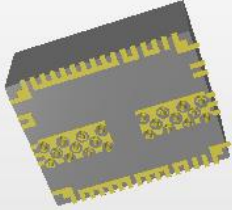
Таблиця 4.3 – Мікросхема сигнала скидування SOT-143

Сх. позн.	Посадкове місце	3D

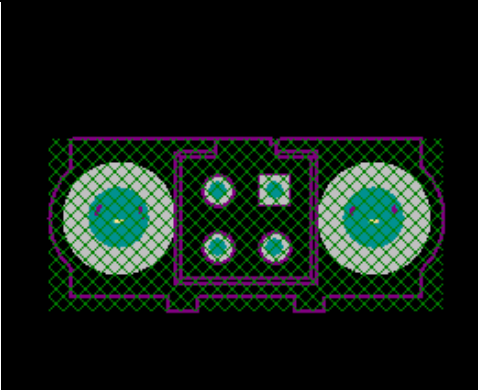
Таблиця 4.4 – Кварцевий генератор SMD-4

Сх. позн.	Посадкове місце	3D

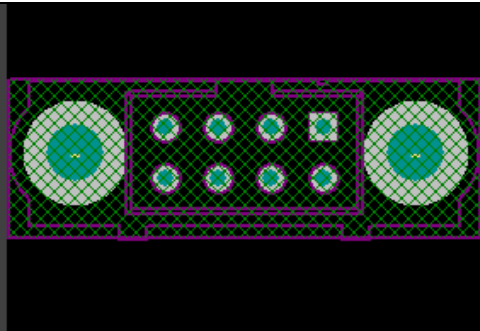
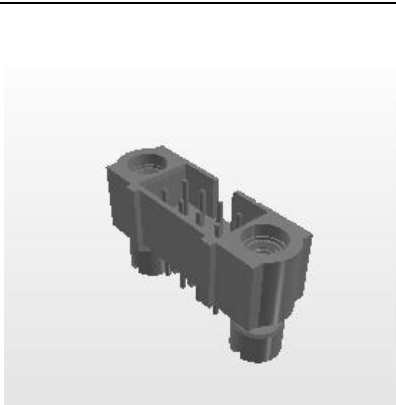
Таблиця 4.5 - Мікросхема живлення BQFN-18

Сх. позн.				Посадкове місце	3D
<i>DA?</i>					
4	VIN	VOUT	6		
2	EN_SYNC	VOUT	7		
		VOUT	8		
		SW	9		
		SW	10		
3	RT	SW	11		
1	AGND	FB	16		
12	DNC	PGND	5		
13	DNC	PGND	14		
		PGND	15		
		PGND	18		
		PGOOD	17		
LMZM33603RLRR					

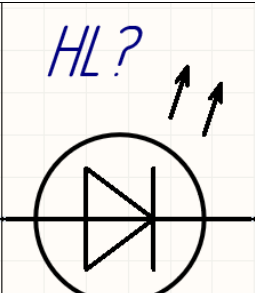
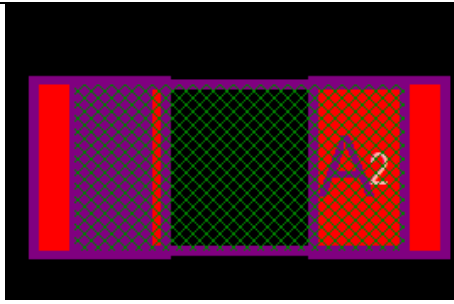
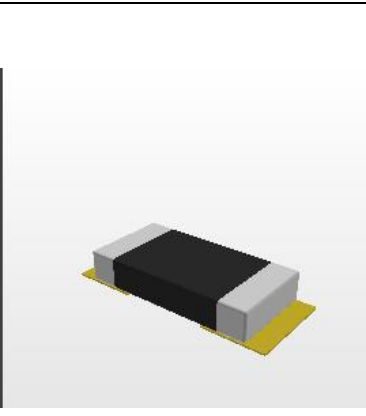
Таблиця 4.6 – 4-бох контактний роз’єм

Сх. позн.		Посадкове місце	3D
<i>XP?</i>			
	Конт.		
	Коло		
1			
2			
3			
4			
180-5100442			

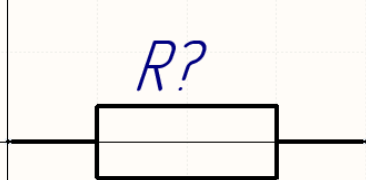
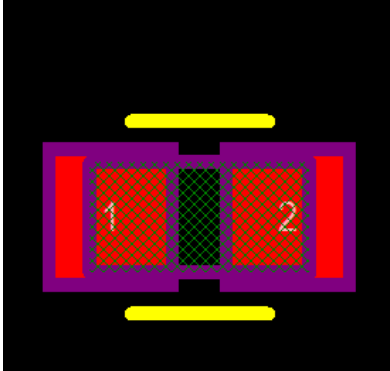
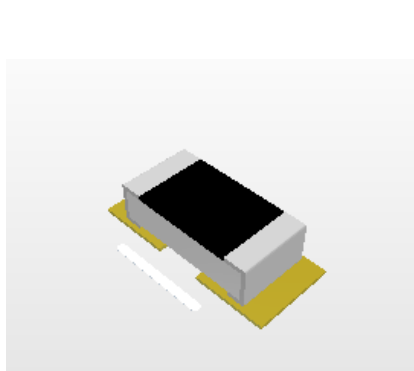
Таблиця 4.7 – 8-ми контактний роз'єм

Сх. позн.	Посадкове місце	3D																		
<table><tr><td>Конт.</td><td>Коло</td></tr><tr><td>1</td><td></td></tr><tr><td>2</td><td></td></tr><tr><td>3</td><td></td></tr><tr><td>4</td><td></td></tr><tr><td>5</td><td></td></tr><tr><td>6</td><td></td></tr><tr><td>7</td><td></td></tr><tr><td>8</td><td></td></tr></table> M80-5100842	Конт.	Коло	1		2		3		4		5		6		7		8			
Конт.	Коло																			
1																				
2																				
3																				
4																				
5																				
6																				
7																				
8																				

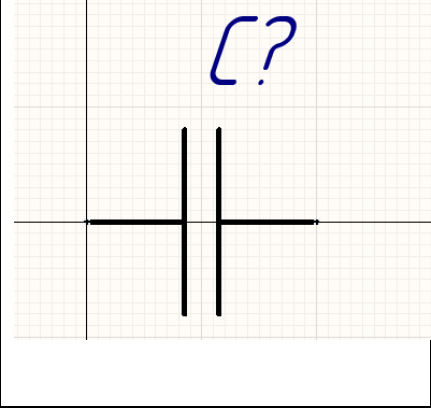
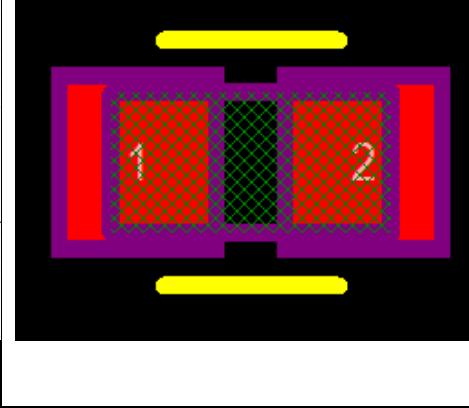
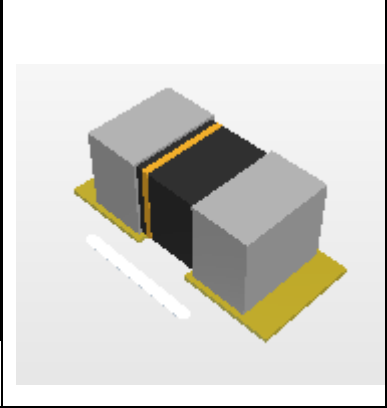
Таблиця 4.8 – Світлодіод SMD

Сх. позн.	Посадкове місце	3D
HL?  CMD15-21VRDTR8		

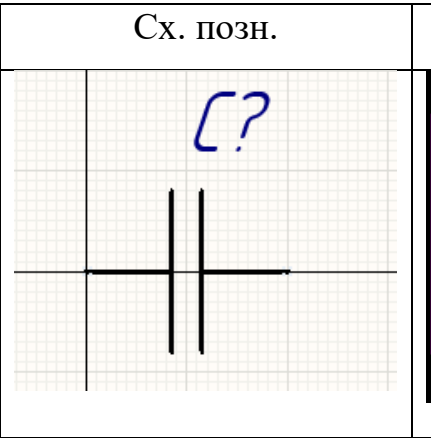
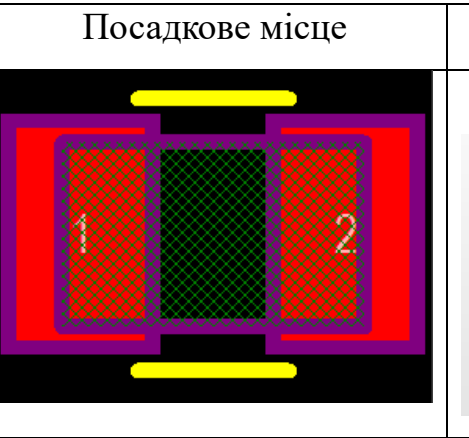
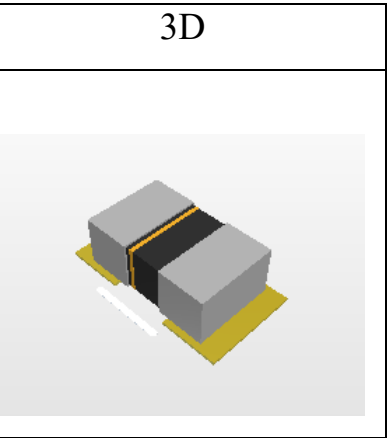
Таблиця 4.9 – SMD резистор 0603

Сх. позн.	Посадкове місце	3D
R?  * КОМ		

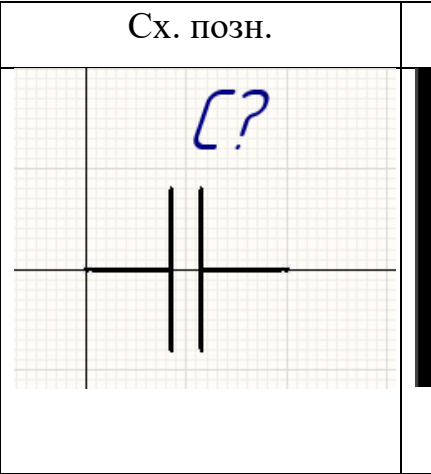
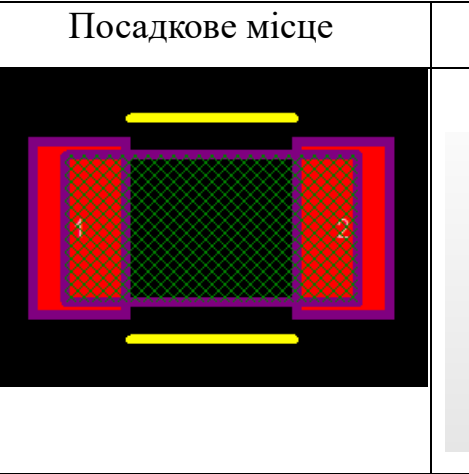
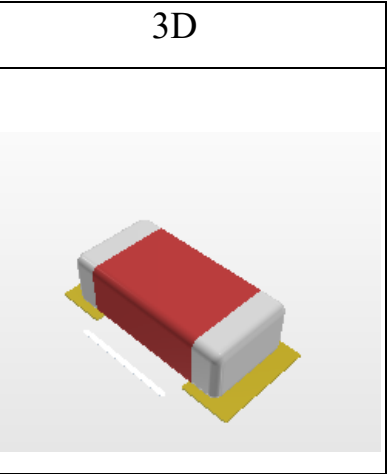
Таблиця 4.10 – SMD Конденсатор 0603

Сх. позн.	Посадкове місце	3D
		

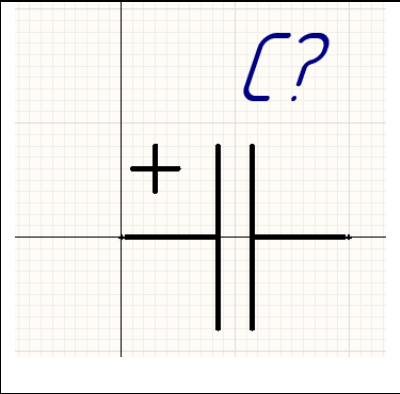
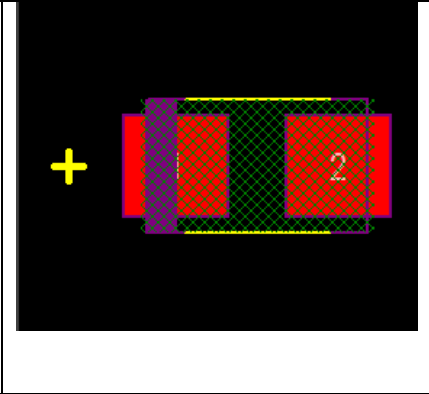
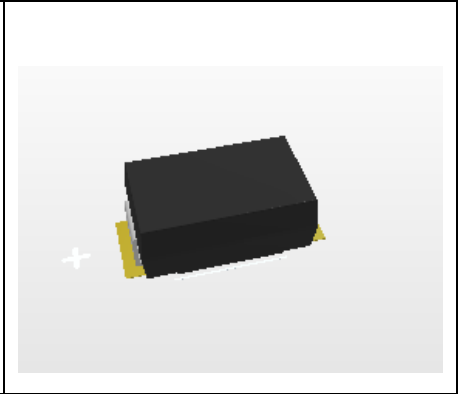
Таблиця 4.11 – SMD Конденсатор 0805

Сх. позн.	Посадкове місце	3D
		

Таблиця 4.12 – SMD Конденсатор 1206

Сх. позн.	Посадкове місце	3D
		

Таблиця 4.13 – Танталовий конденсатор 2917

Сх. позн.		Посадкове місце	3D
			

4.2 Вибір матеріалу плати

Вибір матеріалу плати є критично важливим через його вплив на механічні, електричні, теплові та хімічні властивості друкованого вузла. FR-4 (склотекстоліт) (рисунок 4.1) забезпечує високу міцність, стійкість до вібрацій, низьку діелектричну проникність, відмінну електричну ізоляцію, стійкість до високих температур і хімічних речовин, а також є економічно вигідним. Це робить його оптимальним вибором для масового виробництва друкованих плат, зокрема для нашого пристрою. [13]



Рисунок 4.1 – FR-4 (склотекстоліт)

Вибір матеріалу плати в Altium Designer здійснюємо через Layer Stack Manager, де обираємо FR-4 35/35 1,0мм (рисунок 4.2), де 35/35 – товщина шару фольги в мікрометрах з двох боків(двостороннє покриття) – 35 мкм стандартне для виробників значення та 1,0 – товщина діелектричного шару.

#	Name	Material	Type	Weight	Thickness	Dk	Df
	Top Overlay		Overlay				
	Top Solder	SM-002	Solder Mask		0.0254mm	4	0.03
1	Top Layer 1	CF-004	Signal	1oz	0.035mm		
	Dielectric 1	FR-4	Dielectric		1mm	4.8	
2	Bottom Layer 1	CF-004	Signal	1oz	0.035mm		
	Bottom Solder	SM-002	Solder Mask		0.0254mm	4	0.03
	Bottom Overlay		Overlay				

Рисунок 4.2 – Налаштування матеріалу в проєкті

4.3 Вибір ширини провідників та налаштування правил трасування

Необхідна процедура – це встановлення правил трасування, потрібно для того, щоб наш друкований вузол відповідав нормам, за якими його можна буде виготовити. Наша друкована плата буде розроблятися згідно 4-го класу точності, через велику щільність монтажу та порівняно малі розміри елементів, а саме їх посадкових місць. [14]

Було налаштовано такі правила:

1) Electrical

- Clearence (правило для зазорів): мінімальний зазор = 0.15 мм

2) Routing Via Style (правила для перехідних отворів):

- Via/Hole Diameter: Min = 0,6/0,4 мм; Preferred = 0,6/0,4 мм; Max = 0,8/0,5 мм;

3) Manufacturing (технологічні правила):

- Hole Size (діапазон значень діаметру отвору): Min = 0,5 мм; Max = 3 мм;

Окремим важливим пунктом є вибір ширини провідників при розробці друкованого вузла, адже це суттєво впливає на електричні та теплові характеристики плати. Вибір ширини провідників базується на кількох факторах, зокрема на допустимому струмовому навантаженні, яке вони повинні витримувати, і на мінімізації електричних втрат. Ширші провідники зменшують опір, що покращує передачу сигналу і знижує теплові виділення.

Знаючи, що нами були вибрані енергоефективна елементна база, зокрема ПЛІС, та припускаючи, що максимально спожитий струм, стрибкоподібний скачок споживання струму не перевищить 1 А, порахуємо мінімальну необхідну ширину провідника силової лінії(провідник, де проходить живлення) згідно IPC-221 – загального стандарту проектування друкованих плат по формулі (4.1) та (4.2): [12]

$$A = \left(\frac{I}{K \times T_{Rise}^b} \right)^{\frac{1}{c}} \quad (4.1)$$

$$W = \frac{A}{t \times 1,378} \quad (4.2)$$

, де $K = 0,048$; $b = 0,44$; $c = 0,725$; $t = 35$ мкм – товщина шару фольги; $I = 1$ А; $T_{Rise} = 10^\circ\text{C}$ – Підвищення температури(типове значення); $\{a, b, c, K\}$ – коефіцієнти згідно IPC-221 для доріжок розташованих в зовнішньому шарі

Порахувавши (4.1) та підставивши в (4.2) отримаємо значення емпіричне значення 0,3 мм. Для того, щоб запевнитись, що під час стрибкоподібних споживаннях струму вистачить ширину силової лінії встановлюємо : Min = 0,3 мм; Preferred = 0,5 мм; Max = 0,5 мм; Для сигнальних ліній, де струму набагато менше споживається: Min = 0,15 мм; Preferred = 0,2 мм; Max = 0,25 мм;

Доведення того, що ПЛІС споживає мало потужності, буде описано в наступному розділі при розробці програмного забезпечення.

4.4 Трасування друкованої плати

При розробці друкованої плати, буде використано комбіновано позитивний метод виготовлення та двухсторонній монтаж. Цей метод представляє собою виготовлення друкованої плати на фольгованому діелектрику з металізацією отворів, при якому спочатку виконується свердління отворів і металізація, а потім травлення міді з пробільних місць. При нанесенні рисунку схеми пробільні місця покриваються захисним шаром. Після свердління і хімічного міднення отворів здійснюється гальванічне осадження міді на провідники, контактні площадки та в отвори, потім наноситься шар металу, після чого видаляється захисний шар із пробільних місць і стравлюється фольга. [28]

Це дозволяє виготовляти друковані плати із підвищеною щільністю монтажу, високими електричними параметрами і високою міцністю зчеплення провідників.

За результатами цього розділу та роботи в Altium Designer, було розроблено верхній і нижній шари друкованої плати, та також 3D модель розроблюваного пристрою (рисунки 4.3-4.6). Габарити друкованої плати: 69х54 мм.

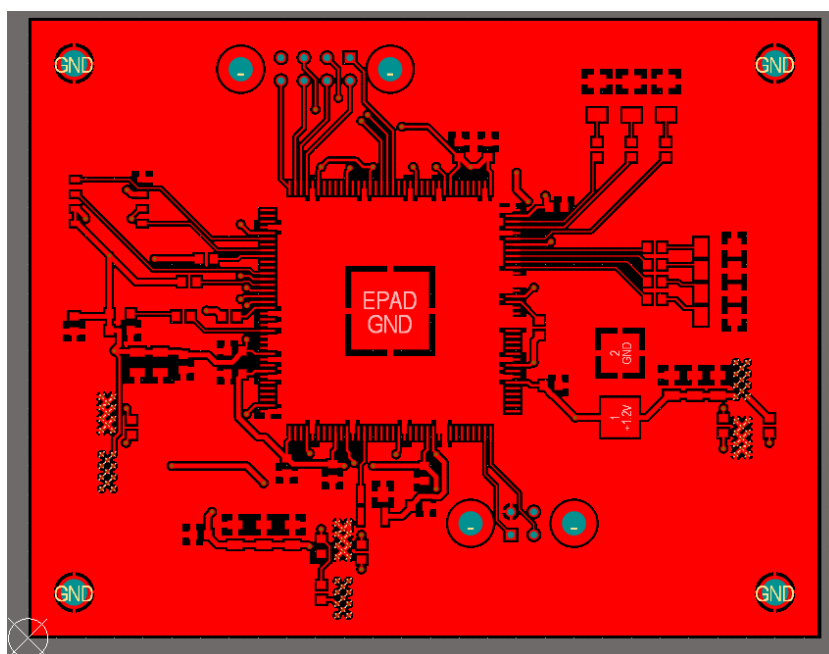


Рисунок 4.3 – Верхній шар друкованої плати

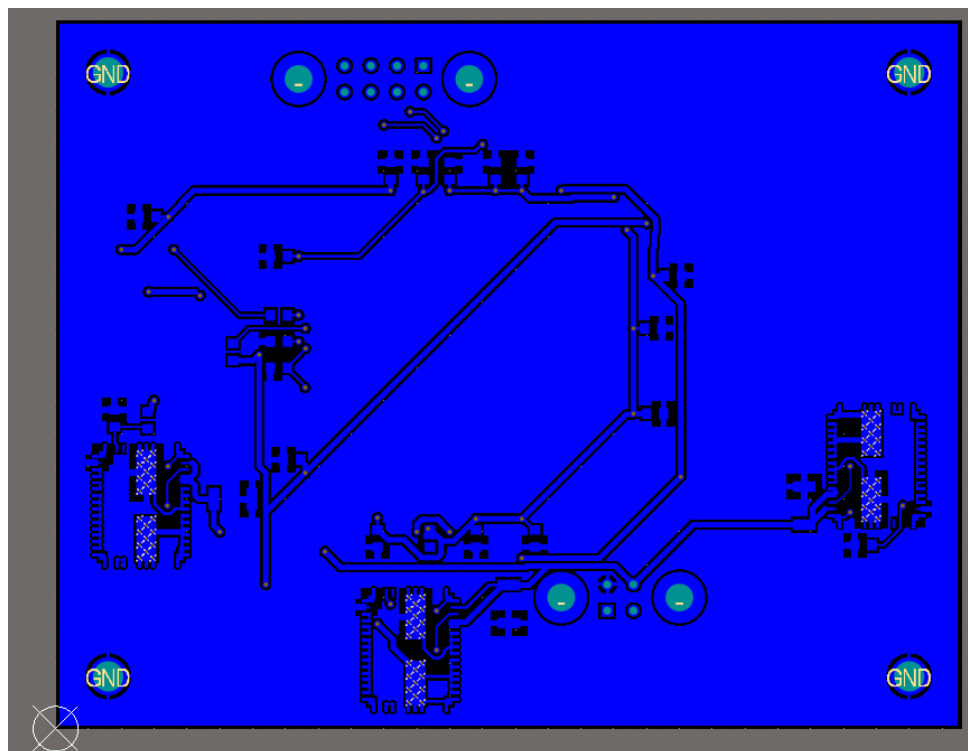


Рисунок 4.4 – Нижній шар друкованої плати

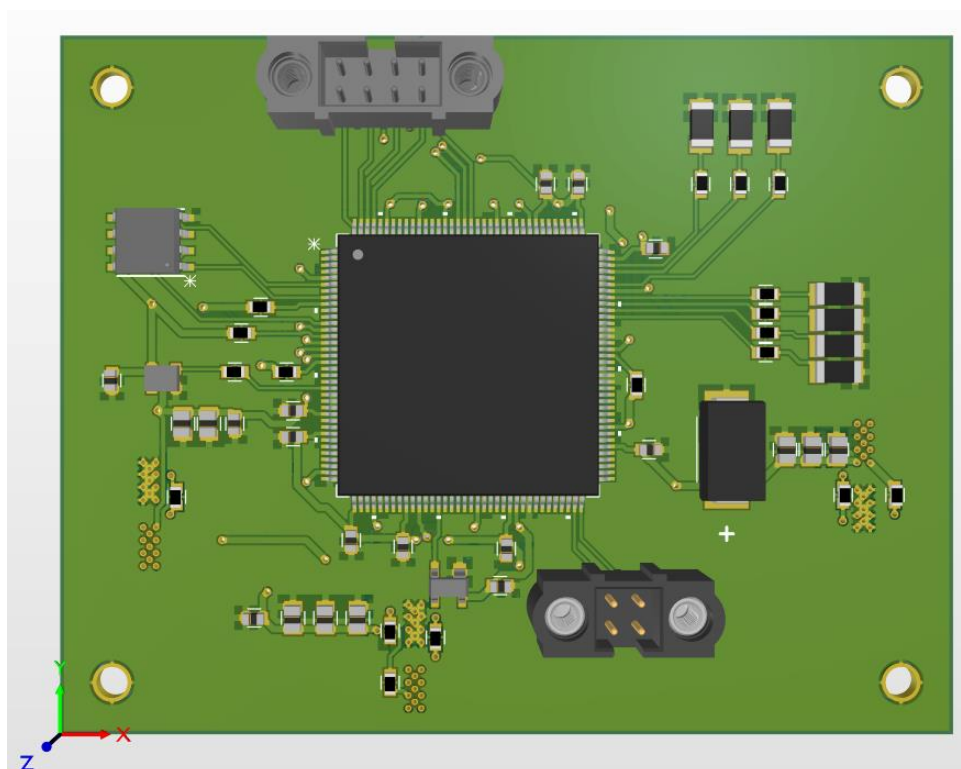


Рисунок 4.5 – 3D модель плати, вид зверху

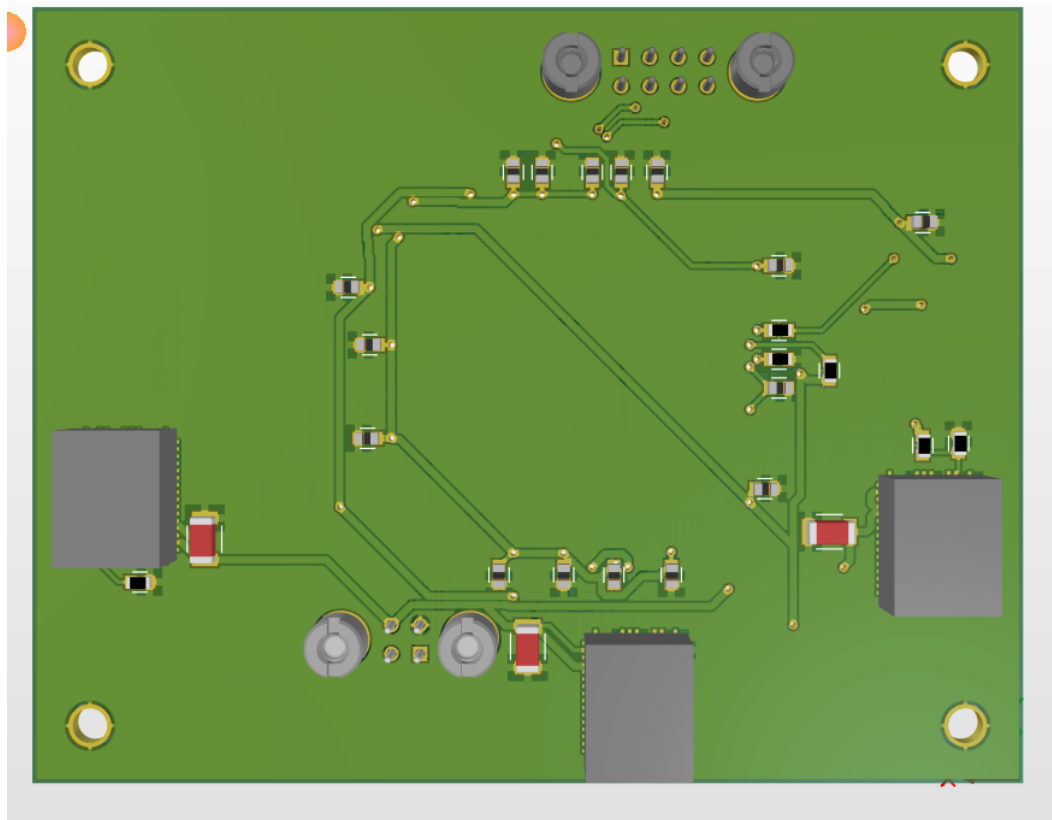


Рисунок 4.6 – 3D модель плати, вид знизу

Також було добавлено металізовані отвори під кріплення радіусом 2,4 мм.

5 РОЗРОБКА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ

У даному розділі буде описано розробка програмного забезпечення. Будуть розглянуті особливості та переваги середовища розробки, блок-схему та загальну структуру розробленого програмного коду, реалізацію комунікаційних протоколів.

5.1 Алгоритм

Завдання програми – отримувати дані від зовнішнього блока керування по протоколу даних UART та в залежності від цього проводити такі операції: зміна робочої частоти системи та завантаження даних з таблиць поправок калібровочних значень фаз, або встановлення кількості фазообертачів для якої рахуватиметься значення фазових зсувів, або рахувати значення фаз в залежності від вхідних даних та формувати посилку на задану кількість фазообертачів та виводити її назовні їм(фазообертачам). Кожна операція має супроводжуватись відповіддю керуючому блоку (успішно/неуспішно) також по UART. Алгоритм може бути представлений блок-схемою (рисунок 5.1)

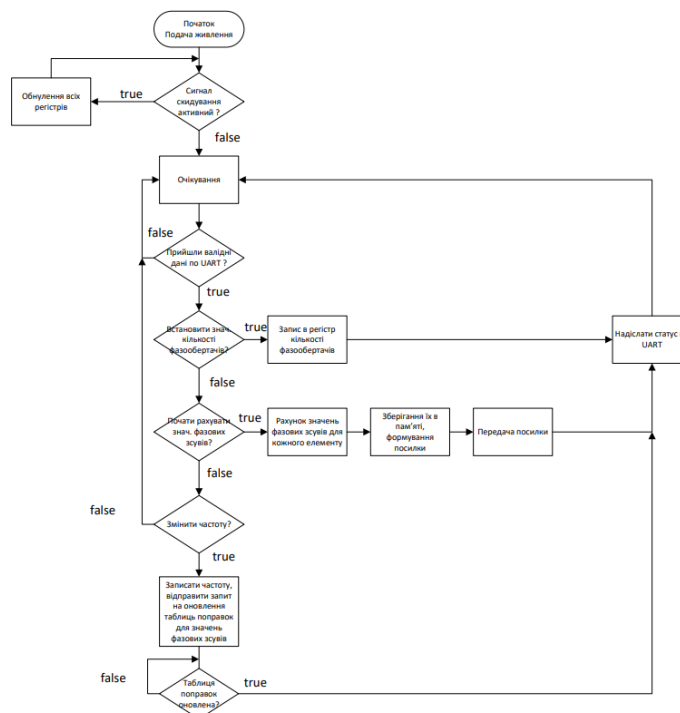
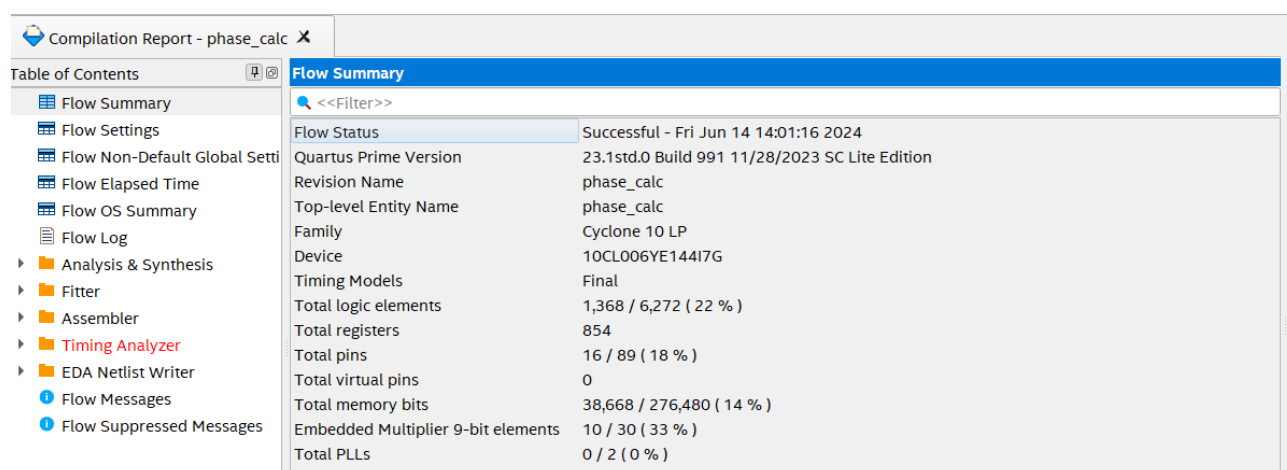


Рисунок 5.1 – Алгоритм роботи програми

5.2 САПР Intel Quartus Prime

Для створення програмного забезпечення використовувалось САПР Intel Quartus Prime – програмне забезпечення для розробки цифрових логічних схем на ПЛІС від Intel. Quartus надає змогу аналізу та синтезу цифрових схем за допомогою спеціальної мови опису апаратури (hardware description language – HDL) Verilog або VHDL, виконувати аналіз часу цифрових схем, моделювати роботу схему на різні вхідні сигнали та досліджувати діаграми RTL (регістрового рівня передач).

Результатом розробленого коду на Verilog HDL є успішна компіляцію проекту (рисунок 5.2):



The screenshot shows the 'Compilation Report - phase_calc' window. The 'Table of Contents' on the left lists various report sections, with 'Flow Summary' selected. The 'Flow Summary' pane on the right displays the following information:

Flow Summary	
<<Filter>>	
Flow Status	Successful - Fri Jun 14 14:01:16 2024
Quartus Prime Version	23.1std.0 Build 991 11/28/2023 SC Lite Edition
Revision Name	phase_calc
Top-level Entity Name	phase_calc
Family	Cyclone 10 LP
Device	10CL006YE144I7G
Timing Models	Final
Total logic elements	1,368 / 6,272 (22 %)
Total registers	854
Total pins	16 / 89 (18 %)
Total virtual pins	0
Total memory bits	38,668 / 276,480 (14 %)
Embedded Multiplier 9-bit elements	10 / 30 (33 %)
Total PLLs	0 / 2 (0 %)

Рисунок 5.2 – Успішний результат компіляції проекту

Як видно з рисунку 5.2 було задіяно 22% логічних елементів, 14% пам'яті та 33% вбудованих перемножувачів, що дозволить в майбутньому масштабувати проект та додати нового функціоналу, майже не змінюючи друкований вузол.

Компіляція здійснювалась для розміщення та налаштування пінів згідно схеми електричної принципової, що робить процес трасування плати з використанням ПЛІС більш гнучкішим та зручнішим (рисунки 5.3-5.4). Даний процес відбувається в вікні *Pin Planner*

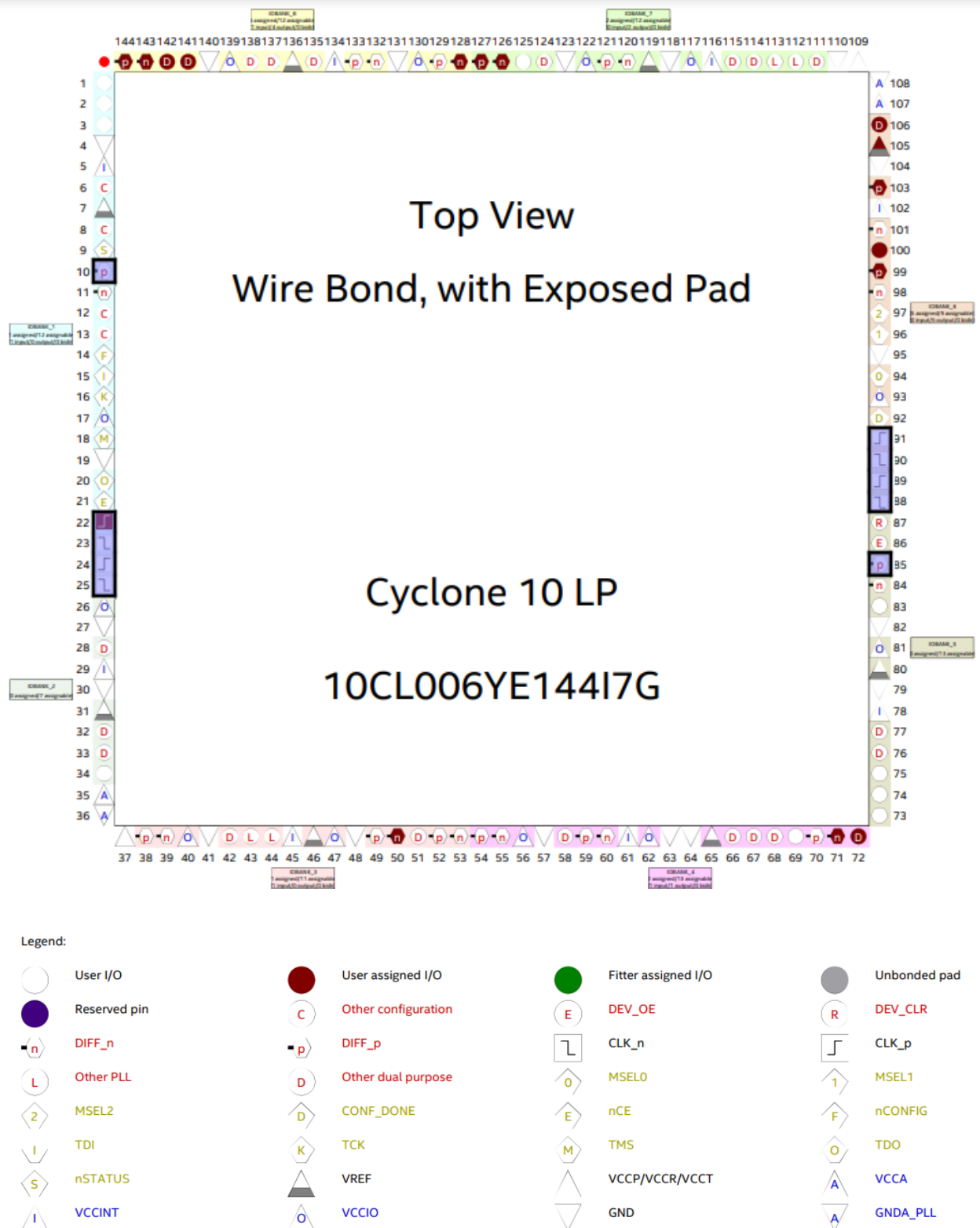


Рисунок 5.3 – Розміщення пінів ПЛІС в Pin Planner

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation
i_clk	Input	PIN_22	1	B1_N0	PIN_22	3.3-V LVCMOS		2mA (default)			
i_extmem_spi_miso	Input	PIN_144	8	B8_N0	PIN_144	3.3-V LVCMOS		2mA (default)			
i_rst_n	Input	PIN_50	3	B3_N0	PIN_50	3.3-V LVCMOS		2mA (default)			
i_uart_rx	Input	PIN_72	4	B4_N0	PIN_72	3.3-V LVCMOS		2mA (default)			
o_extmem_spi_clk	Output	PIN_142	8	B8_N0	PIN_142	3.3-V LVCMOS		2mA (default)	2 (default)		
o_extmem_spi_cs	Output	PIN_141	8	B8_N0	PIN_141	3.3-V LVCMOS		2mA (default)	2 (default)		
o_extmem_spi_mosi	Output	PIN_143	8	B8_N0	PIN_143	3.3-V LVCMOS		2mA (default)	2 (default)		
o_led_data	Output	PIN_106	6	B6_N0	PIN_106	3.3-V LVCMOS		2mA (default)	2 (default)		
o_led_idle	Output	PIN_100	6	B6_N0	PIN_100	3.3-V LVCMOS		2mA (default)	2 (default)		
o_led_rst	Output	PIN_99	6	B6_N0	PIN_99	3.3-V LVCMOS		2mA (default)	2 (default)		
o_led_uart_rx	Output	PIN_105	6	B6_N0	PIN_105	3.3-V LVCMOS		2mA (default)	2 (default)		
o_led_uart_tx	Output	PIN_103	6	B6_N0	PIN_103	3.3-V LVCMOS		2mA (default)	2 (default)		
o_maps_ser_clk	Output	PIN_126	7	B7_N0	PIN_126	3.3-V LVCMOS		2mA (default)	2 (default)		
o_maps_ser_in	Output	PIN_128	8	B8_N0	PIN_128	3.3-V LVCMOS		2mA (default)	2 (default)		
o_maps_ser_le	Output	PIN_127	7	B7_N0	PIN_127	3.3-V LVCMOS		2mA (default)	2 (default)		
o_uart_tx	Output	PIN_71	4	B4_N0	PIN_71	3.3-V LVCMOS		2mA (default)	2 (default)		

Рисунок 5.4 Налаштування пінів в Pin Planner

Як видно з рисунків вище, було налаштовано піни під відповідний стандарт (3.3V CMOS), та розміщено в потрібному порядку.

Розроблене програмне забезпечення можна візуалізувати в Quartus у вигляді реєстрового рівня передач, де показано як окремі модулі, регістри, логічні елементи та входи/виходи взаємодіють між собою (рисунок 5.5):

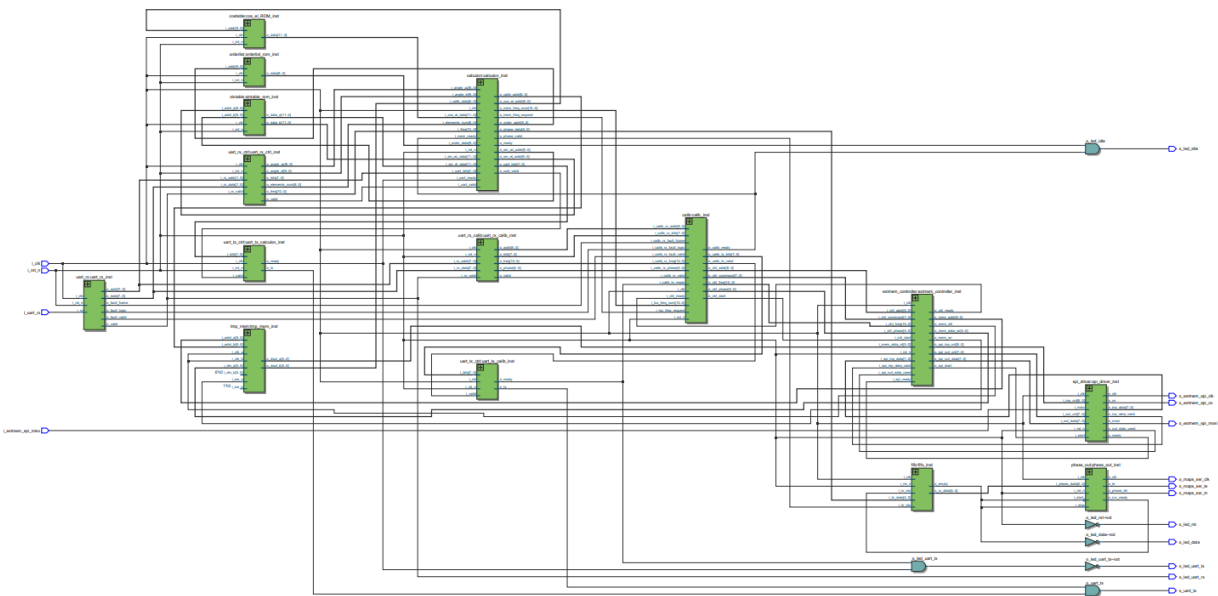


Рисунок 5.5 – Регістровий рівень передач сформованої програми (RTL)

Також можна переглянути/просимулювати те, скільки ПЛІС буде споживати потужності, якщо на ній буде запущена ця програма (рисунок 5.6)

<<Filter>>				
Voltage Supply	Total Current Drawn (1)	Dynamic Current Drawn (1)	Static Current Drawn (1)	Minimum Power Supply Current
1 VCCINT	9.35 mA	2.11 mA	7.23 mA	9.35 mA
2 VCCIO	6.39 mA	0.07 mA	6.32 mA	6.39 mA
3 VCCA	14.72 mA	0.00 mA	14.72 mA	14.72 mA
4 VCCD	0.68 mA	0.00 mA	0.68 mA	0.68 mA

Рисунок 5.6 – результати симуляції Power Analyzer Tool

5.3 Комунікація з зовнішнім блоком керування

Комунікацію з зовнішнім блоком керування було реалізовано через UART та для цього були написані відповідні модулі: модуль приймання (рисунок 5.7)

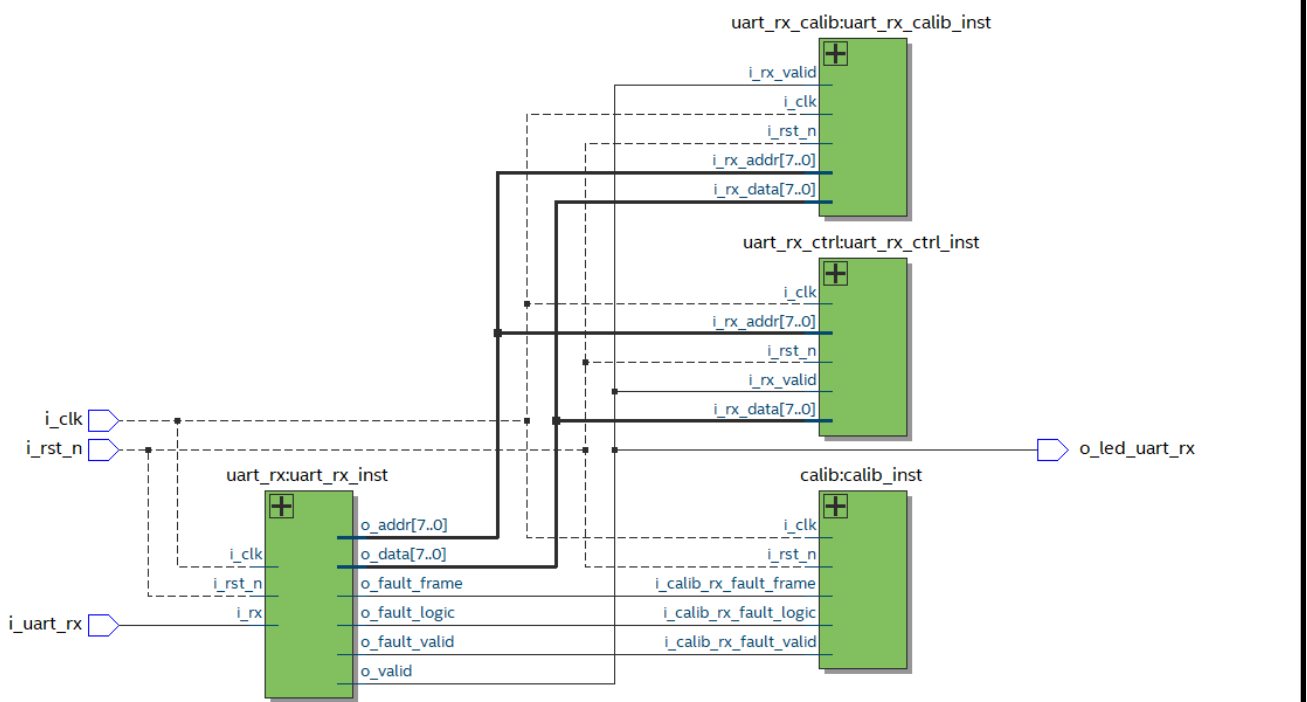


Рисунок 5.7 – RTL приймання даних по UART

Через вхід *i_uart_rx* приходять дані, які обробляються формуючись в пакет та аналізуються в двох послідовних модулях *uart_rx_ctrl.v* – обробка команд рахувань фаз, змін частот; *uart_rx_calib.v* – обробка команд зміни таблиць поправочних коефіцієнтів.

Швидкість протоколу – 1 Mbit/s при робочій частоті системи 8 МГц, тобто 1 біт “зчитується” 8 тактів. Це було зроблено для синхронізації пристрою та блока керування, адже вони скоріш за все матимуть різну тактову частоту.

Структура протоколу запитів до контрольного та калібровочного модулів представлена в таблицях 5.1 та 5.2.

Таблиця 5.1 – протокол контрольного запиту до calculon.v

№ байт	Слово							
1	1	0	1	0	1	1	0	0
2	1	0	1	0	1	0	1	1
3	B7	B6	B5	B4	B3	B2	B1	B0
4	F7	F6	F5	F4	F3	F2	F1	F0
5	-	-	-	-	-	F10	F9	F8
6	Az7	Az6	Az5	Az4	Az3	Az2	Az1	Az0
7	-	-	-	-	-	-	Az9	Az8
8	EL7	EL6	EL5	EL4	EL3	EL2	EL1	EL0
9	-	-	-	-	-	-	EL9	EL8
10	N7	N6	N5	N4	N3	N2	N1	N0
11	-	-	-	-	-	-	-	N8
12	C7	C6	C5	C4	C3	C2	C1	C0
13	C15	C14	C13	C12	C11	C10	C9	C8

Перші два байти – це заголовок протоколу 0xABAC, B[7:0] – керуючі біти(старт, зміна частоти, зміна кількості елементів), F[10:0] – номер частоти для якої рахувати фази, Az/EL[9:0] – кут азимуту та місця відповідно, N[8:0] – кількість елементів, C[15:0] – контрольна сума.

Таблиця 5.2 – протокол калібровочного запиту до calib.v

№ байт	Слово							
1	1	0	1	0	1	1	1	0
2	B7	B6	B5	B4	B3	B2	B1	B0
3	F7	F6	F5	F4	F3	F2	F1	F0
4	-	-	-	-	-	F10	F9	F8
5	A7	A6	A5	A4	A3	A2	A1	A0
6	-	-	P5	P4	P3	P2	P1	P0
7	C7	C6	C5	C4	C3	C2	C1	C0

Де A[7:0] – адреса пам'яті, куди буде записано значення калібровочне значення фази P[5:0]

Протокол відповідей калібровочного та контрольного модулів однаковий, лише заголовки різні, таблиця 5.3.

Таблиця 5.3 – протокол відповідей

№ байт	Слово							
1	H7	H6	H5	H4	H3	H2	H1	H0
2	B7	B6	B5	B4	B3	B2	B1	B0
3	C7	C6	C5	C4	C3	C2	C1	C0

Для калібровочного модуля:

H[7:0] – 8хAF;

B[7:0] – біти станів:

- Без операції = 0х00;
- Успішно = 0х01;
- Помилка кадру = 0х02;
- Помилка логіки = 0х03;
- Невідома помилка = 0х04;

Для контрольного модуля:

H[7:0] – 8хAD;

B[7:0] – біти станів:

- Пораховано (значення фаз) = 0х01;
- Частота змінена = 0хA1;
- Встановлено кількість елементів = 0хB1;
- Невідома помилка = 0х02;

5.4 Використання М9К-пам'яті

Як видно з формули (2.3) при розрахунку значень фазових зсувів використовуються значення синусів та косинусів, значення позицій елементів – це було реалізовано використанням внутрішньої пам'яті, рисунок 5.8

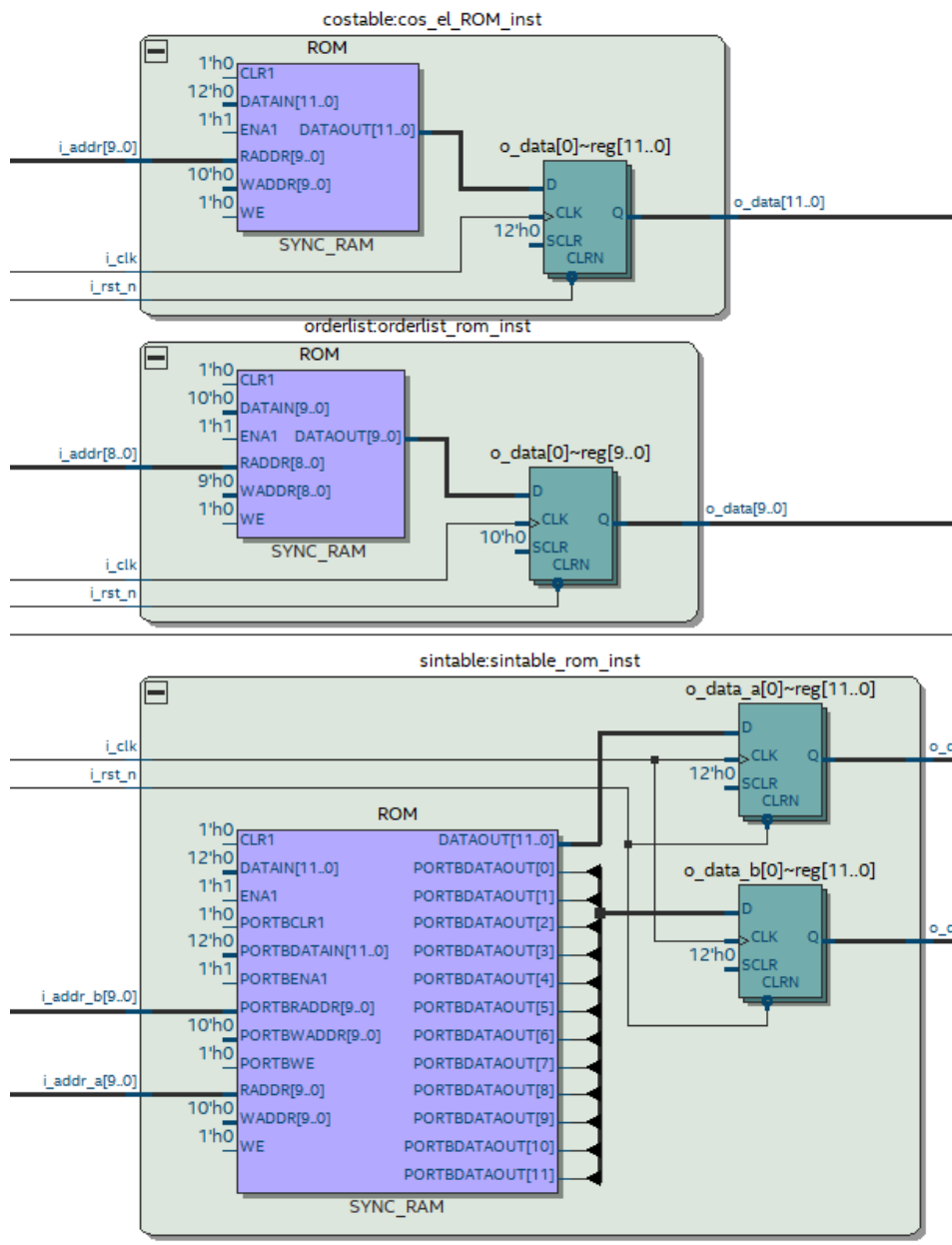


Рисунок 5.8 – ROM-пам'ять програми

Також як було зазначено вище, до значень фазового зсуву додається ще поправочні значення фази таким чином проводиться калібрування. Таблиця поправочних коефіцієнтів зберігається в RAM-пам'яті для конкретної частоти, рисунок 5.9

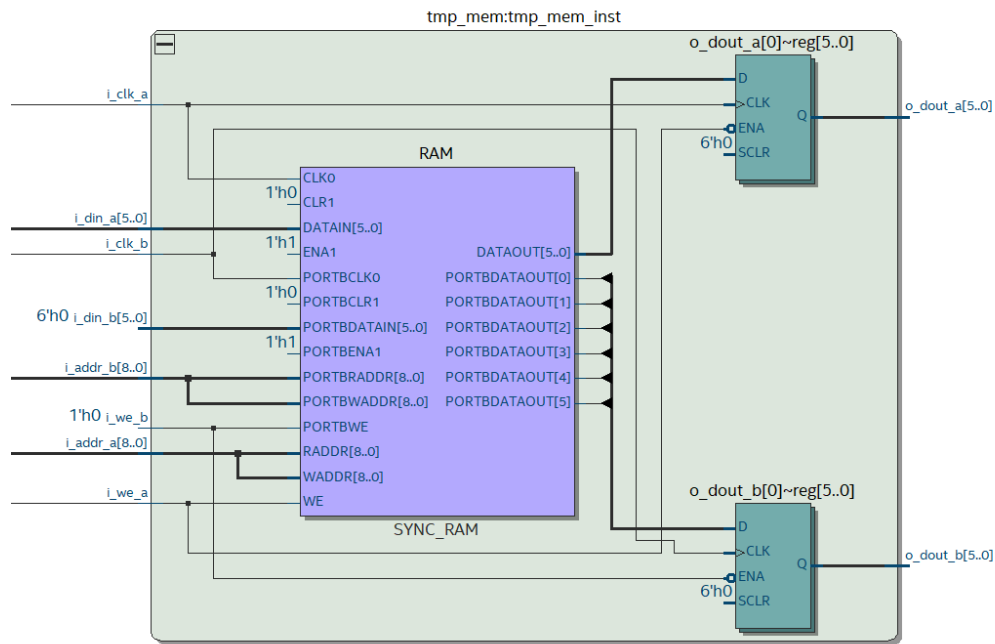


Рисунок 5.9 – використання RAM-пам'яті

5.5 Контрольний модуль обрахунку фаз

Основний модуль проекту, що відповідає за обрахунок фаз є calculon.v.

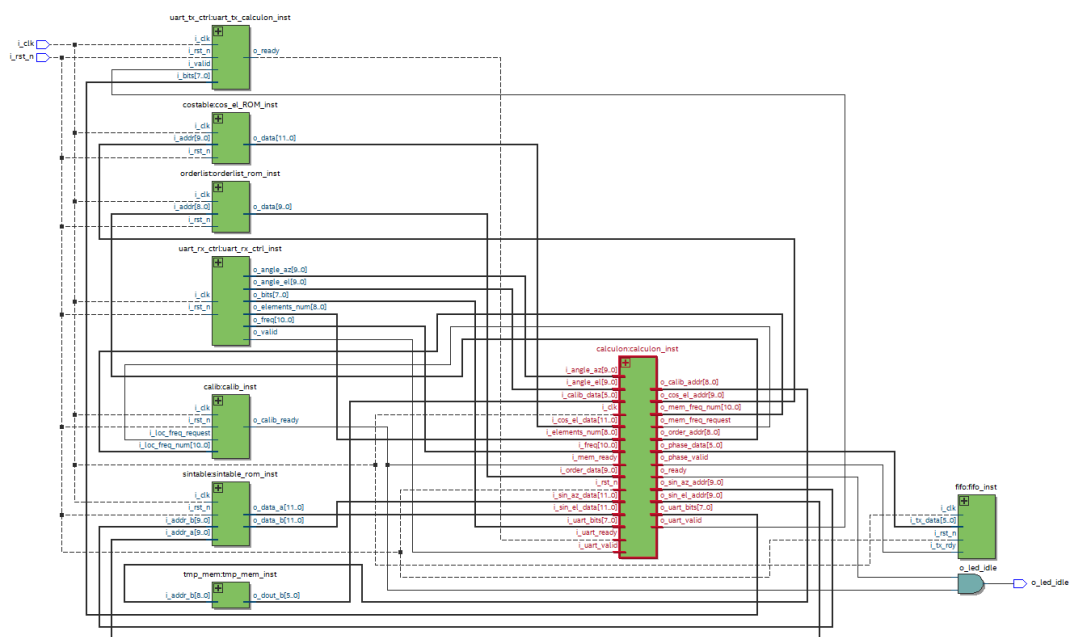


Рисунок 5.10 – RTL-діаграма зв'язків calculon.v

Як видно з рисунку 5.10 – в цей модуль на вхід приходять команди від блоку керування, значення вхідних даних(кути, частоти), значення синусів та позицій потрібних елементів для обрахунку фази та також поправочні коефіцієнти. Також цей модуль формує відповідь для блоку керування і передає значення порохованих фаз далі. На рисунку 5.11 також зображена машина станів даного модуля.

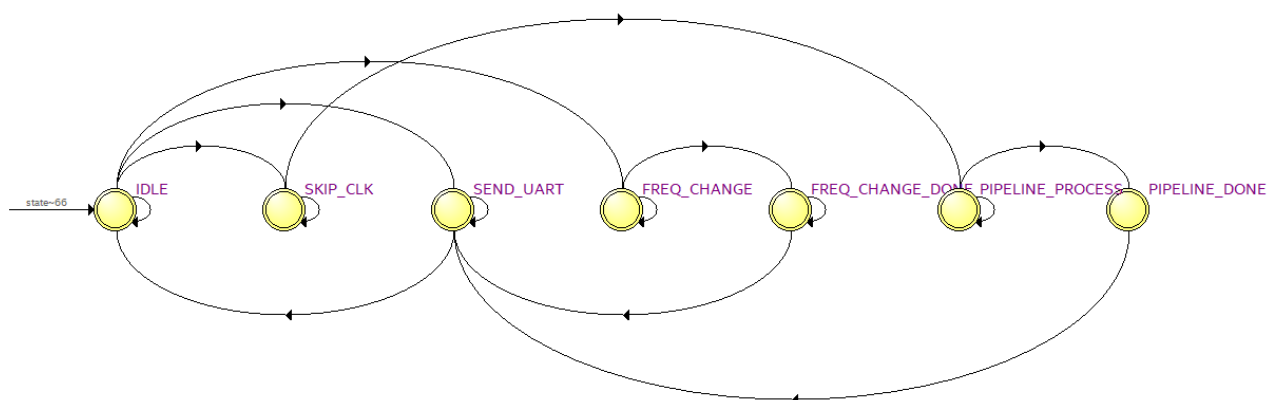


Рисунок 5.11 – Скінчена машина станів calculon.v

5.6 Формування посилки

Формування посилки та передача значень фазових зсувів реалізовується через використання FIFO-буфера та phase_out.v – модуль, що передає послідовно значення через SPI (рисунк 5.12)

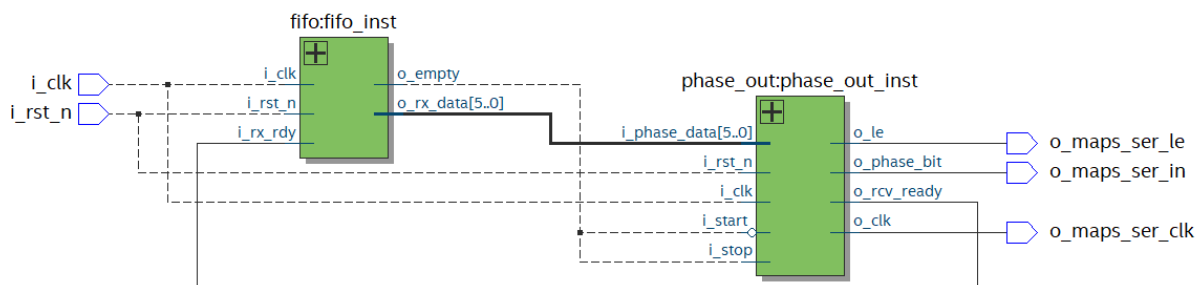


Рисунок 5.12 – RTL-діаграма передачі порохованих значень

Пораховані значення з `calculon.v` зберігаються спочатку в FIFO-буфер, звідки по сигналу, що буфер не пустий `phase_out.v` починає передачу даних назовні фазообертачам, ввівши в логічний “0” сигнал `latch enable (chip select)`, що зображено на рисунку 5.13.

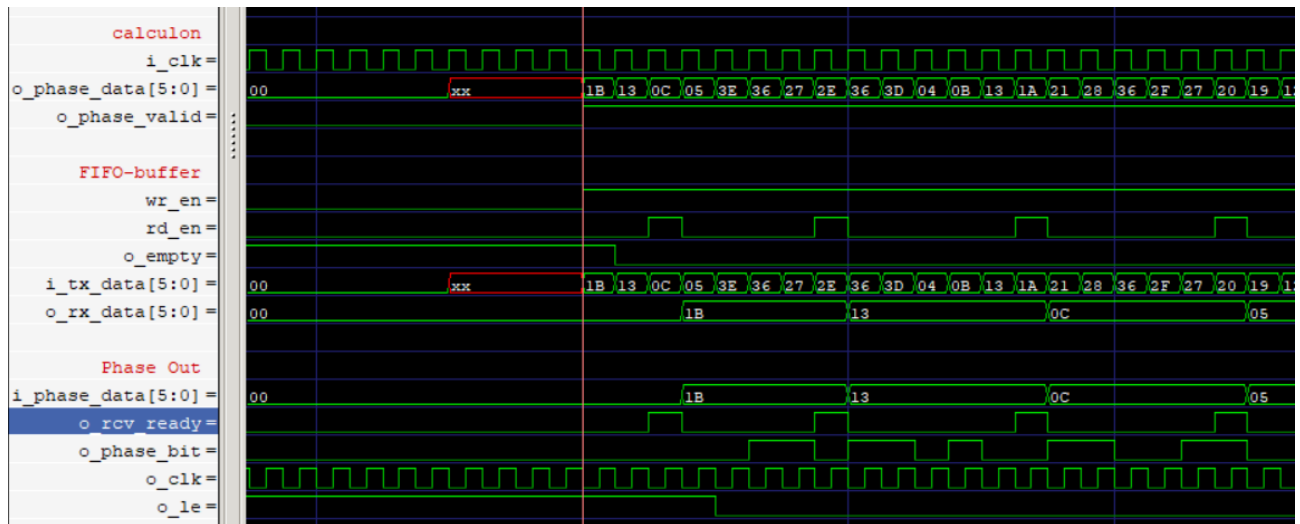


Рисунок 5.13 – Діаграма передачі даних послідовно

5.7 Калібрування даних

Калібрування даних відбувається за допомогою калібровочного модуля `calib.v` та SPI-драйверів для комунікації із зовнішньою SPI-пам'яттю (рисунок 5.14)

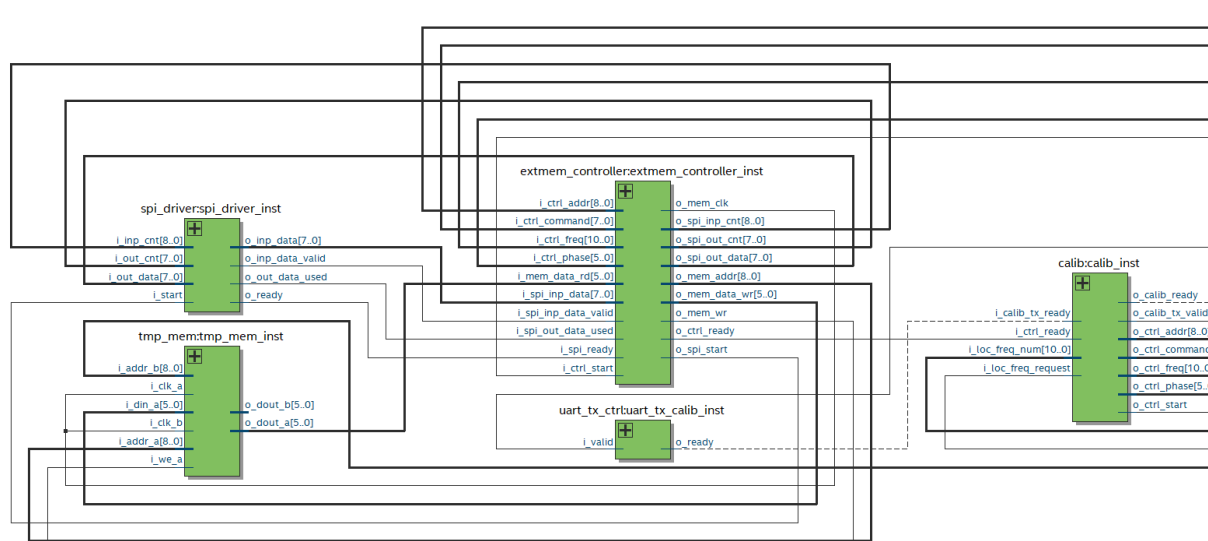


Рисунок 5.14 – RTL-діаграма каліброчних модулів

Команда зміни частоти надходить від calculon.v, та calib.v надсилає команду зчитувати SPI-пам'ять через SPI-драйвера для певного значення частоти й записує її в вище згадану тимчасову RAM-пам'ять tmp_mem.v.

ВИСНОВКИ

1. У результаті аналізу роботи та застосувань фазообертачів було розглянуто принципи роботи та застосувань розроблюваного пристрою, на основі чого було використано для дипломного проєкту цифрові або програмно-керовані фазообертачі.
2. В ході аналізу технічного завдання були розкриті основні вимоги як і до розробки друкованого вузла: частота системи 8 МГц, характеристики керуючого сигналу – 3,3 В CMOS, температура експлуатації пристрою - $-40^{\circ}\text{C} \dots +65^{\circ}\text{C}$, напруги живлення - +12 В; так і до відповідного програмного забезпечення до пристрою: задано формулу обрахунку (2.1), поставлені вимоги налаштування поведінки пристрою через ПК, та загальній гнучкості обрахунку(задавання кількості фазообертачів та калібрування значень)
3. Було обгрунтовано конфігурацію структурну та функціональну до пристрою відповідно до вимог технічного завдання, вибрано як центральний пристрій ПЛІС сімейства Cyclone 10 LP, а саме 10CL006YE144I7G, підібрані основні протоколи передачі даних UART і SPI, поставлено вимоги до живлення та підібрано мікросхему LMZM33603RLRR; також поставлено вимоги по додатковим компонентам схеми таким як кварцевий генератор на 8 МГц ECS-2033-080 та мікросхема, генеруюча сигнал скидування (ADM811T). Відповідно то технічної документації елементної бази була розроблена також схема електрична принципова.
4. Використовуючи САПР Altium Designer було розроблено двухсторонню друковану плату на основі FR-4 35/35 1,0 мм з металізованими отворами радіусом 2,4 мм , сформований весь необхідний перелік конструкторської документації, а саме кресленик друкованої плати та складальний кресленик та перелік елементів, необхідний для виготовлення друкованого вузла.

					PC01.4645015.001 ПЗ	Лист
						61
Зм.	Лист	№ докум.	Підпис	Дата		

5. Відповідно до проаналізованого технічного завдання, що стосується частини програмного забезпечення пристрою, була сформована блок-схема, що описує алгоритм роботи пристрою, та з використанням САПР Quartus і мови Verilog HDL розроблено відповідне програмне забезпечення, що задовольняє поставленим вимогам – можливість комунікації з ПК реалізовано через стандартний протокол передачі даних UART, калібрування пристрою реалізовано через таблицю поправочних значень, що зберігаються в SPI пам'яті, та основний функціонал такий як рахування значень фазових зсувів та подальша передача цих значень, реалізовано також через SPI. Все це описано та показано на регістровому рівні передач.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Sekar V. A Preliminary Guide to Antenna Arrays. Vik's Newsletter | Vikram Sekar | Substack. URL: https://www.viksnewsletter.com/p/fundamentals-of-antenna-arrays?r=222kot&utm_campaign=post&utm_medium=web
2. Sekar V. How does a Phased Array Antenna work? Types of Beamforming Architectures. Vik's Newsletter | Vikram Sekar | Substack. URL: <https://www.viksnewsletter.com/p/basics-of-phased-array-antennas-and>
3. Contributors to Wikimedia projects. Phased array - Wikipedia. Wikipedia, the free encyclopedia. URL: https://en.wikipedia.org/wiki/Phased_array
4. Учасники проектів Вікімедіа. Фазована антенна решітка – Вікіпедія. Вікіпедія. URL: https://uk.wikipedia.org/wiki/Фазована_антенна_решітка#Управління_фазовими_зсувами
5. Вольф К. Фазована антенна решітка. Grundlagen der Radartechnik. URL: <https://www.radartutorial.eu/06.antennas/an29.uk.html>
6. Microwaves101 | Phase Shifters. Microwave and RF Information for Engineers | Microwave Calculators, Encyclopedia, Discussion Forum. URL: <https://www.microwaves101.com/encyclopedias/phase-shifters>.
7. Phase Shifter - Types, Components and Working Principles. GeeksforGeeks. URL: <https://www.geeksforgeeks.org/phase-shifter/#phase-shifter-in-microwave>.
8. 1.3.6. Фазообертачі. StudFiles. URL: <https://studfile.net/preview/8902814/page:11/>.
9. Contributors to Wikimedia projects. Phase shift module - Wikipedia. Wikipedia, the free encyclopedia. URL: https://en.wikipedia.org/wiki/Phase_shift_module.
10. Сергєєва А. О. Фазообертач на основі неоднорідних відрізків мікросмужкових ліній : магістерська дисертація : 153. Київ, 2018. 86 с. URL: <https://ela.kpi.ua/server/api/core/bitstreams/243754ab-3147-498d-8f00-4eca28aa5865/content>.

Зм.	Лист	№ докум.	Підпис	Дата

PC01.4645015.001 ПЗ

Лист
63

11. What are Phase Shifters?. everything RF - The leading website for the RF & Microwave Industry. URL: <https://www.everythingrf.com/browse/phase-shifters>.
12. PCB Trace Width Calculator - PCB Prototype the Easy Way - PCBWay. China PCB Prototype & Fabrication Manufacturer - PCB Prototype the Easy Way. URL: https://www.pcbway.com/pcb_prototype/trace-width-calculator.html
13. Лекція 3 Параметри і характеристики друкованих плат. Державний університет "Житомирська політехніка" - Освітній портал.
URL: https://learn.ztu.edu.ua/pluginfile.php/283342/mod_resource/content/0/ОКБМА%20-%20Л3%20-%20Параметри%20і%20характеристики%20друкованих%20плат.pdf
14. Лекція 5 Конструювання і розрахунок друкованих плат вимірювальних систем. Державний університет "Житомирська політехніка" - Освітній портал.
URL: https://learn.ztu.edu.ua/pluginfile.php/174572/mod_resource/content/0/Л5_ПтаКВС.pdf
15. Учасники проектів Вікімедіа. UART – Вікіпедія. Вікіпедія.
URL: <https://uk.wikipedia.org/wiki/UART> (дата звернення: 15.06.2024).
16. Учасники проектів Вікімедіа. Serial Peripheral Interface – Вікіпедія. Вікіпедія. URL: https://uk.wikipedia.org/wiki/Serial_Peripheral_Interface
17. Cyclone® 10 LP Device Overview.
URL: <https://www.intel.com/content/www/us/en/docs/programmable/683879/current/device-overview.html>.
18. Intel® Cyclone® 10 LP Device Datasheet.
URL: <https://www.intel.com/content/www/us/en/docs/programmable/683251/current/device-datasheet.html>.

19. Intel® Cyclone® 10 LP Device Family Pin Connection Guidelines.
URL: <https://www.intel.com/content/www/us/en/docs/programmable/683137/current/device-family-pin-connection-guidelines.html>.
20. S M. Logic Blocks in FPGA. LinkedIn: Log In or Sign Up.
URL: <https://www.linkedin.com/pulse/logic-blocks-fpga-manohar-s-w1irc/>
21. EPCQ-A Serial Configuration Device Datasheet.
URL: <https://www.intel.com/content/www/us/en/docs/programmable/683818/current/epcq-a-serial-configuration-device-datasheet.html>.
22. Теорема перемноження діаграм напрямленостей.
URL: https://learn.ztu.edu.ua/pluginfile.php/217450/mod_folder/content/0/IB-TP-AT_TKM-T4-2.pdf?forcedownload=1.
23. Учасники проєктів Вікімедіа. Фазообертач – Вікіпедія. *Vikimedia*.
URL: <https://uk.wikipedia.org/wiki/Фазообертач>
24. 8 Advantages of using FPGAs in Embedded Systems.
URL: <https://www.icdrex.com/8-advantages-of-using-fpgas-in-embedded-systems/>.
25. Erusalagandi S. How do I reset my FPGA?.
URL: <https://www.eetimes.com/how-do-i-reset-my-fpga/>.
26. ADM811 Datasheet(PDF). ALLDATASHEET.COM - Electronic Parts Datasheet Search. URL: <https://www.alldatasheet.com/datasheet-pdf/pdf/48755/AD/ADM811.html>.
27. Придбати Резистори SMD 0603 - radiodetali.com.ua/ua. *Інтернет-крамниця радіотехніки та компонентів - Радіодеталі*.
URL: <https://radiodetali.com.ua/ua/catalog/rezistory-ruchki/rezistory-smd-0603>
28. Розрахунок малюнку друкованої плати. Державний університет "Житомирська політехніка" - Освітній портал.
URL: <https://learn.ztu.edu.ua/mod/resource/view.php?id=199165>.

ДОДАТОК А. ТЕХНІЧНЕ ЗАВДАННЯ

ПОГОДЖЕНО

керівник дипломного проєкту

ст. викладач, к.т.н.

Олександр НЕУЙМІН

ЗАТВЕРДЖЕНО

Завідувач кафедри

Сергій ЖУК



(дата)

(підпис)

(дата)

(підпис)

ТЕХНІЧНЕ ЗАВДАННЯ
НА ДИПЛОМНИЙ ПРОЕКТ
«Пристрій керування фазообертачами»

Київ – 2024 року

1 НАЗВА І ПІДСТАВА ДЛЯ ВИКОНАННЯ

Назва проекту: «Пристрій керування фазообертачами»

Підставою для виконання є завдання, видане кафедрою радіотехнічних систем від «__» _____ 2024 р.

2 ВИКОНАВЦІ

Керівник дипломного проєкту – ст. викладач кафедри РТС, к.т.н., Неуймін Олександр Станіславович.

Виконавець – студент групи РС-01 Краснюк Юрій Євгенійович

3 МЕТА ВИКОНАННЯ ДП І ПРИЗНАЧЕННЯ РОЗРОБКИ

Метою дипломного проєкту є розробка цифрового пристрою керування фазообертачами, програмного забезпечення необхідного для функціонування пристрою та оформлення конструкторської документації.

Функціонал пристрою полягає в обрахунку значень фазових зсувів для фазообертачів, за допомогою команд зовнішнього блоку керування.

4 ТЕХНІЧНІ ВИМОГИ

4.1 Призначення

Напруга живлення: 12 В;

Керування: дистанційне;

Корпус: виготовлення не передбачено

Без особливих вимог стійкості до зовнішніх впливів і чинників;

Кліматичні вимоги УХЛ4 згідно ГОСТ 15150-69;

Захист від механічних впливів С1 згідно ГОСТ 16019-2001;

4.2 Вимоги до надійності

Середній термін служби необмежений, не менше 2-ох років;

Безвідмовність роботи щонайменше 20 годин на добу;

4.3 Уніфікації і стандартизації

Використовувати уніфіковану та стандартизовану елементу та матеріальну базу

4.4 Експлуатації, зручності технічного обслуговування та ремонту

Технічне обслуговування проводити 1 раз у рік (перевірка функціональності всіх деталей)

4.5 Безпеки для життя, здоров'я і майна громадян та охорони довкілля

Керуватися положеннями стандартів про вимоги технічної безпеки, електробезпеки, пожежної безпеки;

Утилізація згідно вимог для промислових відходів за ГОСТ 30773-2001.

4.6 Транспортування і зберігання

Умови транспортування згідно ГОСТ 16019-2001;

Зберігання за ГОСТ 15150-69 за умови 1-Л.

4.7 Якості і технічного рівня

Відповідає світовому рівню;

5 ВИМОГИ ДО СИРОВИНИ, МАТЕРІАЛІВ І ПКВ

Вибір екологічних матеріалів;

6 ВИМОГИ ДО КОНСЕРВАЦІЇ, ПАКУВАННЯ І МАРКУВАННЯ

Маркування: обов'язково нанести логотип з назвою фірми;

Пакування: друкований вузол необхідно загорнути в бульбашко-повітряну плівку і помістити в картонну коробку;

Консервація: не передбачено;

Виконавець

Керівник



Відомість дипломного проекту

[illegible]

ДОДАТОК В

Перелік елементів

Позначенн я.	Найменування	Кіл .	Примітка
	<u>Кондесатори</u>		
C1-3	C-1206 50 В 10 мкФ ±20% X7R Kemet	3	
C4	C-2917 6 В 470 мкФ ±*20 TANT Kemet	1	
C5	C-2917 25 В 150 пФ ±10% X7R Kemet	1	
C6	C-2917 25 В 100 пФ ±10% X7R Kemet	1	
C7-14	C-0805 25 В 47 мкФ ±20% X7R Kemet	8	
C15-42	C-0603 50 В 0,1 мкФ ±10% X7R Kemet	28	
	<u>Кварцеві генератори</u>		
ZQ1	ECS-2033-080-AU ECS Inc.	1	
	<u>Мікросхеми</u>		
DA1-3	LMZM33603RLRR Texas Instruments	3	
DD1	10CL006YE144I7G Intel	1	
DD2	EPCQ4ASI8N Intel	1	
DD3	ADM811T Analog Devices	1	
	<u>Вилки</u>		
XP1	M80-5100642 Harwin Inc.	1	
XP2	M80-5100842 Harwin Inc.	1	
	<u>Прибори світлової сигналізації</u>		
HL1-7	CMD15-21VRDTR8 VCC	7	

					PC01.4645015.001 ПЕ			
Зм	Арк	№ докум	Підпис	Дата	Пристрій керування фазообертачами	Літ.	Аркун	Аркунів
Розробив		Краснюк					1	2
Перевір		Навіїмін						
Н контр								
Затверд						КПІ ім. Ігоря Сікорського РТФ		

Позначення.	Найменування	Кіл.	Примітка
	<u>Резистори</u>		
R1	R-0603 162 кОм ±1%	1	
R2	R-0603 88,7 кОм ±1%	1	
R3	R-0603 133 кОм ±1%	1	
R4	R-0603 100 кОм ±1%	1	
R5	R-0603 23,2 кОм ±1%	1	
R6	R-0603 2 кОм ±1%	1	
R7	R-0603 40,2 кОм ±1%	1	
R8,R9	R-0603 100 кОм ±1%	2	
R10-12	R-0603 10 кОм ±1%	3	
R13	R-0603 0 Ом ±1%	1	
R14,R15	R-0603 1 кОм ±1%	2	
R16,R17	R-0603 120 Ом ±1%	2	
R18,R19	R-0603 1 кОм ±1%	2	
R20-24	R-0603 10 кОм ±1%	5	
R25,R26	R-0603 27 Ом ±1%	2	
R27-33	R-0603 800 Ом ±1%	7	

					PC01.4645015.001 ПЕ		
Зм.	Арк.	№ докум.	Підпис	Дата	Пристрій керування фазообертачами КПІ ім. Ігоря Сікорського РТФ		
Розробив	Корсун						
Перевір	Нічмійн						
Н. контр.							
Затверд.					Лім. Днів Днів 2 2		