

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

Факультет електроніки

(повна назва інституту/факультету)

Кафедра мікроелектроніки

(повна назва кафедри)

«На правах рукопису»

УДК _____

«До захисту допущено»

Завідувач кафедри

“ ” _____ 20__ р.

Магістерська дисертація

на здобуття ступеня магістра

зі спеціальності _____ 153 «Мікро- та наносистемна техніка»

(код і назва)

на тему:

Інтегральна схема для дослідження базових блоків аналогової схемотехніки

Виконав: студент 6 курсу, групи ДП-61м

(шифр групи)

Сотніков Володимир Едуардович

(прізвище, ім'я, по батькові)

(підпис)

Науковий керівник Академік, д.т.н., професор Якименко Ю. І.

(посада, науковий ступінь, вчене звання, прізвище та ініціали)

(підпис)

Консультант з нормоконтролю доц., к.т.н. Орлов А.Т.

Консультант з інформаційних питань ст. викл., к.т.н. Діденко Ю.В.

Рецензент _____

(посада, науковий ступінь, вчене звання, науковий ступінь, прізвище та ініціали)

(підпис)

Засвідчую, що у цій магістерській дисертації
немає запозичень з праць інших авторів без
відповідних посилань.

Студент _____

(підпис)

Київ – 2018 року

РЕФЕРАТ

Дипломна робота налічує 130 сторінок, 5 розділів, 96 ілюстрацій, 41 таблицю, 3 додатки та 28 джерел за переліком посилань.

Об'єкт та предмет дослідження. Властивості базових блоків аналогової мікросхемотехніки. Залежність їх параметрів від геометричних розмірів та топології.

Мета роботи. Аналіз особливостей роботи базових блоків аналогової мікросхемотехніки в сучасних субмікронних технологіях та розробка інтегральної мікросхеми, що дозволить вимірювати параметри та вивчати принципи їх роботи.

Актуальність полягає у стрімкому розвитку мікроелектроніки та відсутності існуючих рішень, що дозволяють вивчати базові блоки на транзисторному рівні без використання професійного програмного забезпечення.

Методи дослідження. Було проведено аналіз та комп'ютерне моделювання роботи базових блоків аналогової мікросхемотехніки. Порівняно роботу схем з різною топологією та архітектурою. Запропоновано ІМС, що дозволить проводити експериментальні вимірювання досліджуваних блоків на транзисторному рівні.

Наукова новизна одержаних результатів. Запропоновано новий метод для оцінки впливу топології на величину випадкових похибок у струмових дзеркалах та диференційних парах, а також показано, що в сучасних субмікронних технологіях домінують зворотні ефекти короткого та вузького каналу.

Практичне значення одержаних результатів. Результатом роботи є проект інтегральної схеми, що дозволяє вивчати особливості роботи базових блоків аналогової мікросхемотехніки. Після виготовлення, її можна використовувати при навчанні бакалаврів та/або магістрів за напрямком «Мікро- та наносистемна техніка» у таких дисциплінах як «твердотільна електроніка» або «Проектування напівпровідникових приладів та інтегральних мікросхем».

МІКРОСХЕМОТЕХНІКА, БАЗОВІ АНАЛОГОВОЇ БЛОКИ, ІНТЕГРАЛЬНА СХЕМА, КРЕМНІЙ НА ІЗОЛЯТОРІ, СТРУМОВЕ ДЗЕРКАЛО, ПІДСИЛЮВАЧ, ДИФЕРЕНЦІЙНА ПАРА, ОПОРНЕ ДЖЕРЕЛО НАПРУГИ.

ABSTRACT

This paper consists of 130 pages, 5 sections, 96 pictures, 41 tables, 3 appendices and 28 references.

The object and subject of this paper is basic analog microelectronics building blocks properties and their dependence on size, geometry and topology style.

The purpose of the work is basic analog building blocks characteristics analysis in modern sub-micron technologies and development of an integrated circuit for conducting measurements and studying their operation.

The relevance lies in the rapid development of microelectronics and the lack of existing solutions that allow studying of basic analog building blocks at the transistor level without using of professional software.

Research methods. Basic analog building blocks analysis and computer simulation of their operation have been done. Operation of circuits with different topologies and architectures were compared. The IC, which allows carrying out experimental measurements of the investigated blocks at the transistor level, is proposed.

Scientific novelty of the obtained results. A new method for estimating the influence of the topology on the magnitude of random errors in current mirrors and differential pairs is proposed. Reverse narrow channel effect and reverse short channel effect dominance is shown for modern submicron technologies.

The practical value of the results. The result of this paper is the project of the integrated circuit, which allows studying of basic analog building blocks operation. After its manufacturing, it can be used for teaching purposes of bachelors and/or masters of Microelectronics in such disciplines as "solid state electronics" or "Design of semiconductor devices and integrated circuits".

MICROELECTRONICS DESIGN, BASIC ANALOG BLOCKS, INTEGRATED CIRCUIT, SILICON ON INSULATOR, CURRENT MIRROR, AMPLIFIER, DIFFERENTIAL PAIR, VOLTAGE REFERENCE

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СКОРОЧЕНЬ, СИМВОЛІВ І ТЕРМІНІВ	7
ВСТУП.....	8
1 ОГЛЯД ІСНУЮЧИХ РІШЕНЬ	9
Висновки до розділу 1.....	12
2 БАЗОВІ БЛОКИ АНАЛОГОВОЇ МІКРОСХЕМОТЕХНІКИ	13
2.1 МДН транзистор та ефекти короткого каналу	14
2.1.1 Зміна порогової напруги.....	15
2.1.2 Насичення дрейфової швидкості	17
2.2 МДН ключі.....	21
2.2.1 Компліментарні ключі	22
2.2.2 Ефект підкладки	24
2.3 Струмові дзеркала	27
2.3.1 Звичайне струмове дзеркало	28
2.3.2 Каскодне струмове дзеркало	31
2.3.3 Дзеркало Вільсона.....	34
2.3.4 Інші версії каскодних дзеркал.....	35
2.3.5 Випадкова похибка віддзеркалення	39
2.4 Однокаскадні підсилювачі	43
2.4.1 Схеми з спільним витоком	43
2.4.2 Схеми з спільним стоком.....	51
2.5 Диференційні пари	52
2.6 Температурна залежність елементів.....	57
2.7 Опорні джерела струму та напруги	62
2.8 Операційні підсилювачі.....	66

2.9 Генератори тактової частоти.....	67
Висновки до розділу 2.....	67
3 ТЕХНОЛОГІЯ ВИГОТОВЛЕННЯ ІМС	69
Висновки до розділу 3.....	71
4 РОЗРОБКА ІМС	72
4.1 Аналоговий мультиплексор	76
4.2 Захист від статичної напруги	82
4.3 Блок дослідження аналогових ключів.....	87
4.3 Блок струмових дзеркал.....	91
4.3 Блок вивчення підсилювачів.....	95
4.4 Блок вивчення опорних джерел та температурних залежностей.....	97
4.5 Розміщення блоків на кристалі	98
Висновки до розділу 4.....	101
5 РОЗРОБКА СТАРТАП ПРОЕКТУ	102
5.1. Опис ідеї проекту	102
5.2. Технологічний аудит ідеї проекту	103
5.3. Аналіз ринкових можливостей запуску стартап-проекту	103
5.4. Розроблення ринкової стратегії проекту.....	107
5.5. Розроблення маркетингової програми стартап-проекту	108
Висновки до розділу 5.....	110
ВИСНОВКИ.....	111
ПЕРЕЛІК ПОСИЛАНЬ	112
Додаток А. Пристрої для вивчення аналогової схемотехніки.....	115
Додаток Б. Поперечний переріз елементів	118
Додаток В. Електричні схеми та розміри елементів.....	121

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СКОРОЧЕНЬ, СИМВОЛІВ І ТЕРМІНІВ

АЦП	– аналогово-цифровий перетворювач;
ВАХ	– вольт-амперна-характеристика;
ІМС	– інтегральна мікросхема;
КНІ	– кремній-на-ізоляторі;
КП	– коефіцієнт підсилення;
МДН	– метал-діелектрик-напівпровідник;
ОП	– операційний підсилювач;
ПАІС	– програмована аналогова інтегральна схема;
ПЗ	– програмне забезпечення;
СВ	– спільний виток;
СЗ	– спільний затвор;
СКО	– середньоквадратичне відхилення;
СС	– спільний сток;
ТК	– температурний коефіцієнт;
ТН	– технологічна норма;
ФАПЧ	– фазове автопідлаштування частоти;
ЦАП	– цифро-аналоговий перетворювач;
DIBL	– drain induced barrier lowering;
DTI	– deep trench isolation;
HBM	– human body model;
STI	– shallow trench isolation.

ВСТУП

На сьогоднішній день більша частина промислової електроніки виконується у виді інтегральних мікросхем (ІМС). Це дозволяє на одному кристалі реалізувати електронну схему будь-якої складності, що виконує певну функцію. Вже сьогодні деякі ІМС складаються більш ніж з 20 млрд. транзисторів. Ціна та площа, що займає такий пристрій, значно менше ніж у схеми, що зібрано із дискретних компонентів.

Незважаючи на те, що більшість сучасних мікросхем є суто цифровими, певні функціональні блоки виконуються тільки за допомогою аналогової схемотехніки. Прикладом є різноманітні системи живлення, джерела опорного струму та напруги, генератори тактової частоти, підсилювачі, тощо. Для створення надійних функціональних елементів мікросхем із заданими параметрами, необхідно добре розуміти поведінку базових аналогових блоків в сучасних субмікронних технологіях. Нажаль, на сьогоднішній день така інформація здебільшого знаходиться у закритому доступі, а ліцензії на програмне забезпечення (ПЗ) та відповідні бібліотеки, що дозволяють проводити комп'ютерне моделювання коштують надзвичайно дорого і недоступні для державних університетів.

Для практичного вивчення аналогової схемотехніки можуть бути використані вже існуючі розробки [1-6], але вони не дозволяють вивчати елементи на транзисторному рівні, або на рівні базових аналогових блоків. Так наприклад, за допомогою [1] можна вивчити роботу операційних підсилювачів (ОП), регуляторів, фільтрів, тощо, але не можливо визначити як розміри транзисторів, топологія та певна архітектура схеми впливає на її параметри.

Метою роботи є виявлення особливостей роботи базових блоків аналогової мікросхемотехніки в сучасних субмікронних технологіях та розробка ІМС, що дозволить вивчати та вимірювати їх параметри.

Актуальність полягає у стрімкому розвитку мікроелектроніки та відсутності існуючих рішень, що дозволяють вивчати базові блоки аналогової мікросхемотехніки без використання професійного ПЗ.

1 ОГЛЯД ІСНУЮЧИХ РІШЕНЬ

На сьогоднішній день існує багато рішень для практичного вивчення аналогової схемотехніки. Їх можна умовно поділити на дві категорії:

- Пристрої в інтегральному виконанні;
- Пристрої на друкованій платі із використанням дискретних компонентів.

Спочатку розглянемо пристрої на друкованій платі. Типовим прикладом є Analog System Lab Kit PRO [1] або Analog System Lab Kit [2] від Texas Instruments. Їх фотографії та більш детальний опис наведено у додатку А. За допомогою цих пристроїв можна вивчати аналогові інтегральні схеми загального призначення, а також збирати на їх основі більш складні схеми. Наприклад різноманітні підсилювачі, інтегратори, фільтри, регулятори, системи фазового автопідлаштування частоти (ФАПЧ) та ін.

Іншим аналогічним пристроєм є PB-500 Analog Circuits Trainer від Global Specialties[3], який також описано у додатку А. На відміну від [1,2], тут мається вбудований функціональний генератор.

Можна наводити ще багато аналогічних прикладів [4,5,6], але всі вони мають декілька важливих недоліків. По-перше, це неможливість вивчення схемотехніки на транзисторному рівні, або на рівні базових блоків. Наприклад, операційні підсилювачі в таких пристроях являють собою закінчену ІМС у якій не можливо змінити архітектуру, розміри транзисторів чи споживану потужність. Другим недоліком є невелика кількість різноманітних схем, що можна зібрати та вивчити.

Пристрої в інтегральному виконанні дозволяють збільшити варіативність. Так наприклад за допомогою програмованих аналогових інтегральних схем (ПАІС) можна створювати дійсно складні і різноманітні системи. Їх принцип дії базується на використанні перемикаємих конденсаторів та програмованих аналогових комірок [7-10]. Кожна така комірка складається з одного активного елементу та декількох пасивних, що можуть використовуватись разом в різноманітних

конфігураціях. В якості активного елементу виступає або ОП [7,9] або комбінація транзисторів у певному включенні [8,10], як це показано на рис. 1.1.

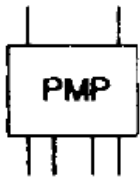
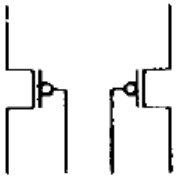
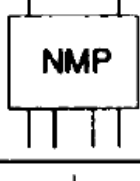
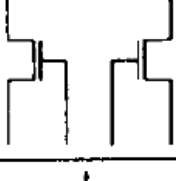
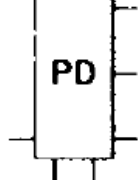
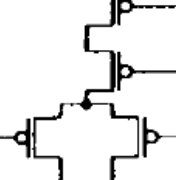
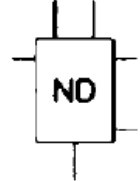
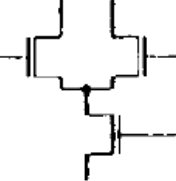
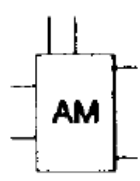
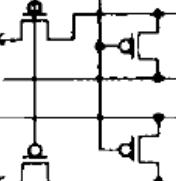
Primitive Element	Circuit Diagram
	
	
	
	
	

Рисунок 1.1 – Елементарні аналогові комірки, що використовуються для створення більш складних схем у ПАІС (зліва – умовне позначення, справа – електрична схема) [8]

Такий підхід дозволяє максимізувати кількість схем, що можуть бути запрограмовані. Деякі з них [7] навіть мають ПЗ, що дозволяє провести комп'ютерне моделювання схеми, а потім синтезувати її на ПАІС. Приклад інтерфейсу показано на рис. 1.2.

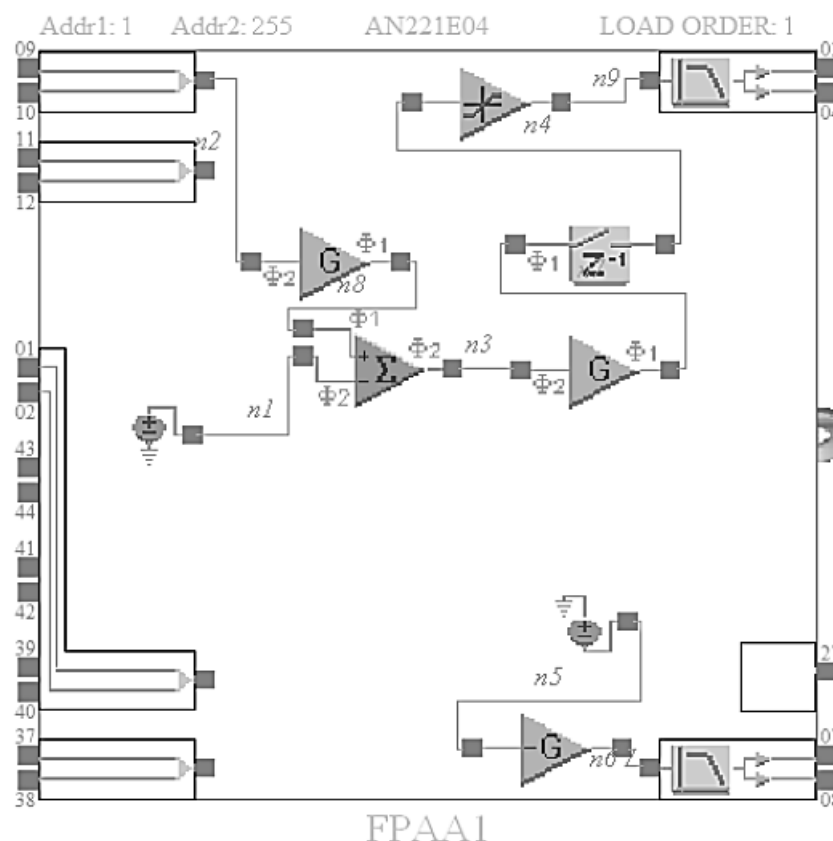


Рисунок 1.2 – Інтерфейс програми для синтезу електричних схем для ПАІС [7]

На відміну від пристроїв на друкованій платі [1-6], деякі ПАІС [8,10] дозволяють вивчати характеристики окремих базових аналогових блоків (наприклад диференційних пар та струмових дзеркал). Але не можливо прослідкувати, як електричні параметри цих елементів залежать від геометричних розмірів і топології транзисторів. Таким чином пристрої на основі ПАІС мають більший функціонал, але не вирішують всіх поставлених задач. Тобто їх не дуже доцільно використовувати для вивчення базових аналогових блоків. Зазвичай їх використовують для побудови і апробації більш складних схем. Так наприклад, було показано, що на основі ПАІС можна створити різноманітні фільтри [10], АЦП [7] та навіть системи розпізнавання голосу [7].

Висновки до розділу 1

У розділі було розглянуто існуючі рішення, які дозволяють практично вивчати базові блоки аналогової мікросхемотехніки. Акцент було зроблено саме на практичному вивченні, бо на сьогоднішній день ціна на професійне ПЗ для комп'ютерного моделювання мікроелектронних схем є надзвичайно високою, що в свою чергу робить не можливим його використання в державних університетах. Звичайно існують безкоштовні аналоги, але зазвичай моделі, що там використовуються, є дуже спрощеними, що робить не можливим вивчення багатьох субмікронних ефектів.

Існуючі рішення з використанням ІМС загального призначення, що розміщено на друкованій платі дозволяють вивчити певні аспекти аналогової мікросхемотехніки, але з їх допомогою не можливо досліджувати особливості роботи базових блоків на транзисторному рівні. Іншим недоліком є невелика кількість різноманітних схем, що можуть бути зібрані.

Частково ці проблеми можна вирішити за допомогою використання ПАІС. Вони дозволяють створювати більшу кількість різних схем, а деякі з них навіть дозволяють вивчення деяких базових аналогових блоків. Проте їх недоліком є те, що не можливо вивчати розмірні ефекти, тобто вплив геометричних розмірів транзисторів на електричні параметри схеми.

Таким чином, було показано, що тема роботи є дійсно актуальною і доцільно розробити власну ІМС, що дозволить досліджувати роботу всіх основних блоків аналогової мікросхемотехніки, а також вивчати залежність їх параметрів від геометричних розмірів і топології.

У наступному розділі буде проведено аналіз кожного базового блоку, а також зазначені їх особливості роботи в сучасних субмікронних технологіях. На основі цієї інформації буде розроблено ІМС, що дозволить їх вивчення.

2 БАЗОВІ БЛОКИ АНАЛОГОВОЇ МІКРОСХЕМОТЕХНІКИ

Всі сучасні аналогові схеми складаються з базових аналогових блоків. Наприклад, розглянемо схему операційного підсилювача, що показано на Рис. 2.1. Як можемо бачити, він складається з багатьох малих функціональних блоків, а саме:

- Джерело напруги;
- Джерело струму;
- Диференціальна пара;
- Активне навантаження;
- Струмове дзеркало;
- Повторювач.

Більше того, деякі компоненти виконують одразу декілька функцій. Наприклад МДН транзистор М3 працює в якості активного навантаження, але також є частиною струмового дзеркала [11].

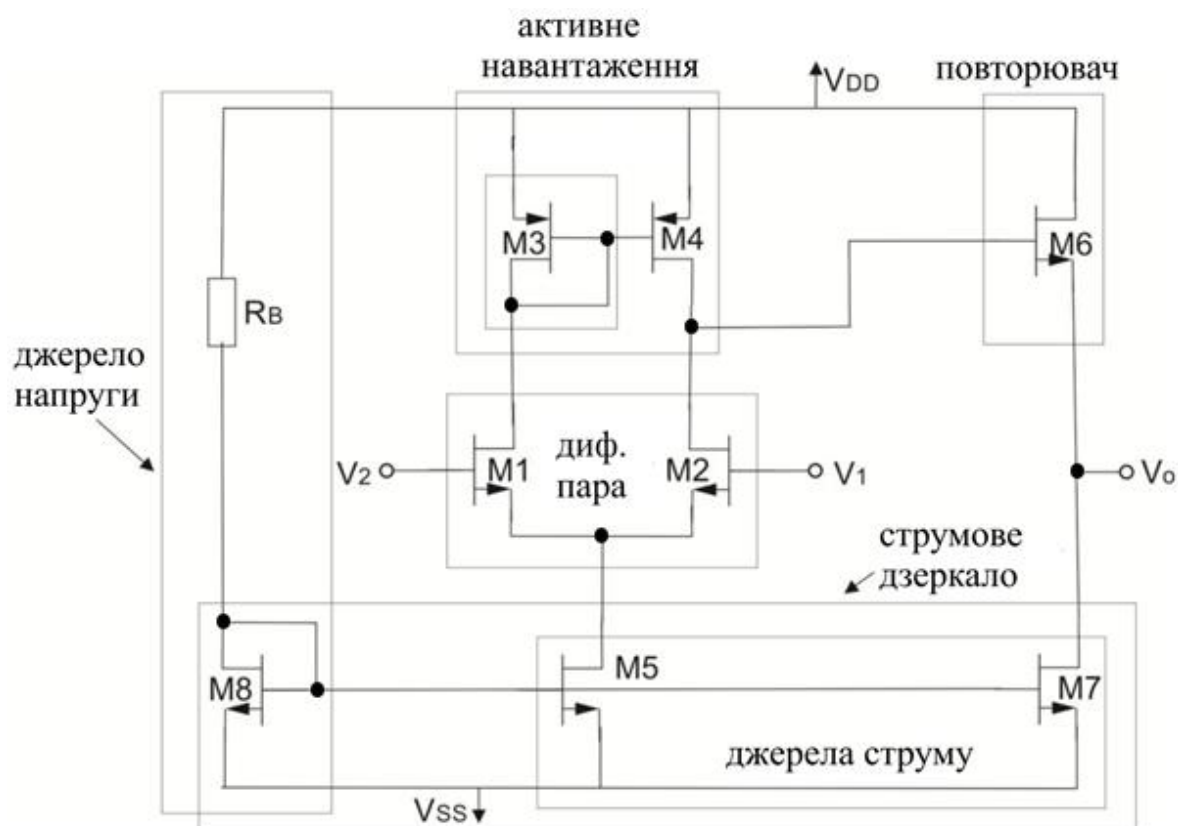


Рисунок 2.1 – Операційний підсилювач на МДН транзисторах з виділеними функціональними частинами [11]

Зазвичай такі операційні підсилювачі продаються вже в корпусі і мають тільки два входи, вихід(або декілька виходів) та контакти живлення. Досліджуючи такий підсилювач, можна виміряти його характеристики та зрозуміти роботу всієї системи. Однак не можливо виміряти параметри окремих базових функціональних блоків. Розуміння їх роботи та властивостей є основною навичкою кожного інженера, що займається розробкою аналогових ІМС.

До базових блоків аналогової мікросхемотехніки зазвичай відносять [11]: струмові дзеркала (в якості активного навантаження або в якості елемента зміщення), диференційні пари, опорні джерела напруги, джерела струму та ключі. Також в якості більш складних (але надзвичайно корисних) аналогових блоків, можна виділити: однокаскадні підсилювачі, операційні підсилювачі та осцилятори (генератори тактової частоти).

Всі ці блоки, їх характеристики, а також особливості їх роботи в сучасних субмікронних технологіях буде розглянуто далі.

2.1 МДН транзистор та ефекти короткого каналу

На сьогоднішній день МДН транзистори стали домінуючими в області цифрових ІМС, оскільки вони мають велику щільність упаковки і низьку потужність. На відміну від цього, біполярні транзистори все ще мають багато переваг у аналогових ІМС. Наприклад, відношення крутизни характеристики до струму зміщення в біполярних транзисторах, як правило, набагато вище, порівняно з МДН структурами. Тому біполярна технологія краще підходить до аналогових ІМС, а МДН – для цифрових. Однак, щоб зменшити вартість системи та збільшити портативність, необхідно збільшувати рівень інтеграції і зменшувати розсіювання енергії. Це змушує аналогові схеми використовувати МДН технологію [12].

В основі цієї технології лежить використання МДН транзистора, як базового елемента будь-якої схеми. Принцип роботи та характеристики МДН транзисторів дуже добре вивчені і відомі, тому вони не є об'єктом дослідження цієї роботи. Проте

у сучасних субмікронних технологіях у МДН транзисторів з'являються ефекти короткого/вузького каналу, які досвідчений інженер повинен розуміти і враховувати. К таким ефектам можна віднести [13]: зміну порогової напруги із зменшенням геометричних розмірів, насичення дрейфової швидкості носіїв заряду, зниження потенційного бар'єру під дією напруги стік-витік (DIBL ефект), зменшення підпорогової крутизни та ін. Але через складність вимірювання дуже малих струмів (одиниці нА), останні два ефекти далі розглядатись не будуть.

2.1.1 Зміна порогової напруги

У сучасних субмікронних технологіях при зменшенні геометричних розмірів каналу у МДН транзисторах можуть виникати наступні ефекти, що пов'язані зі зміною порогової напруги [13]: ефект короткого каналу (зменшення порогової напруги із зменшенням довжини каналу), зворотній ефект короткого каналу (збільшення порогової напруги із зменшенням довжини), ефект вузького каналу (збільшення порогової напруги із зменшенням ширини каналу), зворотній ефект вузького каналу (зменшення порогової напруги із зменшенням ширини).

Які саме ефекти будуть спостерігатися залежить від конкретної технології виробництва. В цій роботі буде розглядатись технологія ХТ018 [14] від фабрики Х-FAВ з технологічною нормою 180 нм. Більше детально її недоліки і переваги будуть розглянуті у третьому розділі.

В якості методу дослідження було обрано – комп'ютерне моделювання у середовищі Cadence Virtuoso. Була промодельована робота МДН транзисторів двох типів: n-канального та р-канального. В ході експерименту були виміряні залежності порогової напруги від геометричних розмірів каналу транзистора. Результати моделювання для n-канального та р-канального транзисторів показано на Рис. 2.2 та Рис. 2.3 відповідно.

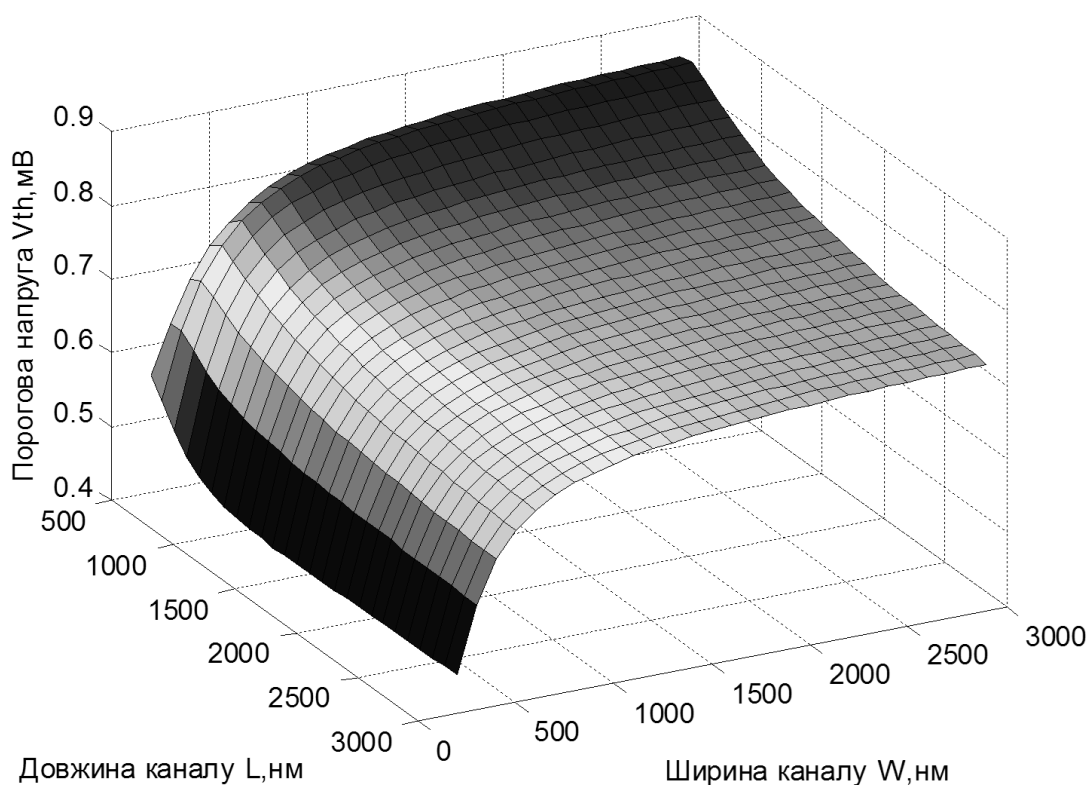


Рисунок 2.2 – Залежність порогової напруги n-канального МДН транзистора від ширини(W) та довжини каналу(L). Технологія X-FAB XT018.

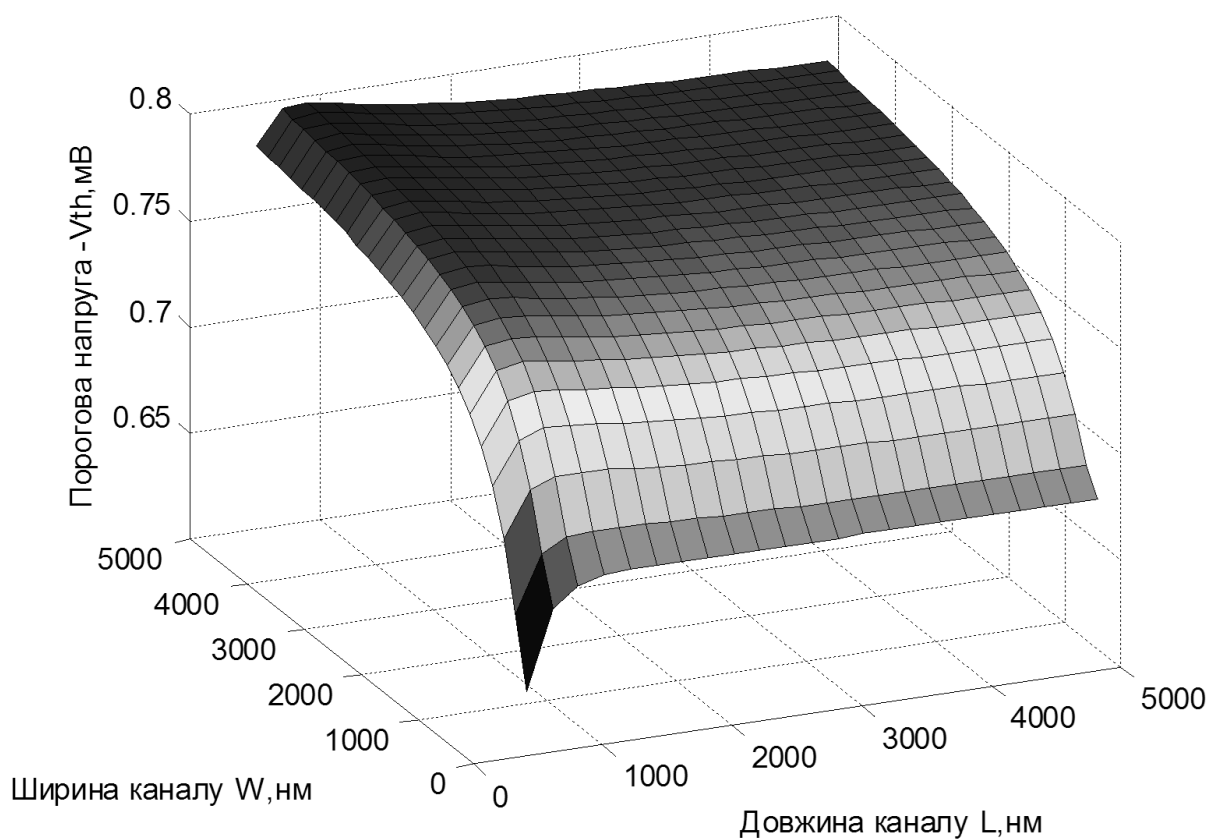


Рисунок 2.3 – Залежність порогової напруги p-канального МДН транзистора від ширини(W) та довжини каналу(L). Технологія X-FAB XT018.

Бачимо, що незалежно від типу транзистора при зменшенні довжини каналу спостерігається збільшення абсолютної величини порогової напруги. Тобто можемо спостерігати зворотній ефект короткого каналу. Він може пояснюватись тим, що біля областей стоку і витоку існують певні механічні напруги, які акумулюють домішки. Таким чином при зменшенні довжини каналу, роль цих домішок у виразі порогової напруги стає все більшою і вона зростає [14].

При зменшенні ширини каналу видно, що абсолютне значення порогової напруги зменшується, тобто спостерігається зворотній ефект вузького каналу. Це зазвичай спостерігається у технологіях, що використовують ізоляцію канавками (саме такий тип ізоляції використовується у технології X-FAB XT018). Коли ширина каналу транзистора лімітується ізолюючими канавками, напруженість поля на границях із канавками виявляється більшою ніж у центрі каналу, тому ефективна порогова напруга зменшується [13].

Зміна порогової напруги в залежності від геометричних розмірів особливо важлива при проектуванні аналогових ключів та струмових дзеркал. Якщо в одній ІМС виготовити декілька транзисторів з різними розмірами, то такі ефекти можна буде виміряти. Практична реалізація буде розглянута у четвертому розділі.

2.1.2 Насичення дрейфової швидкості

Ще одним важливим ефектом короткого каналу є насичення дрейфової швидкості носіїв заряду. Коли МДН транзистор працює в ключовому режимі, середнє горизонтальне поле в каналі визначається як [12]

$$E = \frac{V_{DS}}{L}, \quad (2.1)$$

де V_{DS} – напруга між стоком та витоком;

L – довжина каналу.

При великій довжині каналу, це поле слабке і дрейфова швидкість може бути знайдена із лінійного співвідношення [15]:

$$v_d = \mu E, \quad (2.2)$$

де v_d – дрейфова швидкість носія заряду;

μ – рухливість носія заряду.

Коли довжина каналу стає малою, дрейфова швидкість наближається до теплової швидкості і лінійна залежність (2.2) зникає. Цей ефект показано на Рис. 2.4.

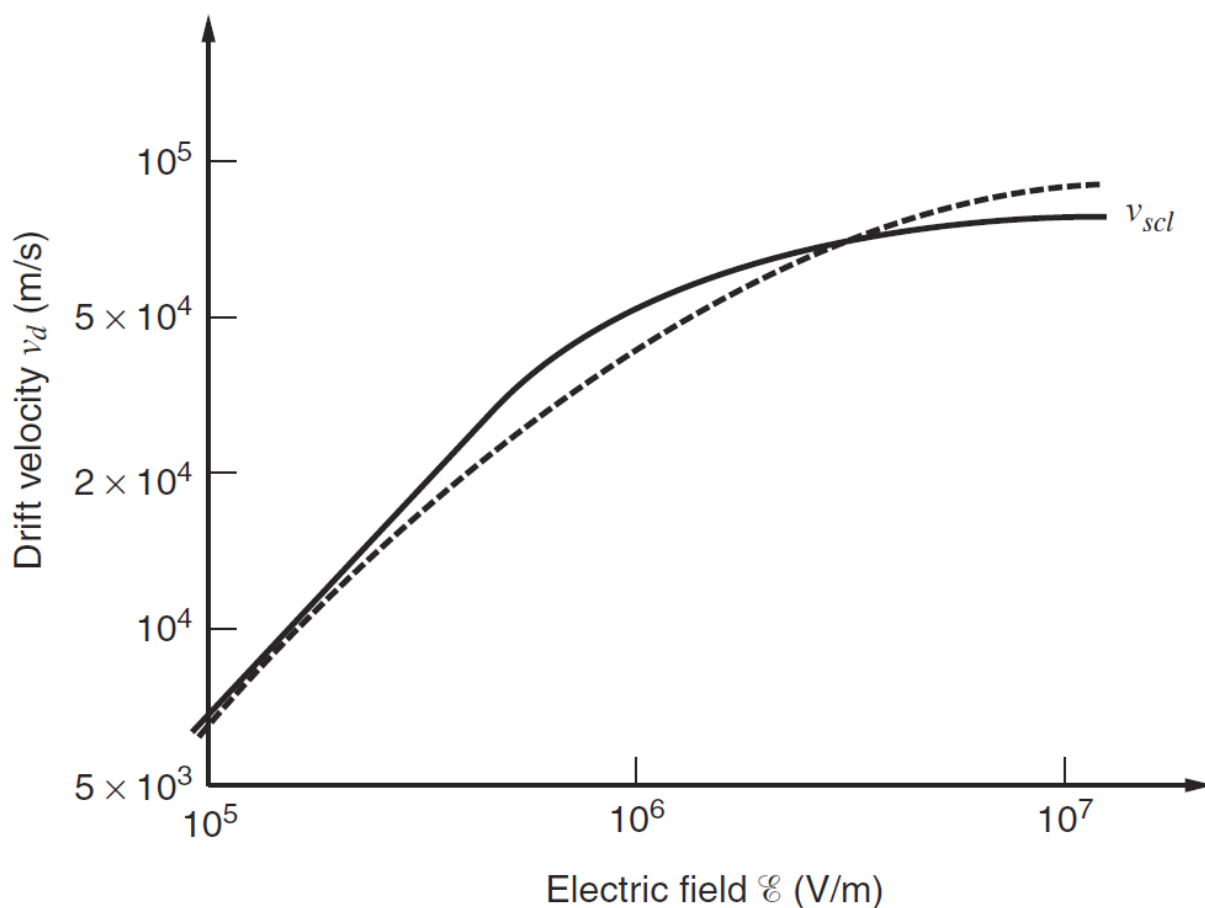


Рисунок 2.4 – Типова експериментальна залежність дрейфової швидкості носіїв заряду в МДН транзисторі від горизонтального електричного поля. Теоретична залежність показана штрих-пунктирної лінією [12]

Теоретично залежність дрейфової швидкості можна описати за допомогою наступної формули [12]:

$$v_d = \frac{\mu E}{1 + \frac{E}{E_c}}, \quad (2.3)$$

де $E_c \approx 1,5 \cdot 10^6$ В/м – критична напруженість електричного поля у кремнії.

Враховуючи формулу (2.3) можна показати, що струм насичення у активному режимі для МДН транзистора може бути розрахований із співвідношення [12]:

$$I_D = \frac{\mu C_{ox}}{2 \left(1 + \frac{V_{GS} - V_{th}}{E_c L} \right)} \frac{W}{L} (V_{GS} - V_{th})^2, \quad (2.4)$$

де C_{ox} – питома ємність підзатворного діелектрика;

V_{GS} – напруга між затвором і витоком;

W – ширина каналу;

V_{th} – порогова напруга МДН транзистора.

Можемо бачити, що при збільшенні довжини каналу формула вироджується в класичний вираз без врахування насичення швидкості:

$$I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2, \quad L \gg \frac{V_{GS} - V_{th}}{E_c} \quad (2.5)$$

Таким чином під дією ефекту насичення дрейфової швидкості, зі зменшенням довжини каналу, буде зменшуватись струм насичення. Цей ефект був вивчений за допомогою комп'ютерного моделювання. Для цього були промодельовані вихідні характеристики n-канальних МДН транзисторів з однаковим співвідношенням W/L та з однаковою напругою $V_{GS} = 5$ В, але з різними абсолютними розмірами. Результати моделювання показано на рис. 2.5.

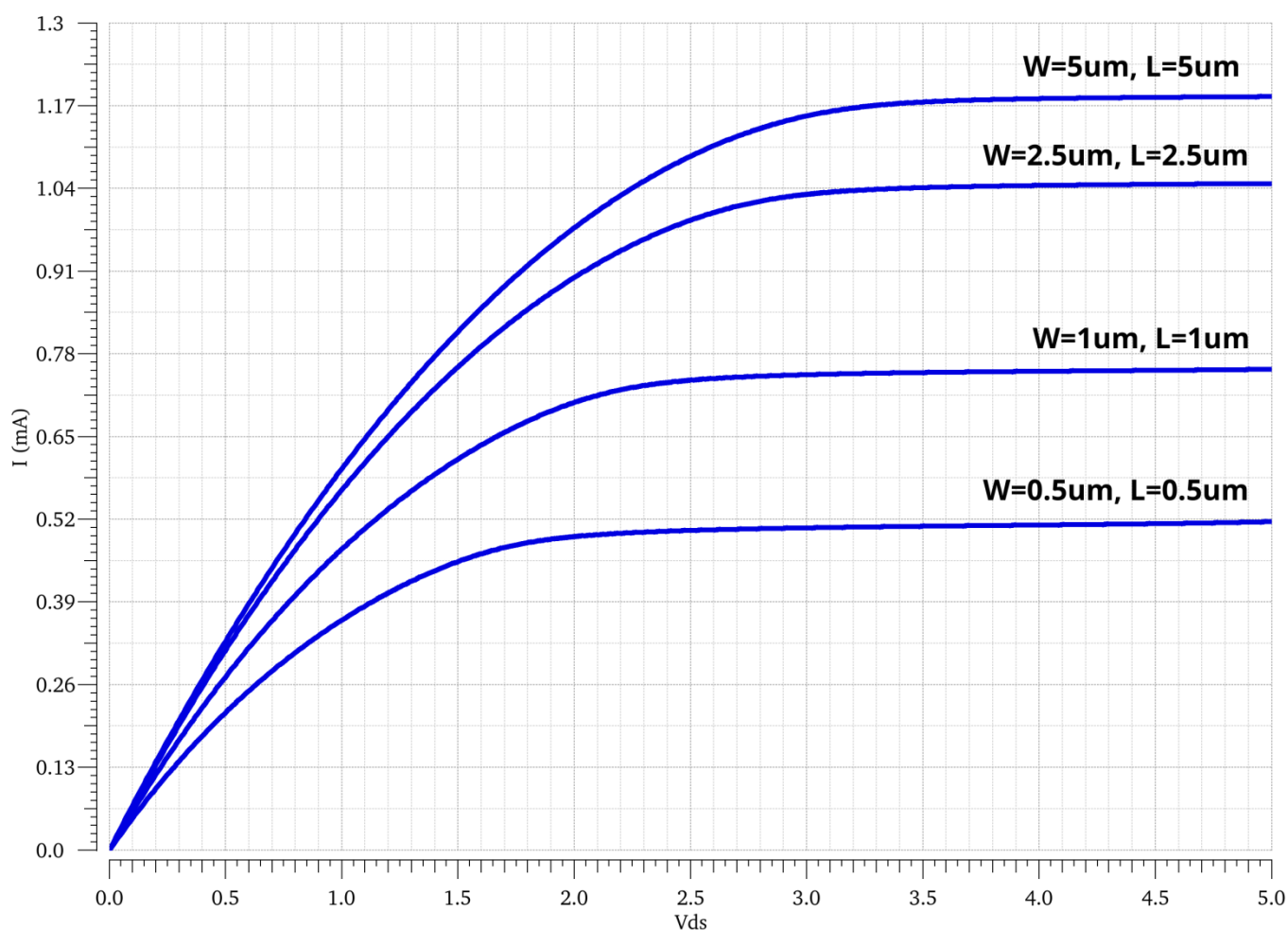


Рисунок 2.5 – Вихідні характеристики n-канальних МДН транзисторів з різними розмірами для технології X-FAB XT018. Скріншот із програми Cadence Virtuoso.

Без врахування насичення дрейфової швидкості максимальний струм повинен бути однаковим для всіх зразків. Але можемо бачити, що насправді він доволі сильно залежить від розмірів транзистору. Також згідно класичної моделі МДН транзистора, насичення повинно наступати коли

$$V_{DS} = V_{GS} - V_{th} \approx 5 - 0,75 = 4,25 \text{ В} \quad (2.6)$$

В нашому випадку (2.6) справедливо тільки для довжини каналу 5 мкм. Для менших довжин насичення настає при значно менших напругах і пов'язано саме з насиченням дрейфової швидкості. Тобто даний ефект дуже добре видно при

моделюванні. Слід також зазначити, що він спостерігається тільки у субмікронних технологіях, коли

$$L \approx \frac{V_{DS}}{E_c} \quad (2.7)$$

Таким чином при напрузі $V_{DS} = 5$ В, довжина каналу за якої буде спостерігатися насичення дрейфової швидкості буде складати 3,3 мкм, а при напрузі $V_{DS} = 1$ В – 0,67 мкм. Для експериментального вимірювання цього ефекту, пропонується створити декілька транзисторів з однаковим W/L , але різними розмірами. Практична реалізація буде розглянута у четвертому розділі.

2.2 МДН ключі

Ключі знаходять багато застосувань в аналогових інтегральних схемах. Вони можуть використовуватись в мультиплексорах, модуляторах, в якості резисторів та для створення прецензійних схем (наприклад ОП з малими похибками) [11].

Зазвичай ключі виконуються за допомогою МДН транзисторів. Біполярні транзистори не використовуються через погану лінійність характеристик [11].

Опір каналу для відкритого МДН ключа задається виразом [12]:

$$R_{on} = \frac{dI_D}{dV_{DS}} = \frac{1}{\mu C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{th} - V_{DS})}, \quad (2.8)$$

де R_{on} – опір каналу для відкритого МДН ключа.

Як можемо бачити залежність є нелінійною і залежить від напруги між стоком і витоком. При великих значеннях напруги насичення її можна апроксимувати як

$$R_{on} \approx \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{th})} = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) (V_{DD} - V_{IN} - V_{th})}, \quad (2.9)$$

де V_{DD} – напруга живлення (напруга на затворі відкритого ключа)

Можемо бачити, що опір ключа залежить від вхідної напруги і у випадку п-канального ключа прямує до нескінченності за умови

$$V_{IN} > V_{DD} - V_{th} \quad (2.10)$$

Таким чином можемо перекоонатись, що п-канальний ключ має малий опір тільки при малих вхідних напругах(відносно живлення).

2.2.1 Компліментарні ключі

Ясно, що п-канальні ключі добре працюють, коли вхідна напруга значно менше ніж напруга на затворі, а р-канальні ключі краще використовувати, коли вхідна напруга значно більше напруги на затворі. Тому коли треба мати низький опір ключа у всьому діапазоні вхідних напруг – маємо використовувати компліментарний ключ, що показано на Рис. 2.6.

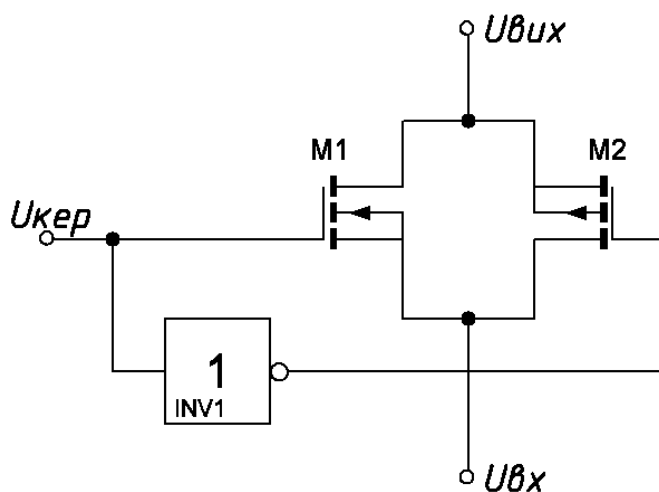


Рисунок 2.6 – Компліментарний МДН ключ ($U_{кер}$ – напруга керування, $U_{вх}$, $U_{вих}$ – вхідна і вихідна напруга відповідно)

При малих вхідних напругах домінує опір n-канального ключа, а при напругах близьких до живлення домінує р-канальний ключ, як це показано на Рис. 2.7. Напруга на затворі n-канального ключа дорівнює 5 В, а на затворі р-канального ключа 0 В. Як можемо бачити при низьких напругах n-канальний ключ має опір 3 кОм, а р-канальний ключ (з втричі більшою шириною) має опір 3,5 кОм при високій вхідній напрузі. Тобто, щоб створити ключі різних типів провідності з однаковим опором, необхідно, щоб р-канальний транзистор був в 3 рази ширшим. Це пов'язано з різницею у рухливості носіїв заряду у кремнії.

Можемо бачити, що при напругах 0,7 В і 4,2 В опір n-канального та р-канального ключів відповідно, прямує до нескінченності.

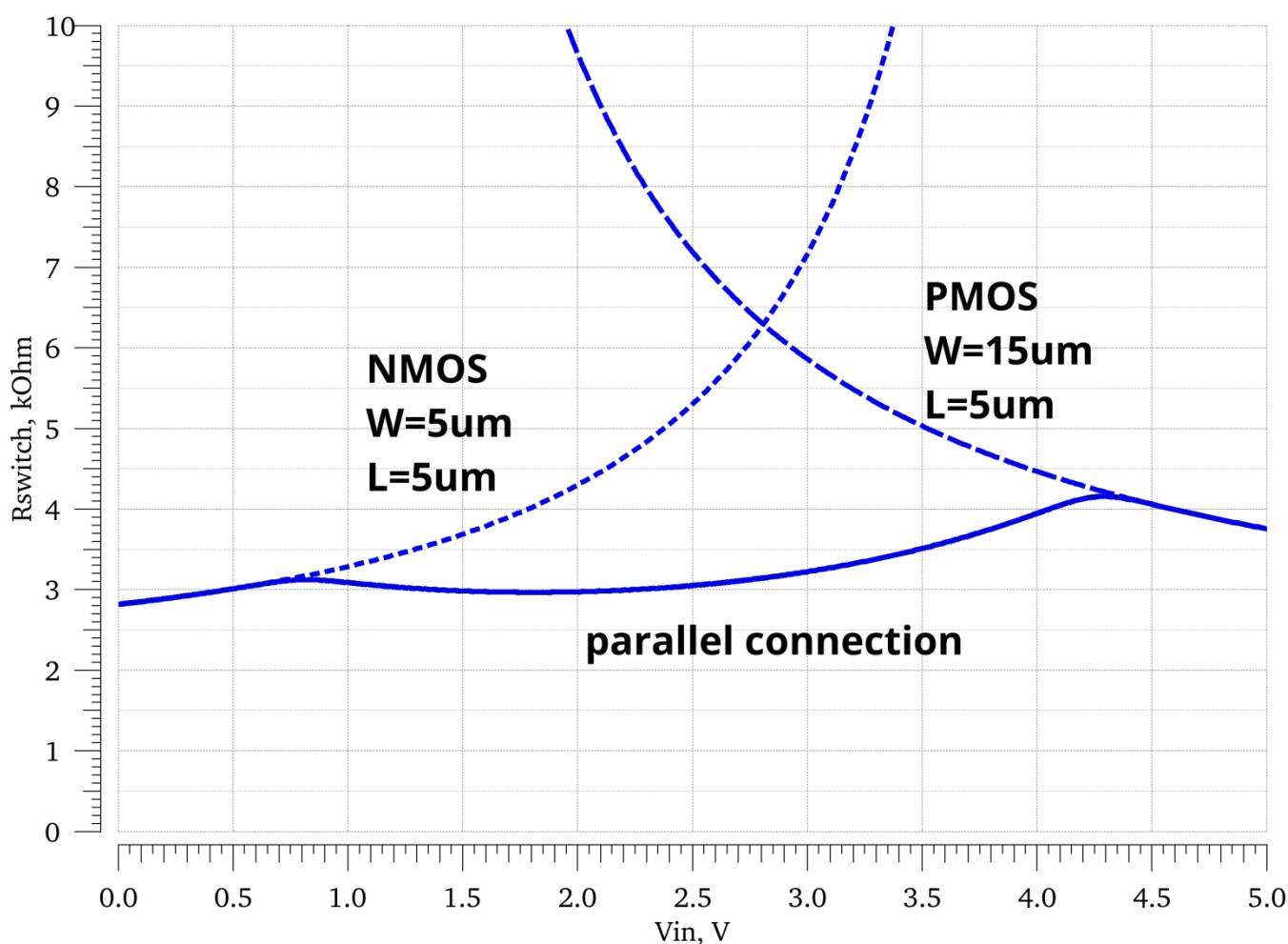


Рисунок 2.7 – Скріншот із програми Cadence Virtuoso із результати комп'ютерного моделювання опору n-канального ключа (штрихова лінія), р-канального ключа (пунктирна лінія) та компліментарного ключа (суцільна лінія) від вхідної напруги для технології X-FAB XT018.

В середині діапазону вхідних напруг сумарний опір визначається паралельним з'єднанням опорів n-канального та р-канального ключів. Комбінуючи ключі з різними розмірами можна отримати різні залежності опору від вхідної напруги.

2.2.2 Ефект підкладки

Не завжди є можливість підключити підкладку транзистора до його витоку. В такому випадку його опір та інші характеристики будуть залежати не тільки від напруги на затворі, а і від напруги між витком та підкладкою. Так, наприклад було промодельовану роботу n-канального МДН ключа з розмірами $W/L = 5 \text{ мкм}/5 \text{ мкм}$ для двох випадків: коли підкладка підключена до землі і коли підкладка підключена до витоку. Результат моделювання показано на Рис. 2.8. Можемо бачити, що характеристика сильно змінюється. Опір збільшується, робочий діапазон зменшується, а форма кривої стає більш нелінійною. Перш за все це пов'язано з деградацією порогової напруги (коли підкладка підключена до землі, порогова напруга залежить від вхідної напруги і може збільшуватись аж до $2 V$).

У підключення підкладки до стоку є два основні недоліки (не враховуючи збільшення опору). По-перше, транзистор повинен бути виготовлений в окремому ізолюючому кармані, що збільшує вартість технології виробництва. По-друге, навіть в закритому стані ключа, існує паразитний діод між стоком і витком (див. Рис. 2.9), через який може протікати струм. Тобто не можливо зробити повну електричну ізоляцію двох терміналів.

Для вирішення цієї проблеми можна підключити підкладку на землю, як це показано на Рис. 2.10 (а). В такому випадку інші характеристики ключа деградують. Або можна використовувати спеціальні схеми, що прибирають ефект підкладки. Їх показано на Рис. 2.10 (б,в).

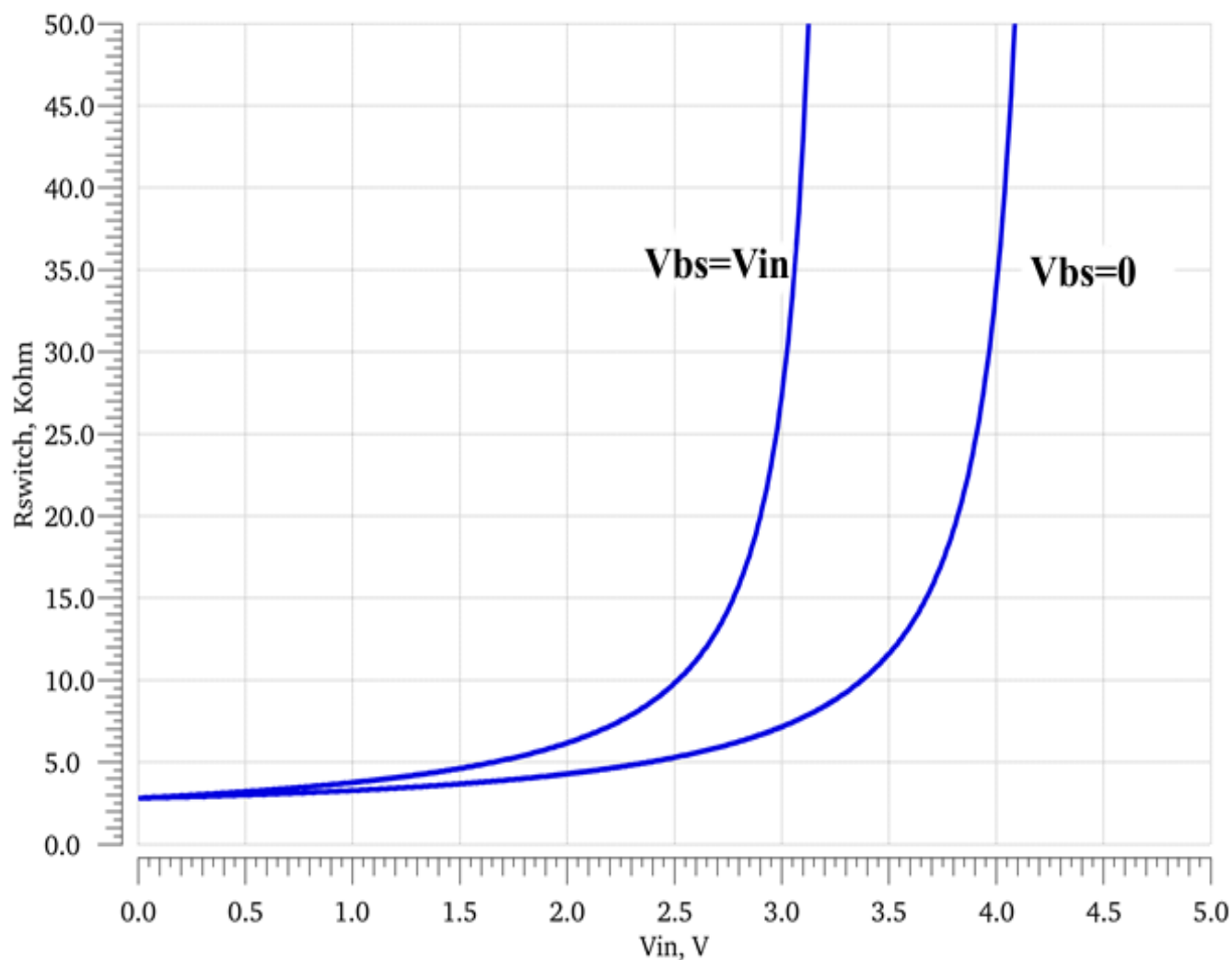


Рисунок 2.8 – – Скріншот із програми Cadence Virtuoso із результатами моделювання опору n-канального ключа від вхідної напруги для технології X-FAB XT018 ($V_{bs} = V_{in}$ – підкладка підключена до землі, $V_{bs} = 0$ – підкладка підключена до витоку)

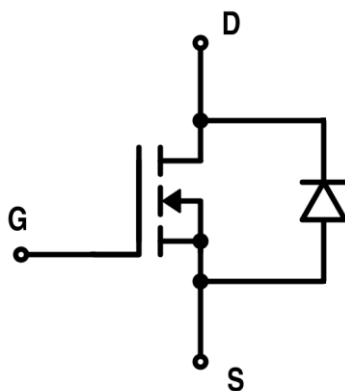


Рисунок. 2.9 – Паразитний діод при з'єднанні підкладки з витоком у МДН ключі [12]

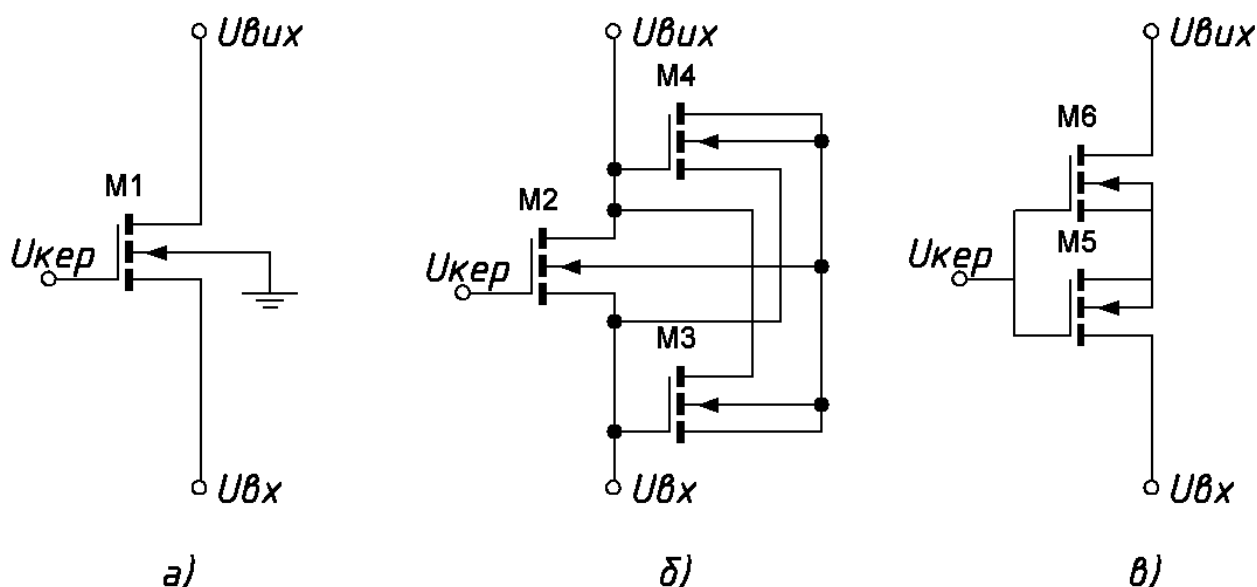


Рисунок 2.10 – а) n-канальний МДН ключ з наявним ефектом підкладки; б) Схема динамічного переключення підкладки; в) Схема з плаваючою підкладкою

Схема, що показано на Рис. 2.10 (б) дозволяє динамічно переключати підкладку. Транзистори М3 та М4 грають роль компараторів, які порівнюють напругу між стоком і витком та підключають підкладку до найменшого потенціалу. Перевагою цієї схеми є те, що додаткові транзистори можна зробити дуже малими через те, що вони не пропускають постійний струм (за виключенням паразитних струмів підкладки).

Схема, що показано на Рис. 2.10(в) використовує послідовне симетричне включення двох транзисторів. Така конфігурація дозволяє повністю ізолювати вхідний термінал від вихідного, але опір ключа зменшується у 2 рази (ефективна довжина транзистора збільшилась у 2 рази). Щоб опір не змінився ширина транзисторів М5 та М6 повинна бути у 2 рази більшою за транзистор М1.

Для порівняння роботи цих схем, було проведено комп'ютерне моделювання їх опору в залежності від вхідної напруги. Напруга на затворах була встановлена на 5 В, а розміри всіх транзисторів $W/L = 5 \text{ мкм}/5 \text{ мкм}$. Залежність логарифму опору від вхідної напруги для трьох схем зображена на рис. 2.11.

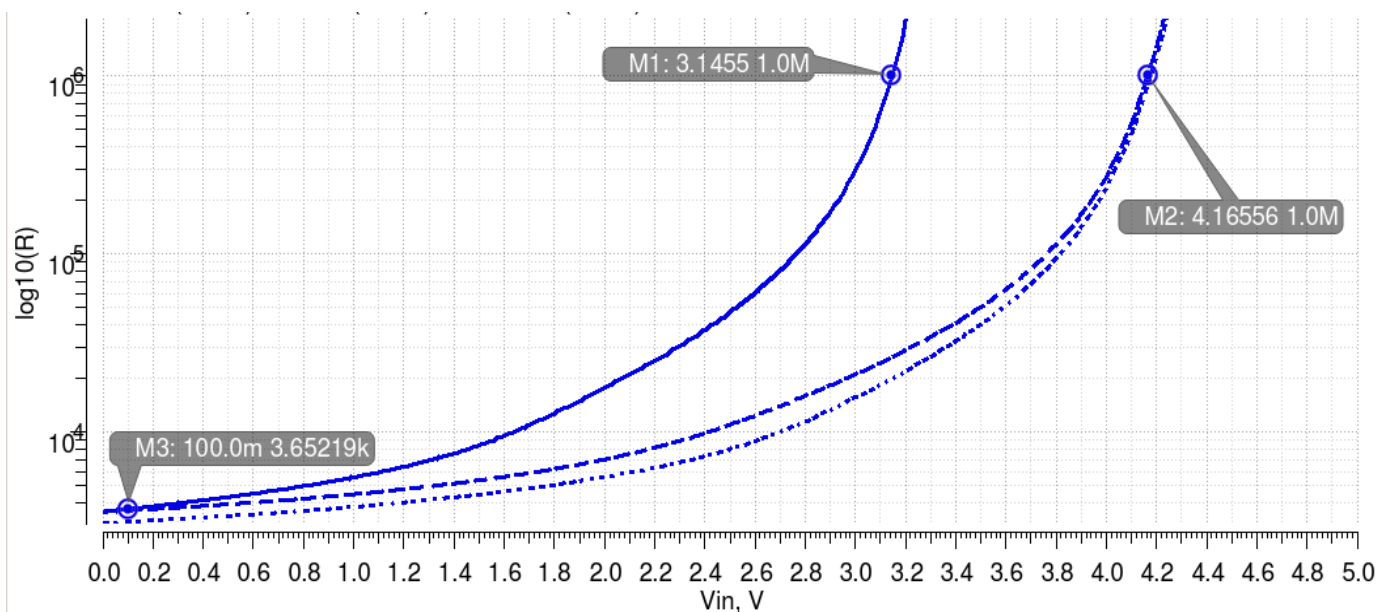


Рисунок 2.11 – Скріншот із програми Cadence Virtuoso із результатами моделювання опору ключів від вхідної напруги, що показано на рис. 2.10. (Суцільна лінія – звичайний ключ з підкладкою на землі, штрихова лінія – схема динамічного переключення підкладки, пунктирна лінія – схема із плаваючою підкладкою).

Як можемо бачити з Рис. 2.11, схема динамічного переключення підкладки і схема з плаваючою підкладкою значно збільшують діапазон роботи ключа і зменшують опір відкритого каналу, ефективно прибираючи ефект підкладки.

Роботу цих схем, а також залежність опору від геометричних розмірів і підключення підкладки можна експериментально вивчити, якщо на одній ІМС створити декілька МДН транзисторів з різними розмірами та можливістю окремо підключати їх термінали. Практична реалізація цієї ідеї буде більш детально розглянута у четвертому розділі.

2.3 Струмові дзеркала

Одним з найголовніших базових блоків аналогової мікросхемотехніки є струмове дзеркало. Їх поділяють на біполярні та МДН дзеркала. Але у дзеркал на біполярних транзисторах є декілька суттєвих недоліків. По-перше, присутній струм

бази, що створює додаткову похибку віддзеркалення і потребує додаткових прийомів для її зменшення[12]. Іншим недоліком є геометричні розміри. В той час як в МДН дзеркалах розміри каналу визначаються роздільною здатністю літографії, в біполярних транзисторах розмір бази зазвичай визначається параметрами дифузії[12]. Порівнюючи МДН та біполярне струмове дзеркало з однаковими електричними параметрами, можна побачити, що біполярні транзистори зазвичай мають площу, що на порядок більше ніж МДН транзистори[12]. Тому далі будуть розглядатися тільки струмові дзеркала на МДН структурах.

2.3.1 Звичайне струмове дзеркало

Типове струмове дзеркало показано на рис 2.12. Воно складається з вхідного транзистора M1 у діодному включенні та вихідного транзистора M2, що повторює вхідний струм з певним коефіцієнтом.

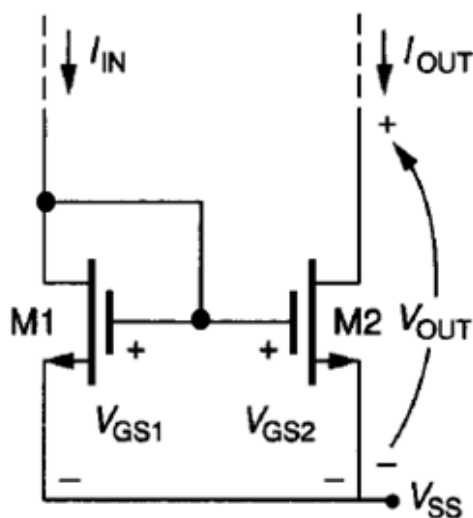


Рисунок 2.12 – Струмове дзеркало на МДН транзисторах [11]

Зв'язок вхідного та вихідного струму задається співвідношенням [11]

$$\frac{I_{OUT}}{I_{IN}} = \frac{I_{D2}}{I_{D1}} = \frac{k'_{N2} \left(\frac{W}{L}\right)_2 (1 + \lambda_2 V_{DS2})}{k'_{N1} \left(\frac{W}{L}\right)_1 (1 + \lambda_1 V_{DS1})}, \quad (2.11)$$

де I_{OUT}, I_{IN} – вихідний та вхідний струми відповідно;

k'_{Ni} – технологічна константа для i -го транзистора з n-типом провідності;

$\left(\frac{W}{L}\right)_i$ – відношення ширини каналу до його довжини для i -го транзистора;

λ_i – константа ефекту модуляції довжини каналу для i -го транзистора.

На рис. 2.13 показано результат моделювання вихідних характеристик струмового дзеркала з різними співвідношеннями геометричних розмірів.

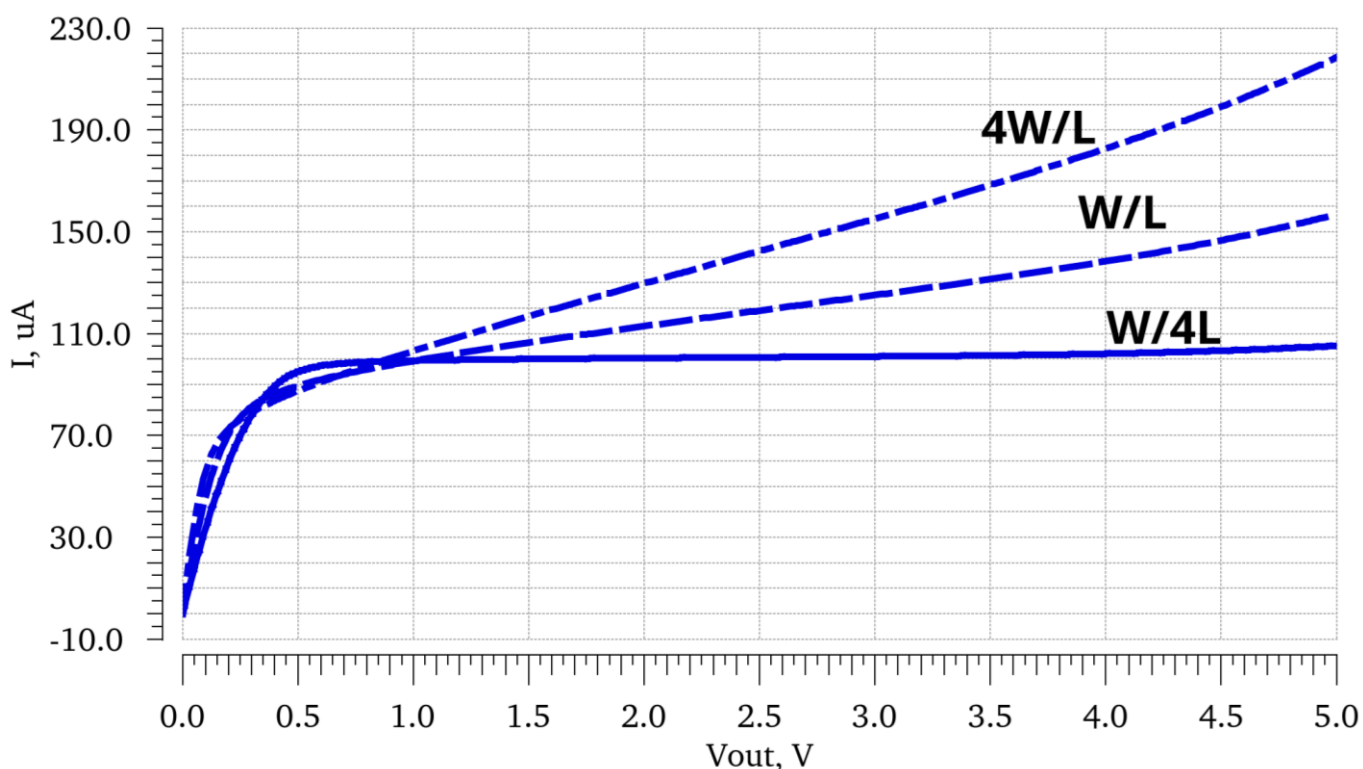


Рисунок 2.13 – Скріншот із програми Cadence Virtuoso із результатами моделювання вихідних характеристик МДН струмового дзеркала з різними співвідношенням геометричних розмірів (Вхідний струм дорівнює 100 мкА, коефіцієнт відзеркалення=1, $W=10$ мкм, $L=0,5$ мкм)

Ці характеристики показують що ефект модуляції каналу збільшує нахил кривих спотворюючи ефект ідеального джерела струму. Нахил цих кривих визначається малосигнальним вихідним опором і дорівнює[11]

$$r_{out} = \frac{v_{out}}{i_{out}} = r_{ds2} = \frac{1}{\lambda I_{D2}} = \frac{1}{\lambda I_{OUT}} \quad (2.12)$$

Можемо бачити, що чим більше співвідношення W/L , тим більший нахил характеристики і тим менше мінімально допустима вихідна напруга. Під мінімальною напругою мається на увазі напруга, за якої всі транзистори знаходяться у активном режимі. Вона характеризується різким зменшенням нахилу вихідної характеристики. Так наприклад для характеристики, що показано суцільною лінією на рис. 2.13, мінімальна напруга дорівнює приблизно 500 мВ. Теоретично вона може бути розрахована за допомогою формули [12]:

$$V_{min} = V_{DS(sat)} = \sqrt{\frac{2I_D}{k'} \left(\frac{L}{W} \right)}, \quad (2.13)$$

де V_{min} – мінімальна вихідна напруга струмового дзеркала;

$V_{DS(sat)}$ – напруга насичення МДН транзистора.

За допомогою рис. 2.13 можемо знайти малосигнальний опір струмового дзеркала, як

$$r_{out} = \frac{v_{out}}{i_{out}} = \frac{dV_{OUT}}{dI_{OUT}} = \frac{V_{OUT2} - V_{OUT1}}{I_{OUT2} - I_{OUT1}}, \quad (2.14)$$

де $(V_{OUT2}, I_{OUT2}), (V_{OUT1}, I_{OUT1})$ – точки вихідної характеристики у режимі насичення

В якості таких точок були обрані $V_{OUT2} = 4 \text{ В}$ та $V_{OUT1} = 2 \text{ В}$. Для трьох дзеркал було розраховано вихідний опір, а також мінімальну вихідну напругу. Результати занесено до табл. 2.1.

Табл. 2.1 – Параметри звичайних струмових дзеркал в залежності від розмірів

№	W , мкм	L , мкм	V_{min} , В	r_{out} , кОм
1	10	0,5	0,25	78,5
2	40	0,5	0,14	37,76
3	10	2	0,49	1180

Як можемо бачити, при збільшенні довжини каналу в 4 рази, вихідний опір збільшується в 15 раз(майже квадратична залежність). Це пояснюється тим, що в виразі (2.12) і вихідний струм і λ обернено пропорційні до довжини каналу.

2.3.2 Каскодне струмове дзеркало

Струмове дзеркало з ще більшим вихідним опором може бути отримано за допомогою схеми, що наведено на рис. 2.14. Такий вид дзеркала називається каскодним. Транзистори М3 та М4 підтримують значення V_{DS1} і V_{DS2} майже рівними, ефективно прибираючи вплив модуляції каналу. Також таке включення транзистора М4 збільшує вихідний опір дзеркала.

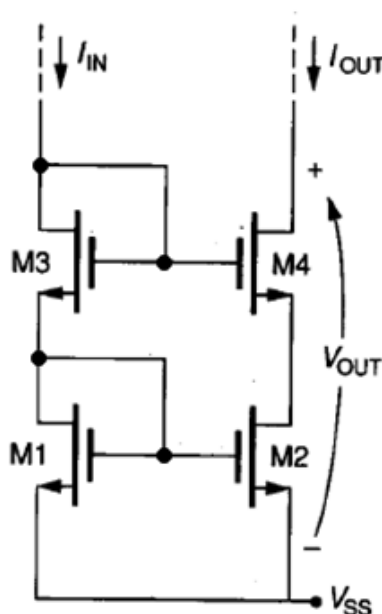


Рисунок 2.14 – Каскодне струмове дзеркало [11]

Нехтуючи похибками точності співвідношення, коефіцієнт передачі струму для каскадного МДН струмового дзеркала може бути записано як [11]

$$\frac{I_{OUT}}{I_{IN}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (2.16)$$

На рис. 2.15 показано результат моделювання вихідних характеристик каскадного струмового дзеркала з різними співвідношеннями геометричних розмірів. Транзистори M1 та M2 мають однакові розміри $W=10$ мкм, $L=0,5$ мкм, а ширина каскадних транзисторів змінювалась.

Можемо бачити, що каскадне дзеркало має значно більшу мінімальну вихідну напругу, а також більший вихідний опір. Теоретичне значення опору може бути знайдено за формулою [11]:

$$r_{out} = \frac{v_{out}}{i_{out}} = r_{ds2} + r_{ds4} + r_{ds2}r_{ds4}g_{m4}, \quad (2.17)$$

де g_{mi} – крутизна характеристики i -го транзистора.

А мінімальна вихідна напруга тепер складає [11]:

$$V_{min} = V_{th} + 2V_{DS(sat)} \quad (2.18)$$

Порівнюючи вирази (2.12) та (2.17) можемо переконатись, що вихідний опір збільшився у $r_{ds4}g_{m4}$ разів. А мінімальна вихідна напруга збільшилась на $V_{th} + V_{DS(sat)}$.

Для трьох каскадних дзеркал було розраховано вихідний опір, а також мінімальну вихідну напругу. Результати занесено до табл. 2.2.

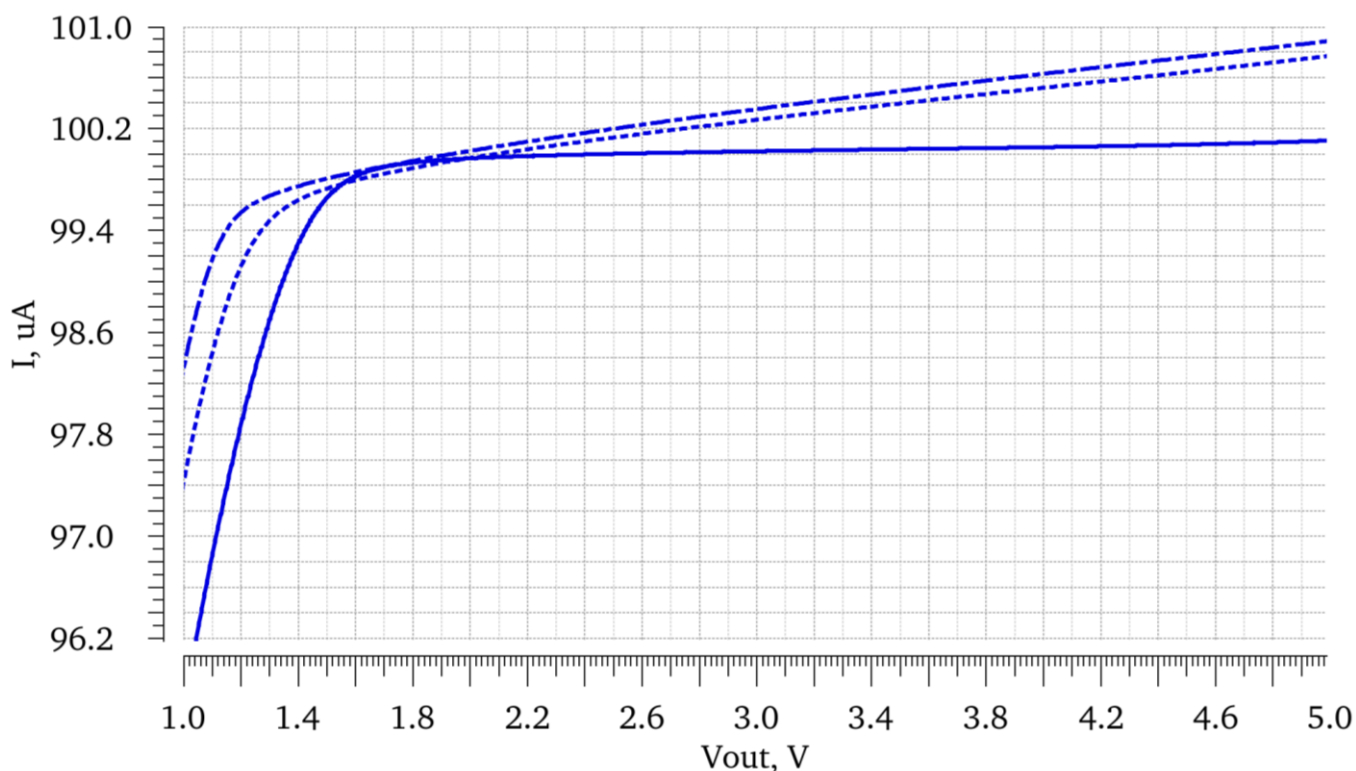


Рисунок 2.15 – Скріншот із програми Cadence Virtuoso із результатами моделювання вихідних характеристик каскодного струмового дзеркала з різними співвідношенням розмірів каскодних транзисторів: пунктирна лінія – W/L , штрих-пунктирна – $4W/L$, суцільна – $W/4L$ (Вхідний струм дорівнює 100 мкА, коефіцієнт відзеркалення=1, $W=10$ мкм, $L=0,5$ мкм)

Табл. 2.2 – Параметри каскодних струмових дзеркал в залежності від розмірів

№	$W_{\text{каск}}$, мкм	$L_{\text{каск}}$, мкм	V_{min} , В	r_{out} , МОм
1	10	0,5	1,29	3,63
2	40	0,5	1,19	3,31
3	10	2	1,54	23,02

Бачимо, що мінімальна вихідна напруга суттєво збільшилась. Вихідний опір також значно більший ніж у звичайного дзеркала. Також слід зазначити, що зміна ширини каскодного транзистора майже не впливає на вихідний опір, в той час як мінімальна вихідна напруга зменшується. Це пов'язано з тим, що збільшення ширини лінійно зменшує r_{ds4} , але й також лінійно збільшує g_{m4} у виразі (2.17).

2.3.3 Дзеркало Вільсона

Струмове дзеркало Вільсона показано на рис. 2.16. Моделювання його роботи представлено на рис. 2.17. Одразу помітні деякі особливості його роботи. По-перше, V_{MIN} складає велику частину вихідної напруги. По-друге, криві мають значно менший нахил, ніж у звичайного МДН дзеркала, що свідчить про збільшення вихідного опору r_{out} .

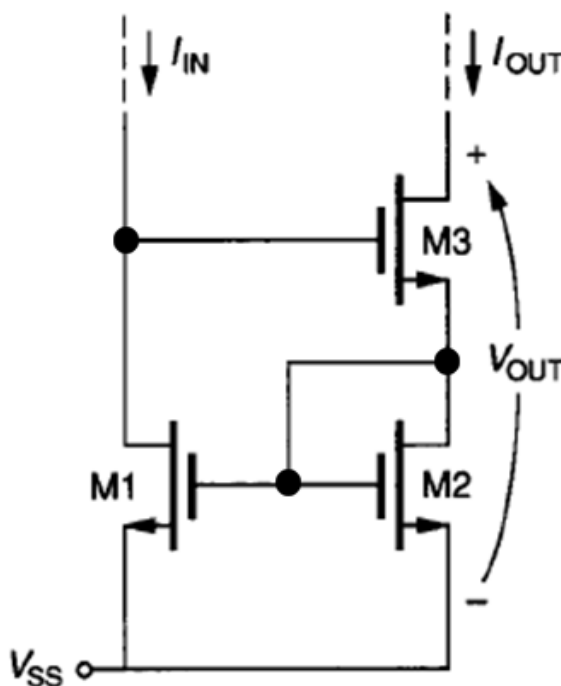


Рисунок 2.16 – Струмове дзеркало Вільсона[11]

Вихідний опір МДН струмового дзеркала Вільсона чисельно характеризується зменшенням нахилу вихідної характеристики порівняно з звичайним МДН дзеркалом. Може бути показано, що мало-сигнальний опір МДН дзеркала Вільсона може бути записано як [11]:

$$r_{out} = \frac{v_{out}}{i_{out}} = r_{ds3} + r_{ds2} \frac{1 + r_{ds3}g_{m3} + g_{m1}r_{ds1}g_{m3}r_{ds3}}{1 + g_{m2}r_{ds2}} \quad (2.19)$$

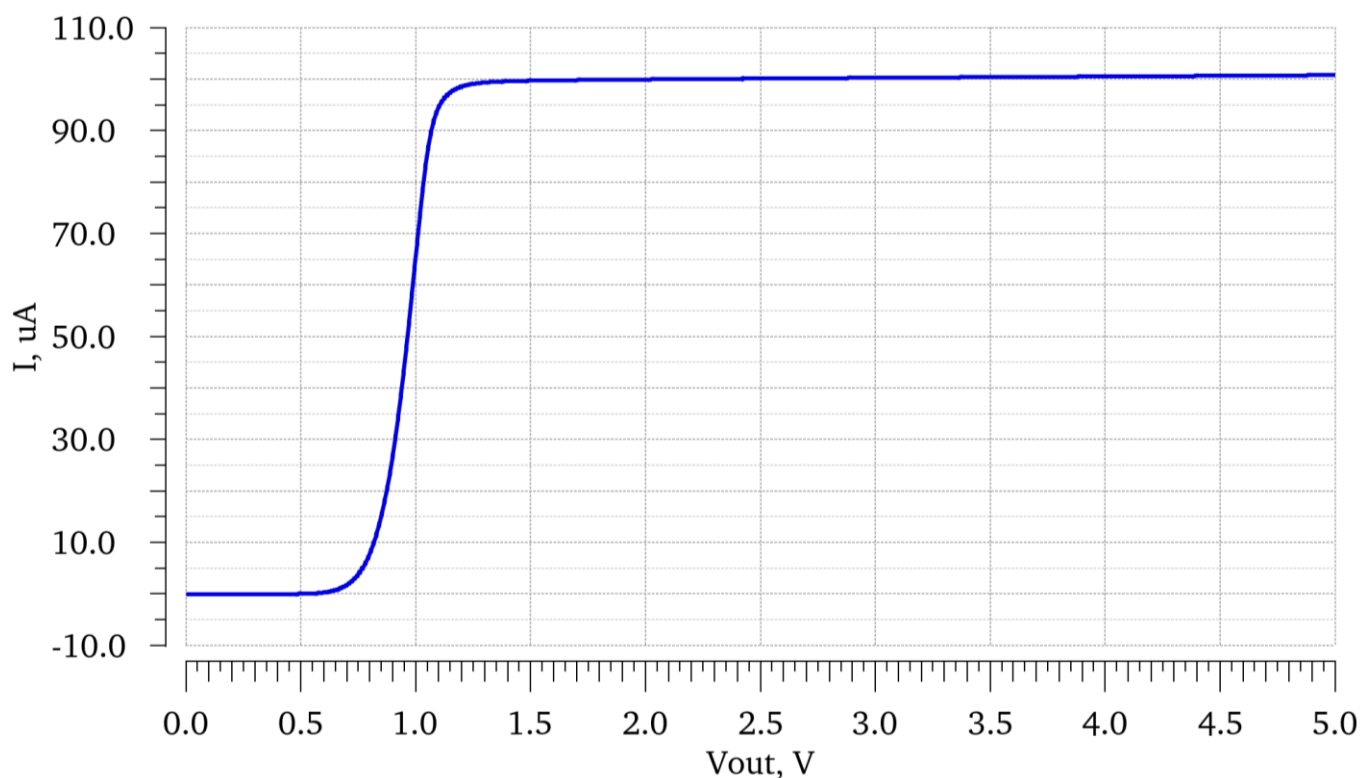


Рисунок 2.17 – Скріншот із програми Cadence Virtuoso із результатами моделювання вихідних характеристик струмового дзеркала Вільсона (вхідний струм дорівнює 100 мкА, коеф. відзеркалення=1, $W=10$ мкм, $L=0,5$ мкм)

Виходить, що вихідний опір дзеркала з рис. 2.16 є порівняним з опором каскодного струмового дзеркала. При розмірі транзисторів $W=10$ мкм, $L=0,5$ мкм, мінімальна вихідна напруга складає 1,29 В, а вихідний опір 3,51 МОм. Тобто параметри є чисельно співрозмірними з каскодним струмовим дзеркалом.

2.3.4 Інші версії каскодних дзеркал

В усіх попередніх МДН дзеркалах значення V_{MIN} ставало більшим, коли збільшувався вихідний опір. Схему, що мінімізує V_{MIN} підтримуючи вихідний опір великим, показано на рис. 2.18.

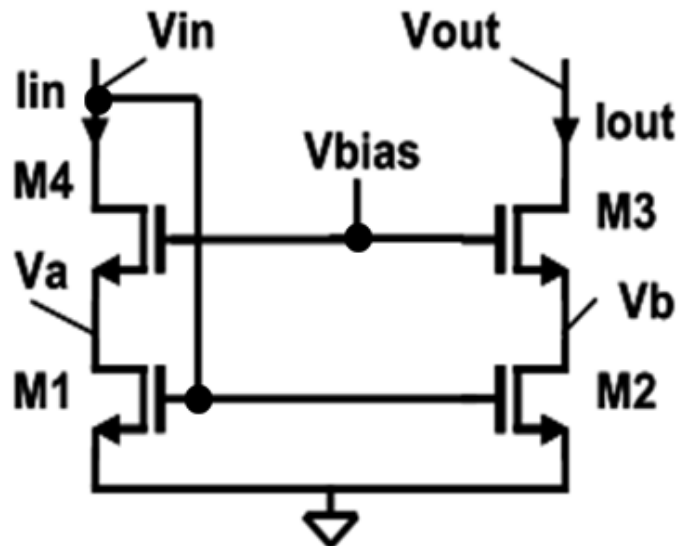


Рисунок 2.18 – Каскодне струмове дзеркало зі збільшеним розмахом[16]

Різниця цієї схеми полягає в тому, що зміщення затворів транзисторів M3 та M4 відбувається за допомогою окремої схеми. Якщо напругу V_{bias} встановити правильно, то мінімальна вихідна напруга такої схеми може складати:

$$V_{min} = 2V_{DS(sat)} \quad (2.20)$$

При цьому вихідний опір, як і у звичайного каскодного дзеркала визначається виразом (2.17). Результат моделювання роботи каскодного струмового дзеркала зі збільшеним розмахом напруги показано на рис. 2.20. Бачимо, що мінімальна вихідна напруга складає всього 500 мВ, а вихідний опір досить великий.

Іншу схему, що підвищує вихідний опір при відносно малих V_{MIN} показано на рис. 2.19. Ця схема має назву регульоване каскодне струмове дзеркало (або активне струмове дзеркало). Регульований каскод складається з M2, M3 та M4. M1 та M2 формують звичайне струмове дзеркало, однак із-за транзистора M4, значення V_{DS2} не буде значно більшим за V_{DS1} , підтримуючи хорошу точність віддзеркалення. M5, M6 та M7 використовуються для створення струму зміщення для транзистора M4, який стежить за вихідним струмом. Якщо б I_{D4} не залежав від вихідного струму I_{OUT} (I_{D3}), то значення V_{GS2} не могло б бути надто великим на високих рівнях

струму, щоб підтримувати M2 в активному режимі. Якщо M2 знаходиться не в активному режимі, то співвідношення I_{D2} до I_{D1} буде менше ніж очікуване [11].

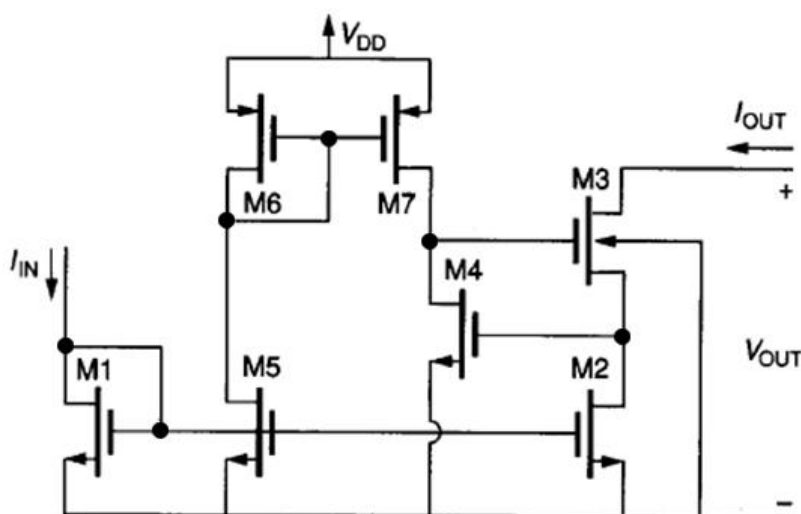


Рисунок 2.19 – Регульоване каскодне струмове дзеркало [11]

Результат моделювання роботи регульованого каскодного струмового дзеркала показано на рис. 2.20. Бачимо, що в такому включенні вихідний опір дуже великий (нахил характеристики майже відсутній), а мінімальна вихідна напруга складає приблизно 1,2 В.

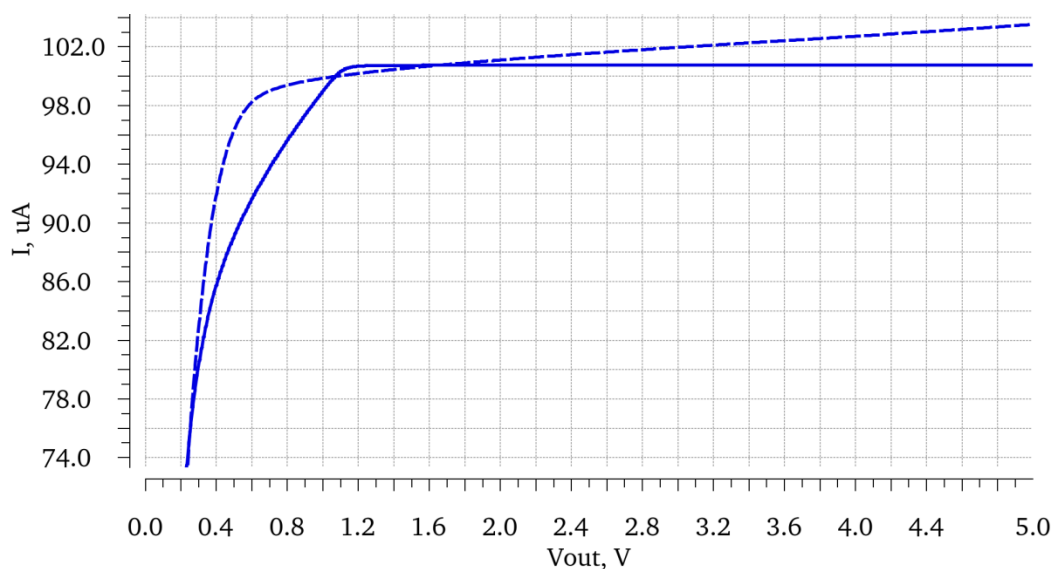


Рисунок 2.20 – Скріншот із програми Cadence Virtuoso із результатами моделювання вихідних характеристик струмових дзеркал: пунктирна лінія – каскодне дзеркало зі збільшеним розмахом напруги, пунктирна – регульоване каскодне дзеркало

Для всіх струмових дзеркал розглянутих вище була також знайдена систематична похибка віддзеркалення ε в середині діапазону вихідної напруги. Вона була розрахована як

$$\varepsilon = \frac{I_{OUT} - I_{IN}}{I_{IN}} \cdot 100\% , \quad V_{OUT} = 2,5 \text{ В} \quad (2.21)$$

Для порівняння струмових дзеркал між собою, всі розраховані параметри було занесено до табл. 2.3.

Табл. 2.3 – Порівняння роботи різних струмових дзеркал та їх параметрів

Тип дзеркала	V_{min} , В	r_{out} , МОм	ε , %
Звичайне (W/L)	0,25	0,08	19,12
Звичайне (4W/L)	0,14	0,04	42,48
Звичайне (W/4L)	0,49	1,18	0,78
Каскодне (W/L)	1,29	3,63	0,13
Каскодне (4W/L)	1,19	3,31	0,20
Каскодне (W/4L)	1,54	23,02	0
Вільсон(W/L)	1,29	3,51	0,13
Каскодне зі збільшеним розмахом (W/L)	0,50	1,23	1,57
Регульоване каскодне (W/L)	1,29	137,50	0,77

Як можемо бачити кожне дзеркало має свої недоліки і переваги, але оптимальним з точки зору параметрів, простоти реалізації та займаємої площі вважається звичайне каскодне струмове дзеркало[12].

Для експериментального дослідження особливостей роботи струмових дзеркал пропонується в середині ІМС створити певну кількість транзисторів з однаковою топологією. Комутуючи їх один з одним, можна буде отримати усі конфігурації струмових дзеркал, що було розглянуто вище. Більш детально практична реалізація цієї ідеї буде розглянута у четвертому розділі.

2.3.5 Випадкова похибка віддзеркалення

Навіть транзистори, що створено на одній підкладці і знаходяться поруч не можуть мати абсолютно однакові параметри. Через це при створенні струмових дзеркал, струм на виході може відрізнитися від струму на вході. Для звичайного струмового дзеркала, що показано на рис. 2.12, похибка віддзеркалення може бути розрахована за формулою [11]:

$$\frac{I_{D2}}{I_{D1}} = \left(1 - \frac{\Delta k'_N}{k'_N}\right) \left(1 + \frac{\Delta V_{th}}{V_{GS} - V_{th}}\right)^2 (1 - \Delta \lambda V_{DS}) \quad (2.22)$$

У формулі (2.22), Δ показує, що використовується різниця між параметрами для транзисторів M1 та M2. Діапазон цієї похибки визначається виключно статистичним розкидом технологічних параметрів [12]. Тому доцільно використовувати функцію розподілення. А середнє значення похибки залежить від схемотехнічної конфігурації струмового дзеркала.

В ході дослідження було проведено статистичне моделювання роботи звичайних струмових дзеркал (як на Рис. 2.12) та знайдено функції розподілу похибок віддзеркалення для транзисторів з різними розмірами. Похибка визначалась як різниця вихідного струму з вхідним при вихідній напрузі 2,5 В (тобто в середині вихідної характеристики). На рис. 2.21 показано функцію розподілу відносної похибки віддзеркалення для струмового дзеркала з одиничним коефіцієнтом передачі та вхідним струмом 10 мкА. Вибірка складається з 500 симуляцій. Як можемо бачити середнє значення похибки складає -13,8%, а значення середньоквадратичного відхилення (СКО) складає приблизно 12,9%. Тобто з імовірністю 99,7% похибка буде знаходитись у межах від -25% до 52%.

Для порівняння було проведено аналогічне моделювання із значно більшими розмірами транзисторів, а саме $W = 5$ мкм та $L = 5$ мкм. Його результати показано на рис. 2.22.

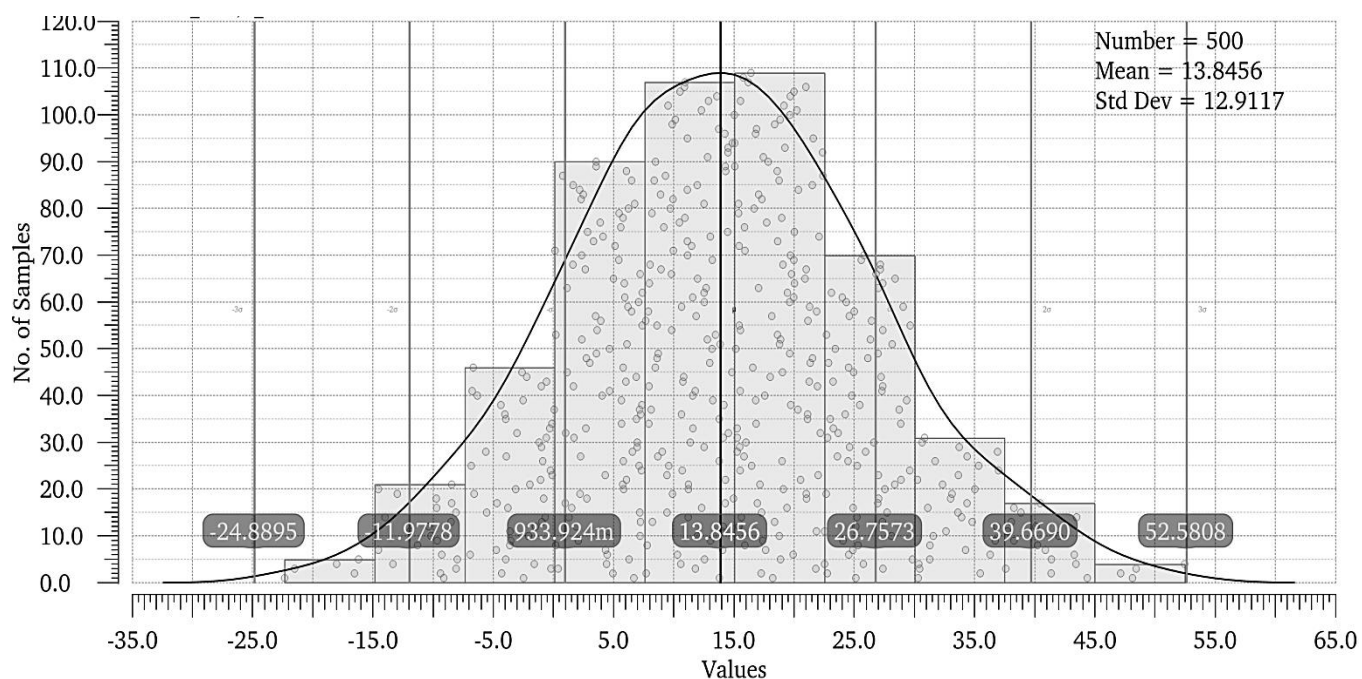


Рисунок 2.21 – Скріншот із програми Cadence Virtuoso з функцією розподілу відносної похибки відзеркалення для струмового дзеркала з одиничним коефіцієнтом передачі та розмірами $W = 500$ нм, $L = 500$ нм

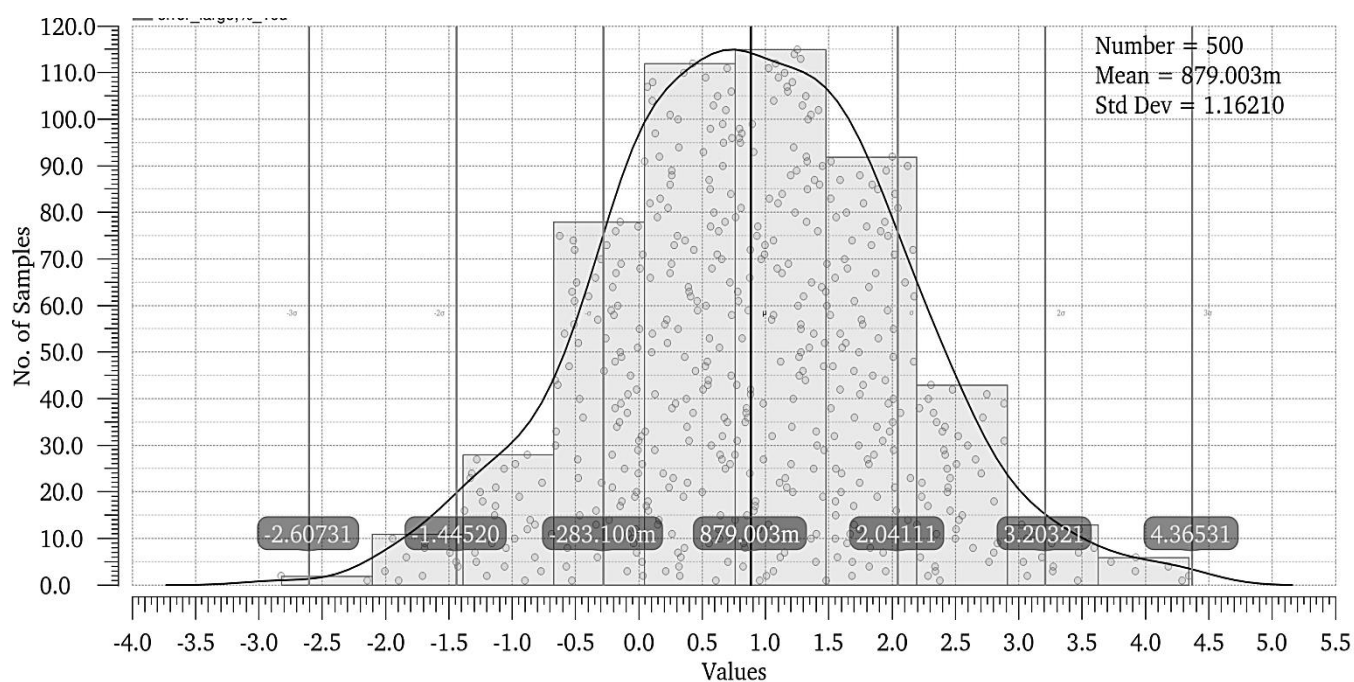


Рисунок 2.22 – Скріншот із програми Cadence Virtuoso з функцією розподілу відносної похибки відзеркалення для струмового дзеркала з одиничним коефіцієнтом передачі та розмірами $W = 5$ мкм, $L = 5$ мкм

Можемо бачити, що для струмового дзеркала з більшими геометричними розмірами середнє значення похибки зменшилося до 0,9%, а СКО складає приблизно 1,1%. Тобто маємо значно кращий результат і тепер з імовірністю 99,7% похибка буде знаходитись у межах від -2,6% до 4,3%. Таким чином геометричні розміри відіграють важливу роль у проектуванні струмових з малими похибками.

Із формули (2.22) видно, що похибку можна зменшити, збільшивши значення напруги V_{GS} . У струмовому дзеркалі вона задається транзистором M1, що включено у режимі діода і визначається вхідним струмом та розмірами транзистора:

$$V_{GS} = V_{th} + V_{DS(sat)} = V_{th} + \sqrt{\frac{2I_D}{k'} \left(\frac{L}{W} \right)} \quad (2.23)$$

Таким чином, збільшивши вхідний струм, можна зменшити похибку віддзеркалення. Було проведено комп'ютерне моделювання для вхідного струму 100 мкА та тих самих струмових дзеркал. Результати показано на рис. 2.23 та рис. 2.24.

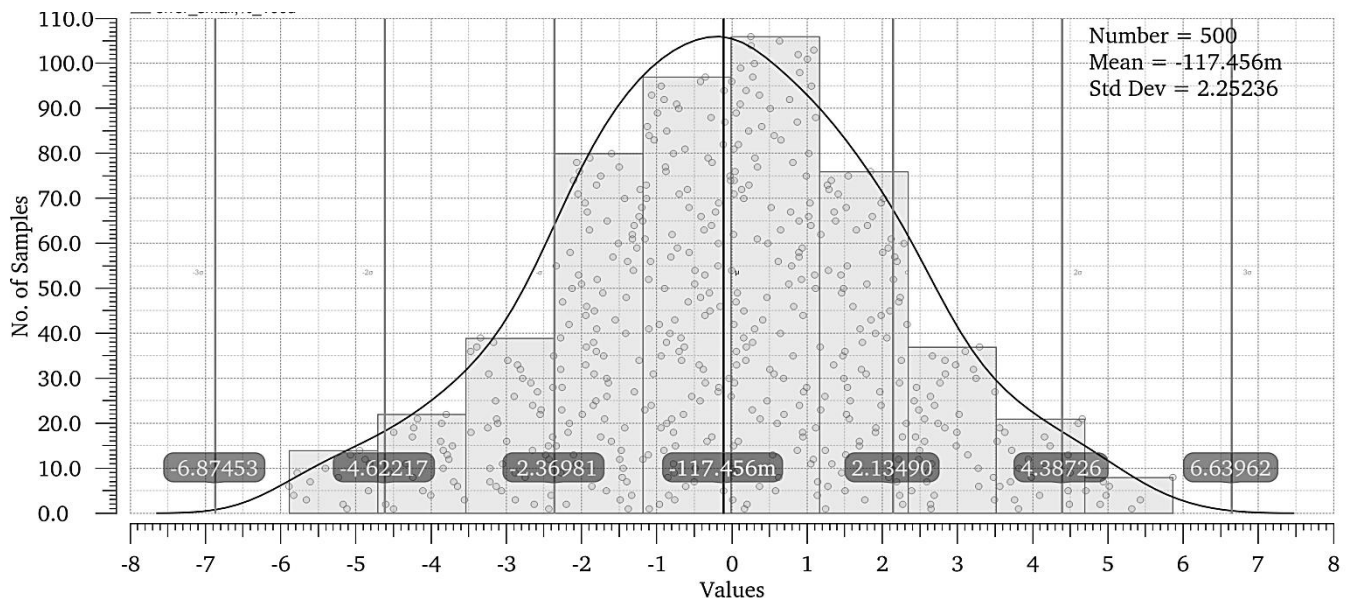


Рисунок 2.23 – Функція розподілу відносної похибки віддзеркалення для струмового дзеркала з розмірами $W = 500$ нм, $L = 500$ нм (вхідний струм 100 мкА)

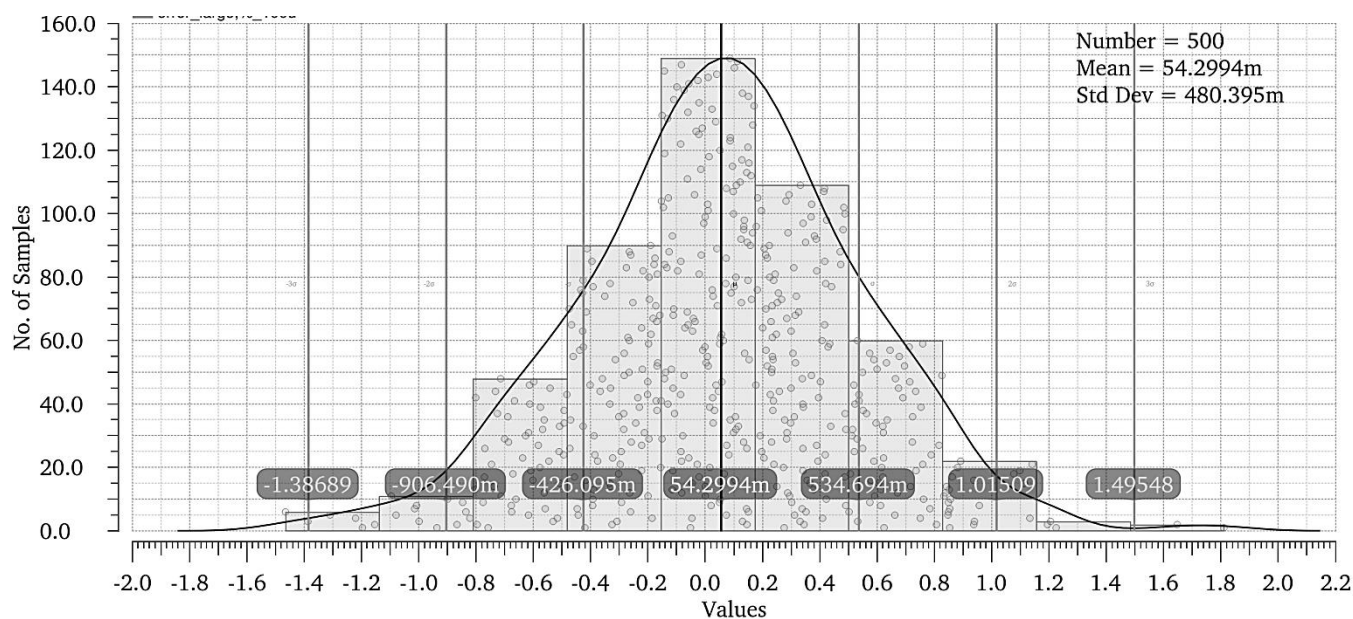


Рисунок 2.24– Функція розподілу відносної похибки відзеркалення для струмового дзеркала з розмірами $W = 5$ мкм, $L = 5$ мкм (вхідний струм 100 мкА)

Можемо бачити, що для струмового дзеркала з більшими геометричними розмірами середнє значення похибки зменшилось в 2 рази, а для дзеркала з малими розмірами аж в 5 разів. Таким чином не тільки геометричні розміри, а і величина напруги насичення грає важливу роль в формуванні похибки струмових дзеркал.

Для практичного дослідження випадкової похибки струмових дзеркал пропонується в середині ІМС створити декілька струмових дзеркал з великою кількістю виходів. Кожне таке дзеркало буде мати різні розміри та топологію. Це дозволить експериментально дослідити вплив розмірів і топології на похибку віддзеркалення. А наявність великої кількості виходів в кожному дзеркалі дозволить знайти приблизне значення СКО. Наприклад перше струмове дзеркало може складатися з транзисторів з малими розмірами і ретельної топології. Другий блок може складатися з великих транзисторів і ретельної топології. Третє та четверте дзеркало будуть мати такі ж розміри, як і перші два, але топологія буде навмисно зроблена не вірно (транзистори знаходяться не поряд, струми протікають в різних напрямках і т.п.). Більш детально практична реалізація цієї ідеї буде розглянута у четвертому розділі.

2.4 Однокаскадні підсилювачі

Одна із основних функцій аналогової схемотехніки це підсилення сигналу. Щоб добре контролювати коефіцієнт підсилення (КП) зазвичай використовують схеми зі зворотнім зв'язком, але для цього необхідно отримати великий КП без зворотного зв'язку. Саме тут і використовується однокаскадні підсилювачі. Їх можна поділити на три категорії [12]:

- Схеми з спільним витоком (СВ);
- Схеми з спільним затвором (СЗ);
- Схеми з спільним стоком (СС).

Кожна конфігурація дозволяє отримати окрему комбінацію вхідного/вихідного опору, а також різні КП за напругою та струмом. Також важливу роль грає навантаження, яке в свою чергу може бути пасивним(резистор, діод, тощо) або активним (наприклад джерело струму). Далі будуть розглянуті типові конфігурації однокаскадних підсилювачів на МДН транзисторах, що часто використовуються при проектуванні аналогових ІМС.

2.4.1 Схеми з спільним витоком

Схема з СВ дозволяє мати одночасно підсилення як по напрузі, так і по струму, тобто можливо реалізувати підсилення потужності [12]. Вона має великий вхідний, великий вихідний опір та інвертує вхідний сигнал. Приклад такої схеми із різними типами навантаження показано на рис. 2.25.

Коефіцієнт підсилення для кожної з них може бути знайдено за допомогою наступної формули:

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}} = g_{m_{\text{акт}}} R_B , \quad (2.24)$$

де K_U – коефіцієнт підсилення по напрузі;

$U_{\text{вих}}$ – вихідна напруга;

$U_{\text{вх}}$ – вхідна напруга;

$g_{m_{\text{акт}}}$ – крутизна активного транзистора;

$R_{\text{в}}$ – вихідний опір схеми.

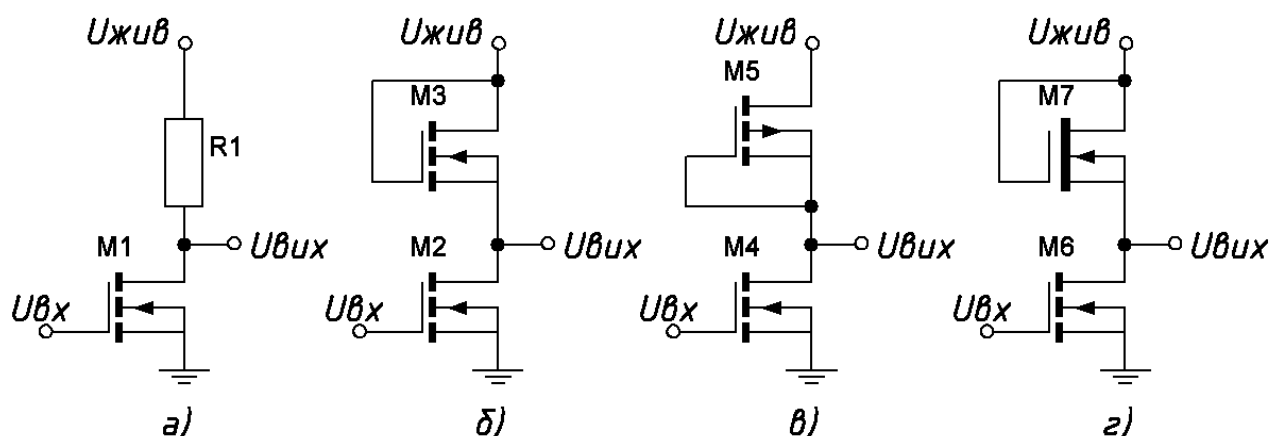


Рисунок 2.25 – Підсилювачі із СВ та пасивним навантаженням: а) резистивне навантаження; б) діодне навантаження того ж типу провідності; в) компліментарне діодне навантаження; г) діодне навантаження із вбудованим каналом.

Із показаних на Рис. 2.25 схем тільки схема а) дозволяє отримати достатньо великий коефіцієнт підсилення. Це пояснюється тим, що для інших схем формула (2.24) може бути записана як

$$K_U \approx \frac{g_{m_{\text{акт}}}}{g_{m_{\text{нав}}}} = \sqrt{\frac{\mu_{\text{акт}} \left(\frac{W}{L}\right)_{\text{акт}}}{\mu_{\text{нав}} \left(\frac{W}{L}\right)_{\text{нав}}}}, \quad (2.25)$$

де $\mu_{\text{акт}}, \mu_{\text{нав}}$ – рухливість носіїв у активному транзисторі і навантаженні відповідно;

$\left(\frac{W}{L}\right)_{\text{акт}}, \left(\frac{W}{L}\right)_{\text{нав}}$ – розміри активного і навантажувального транзистора відповідно.

Тобто, якщо у двох транзисторів однаковий тип провідності, як у випадку б) з Рис. 2.25, а також однакові розміри, то коефіцієнт підсилення буде дорівнювати одиниці. А щоб мати коефіцієнт підсилення, що дорівнює десяти, навантажувальний транзистор повинен бути наприклад в 100 разів довший за активний, що очевидно призводить до колосальної втрати корисної площі.

Щоб оцінити роботу такої схеми, було проведено комп'ютерне моделювання передавальної характеристики. Напруга живлення складала 5 В, а розміри транзисторів складали $W = 2$ мкм та $L = 2$ мкм.

Як можемо бачити, коли розміри всіх транзисторів були однакові, КП був рівний майже одиниці ($K_U = 0,98$), а коли ширина основного транзистора збільшилась у 4 рази, КП збільшився до $K_U = 2,42$. При збільшенні ж довжини активного транзистора у 4 рази, КП зменшився до $K_U = 0,48$. Таким чином, бачимо, що формула (2.25) є досить точною. Слід також зазначити, що наруга на виході не досягає напруги живлення і в діапазоні 4,8-4 В передавальна характеристика має інший нахил. Це є особливістю схеми з діодним навантаженням[12].

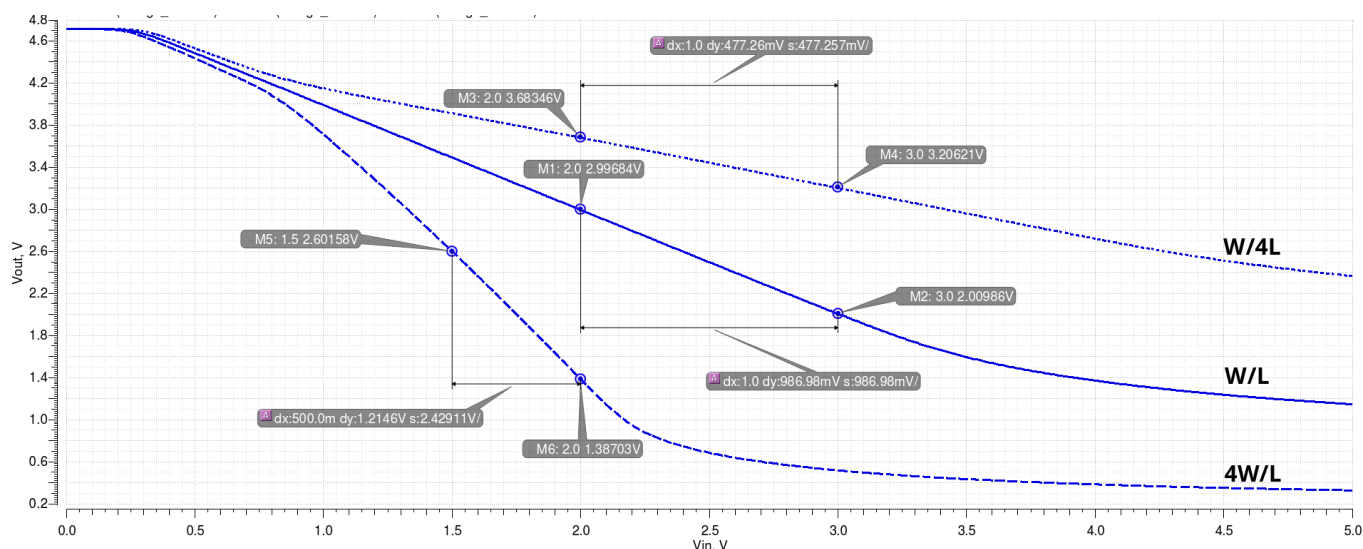


Рисунок 2.26 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою схеми, що показано на рис. 2.25 (б) для трьох випадків: суцільна лінія – співвідношенням розмірів активного транзистора $W/L=1$; пунктирна лінія – співвідношенням розмірів активного транзистора $W/L=1/4$; штрихова лінія – співвідношенням розмірів активного транзистора $W/L=4$.

Тобто можемо зробити висновок, що досягнення дійсно великого КП є проблематичним. Щоб збільшити КП, можемо використовувати компліментарне навантаження, як це показано на Рис. 2.25 (в). Це дозволить мати вдвічі більший КП навіть при однакових розмірах транзисторів за рахунок різниці рухливості носіїв заряду.

Було проведено моделювання передавальної характеристики схеми з компліментарним навантаженням і порівняно з звичайною схемою. Результат показано на Рис. 2.28.

Як можемо бачити, у випадку компліментарного навантаження коефіцієнт підсилення збільшується приблизно вдвічі. Це трохи поліпшує ситуацію, але досягти великих значень КП з такою схемою також неможливо.

Щоб вихідна напруга досягала напруги живлення, а передавальна характеристика була одразу лінійною, можемо використовувати діодне навантаження з вбудованим каналом, як на Рис. 2.25 (г).

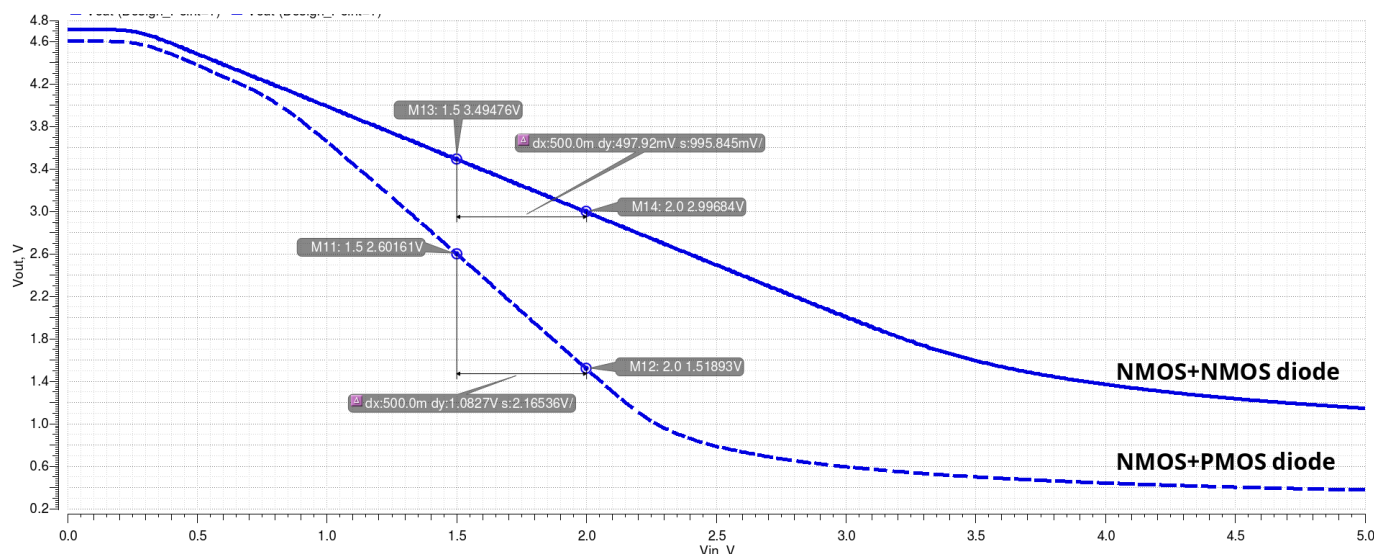


Рисунок 2.27 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою схем, що показано на рис. 2.25. Суцільна лінія – транзистори навантаження мають той самий тип провідності, що і активний транзистор; пунктирна лінія – компліментарне навантаження. Розміри всіх транзисторів однакові.

Щоб збільшити КП та зробити характеристику більш лінійною у всьому діапазоні вихідних напруг, можна використовувати пасивне навантаження, як це показано на Рис. 2.25 (а) Було проведено моделювання передавальної характеристики такої схеми з різними резисторами навантаження. Результат показано на рис. 2.28.

Як можемо бачити при навантаженні 100 кОм – КП складає $K_U = 2,36$, а при збільшенні навантаження до 1 МОм, КП збільшується у 10 разів. Проте, щоб реалізувати такий великий резистор, також необхідна велика площа.

Тобто можемо зрозуміти, що всі схеми з рис. 2.25 не доцільно використовувати, коли потрібен великий КП. Для ефективного збільшення КП зазвичай використовують схеми з активним навантаженням [12]. Приклади таких схем показано на рис. 2.29. У варіанті (а) маємо конфігурацію компліментарного інвертора, коли навантажувальний транзистор також працює як підсилювальний елемент. Перевагою такої схеми є малий струм споживання при низькій або високій вихідній напрузі, як це показано на рис. 2.30. Саме тому таку схему дуже часто використовують у цифрових схемах.

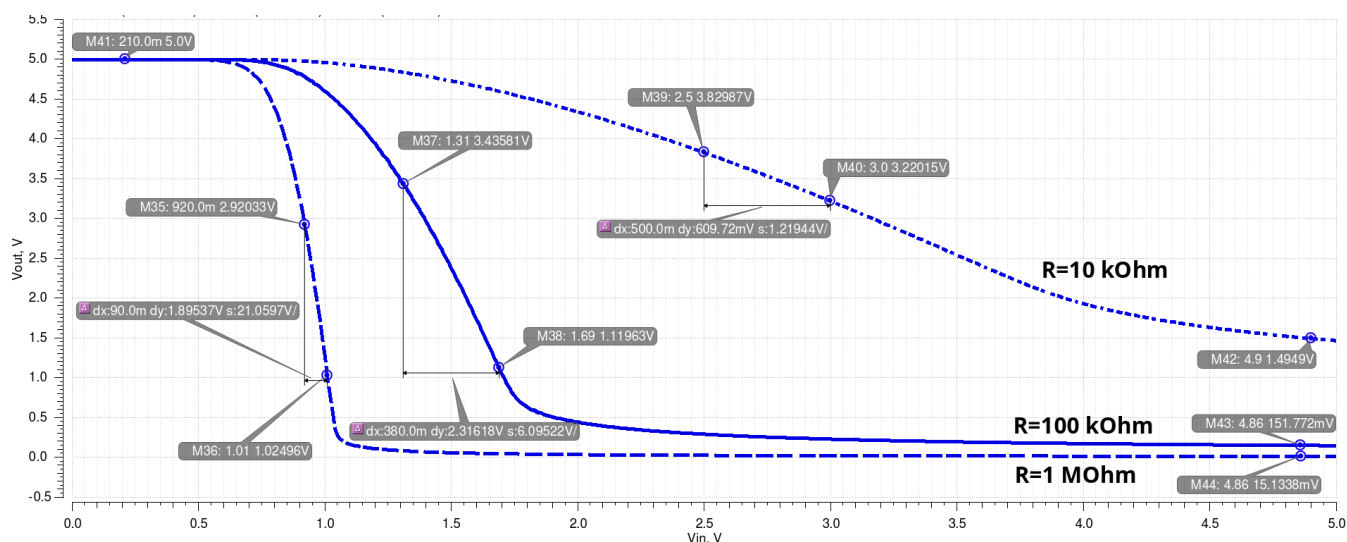


Рисунок 2.28 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою схем, що показано на рис. 2.25 (а). Суцільна лінія – $R_1 = 100$ кОм; штрихова лінія – $R_1 = 10$ кОм; пунктирна лінія – $R_1 = 1$ МОм.

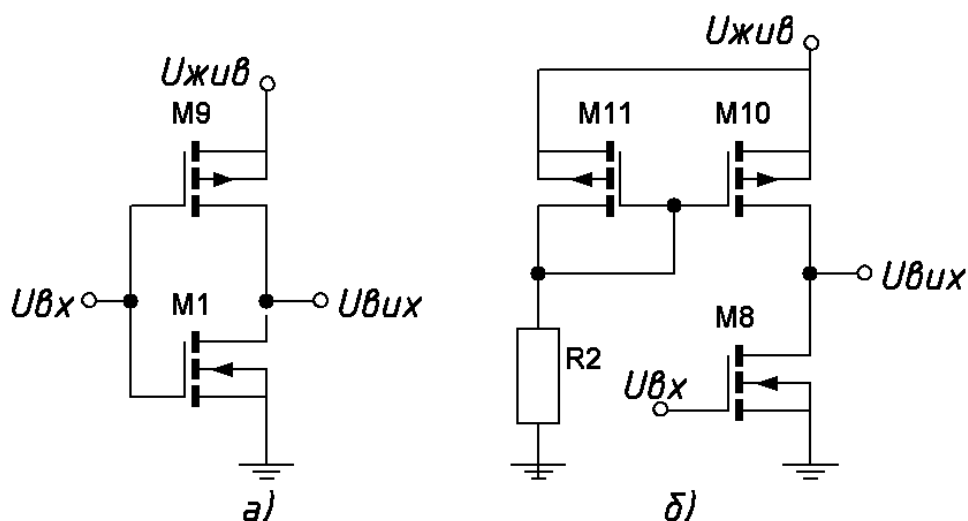


Рисунок 2.29 – Підсилювачі із СВ та активним навантаженням:
а) компліментарний інвертор; б) навантаження у вигляді джерела струму.

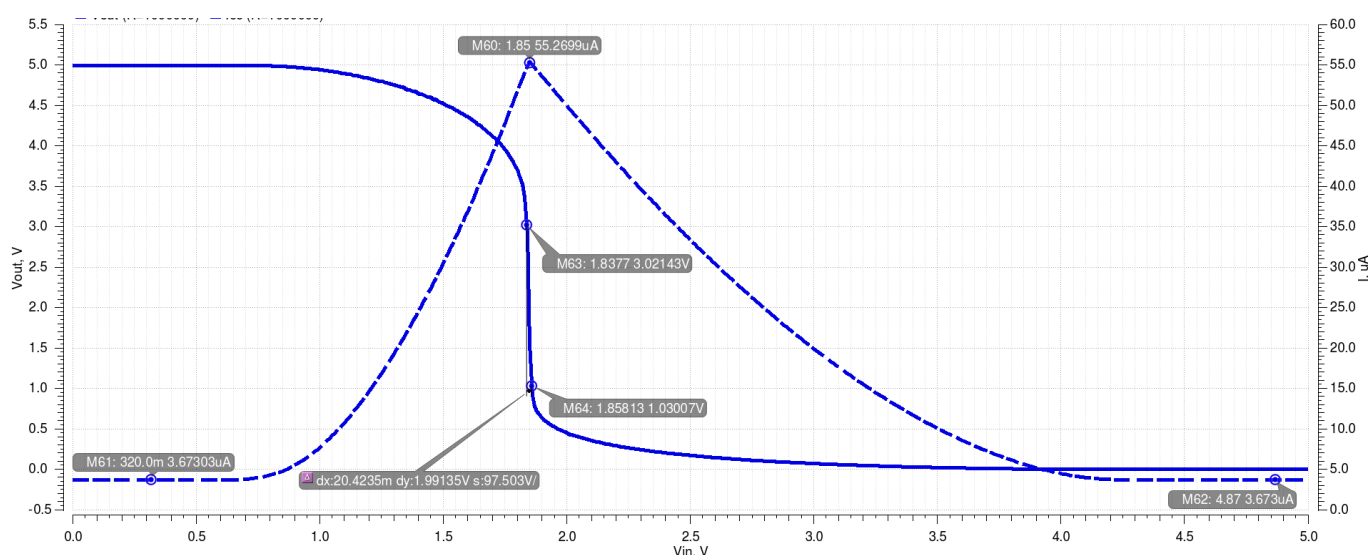


Рисунок 2.30 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою (суцільна лінія) і струмом споживання (штрихова лінія) для схеми, що показано на Рис. 2.29 а). Всі розміри транзисторів однакові і складають 2 мкм.

Як можемо бачити з Рис.2.30, КП збільшився і складає приблизно $K_U \approx 100$. Піковий струм споживання (у середині передавальної характеристики, коли обидва транзистори максимально відкриті) складає 55 мкА. Таке рішення добре підходить для цифрових схем у яких не має зворотного зв'язку. В аналогових схемах потрібно, щоб струм зміщення не сильно змінювався в залежності від вихідної напруги. Саме

тому часто використовують схему, що показано на Рис. 2.29 (б), де в якості навантаження виступає струмове дзеркало (джерело струму), яка задає постійний струм споживання у всьому діапазоні. Вхідний струм дзеркала задається резистором R_2 . Такий тип зміщення не є ефективним. Його показано тільки для прикладу. Робота такої схеми була промодельована для різних струмів зміщення. Результат моделювання передавальної характеристики показано на Рис. 2.31.

Як можемо бачити, чим менший струм зміщення (більший резистор), тим більший КП, який тепер складає $K_U = 232$ у найкращому випадку. Також можемо бачити, що зменшення струму збільшує лінійний діапазон характеристики. Це пов'язано з тим, що при зменшенні струму, зменшується напруга насичення МДН транзисторів.

Щоб збільшити КП ще сильніше, можна використовувати каскодне струмове дзеркало (Рис. 2.14) і каскод для активного транзистора. Ця схема далі теоретично не розглядається, але буде реалізована в середині розроблюваної ІМС для можливості практичного вивчення.

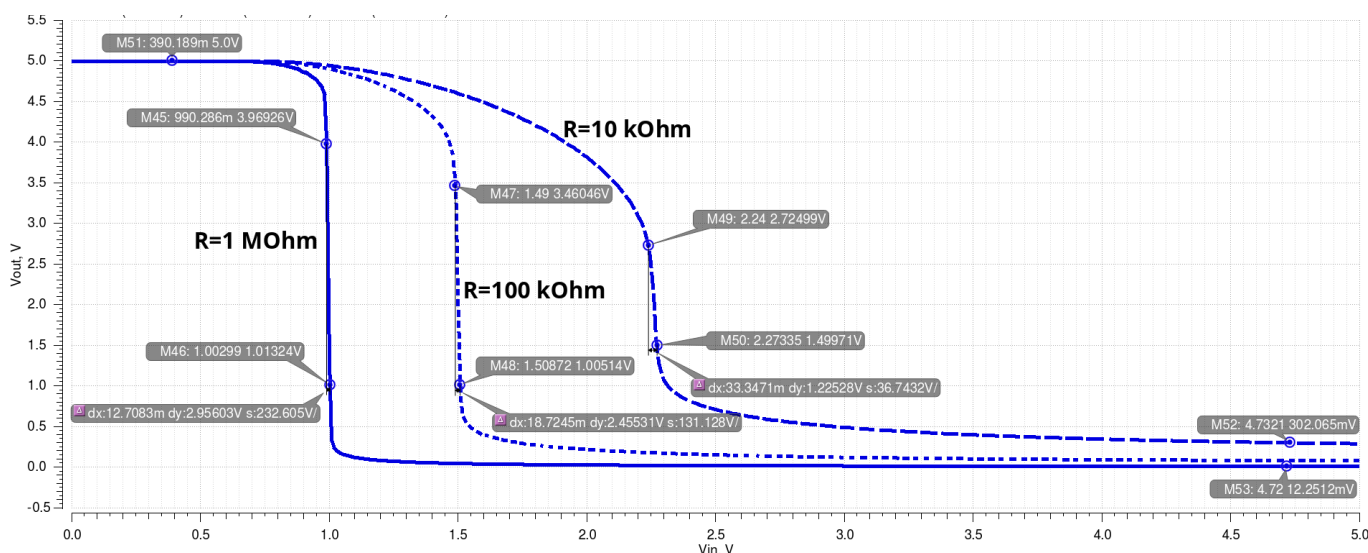


Рисунок 2.31 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою схеми, що показано на Рис. 2.29 (б): суцільна лінія – $R_2 = 1 \text{ МОм}$; пунктирна лінія – $R_2 = 100 \text{ кОм}$; штрихова лінія – $R_2 = 10 \text{ кОм}$. Всі розміри транзисторів однакові і складають 2 мкм .

Щоб контролювати коефіцієнт підсилення у всьому діапазоні температур та варіації технологічних параметрів, можна додати резистор послідовно з витоком транзистора, як це показано на рис. 2.32.

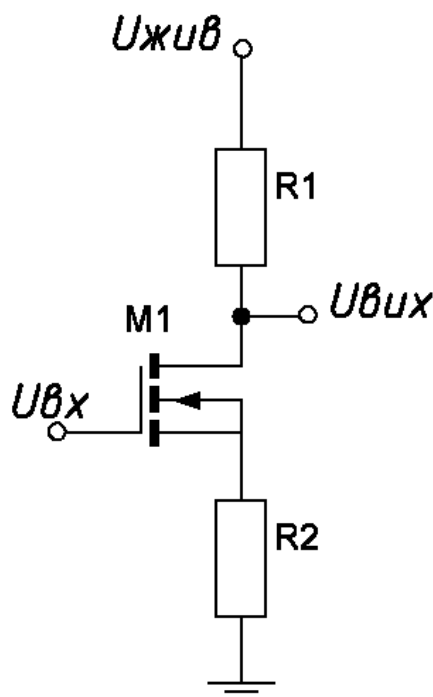


Рисунок 2.32 – Підсилювач із СВ з додатковим локальним зворотнім зв'язком

Така конфігурація дозволяє отримати локальний зворотній зв'язок, що робить ефективну крутизну схеми залежною від резистора R_2 [12]. Таким чином вираз (2.24) можна переписати як

$$K_U = \frac{g_{m1}}{1 + g_{m1}R_2} R_1 \approx \frac{R_1}{R_2}, \quad (2.26)$$

Тобто при $g_{m1}R_2 \gg 1$, коефіцієнт підсилення такої схеми залежить тільки від номіналу опорів. Далі будуть розглянуті тільки підсилювачі із СС. Підсилювачі із СЗ зазвичай використовуються в якості каскодних транзисторів і окремо розглядатись не будуть.

2.4.2 Схеми з спільним стоком

Схеми зі СС мають великий вхідний та малий вихідний опір, а КП по напрузі приблизно дорівнює одиниці [12]. Приклад схем з СС і різним навантаженням показано на рис. 2.33. Передавальна характеристика таких схем була промодельована, а результати показано на рис. 2.34.

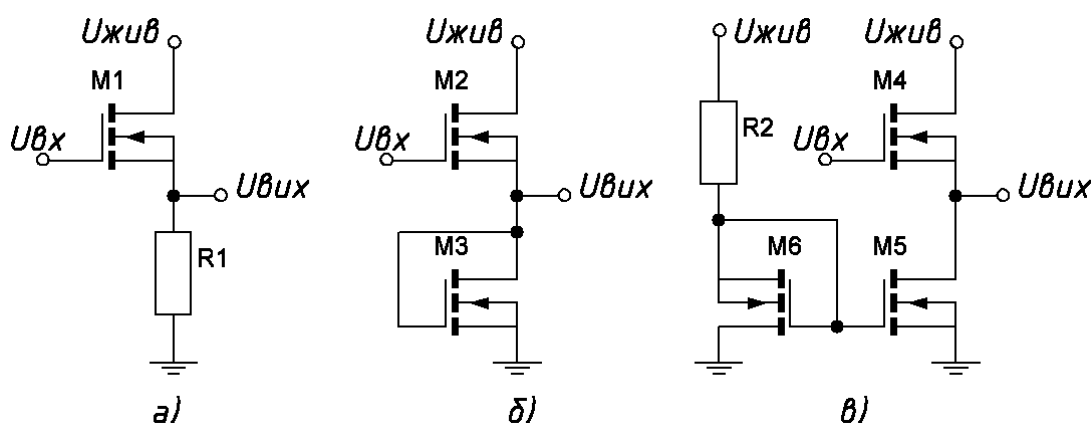


Рисунок 2.33 – Схеми з СС та різним навантаженням: а) резистивне; б) діодне; в) активне.

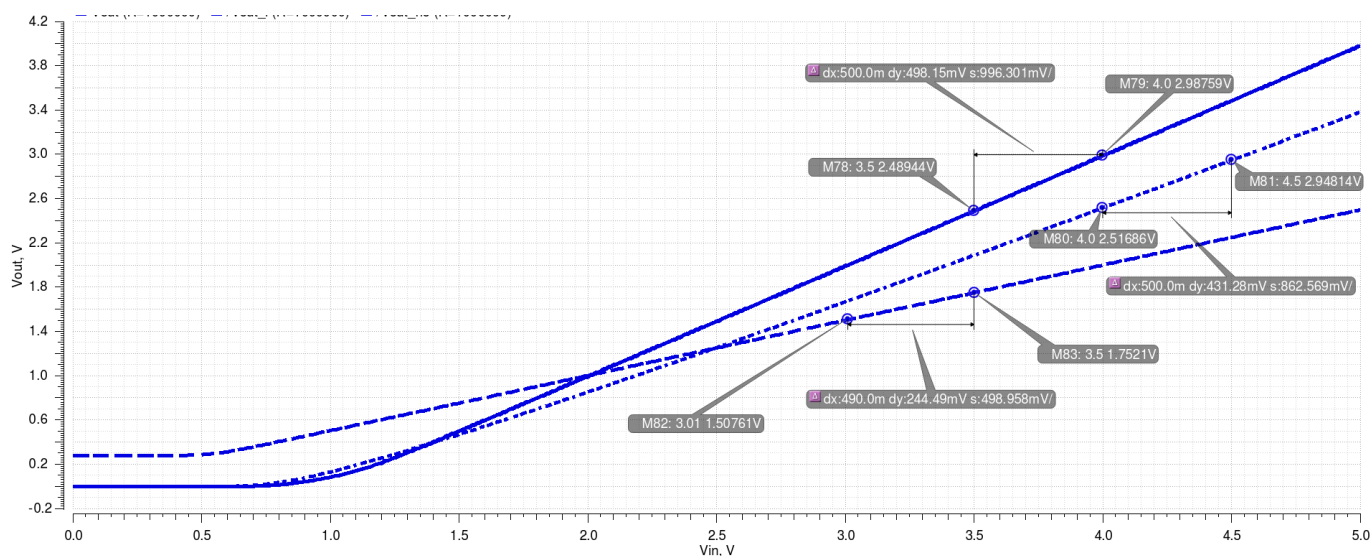


Рисунок 2.34 – Скріншот із програми Cadence Virtuoso з передавальною характеристикою схеми, що показано на Рис. 2.33: суцільна лінія – активне навантаження; пунктирна лінія – резистивне навантаження (100 кОм); штрихова лінія – діодне навантаження. Всі розміри транзисторів однакові і складають 2 мкм.

Як можемо бачити, характеристики є дуже лінійними та на відміну від підсилювачів з СВ, вихідний сигнал не інвертується. КП тим ближчий до одиниці, чим більший вихідний опір навантаження. Тобто найліпший випадок – це активне навантаження.

Підсилювачі з СС зазвичай використовуються в якості буфера напруги або для зміщення рівня сигналу (вихідна напруга зміщена на одну порогову напругу відносно вхідної) [12]. Існують також більш складні схеми з СС для більш специфічних призначень, але далі вони розглядатись не будуть.

Для практичного вивчення однокаскадних підсилювачів пропонується в середині ІМС створити багато транзисторів з різними розмірами та різним типом провідності, а також пасивні елементи. Комутуючі їх між собою, можна буде створити та досліджувати всі схеми, що було розглянуто вище. Більше детально практична реалізація цієї ідеї буде розглянута у четвертому розділі.

2.5 Диференційні пари

Основою майже кожного ОП є диференційна пара. Вона дозволяє підсилювати не окрему напругу, а саме різницю між двома напругами. Приклад МДН диференційної пари показано на Рис. 2.35 Її принцип роботи заснований на перемиканні струмів між двома гілками під дією різниці між вхідними напругами, як це показано на Рис. 2.36. Струм створює падіння напруги на резисторах навантаження і на виході маємо підсилений диференційний сигнал, а КП по напрузі у активному режимі може бути записано аналогічно до підсилювача з СВ, тобто

$$K_U = g_{m1} R_D \quad (2.27)$$

Бачимо, що мається та ж сама проблема, що і в підсилювачі з СВ – для отримання великого КП, потрібно збільшувати номінал опору, що призводить до великої втрати корисної площі. Опір може створюватись також транзистором у

діодному включенні, як це показано на Рис. 2.25. Проте щоб отримати дійсно великий КП необхідно використовувати активне навантаження.

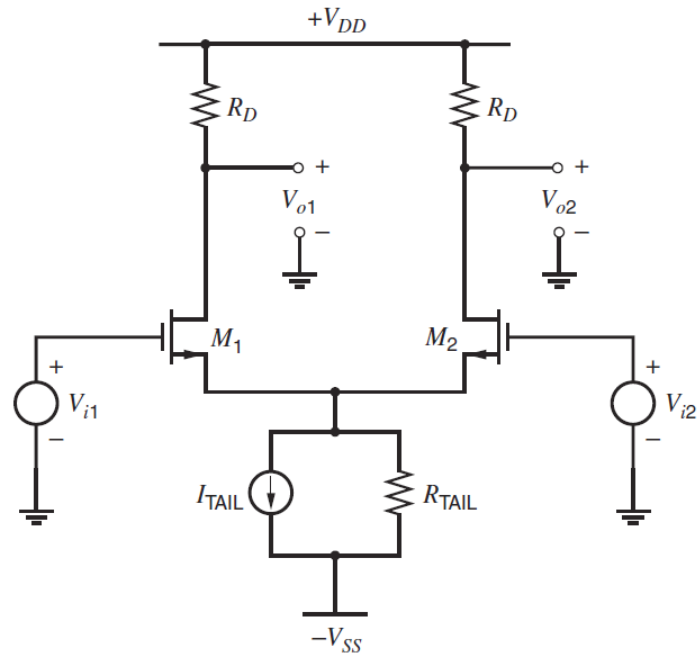


Рисунок 2.35 – МДН диференційна пара з пасивним навантаженням [12]

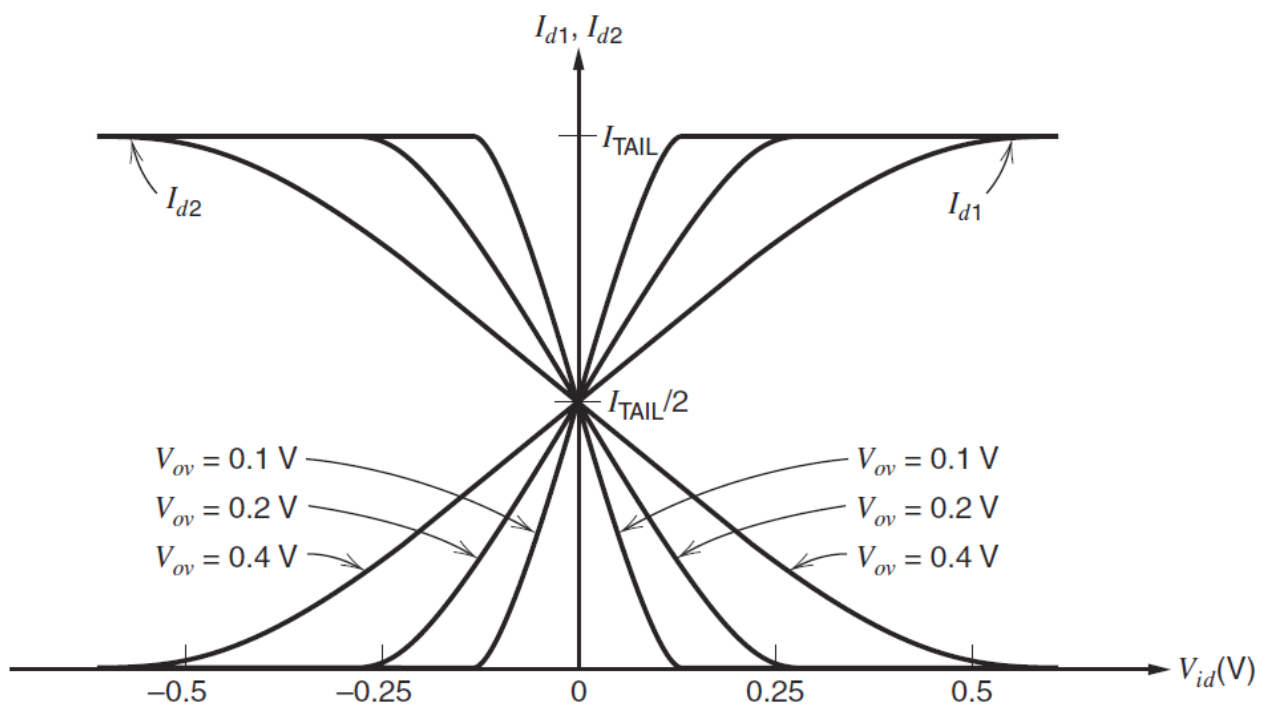


Рисунок 2.36 – Струми у гілках диференційної пари як функція вхідної диференційної напруги для різних напруг насичення [12]

Приклад диференційної пари з активним навантаженням показано на Рис. 2.37. Транзистори T_3 і T_4 підключені у конфігурації струмового дзеркала мають дві важливі функції. По-перше, збільшується вихідний опір, а по-друге вони конвертують диференційний вихідний сигнал у звичайний [12]. Тобто маємо тільки один вихід на відміну від повністю диференційної схеми з Рис. 2.35. Існують також повністю диференційні схеми з активним навантаженням, але вони є занадто складними для аналізу і далі розглядатись не будуть.

В схемі, що показано на Рис. 2.37, КП збільшується за рахунок збільшення вихідного опору, по аналогії зі схемою з Рис. 2.29 (б).

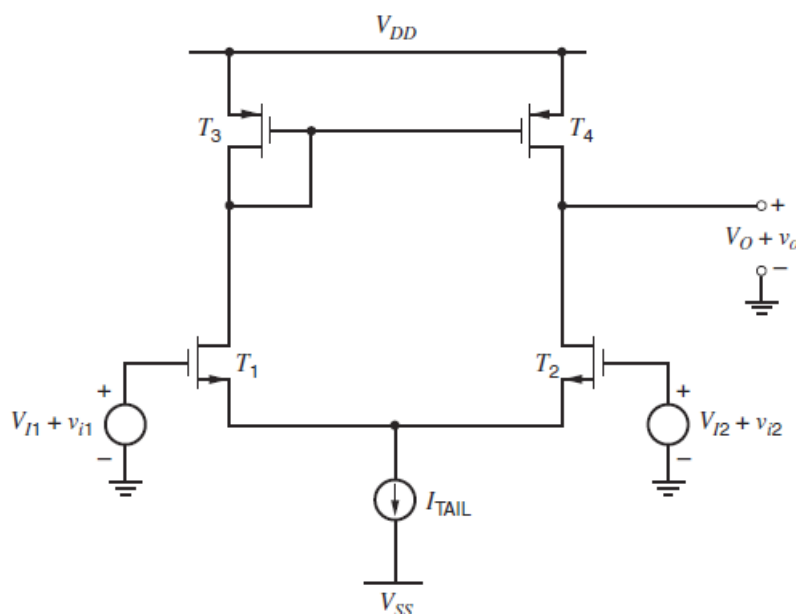


Рисунок 2.37 – МДН диференційна пара з активним навантаженням [12]

Слід також зазначити, що КП диференційної пари можна збільшити також при використанні каскодних транзисторів, завдяки збільшенню вихідного опору.

Також, ясно, що диференційна пара n-типу добре підходить для вхідних напруг близьких до живлення, а пара p-типу – для вхідних напруг близьких до землі. Це пов'язано з тим, що кожний транзистор диференційної пари з Рис. 2.37 працює як повторювач (транзистор з CC) і напруга витоку залежить від вхідної напруги.

При малих входних напругах, джерело струму буде знаходитись в тріодному режимі і коефіцієнт підсилення зменшиться.

Іншим важливим аспектом диференційних пар є їх точність. Тобто потрібно, щоб при рівних напругах на входах, напруги на виході були також рівними (наприклад для Рис. 2.35). Проте через те, що існують певні похибки та варіації в технологічному процесі, завжди існує напруга зміщення (англ. Offset voltage). Її можна виражати відносно входу або відносно виходу. Наприклад вихідна напруга зміщення – це різниця між виходами диференційної пари при однаковій напрузі на входах [12]. А напруга зміщення приведена до входу визначається, як диференційна напруга, яку потрібно подати на входи, щоб різниця між виходами дорівнювала нулю [12]. Зазвичай напруга зміщення складається з двох частин: систематичної складової та випадкової. Далі буде розглядатись тільки випадкова складова. Для схеми, що показано на рис 2.35 напруга зміщення зведена до входу може бути записана як

$$V_{OS} = \Delta V_{th} + \frac{V_{GS} - V_{th}}{2} \left(\frac{\Delta R}{R} + \frac{\Delta \left(\frac{W}{L} \right)}{\left(\frac{W}{L} \right)} \right), \quad (2.28)$$

де ΔV_{th} – різниця порогової напруги транзисторів диференційної пари;

ΔR – варіація опору навантаження;

$\Delta \left(\frac{W}{L} \right)$ – варіація геометричних розмірів транзисторів.

Для вивчення випадкової складової напруги зміщення було проведено моделювання двох різних диференційних пар (як на Рис. 2.35) із різними розмірами. У першому випадку розмір транзисторів складав $W = 500$ нм та $L = 500$ нм. Полікремнієвий резистор також був мінімальних розмірів. У другому випадку площа резистору була значно більшою, а розмір транзисторів був збільшений до $W = 10$ мкм та $L = 10$ мкм, тобто площа збільшилась приблизно в 400 разів. Результати моделювання показано на Рис. 2.38.

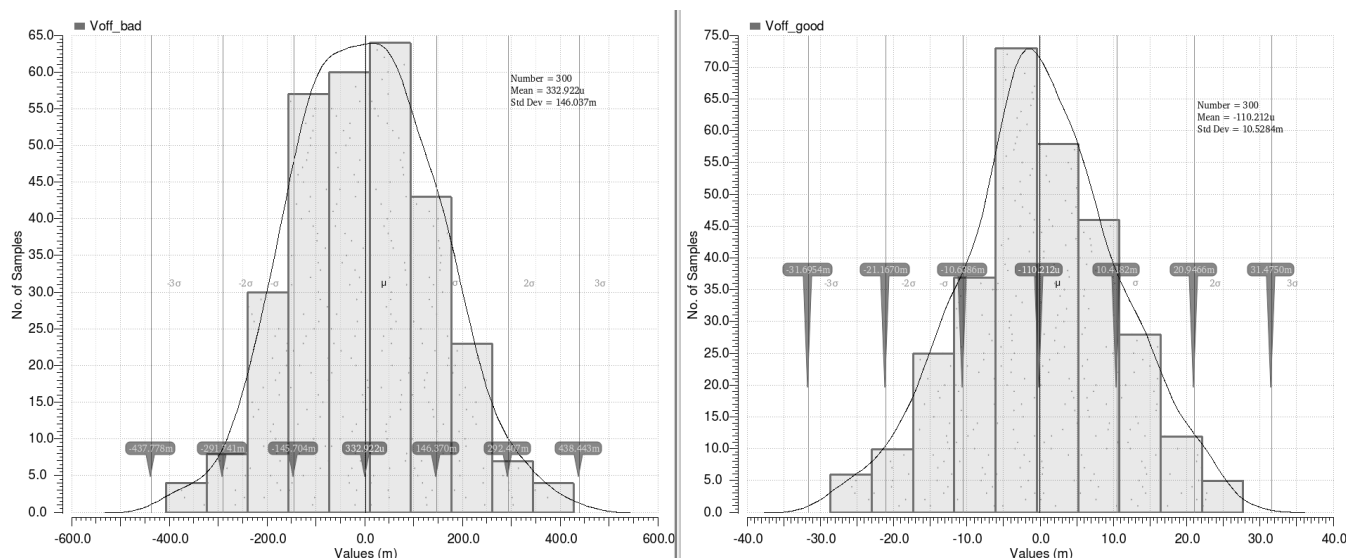


Рисунок 2.38 – Скріншот із програми Cadence Virtuoso з функцією розподілу напруги зміщення зведеної до виходу для диференційних пар з резистивним навантаженням та різними розмірами: зліва – $W = 500$ нм, $L = 500$ нм; справа – $W = 10$ мкм, $L = 10$ мкм (вибірка складається з 300 симуляцій)

Як можемо бачити з Рис. 2.38, СКО для диференційної пари з малими розмірами складає 146 мВ, в той час як СКО для пари з великими розмірами складає всього 10 мВ. Тобто при збільшенні площі в 400 разів, похибка зменшилась приблизно в 15 разів.

Аналогічний експеримент було проведено для диференційної пари з активним навантаженням (як на Рис. 2.37). У першому випадку всі розміри транзисторів становили 500 нм, а у другому випадку були збільшенні до 10 мкм. Результат моделювання показано на Рис. 2.39. На цей раз через великий коефіцієнт підсилення вимірювалась напруга зведена до входу. Тобто диференційна пара була включена у режимі повторювача і була виміряна різниця між двома входами. Можемо бачити, що при малих розмірах СКО напруги зміщення складає приблизно 33 мВ, а при збільшенні площі в 400 разів, СКО зменшується до 1.6 мВ. Таким чином можна зробити висновок, що для зменшення напруги зміщення у 2 рази, площу схеми необхідно збільшити в 4 рази, тобто маємо квадратичну залежність.

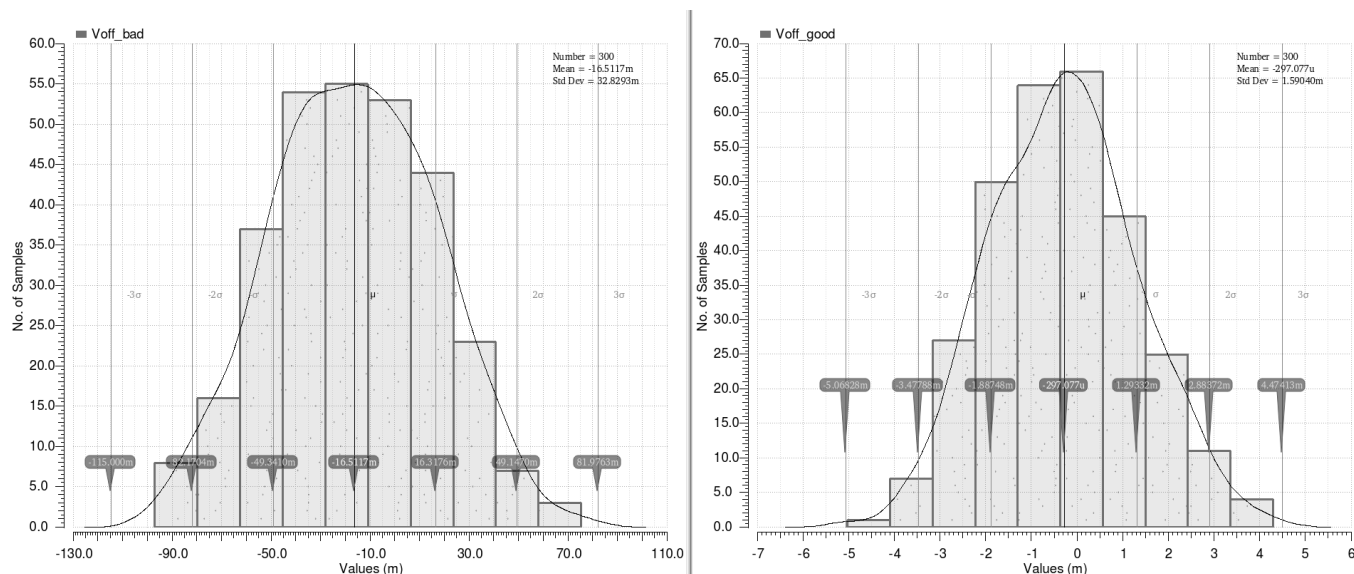


Рисунок 2.39 – Скріншот із програми Cadence Virtuoso з функцією розподілу напруги зміщення зведеної до входу для диференційних пар з активним навантаженням та різними розмірами: зліва – $W = 500$ нм, $L = 500$ нм; справа – $W = 10$ мкм, $L = 10$ мкм (вибірка складається з 300 симуляцій)

Для практичного вивчення роботи диференційних пар, в середині ІМС пропонується створити декілька диференційних пар з різними розмірами, різними типами навантаження та різними типами провідності.

Для практичного вивчення випадкової напруги зміщення пропонується створити певну вибірку диференційних пар (з активним та пасивним навантаженням) окремо з великими розмірами та окремо з малими. Вимірюючи напругу зміщення у кожній з них, можемо отримати функції розподілу аналогічні до тих, що показано на Рис. 2.38 та Рис. 2.39. Більше детально практична реалізація цієї ідеї буде описана у четвертому розділі.

2.6 Температурна залежність елементів

Сучасні інтегральні схеми можуть працювати в широкому температурному діапазоні (наприклад $-40^{\circ}\text{C} \dots 160^{\circ}\text{C}$) [12], тому для досвідченого інженера-розробника аналогових ІМС важливо розуміти, як параметри схеми та конкретних

елементів залежать від температури. Розглянемо наприклад температурну залежність напруги затвор-витік МДН транзистора, що знаходиться у діодному включенні, вважаючи, що струм постійний. Для цього було проведено комп'ютерне моделювання, а його результати показано на рис. 2.40.

Як можемо бачити, напруга V_{GS} майже лінійно залежить від температури, а температурний коефіцієнт (ТК) визначається геометричними розмірами і в даному випадку змінюється від $+2 \text{ мВ}/^\circ\text{C}$ (для ширини 1 мкм) до $-0,7 \text{ мВ}/^\circ\text{C}$ (для ширини 21 мкм). Також в ході дослідження було побудовано залежності ТК напруги V_{GS} від ширини (Рис. 2.41) і довжини (Рис. 2.42) транзистора. Такі залежності можна пояснити тим, що напруга V_{GS} складається з двох частин: порогової напруги і напруги насичення. Порогова напруга лінійно зменшується з температурою з нахилом, що не залежить від геометричних розмірів. В той час як напруга насичення, яка пропорційна відношенню W/L , збільшується з температурою.

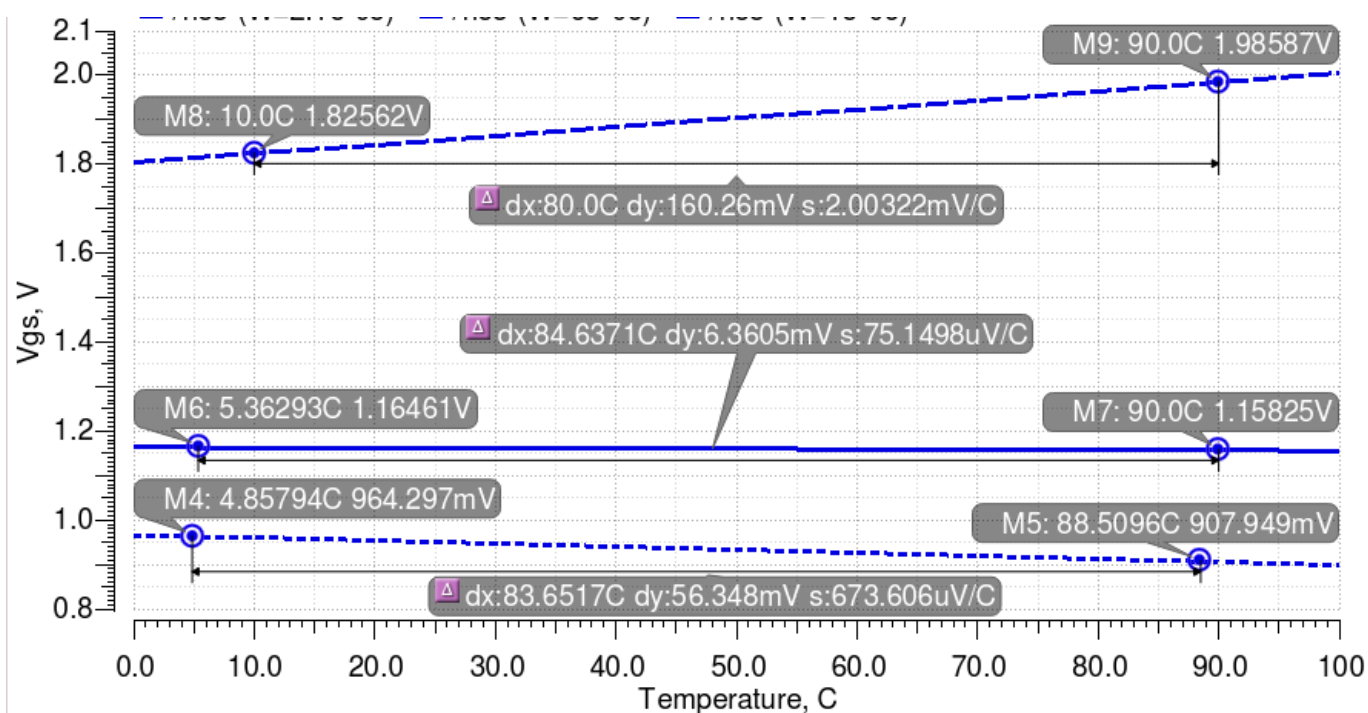


Рисунок 2.40 – Скріншот із програми Cadence Virtuoso з показаною залежністю напруги V_{GS} від температури для n-канального МДН транзистора у діодному включенні при різних геометричних розмірах: суцільна лінія – $W = 6 \text{ мкм}$, $L = 5 \text{ мкм}$; пунктирна лінія – $W = 21 \text{ мкм}$, $L = 5 \text{ мкм}$; штрихова лінія – $W = 1 \text{ мкм}$, $L = 5 \text{ мкм}$. Струм зміщення 10 мкА

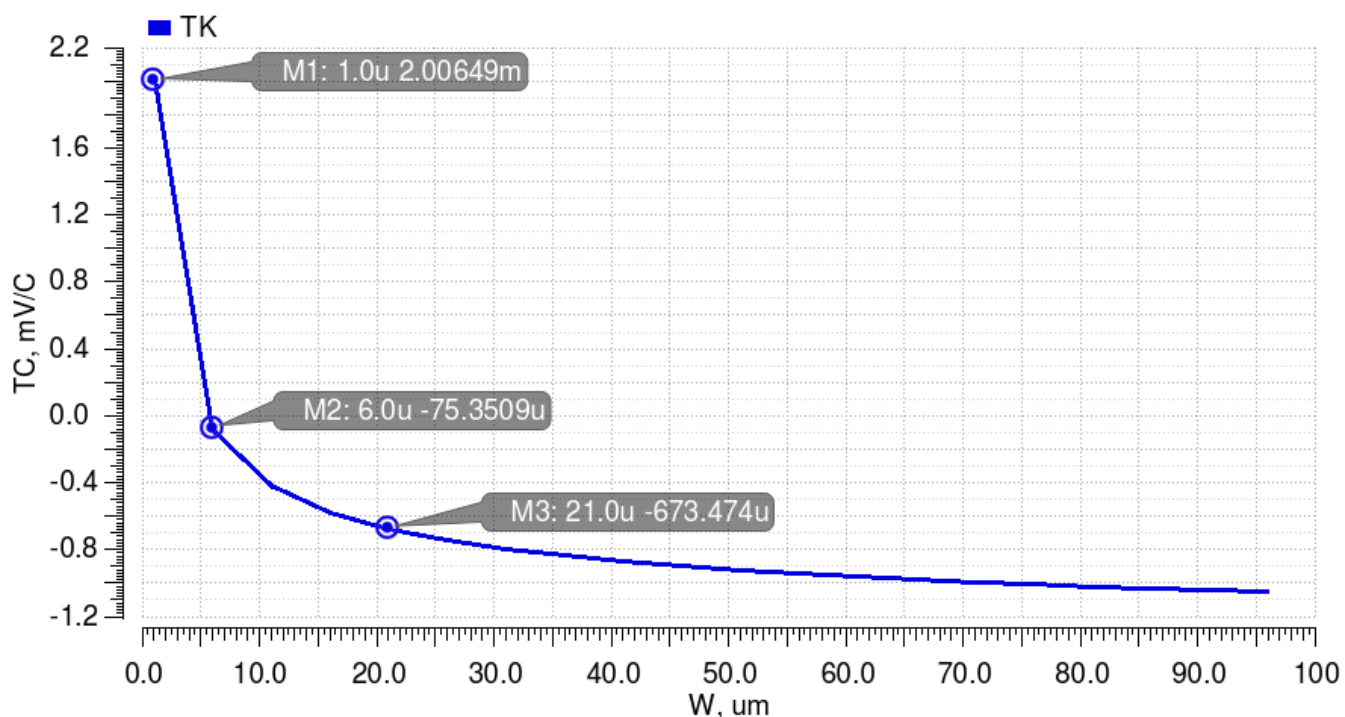


Рисунок 2.41 – Скріншот із програми Cadence Virtuoso з показаною залежністю ТК напруги V_{GS} для п-канального МДН транзистора в діодному включенні від ширини каналу. Довжина каналу складає $L = 5$ мкм, а струм зміщення 10 мкА

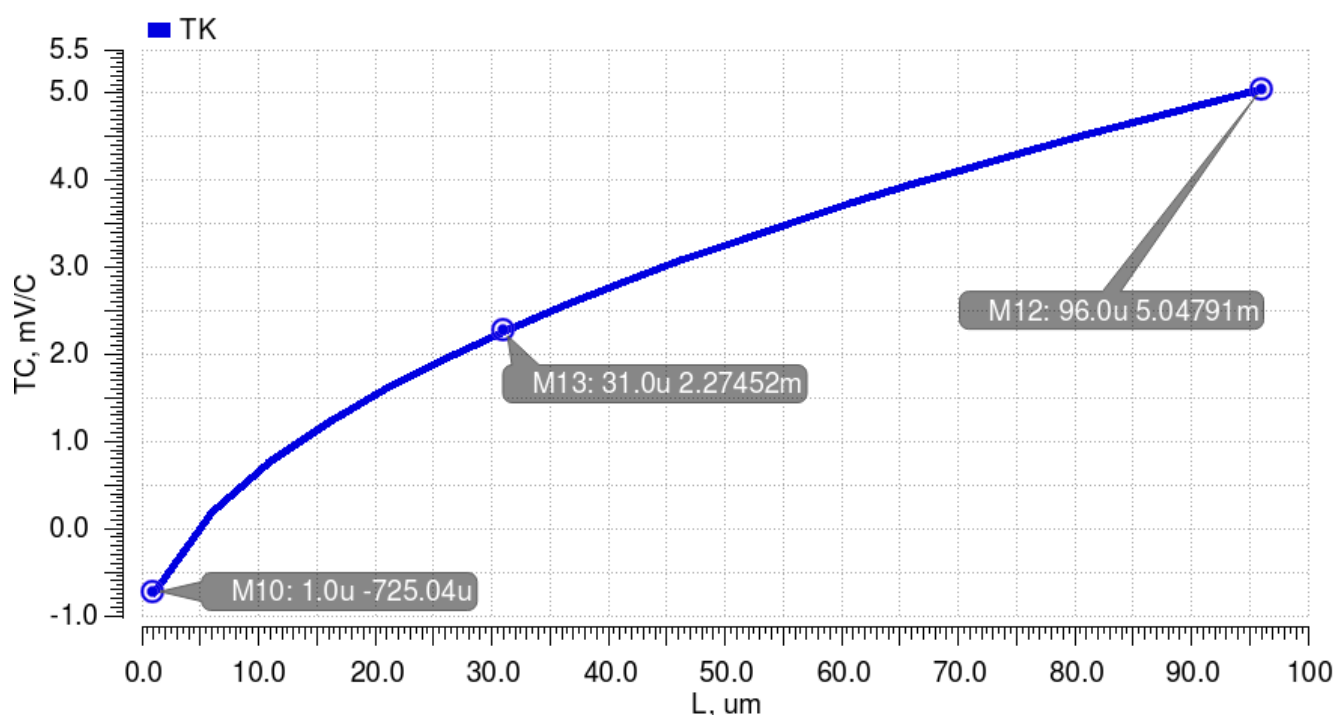


Рисунок 2.42 – Скріншот із програми Cadence Virtuoso з показаною залежністю ТК напруги V_{GS} для п-канального МДН транзистора в діодному включенні від довжини каналу. Довжина каналу складає $W = 5$ мкм, а струм зміщення 10 мкА

Таким чином, здається, що можна підібрати такі розміри, що напруга буде незалежною від температури. Однак із-за великого технологічного розкидну порогової напруги це є неможливим. Аналогічні залежності можна отримати для р-канальних транзисторів.

Одним із важливих пасивних елементів аналогової схеми є резистор. Його опір також має залежність від температури. В той час як опір металів завжди має додатний ТК, опір напівпровідників може мати будь-який знак [17]. На рис. 2.42 показано як змінюється падіння напруги на напівпровідникових резисторах, що зміщено постійним струмом в залежності від температури. Як можемо бачити у всіх випадках залежність майже лінійна. А у випадку полікремнієвого резистора з домішками р-типу, опір майже не залежить від температури. Це знаходить застосування в опорних джерелах струму, що будуть розглядатись далі. Поперечні перерізи резисторів, що використовувались при моделюванні, показано у додатку Б.

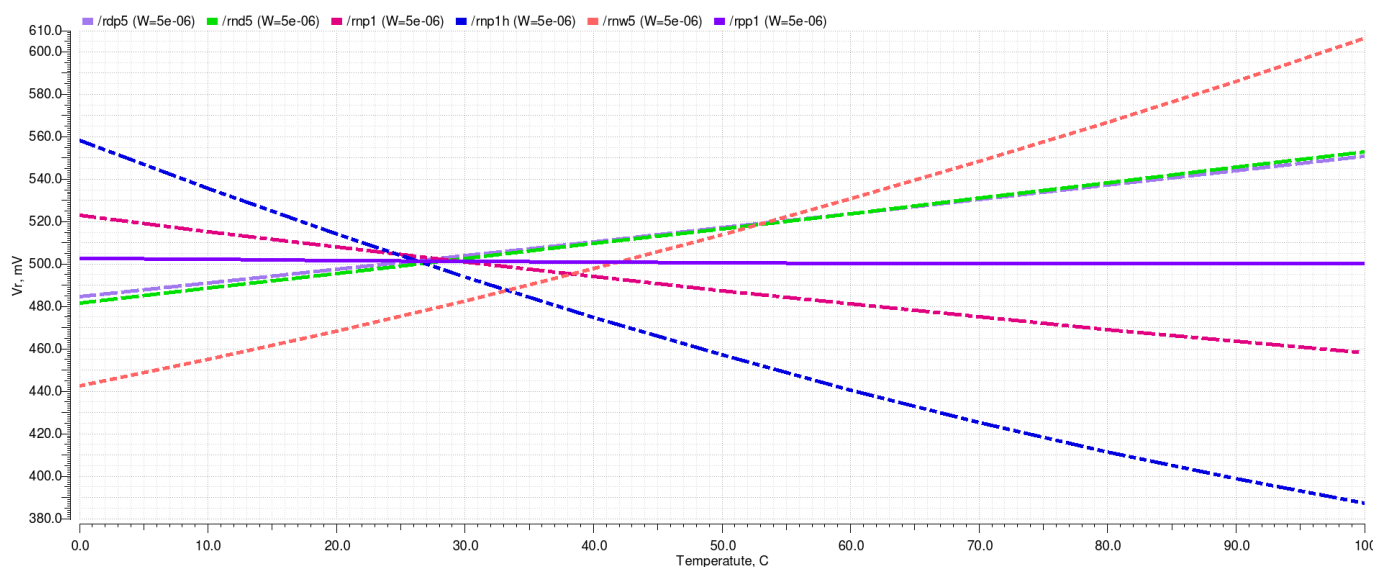


Рисунок 2.42 – Скріншот із програми Cadence Virtuoso з показаною напругою на 50 кОм резисторі через який протікає 10 мкА для резисторів різного типу: суцільна лінія – полікремнієвий резистор легований домішками р-типу; штрих-пунктирна лінія – полікремнієвий резистор легований домішками п-типу; пунктирна лінія – дифузійний резистор п-типу (в якості активної області використовується п-карман); штрихові лінії – дифузійні резистори п- та р-типу; штрих-пунктирна лінія з двома крапками – полікремнієвий резистор з високим питомим опором.

Інша важлива температурна залежність – це напруга база-емітер в біполярних транзисторах. Вона завжди є обернено пропорційною до температури [12]. Для її дослідження було проведено моделювання біполярного транзистора у діодному включенні, що зміщено постійним струмом 10 мкА. Результати моделювання показані на Рис. 2.43, а поперечний переріз транзистора наведено у додатку Б.

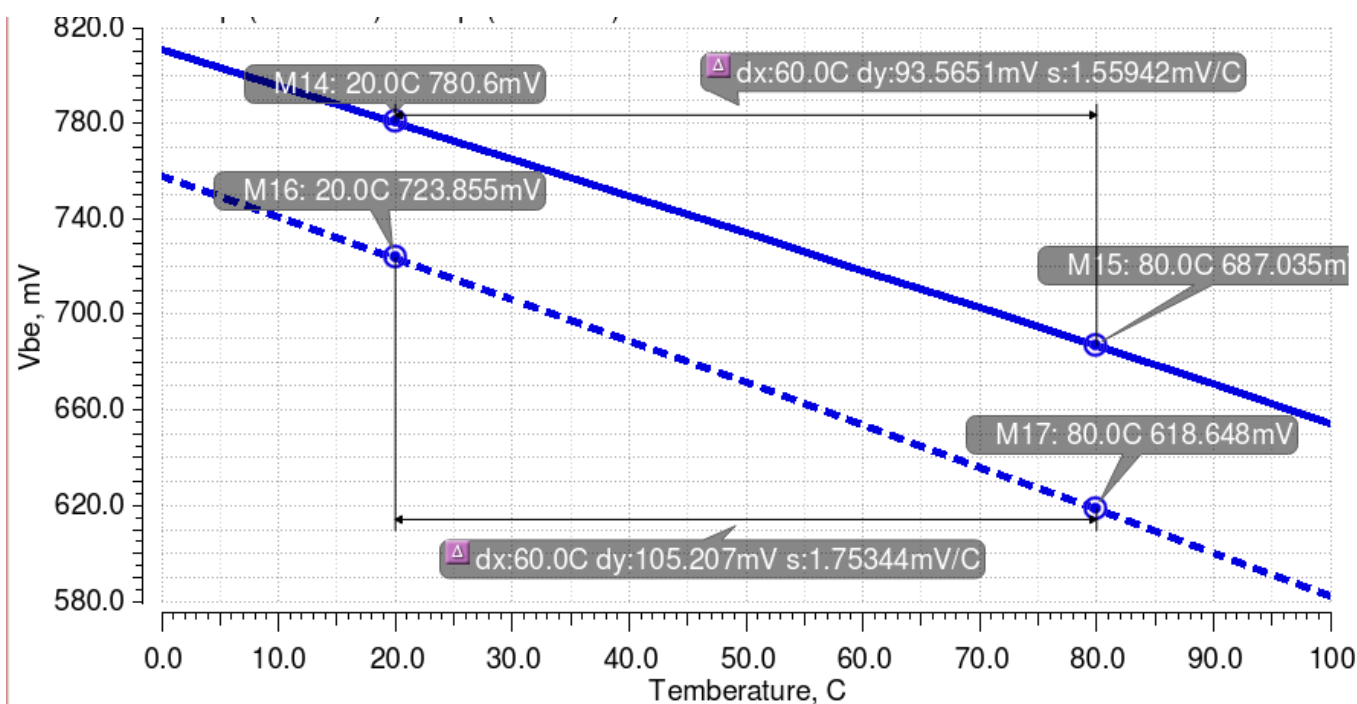


Рис. 2.43 – Скріншот із програми Cadence Virtuoso з залежністю напруги база-емітер для горизонтального rpr транзистору у діодному включенні з різними площами емітера: суцільна лінія – площа емітера 2 мкм², пунктирна лінія – площа емітера 18 мкм².

Як можемо бачити ТК дійсно від’ємний і складає -1,56 мВ/°С для малого емітера (2 мкм²) і -1,75 мВ/°С для великого (18 мкм²). Залежність є надзвичайно лінійною і знаходить своє застосування в опорних джерелах напруги, які будуть розглядатися далі.

Для практичного вивчення температурних залежностей активних та пасивних елементів, пропонується в середині ІМС створити декілька постійних джерел струму, що не залежать від температури і до них підключити елементи, що

необхідно дослідити. Вимірюючи падіння напруги на певному елементі (при постійному струмі), можемо знайти ТК. Практична реалізація цієї ідеї буде детально розглянута у четвертому розділі.

2.7 Опорні джерела струму та напруги

Щоб створити надійну схему, що може працювати в широкому діапазоні температур, необхідно мати опорні джерела струму та напруги, які мінімально змінюються під впливом температури та напруги живлення. Для створення опорного джерела напруги зазвичай використовують ідею, що показано на рис. 2.44.

Як ми знаємо із попереднього розділу напруга база-емітер в біполярному транзисторі має від'ємний ТК, який приблизно дорівнює $-2 \text{ мВ/}^{\circ}\text{C}$. Якщо знайти напругу, що буде мати такий самий, але додатній ТК, то додавши їх, можна отримати напругу, що не залежить від температури. В якості напруги, що має додатній ТК зазвичай використовують температурний потенціал V_T , який, як відомо, є прямо пропорційним до температури. Ця напруга дорівнює приблизно 26 мВ при кімнатній температурі, тому її потрібно підсилити, як це показано на Рис. 2.44,а вже потім додати до напруги база-емітер.

Практичну реалізацію цієї ідеї показано на рис. 2.45. У цій схемі вихідна напруга може бути знайдена за допомогою наступної формули [12]

$$V_{OUT} = V_{BE} + \left(1 + \frac{R_2}{R_3}\right) \Delta V_{BE} = V_{BE} + \left(1 + \frac{R_2}{R_3}\right) V_T \ln N, \quad (2.29)$$

де V_{OUT} – вихідна напруга;

V_{BE} – напруга база-емітер транзистора Q2;

N – відношення між площею емітера транзисторів Q1 та Q2.

Для дослідження роботи схеми, було проведено її моделювання, в ході якого була виміряна температурна залежність вихідної напруги (її показано на Рис. 2.45).

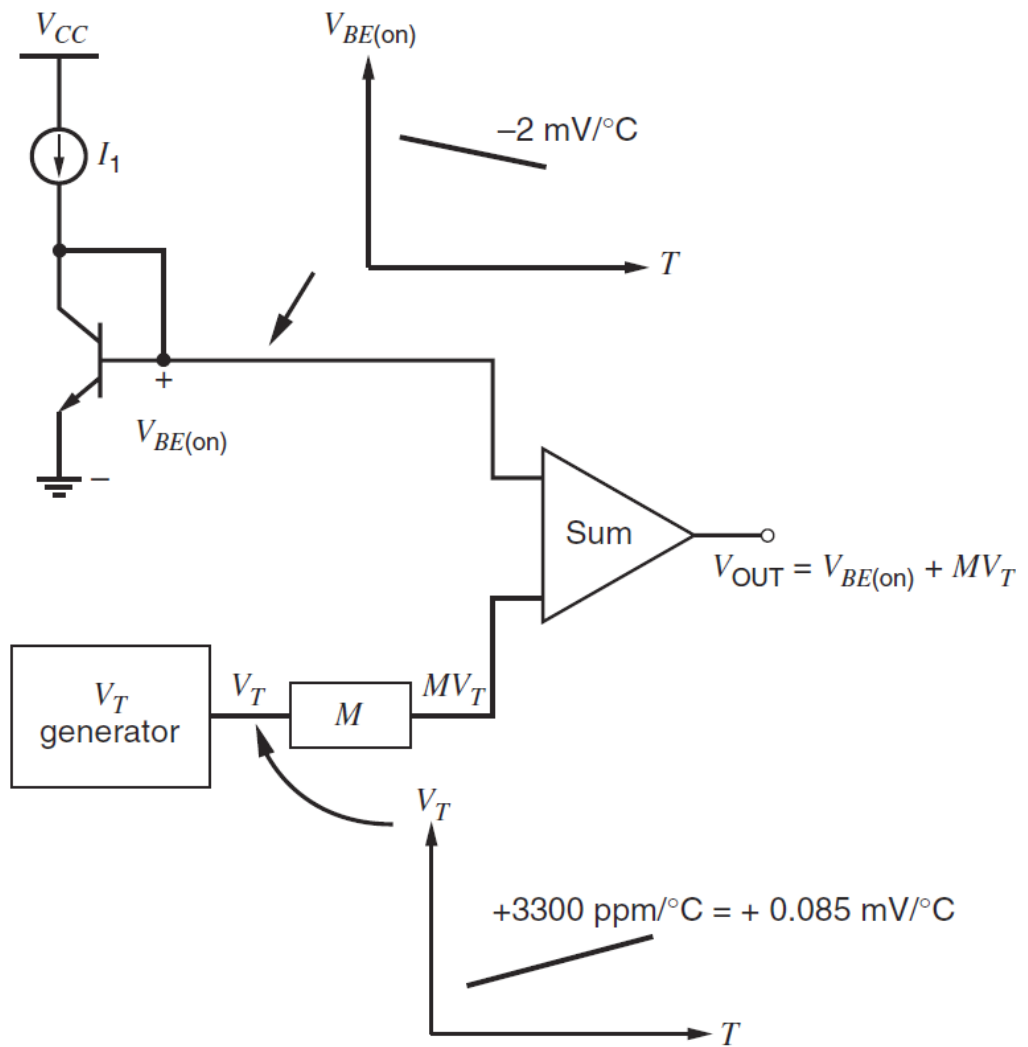


Рисунок 2.44 – Гіпотетична схема опорного джерела напруги [12]

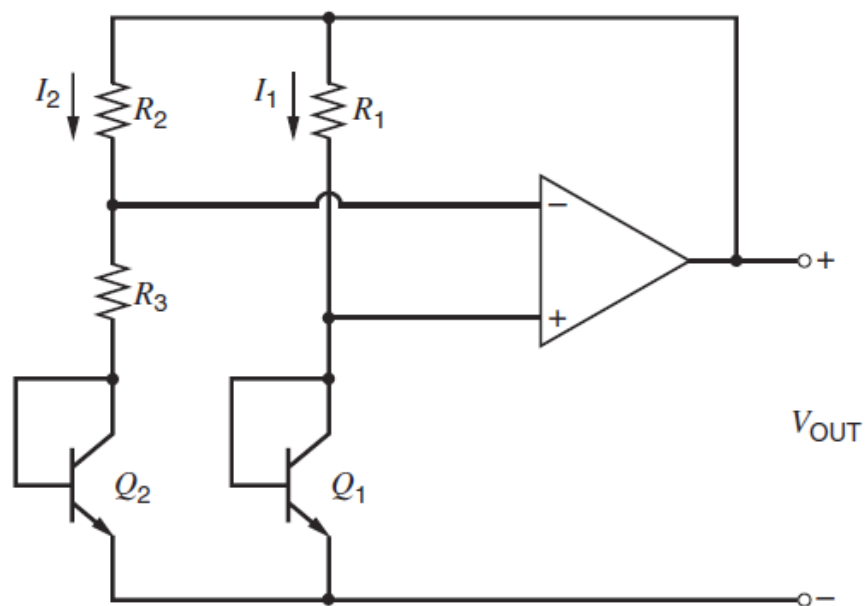


Рисунок 2.44 – Практична реалізація опорного джерела напруги [12]

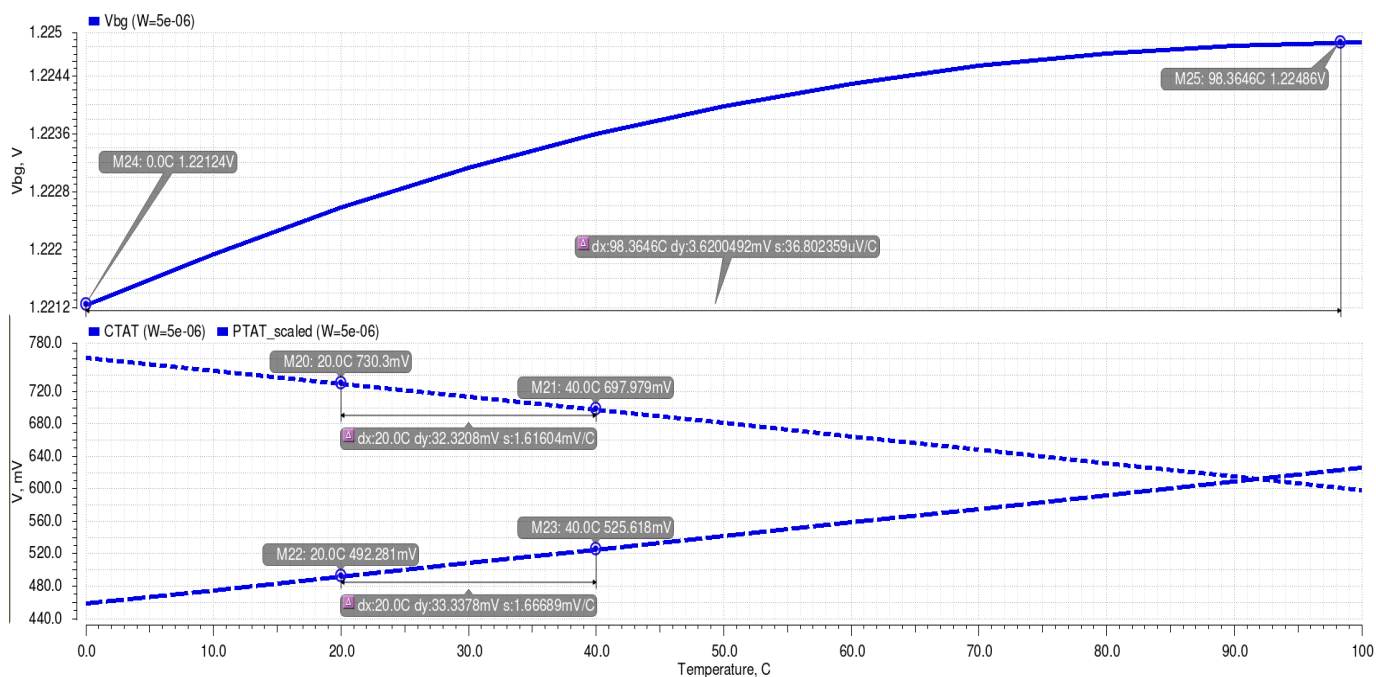


Рисунок 2.45 – Скріншот із програми Cadence Virtuoso з температурними залежностями вихідної напруги опорного джерела напруги з Рис. 2.44 (суцільна лінія) та його складовими: пунктирна лінія – напруга база-емітер, штрихова лінія – підсилене значення температурного потенціалу.

Як можемо бачити з Рис.2.45, залежність напруги база-емітер компенсується залежністю температурного потенціалу і на виході маємо напругу 1,22 В з температурним коефіцієнтом 37 мкВ/°С. Щоб отримати опорне джерело струму, можна підключити цю напругу до полікремнієвого резистор з «нульовим» ТКР, як це показано на Рис. 2.46 (а). Таку схему також було розроблено і результат моделювання показано на рис. 2.47. Як можемо бачити вихідний струм дорівнює 24,5 мкА і має ТК 2,4 нА/°С.

Інший варіант реалізації опорного джерела струму показано на Рис. 2.46 (б). Тут використовується МДН транзистор з вбудованим каналом. Він має негативну порогову напругу і в такому включенні працює як джерело струму. Наруга затвор-витік задається його ж струмом, який падає на опорі, що майже не залежить від температури. Ця схема також була промодельована, а результат показано на Рис. 2.48. Як можемо бачити, вихідний струм дорівнює 33 мА і має ТК 32 нА/°С.

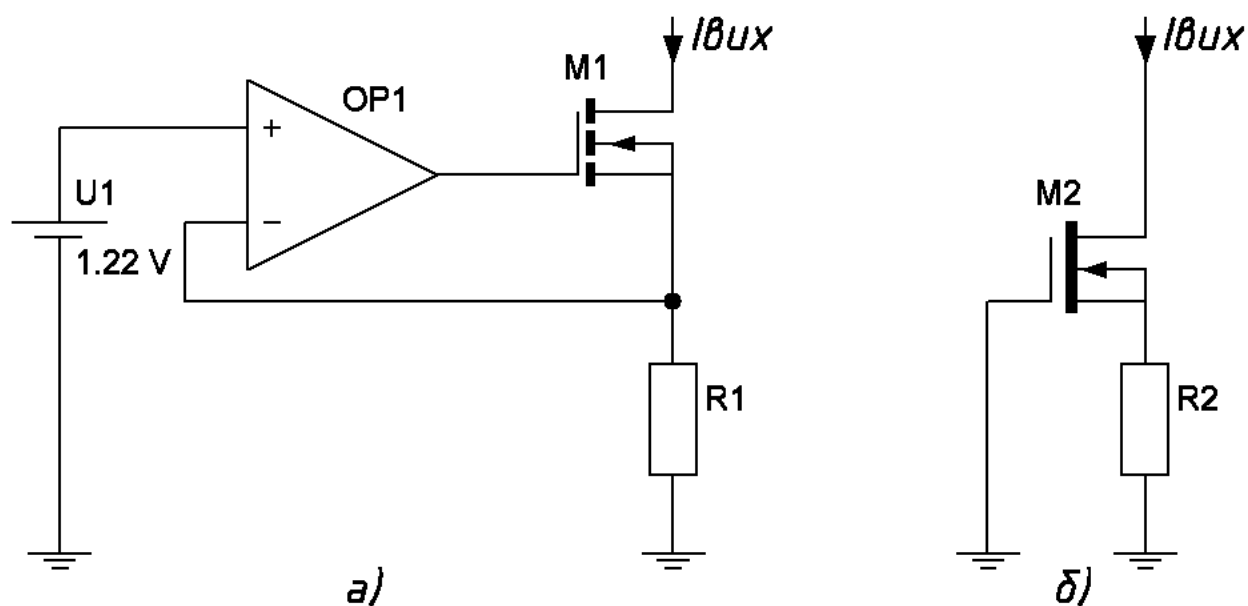


Рисунок 2.46 – Варіанти реалізації опорних джерел струму

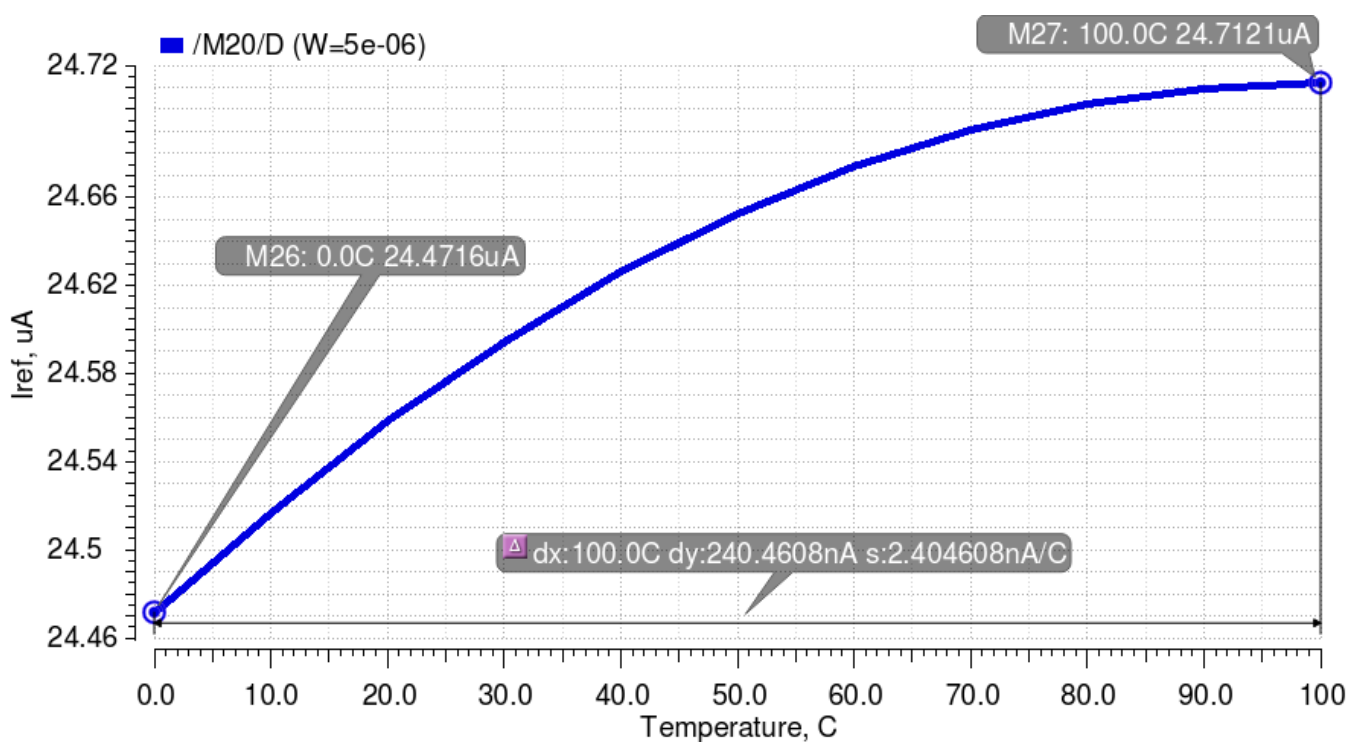


Рисунок 2.47 – Скріншот із програми Cadence Virtuoso з температурною залежністю вихідного струму схеми, що показано на Рис. 2.46 (а). Номінал резистора складає 50 кОм

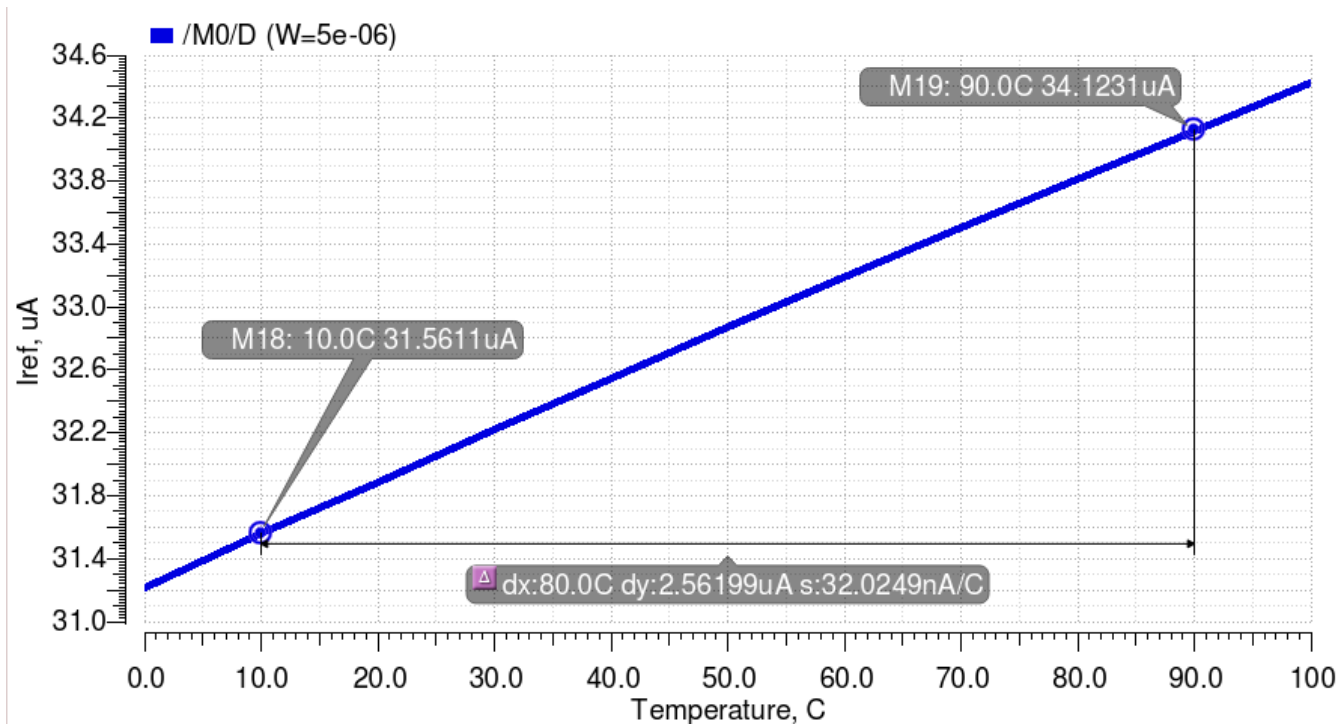


Рисунок 2.48 – Скріншот із програми Cadence Virtuoso з температурною залежністю вихідного струму схеми, що показано на Рис. 2.46 (б). Номінал резистора складає 50 кОм, а розміри транзистора $W = 50$ мкм, $L = 1$ мкм.

Щоб практично дослідити роботу цих схем та їх температурні залежності, вони будуть виготовлені в середині розроблюваної ІМС. Практична реалізація описана у четвертому розділі.

2.8 Операційні підсилювачі

В якості більш складних, але все одно базових блоків аналогової схемотехніки можна виділити ОП. Кожен професійний інженер-розробник аналогових ІМС повинен розуміти, чим одна архітектура відрізняється від іншої і в якому випадку, який саме ОП краще використовувати. В залежності від архітектури ОП можуть відрізнятися типом диференційної пари, типом навантаження, наявністю каскодних транзисторів та кількістю і типом підсилювальних каскадів. Теоретичний аспект

далі розглядатися не буде, але для практичного вивчення особливостей їх роботи в середині ІМС будуть створені декілька різних ОП.

2.9 Генератори тактової частоти

Іншим складним, але базовим елементом є генератор тактової частоти, який може використовуватись для тактування цифрової частини схеми, в системах накачки заряду, в різноманітних ФАПЧ та модуляторах.

Існують декілька різних імплементацій тактових генераторів, кожна з яких має свої переваги і недоліки. Теоретичний аспект їх роботи далі розглядатися не буде, але в середині ІМС буде створено декілька різних генераторів для практичного вивчення і порівняння їх роботи.

Висновки до розділу 2

В цьому розділі було розглянуто особливості роботи всіх базових блоків аналогової мікросхемотехніки в умовах сучасних субмікронних технологій. Для кожного блоку було проведено моделювання його роботи в технології X-FAB XT018, що дозволило краще зрозуміти, які ефекти можуть бути експериментально вивчені в результаті розробки ІМС.

Так наприклад, було показано, що порогова напруга МДН транзистора сильно змінюється в залежності від геометричних розмірів каналу. Цей ефект може негативно впливати на роботу МДН ключів та струмових дзеркал.

Було показано, що в даній технології спостерігається ефект насичення дрейфової швидкості носіїв заряду, який погіршує роботу ключів та підсилювачів.

Було проведено моделювання ефектів підкладки та дослідженні схеми, що можуть ефективно прибирати цей ефект.

Проведено порівняльний аналіз різних конфігурацій МДН дзеркал за наступними параметрами: вихідний опір, похибка віддзеркалення, мінімальна

робоча напруга. Було показано, що каскодне дзеркало (або каскодне дзеркало зі збільшеним розмахом вихідної напруги) є оптимальним вибором з точки зору відношення якості електричних параметрів до займаної площі.

Було проведено аналіз випадкової похибки віддзеркалення в струмових дзеркалах та встановлено, що для зменшення похибки у 2 рази, необхідно збільшити площу транзисторів у 4 рази.

Розглянуто особливості роботи однокаскадних підсилювачів. Зроблено порівняння їх передавальних характеристики. Показано, що для покращення електричних параметрів та зменшення займаної площі, краще використовувати підсилювачі з активним навантаженням.

Проаналізована робота диференційних пар з різними типами навантаження. Показано, що для оптимальних електричних параметрів, необхідно використовувати транзистори не мінімальної площі, а також по аналогії з однокаскадними підсилювачами краще використовувати активне навантаження.

Промодельована температурна залежність деяких електричних параметрів пасивних та активних компонентів. Розглянуті та промодельовані схеми, що можуть генерувати струм або напругу, що не залежать від температури.

На основі результатів цього розділу, зрозуміло які самі параметри, ефекти та особливості базових аналогових блоків можуть бути експериментально вивчені та виміряні. Базуючись на цій інформації буде проведено розробку ІМС, а також проведено аналіз можливих технологій її виготовлення.

3 ТЕХНОЛОГІЯ ВИГОТОВЛЕННЯ ІМС

Для створення ІМС треба обрати технологію виготовлення. Враховуючи, що технологічна норма (ТН) буде складати 180 нм, використання МДН структур є пріоритетним. Виготовлення біполярних транзисторів є можливим, але це робить технологію надзвичайно дорогою. Для ТН 180 нм компанія Melexis (на базі якої буде виготовлено розроблювану мікросхему) має вибір між двома базовими технологіями:

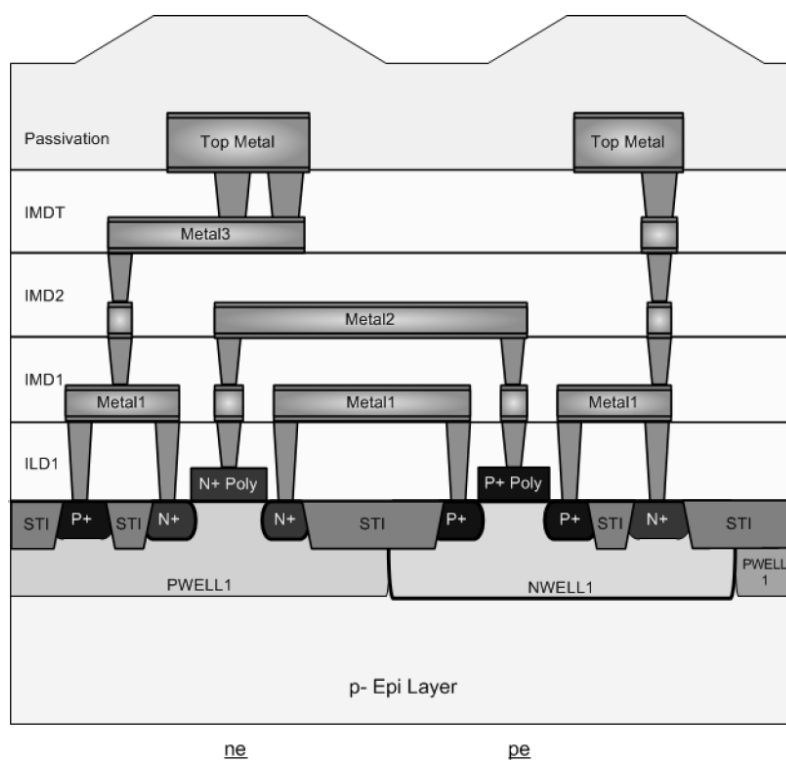
- а) Використання звичайної кремнієвої підкладки;
- б) Використання структури кремній-на-ізоляторі (КНІ).

Поперечний переріз структури з використанням кремнієвої підкладки показано на Рис. 3.1. В такій технології на підкладці р-типу створюють п-канальні МДН структури. А щоб ізолювати п-канальні транзистори від р-канальних, останні створюють в окремих п-карманах. Додатково між транзисторами у поверхневому шарі створюються канавки (STI) з SiO_2 , який ізолює транзистори в горизонтальному напрямі, а також підвищує напругу паразитних МДН структур [17].

Поперечний переріз структури з використанням КНІ показано на рис. 3.2. В цьому випадку на підкладці формують товстий шар діелектрику, а вже на ньому вирощують підкладку р-типу, на якій формують МДН структури, аналогічно з попередньо описаним методом.

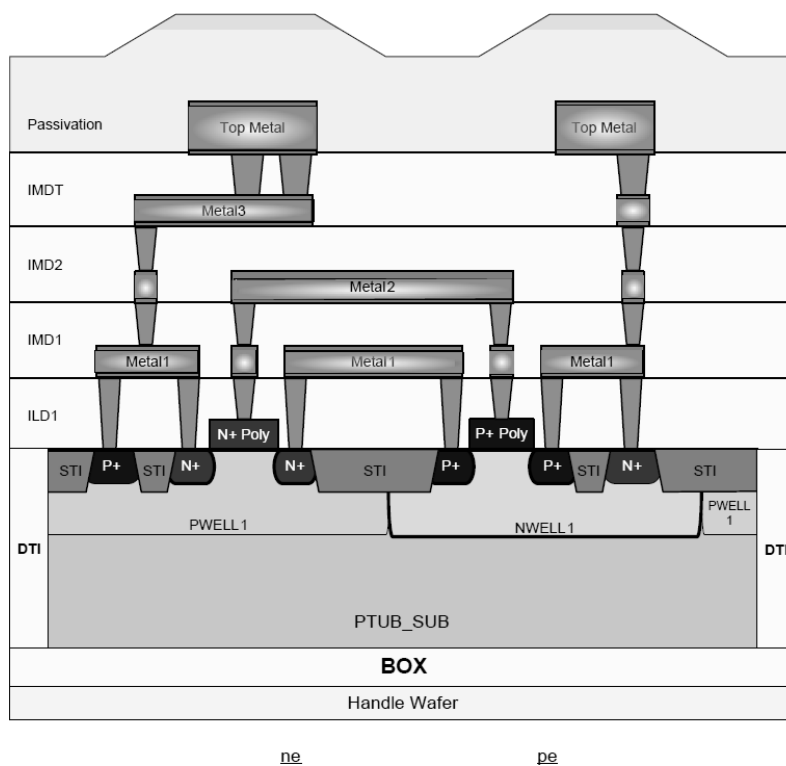
На Рис. 3.1 та 3.2 локальна ізоляція це – STI (Small Trench Isolation), а оксид, що повністю ізолює структури одна від одної у горизонтальному напрямі це – DTI (Deep Trench Isolation).

Принципова різниця між двома технологіями – це те, що у КНІ технології МДН транзистори ізолювані від підкладки (вертикальна ізоляція), а також можуть бути повністю (за допомогою DTI) або частково (за допомогою STI) [18].



ne – транзистор n-типу провідності, pe – транзистор p-типу провідності.

Рисунок 3.1 – Поперечний переріз МДН транзисторів з індукованим каналом використовуючи стандартну технологію [19]



ne – транзистор n-типу провідності, pe – транзистор p-типу провідності.

Рисунок 3.2 – Поперечний переріз МДН транзисторів з індукованим каналом використовуючи технологію КНІ [19]

Враховуючи те, що треба отримати, як n-, так і р-канальні МДН транзистори, що будуть працювати поруч, то краще обрати КНІ структуру, бо вона має декілька значних переваг, а саме [18]:

- а) Відсутність ефекту заціпки;
- б) Більша ступінь інтеграції;
- в) Більший діапазон робочих температур;
- г) Висока стійкість до електростатичної напруги;
- д) Висока радіаційна стійкість.

Із другого розділу очевидно, що потрібно дослідити ефекти впливу напруги на підкладці на електричні властивості елементів. Це достатньо легко зробити у технології КНІ. У кожного транзистора може бути своя ізольована підкладка. Тому в якості технології було вирішено обрати КНІ з ТН 180 нм.

Поперечний переріз транзисторів та пасивних елементів, що будуть використовуватись під час проектування ІМС показано у додатку Б.

Висновки до розділу 3

У цьому розділі були проаналізовані можливі варіанти створення ІМС для технологічної норми 180 нм. Між стандартною технологією на кремнієвій підкладці та КНІ структурою, була обрана КНІ технологія. Вона має декілька суттєвих переваг, а саме: відсутність ефекту заціпки, підвищений діапазон робочих температур, більший ступінь інтеграції, підвищену радіаційну стійкість та ін.

4 РОЗРОБКА ІМС

Щоб зробити ціну виробництва ІМС мінімальною – необхідно мінімізувати площу [20]. Також щоб дослідити всі аналогові блоки, що було представлено в другому розділі, необхідно мати досить багато виходів з мікросхеми. Щоб мінімізувати кількість виходів та мати можливість досліджувати всі блоки, було вирішено використовувати аналоговий мультиплексор. Він дозволить проводити комутацію внутрішніх вузлів на виходи мікросхеми. Для дослідження кожного аналогового блоку (струмових дзеркал, диференційних пар і т.п.) пропонується створити окремий блок в середині ІМС. Виходи кожного такого блоку будуть підключатись до виходів ІМС за допомогою мультиплексора. Цю ідею показано на функціональній блок-схемі (Рис. 4.1).

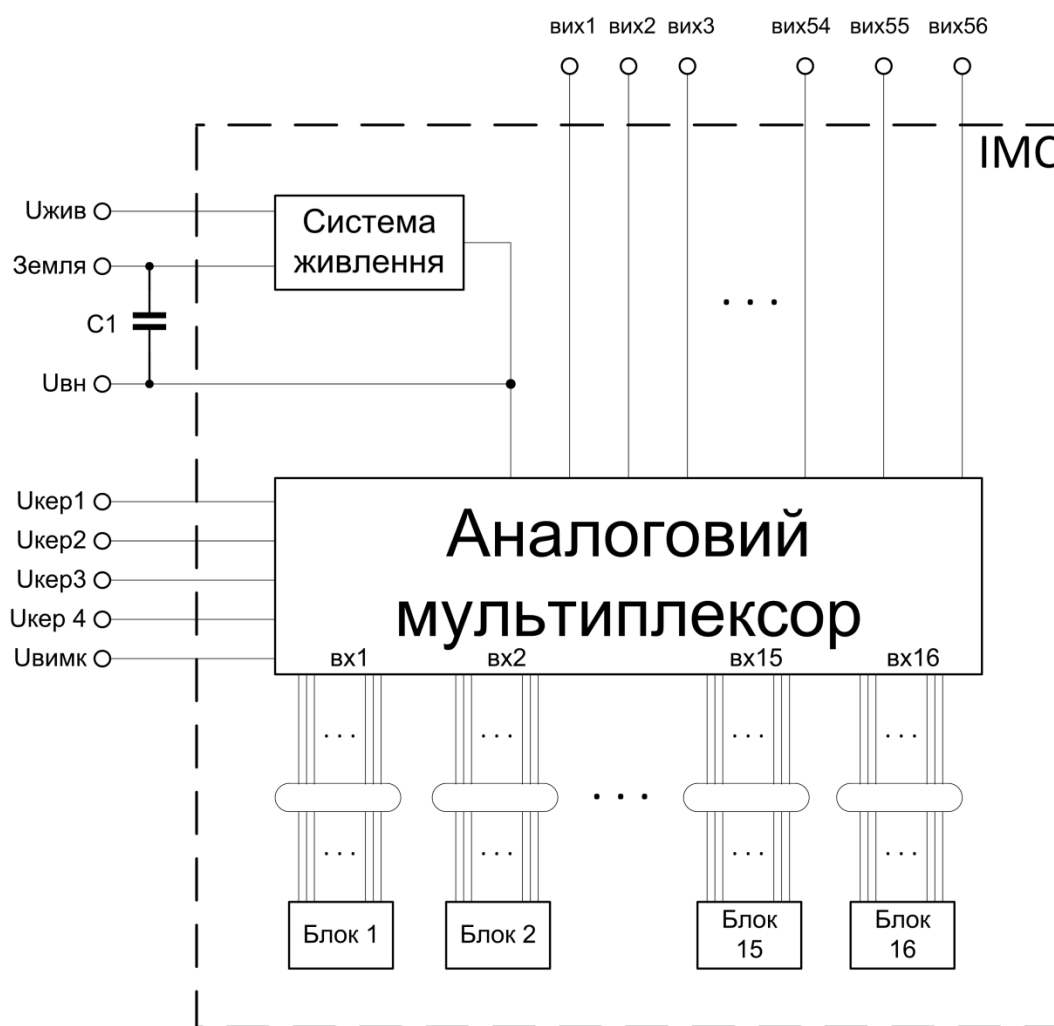


Рисунок 4.1 – Функціональна блок схема розроблюваної ІМС

На рис. 4.1 внутрішню частину ІМС виділено пунктирною лінією. Було вирішено, що оптимально використовувати конфігурацію ІМС, що має 64 виходи, як це показано на блок-схемі. Із них 56 виходів використовуються для підключення зовнішніх вимірювальних приладів та джерел, до внутрішніх досліджуваних блоків. Інші 8 виходів пропонується використовувати для підключення живлення та керуючих сигналів мультиплексора.

Пропонується використовувати внутрішню систему живлення, що буде використовуватись в якості живлення мультиплексора та всіх досліджуваних блоків. Для стабільної роботи та зменшення шуму на шині живлення, необхідно підключити зовнішній конденсатор $C1$, як це показано на Рис. 4.1. Його номінал зазвичай становить 100 нФ [21]. Функціональну блок-схему системи живлення показано на Рис. 4.2. Зовнішню напругу живлення позначено як $U_{жив}$, вона під'єднана до генератору допоміжного живлення та опорного струму. На його виході маємо живлення $U_{дон}$, яке у нашому випадку становить 3 В і варіюється у межах $\pm 0,5$ В. Також в цьому блоці генерується опорний струм для всієї схеми. В нашому випадку він становить 500 нА. Допоміжна напруга і опорний струм подаються на генератор опорної напруги. Приклад його електричної схеми показано на Рис. 2.44. На виході маємо опорне джерело напруги $U_{оп}$, яке практично не залежить від температури. Ця напруга подається на аналоговий регулятор, що генерує вихідну регульовану напругу $U_{рег}$ пропорційну до опорної напруги. В нашому випадку $U_{рег}$ становить 5 В. На виході регулятора показано підключення зовнішнього конденсатора. Його функції були описані вище.

Розробка система живлення є складним і важливим процесом, але це не є предметом магістерського дослідження, тому електрична схема та принципи її роботи далі детально розглядатись не будуть. Топологію системи живлення показано на рис. 4.3, а її площа складає 0,11 мм².

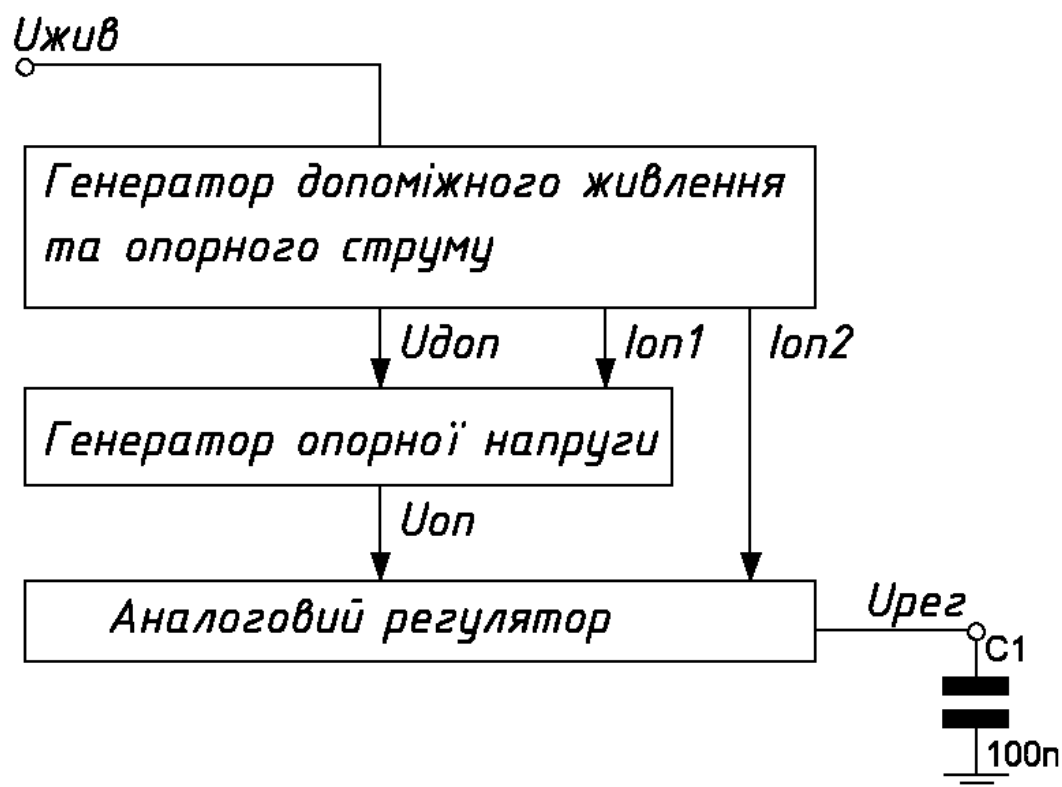
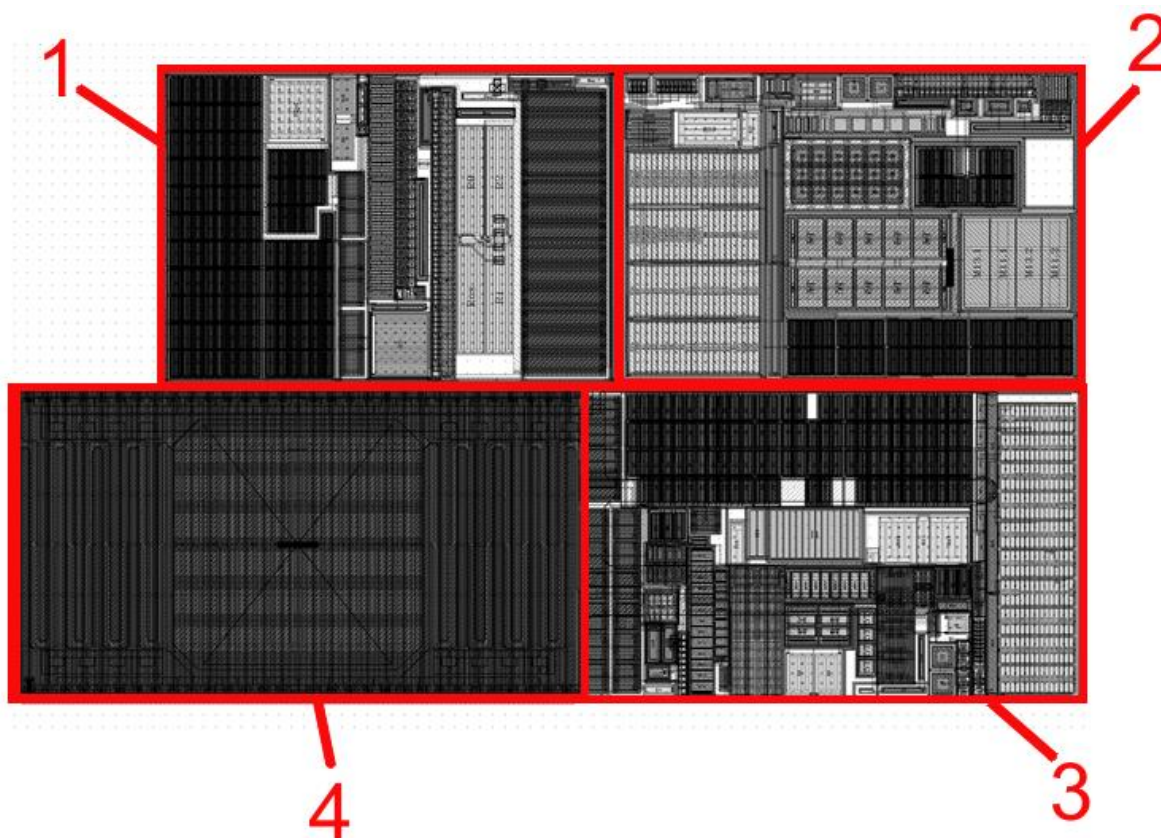


Рисунок 4.2 – Функціональна блок схема внутрішньої системи живлення



1 – генератор допоміжної напруги та опорного струму; 2 – генератор опорної напруги; 3 – аналоговий регулятор; 4 – Контактний майданчик та регулюючий транзистор під ним.

Рисунок 4.3 – Топологія системи живлення

Щоб мінімізувати ціну виробництва ІМС було вирішено розташувати контактні майданчики максимально близько один до одного, а площу, що залишиться в середині ІМС використовувати для створення досліджуваних блоків і допоміжних структур. Для обраної технології мінімальний розмір контактного майданчика складає 70х70 мкм, а відстань між ними повинна складати не менше 30 мкм. Розташувавши з кожної сторони по 16 майданчиків, маємо топологію, що зображено на Рис. 4.4. Поряд з кожним контактним майданчиком чорним кольором показано площу, що буде використана для схеми захисту від статичної напруги. Можемо бачити, що для розташування блоків залишився квадрат розмірами 1500х1500 мкм, тобто загальна ефективна площа складає 2,25 мм².

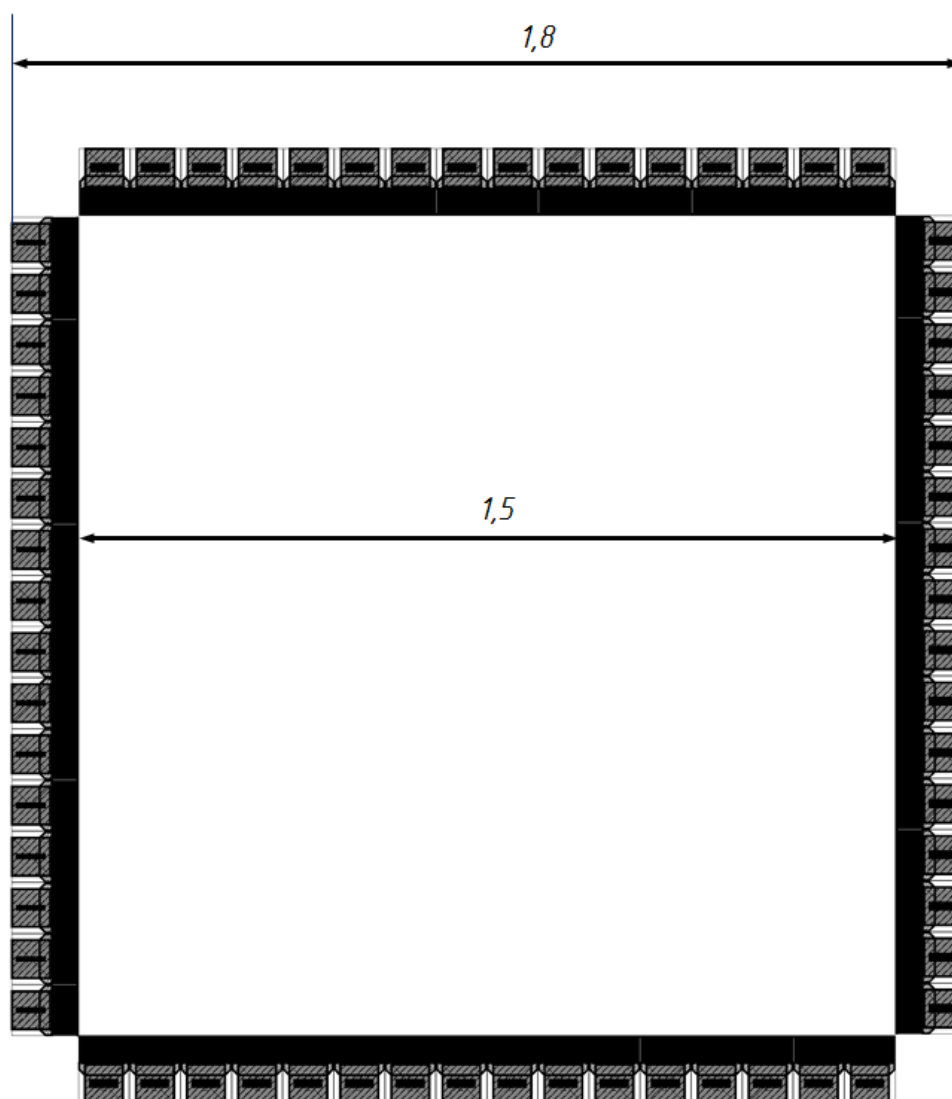


Рисунок 4.4 – Розташування контактних майданчиків на топології ІМС

Знаючи ефективну площу, що залишилась, можемо розрахувати оптимальну кількість біт аналогового мультиплексора та розробити його електричну схему і топологію. Цей процес детально описано у наступному пункті.

4.1 Аналоговий мультиплексор

Типовий аналоговий мультиплексор зазвичай складається з дешифратора й набору аналогових ключів [22]. Для того, щоб ключі не сильно впливали на параметри досліджуваних блоків, необхідно зробити їх опір мінімальним. Нехай опір кожного ключа не повинен перевищувати 30 Ом у всьому діапазоні робочих температур і напруг. Для цього будемо використовувати компліментарний ключ, що зображено на рис. 2.6. Підкладку ключів будемо підключати до шин живлення. Це пов'язано з тим, що наявність паразитного діода між входом і виходом ключа може призвести до неможливості коректного функціонування схеми. Таке підключення трохи збільшить опір відкритого каналу, але використання додаткових схем, що прибирають ефект підкладки вимагає додаткової площі і їх використання є недоцільним.

Враховуючи, що рухливість електронів у кремнії приблизно в 3 рази більша за рухливість дірок та необхідність зробити рівним опори n-канального та р-канального транзисторів, необхідно, щоб р-канальний ключ був в 3 рази ширшим. Щоб зменшити опір ключа будемо використовувати мінімальну допустиму довжину каналу, що складає 500 нм. Комп'ютерне моделювання показує, що для досягнення необхідних параметрів розмір n-канального транзистора повинен складати $W=130$ мкм, $L=0,5$ мкм, а р-канального транзистора відповідно $W=400$ мкм, $L=0,5$ мкм. Було проведено комп'ютерне моделювання опору такого ключа для всього діапазону вхідних напруг і температур. Результати моделювання показано на рис. 4.5.

Враховуючи, що максимальна дозволена напруга для транзисторів у даній технології складає 5,5 В. Нехай максимально допустима вихідна напруга складає 5 В.

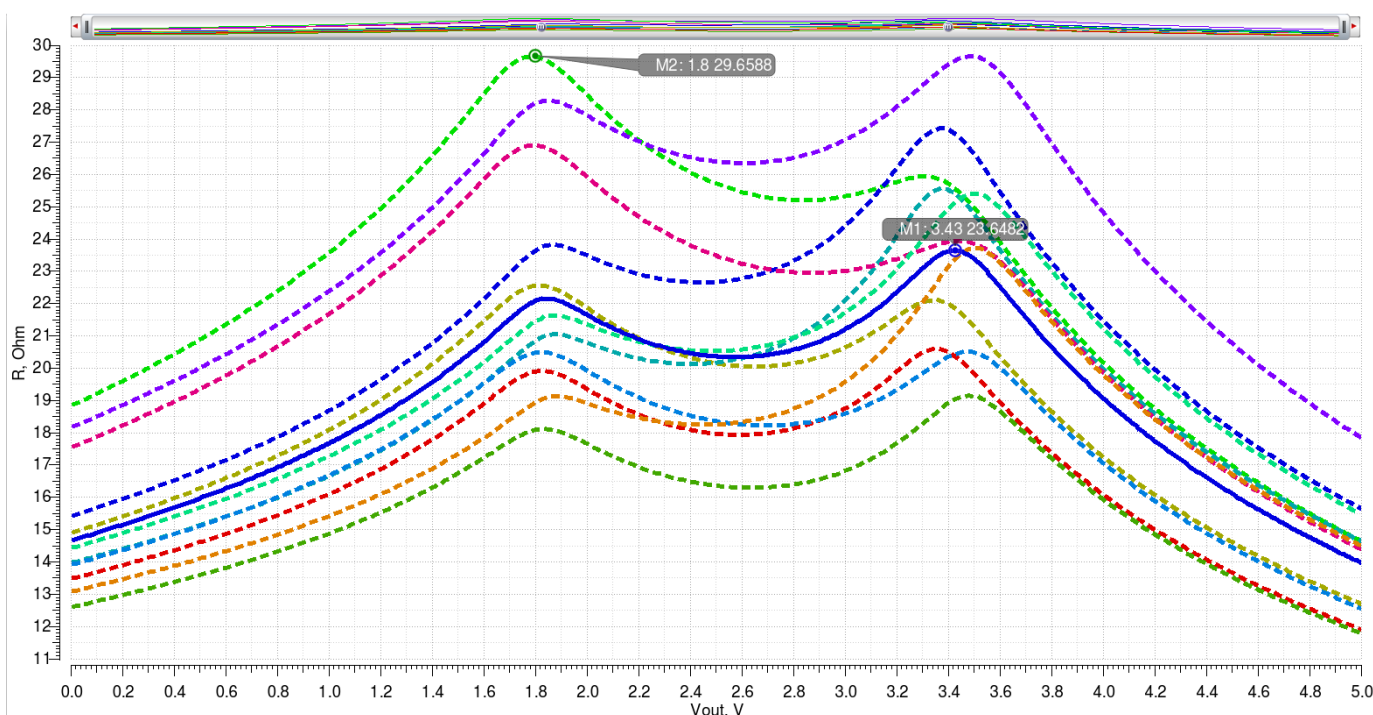


Рисунок 4.4 – Скріншот із програми Cadence Virtuoso з показаною залежністю опору компліментарного ключа показаного на Рис. 2.6 від вхідної напруги для різних температур (0...125 °C) та з врахуванням розкиду технологічних параметрів. Суцільна лінія – типова залежність опору за кімнатної температури, пунктирні лінії – залежності при інших умовах.

Як можемо бачити з Рис. 4.4 типово опір такого ключа складає 23 Ом, а в найгіршому випадку 29,6 Ом. Тобто потрібне значення було досягнуто. Враховуючи, що до кожного виходу мікросхеми буде підключено декілька ключів (один з них відкритий, інші – закриті), потрібно розуміти величину паразитних струмів витікання ключа у закритому стані. Це буде накладати обмеження на мінімальний струм, що може бути виміряний у досліджуваних аналогових блоках. Залежність струму витікання ключа від вихідної напруги показано на Рис. 4.5. Як можемо бачити максимальний струм витікання становить 0,5 нА при вхідній напрузі 5 В, але при такій напрузі нам не потрібно дуже точно вимірювати струм. При напрузі 4,8 В максимальний струм витікання становить лише 112 пА. Його і будемо вважати обмежуючим фактором для точного вимірювання струму. Також потрібно визначити мало-сигнальний вихідний опір ключа у закритому стані. Він

буде накладати обмеження на мінімальний мало-сигнальний вихідний опір, що може бути виміряний у досліджуваних блоків. Це особливо важливо для вимірювання струмових дзеркал, де вихідний опір може складати десятки або сотні МОм (див. Табл. 2.3). Із Рис. 4.5 видно, що при зміні вихідної напруги на 2 В, струм витікання змінюється на 42,8 пА, що відповідає опору в 46 ГОм.

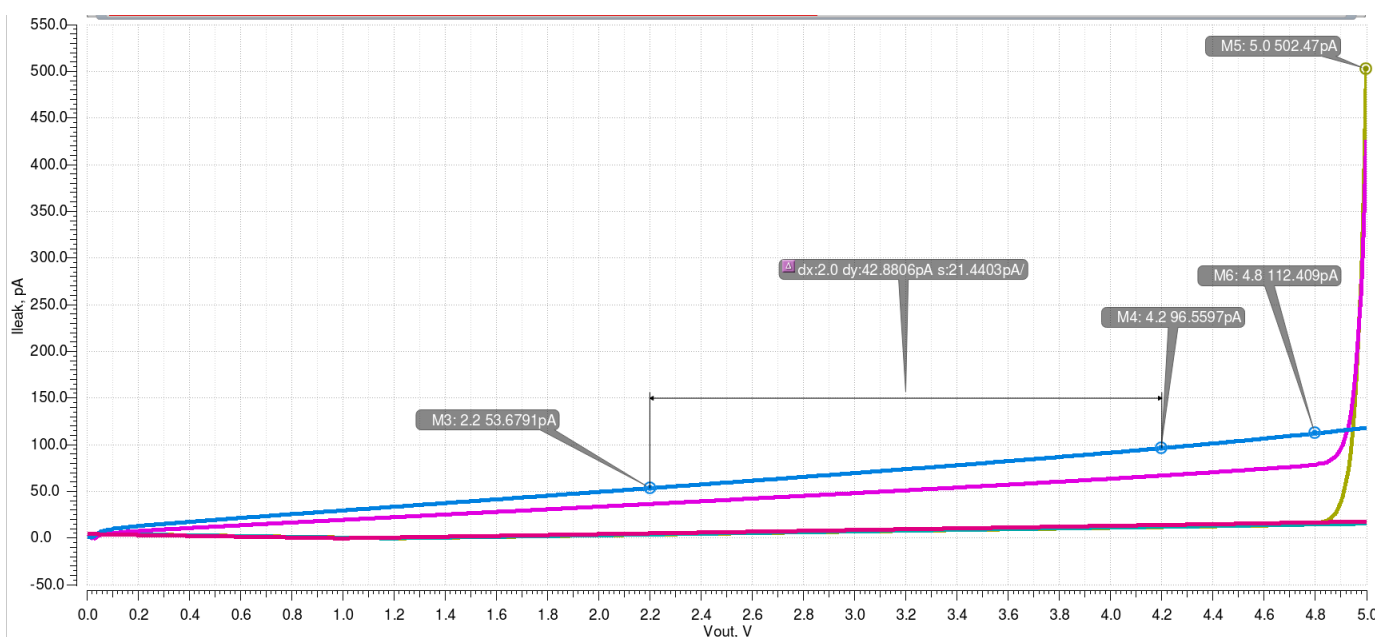


Рисунок 4.5 – Скріншот із програми Cadence Virtuoso з показаною залежністю струму витікання за кімнатної температури для компліментарного ключа показаного на Рис. 2.6 від вхідної напруги з врахуванням розкиду технологічних параметрів.

Також потрібно розуміти як деградують параметри ключа при підвищеній температурі, тому ідентичне моделювання було проведено при температурі 125 °С. Його результати показано на Рис. 4.6. Можемо бачити, що максимальний струм витікання становить 15,7 нА при напрузі 5 В і 4 нА при напрузі 4,8 В. Мало-сигнальний опір зменшився до 1,35 ГОм. Всі параметри, що були промодельовані, показано у Табл. 4.1.

Слід зауважити, що параметри приведено у розрахунку на один ключ, а при паралельному підключенні декількох ключів, параметри погіршаться відповідним чином.

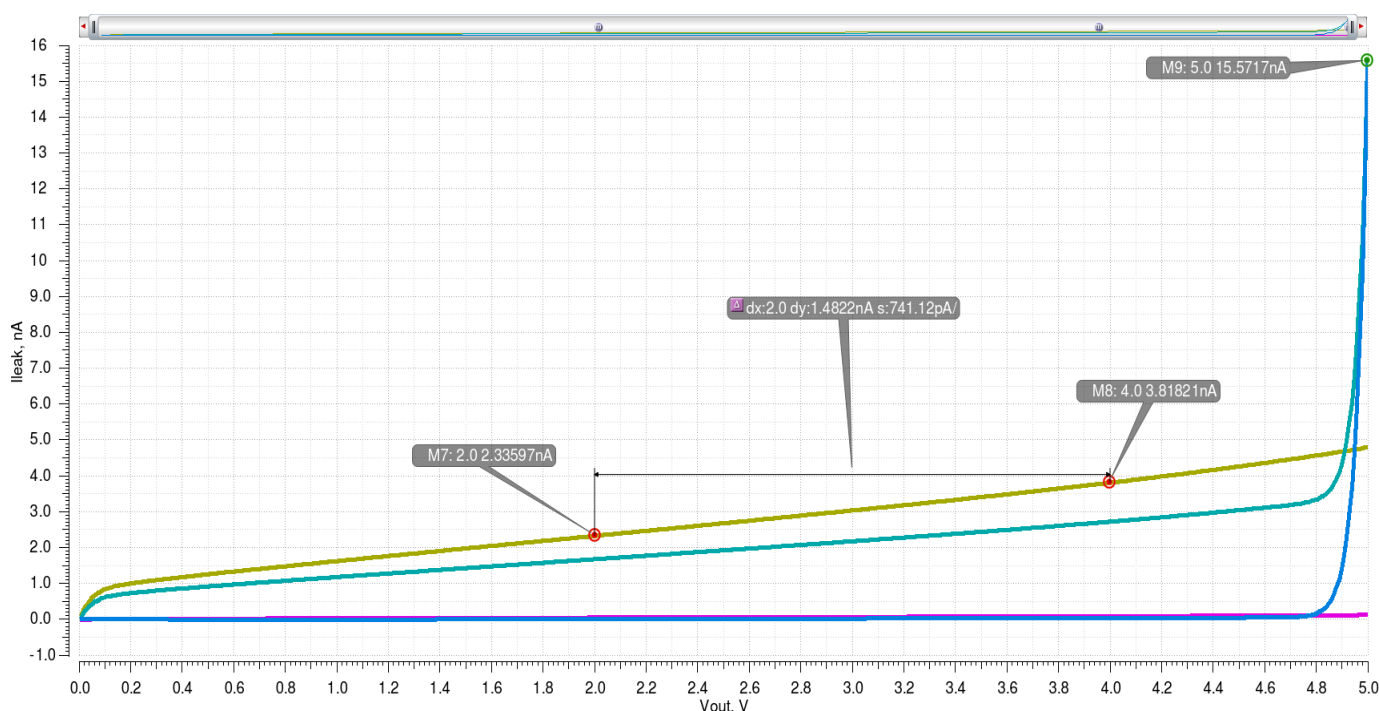


Рисунок 4.6 – Скріншот із програми Cadence Virtuoso з показаною залежністю струму витікання при температурі 125 °C для компліментарного ключа показаного на Рис. 2.6 від вхідної напруги з врахуванням розкиду технологічних параметрів.

Таблиця 4.1 – Електричні параметри компліментарного ключа

Температура, °C	Максимальний опір, Ом	Струм витікання, нА	Максимальний струм витікання, нА	Мало-сигнальний опір, ГОм
27	23,6	0,11	0,5	46
125	29,6	4	15,7	1,35

Розробимо топологію ключа. Щоб мати більшу стійкість до статичної напруги, краще розділити кожен транзистор на декілька затворів [23]. Це важливо, бо компліментарний ключ підключений на пряму до зовнішніх виводів мікросхеми. Нехай ширина одного затвору складає 10 мкм, тоді n-канальний транзистор буде складатися з 13 затворів, а р-канальний відповідно з 40. Його топологію показано на Рис. 4.7, а загальні розміри складають 76x22 мкм, або 1672 мкм². Шини, що підключено до входу спеціально зроблено широкими (2,5 мкм), щоб зменшити їх паразитний опір.

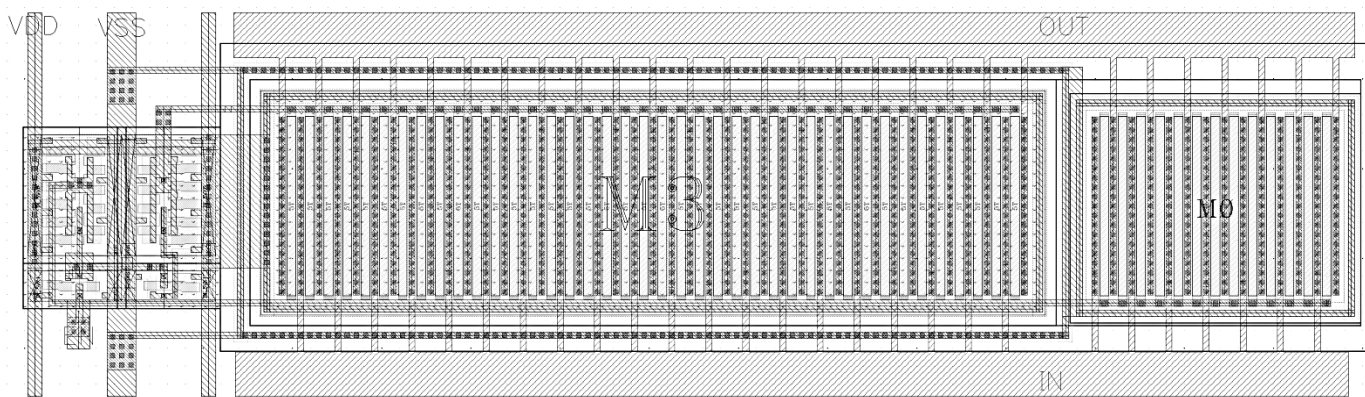


Рисунок 4.7 – Топологія компліментарного ключа (зліва – цифрова логіка для керування затворами, в центрі – р-канальний ключ, справа – n-канальний ключ)

Знаючи площу та електричні параметри ключа, можемо розрахувати оптимальну кількість біт аналогового мультіплексора. Кожен додатковий біт N мультіплексора дозволяє реалізувати 2^N різних комбінацій. При цьому кількість ключів може бути знайдена як

$$N_k = N_{\text{вих.еф.}} \cdot N_{\text{комб}} = (N_{\text{вих}} - N_{\text{доп}} - N) \cdot 2^N, \quad (4.1)$$

де N_k – кількість ключів;

$N_{\text{вих.еф.}}$ – ефективна кількість виходів ІМС;

$N_{\text{комб}}$ – кількість комбінацій;

N – кількість біт мультіплексора;

$N_{\text{вих}}$ – кількість виходів ІМС;

$N_{\text{доп}}$ – кількість допоміжних виходів.

Під допоміжними виходами ІМС розуміємо: шини живлення та землі, вихід аналогового регулятора та керуючий сигнал для вимкнення мультіплексора. Тобто в нашому випадку $N_{\text{доп}} = 4$. Також слід зазначити, що кожен біт потребує додаткового входу керування для вибору потрібної комбінації мультіплексора.

Площа, що займають всі ключі разом може бути визначена як

$$S_k = S_1 \cdot N_k, \quad (4.2)$$

де S_k – площа всіх ключів разом;

$S_1 = 1672 \text{ мкм}^2$ – площа одного ключа.

На кожному виході мікросхеми будуть присутні $N_{\text{комб}}$ ключів, один з яких буде відкритий, а інші закриті, тому загальний паразитний струм витікання на кожному виході можна розрахувати як

$$I_{\text{вит}} = (N_{\text{комб}} - 1) \cdot I_{\text{вит1}}, \quad (4.3)$$

де $I_{\text{вит}}$ – струм витікання на виході ІМС;

$I_{\text{вит1}} = 0,11 \text{ нА}$ – струм витікання одного ключа при кімнатній температурі.

Аналогічним чином можна розрахувати паразитний мало-сигнальний опір, що буде створюватись закритими ключами на кожному виході ІМС

$$R_{\text{пар}} = (N_{\text{комб}} - 1) \cdot R_{\text{пар1}}, \quad (4.4)$$

де $R_{\text{пар}}$ – паразитний мало-сигнальний опір на виході ІМС;

$R_{\text{пар1}} = 46 \text{ ГОм}$ – паразитний мало-сигнальний опір одного ключа при кімнатній температурі.

Використовуючи формули (4.1) – (4.4) можемо розрахувати параметри схеми в залежності від кількості біт мультиплексора. Результати наведено у табл. 4.2.

Таблиця 4.2 – Параметри ІМС в залежності від кількості біт мультиплексора

N	$N_{\text{комб}}$	N_k	$S_k, \text{мм}^2$	$S_k, \%$	$I_{\text{вит}}, \text{нА}$	$R_{\text{пар}}, \text{ГОм}$
1	2	118	0,20	9	0,11	46,0
2	4	232	0,39	17	0,33	15,3
3	8	456	0,76	34	0,77	6,6
4	16	896	1,50	67	1,65	3,1
5	32	1760	2,94	131	3,41	1,5

Стовбець $S_k, \%$ показує який відсоток площі всієї ІМС займають ключі. Як можемо бачити при умові 5 біт, ключі займають 131% площі, тобто не вміщаються в ІМС. Тому оберемо конфігурацію з 4-х бітним мультиплексором, як це показано на Рис. 4.1. Це дозволить реалізувати 16 окремих блоків, кожний з яких має 56 виходів, що можуть бути підключені до виходів ІМС за допомогою мультиплексора. При кімнатній температурі на кожному виході буде присутній струм витікання, що складає як мінімум 1,65 нА. При температурі 125 °С він збільшиться до 60 нА, але це не є проблемою, бо на високих температурах проводити точні виміри струму не планується. Мінімальний мало-сигнальний опір, що може бути виміряний при кімнатній температурі складає 3,1 ГОм, що також є задовільним.

Принцип роботи дешифратора для мультиплексора та його практична реалізація далі розглядатись не будуть. Синтез дешифратора було проведено автоматично за допомогою вбудованої утиліти в Cadence Virtuoso на основі моделі, що була описана на Verilog. Його площа складає 41814 мкм².

4.2 Захист від статичної напруги

Один із важливих етапів створення ІМС – це розробка захисту від статичною напруги. Це особливо актуально в умовах сучасної МДН технології, де товщина окислу під затвором транзистора складає одиниці нанометрів [24]. На сьогоднішній день існують декілька способів моделювання статичної напруги [25].

В якості моделі було обрано модель тіла людини (HBM), принцип якої показано на Рис. 4.8. Спочатку конденсатор $C=100$ нФ заряджається до високої напруги (декілька кВ), а потім його обкладинки замикаються на двох виходах ІМС через резистор 1,5 кОм.

Для зменшення площі, що займає схема захисту від статичної напруги було вирішено обрати захист від напруги 2 кВ за моделлю HBM. Для цього до кожного виходу ІМС підключено п-канальний МДН транзистор, як це показано на Рис. 4.9. В такому включенні він має характеристику роботи тиристорного типу [26]. Це

дозволяє при різкому збільшенні вхідного струму обмежити напругу на певному рівні, яка залежить від розмірів транзистора. Зазвичай декілька таких схем підключено паралельно і баластний резистор $R1$, який зазвичай має опір в декілька Ом, вирівнює розподіл струмів між паралельними транзисторами.

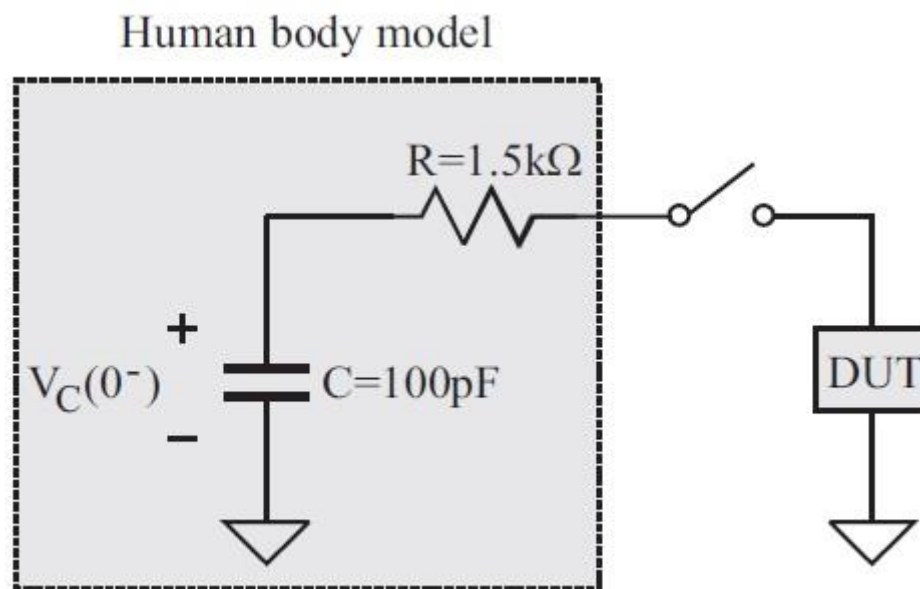


Рисунок 4.8 – Моделювання взаємодії ІМС з статичною напругою на основі моделі тіла людини [27]

Контактний маїданчик

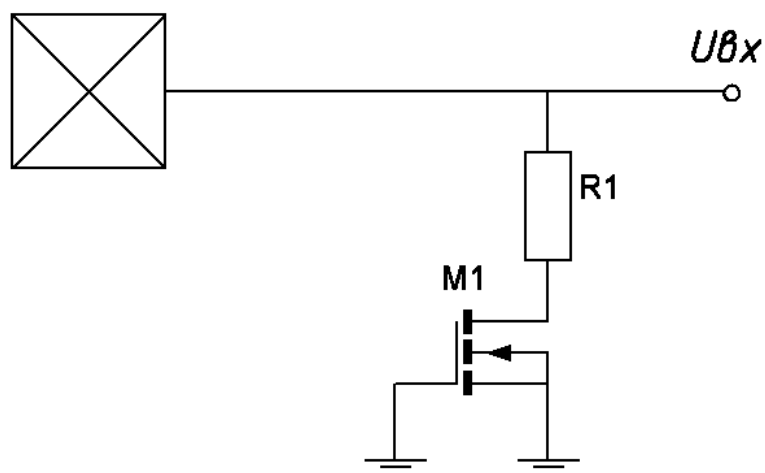


Рисунок 4.9 – Схема захисту від статичної напруги

В даній технології елементи захисту від статичної напруги є стандартними і вже розроблені. Тому процес обрання розмірів і детальний аналіз роботи далі не розглядається.

Слід зазначити, що до кожного контактної майданчика підключено аналоговий ключ мультимплектора, що має достатньо велику площу. Це створює ризик, що паралельно з основною схемою захисту від статичної напруги, може виникнути пробій ключа. Щоб уникнути цього явища, послідовно з кожним входом було вирішено розмістити полікремнієвий резистор з додатнім ТКР номіналом 22 Ом. Це дозволить обмежити струм і захистити внутрішні структури. Таким чином шлях струму через схему захисту від статичної напруги буде домінуючим.

Щоб зробити розподіл струму більш рівномірним, було вирішено створити декілька 22 Ом резисторів і до кожного з них підключити по 4 окремих аналогових ключа, як це показано на Рис. 4.10.

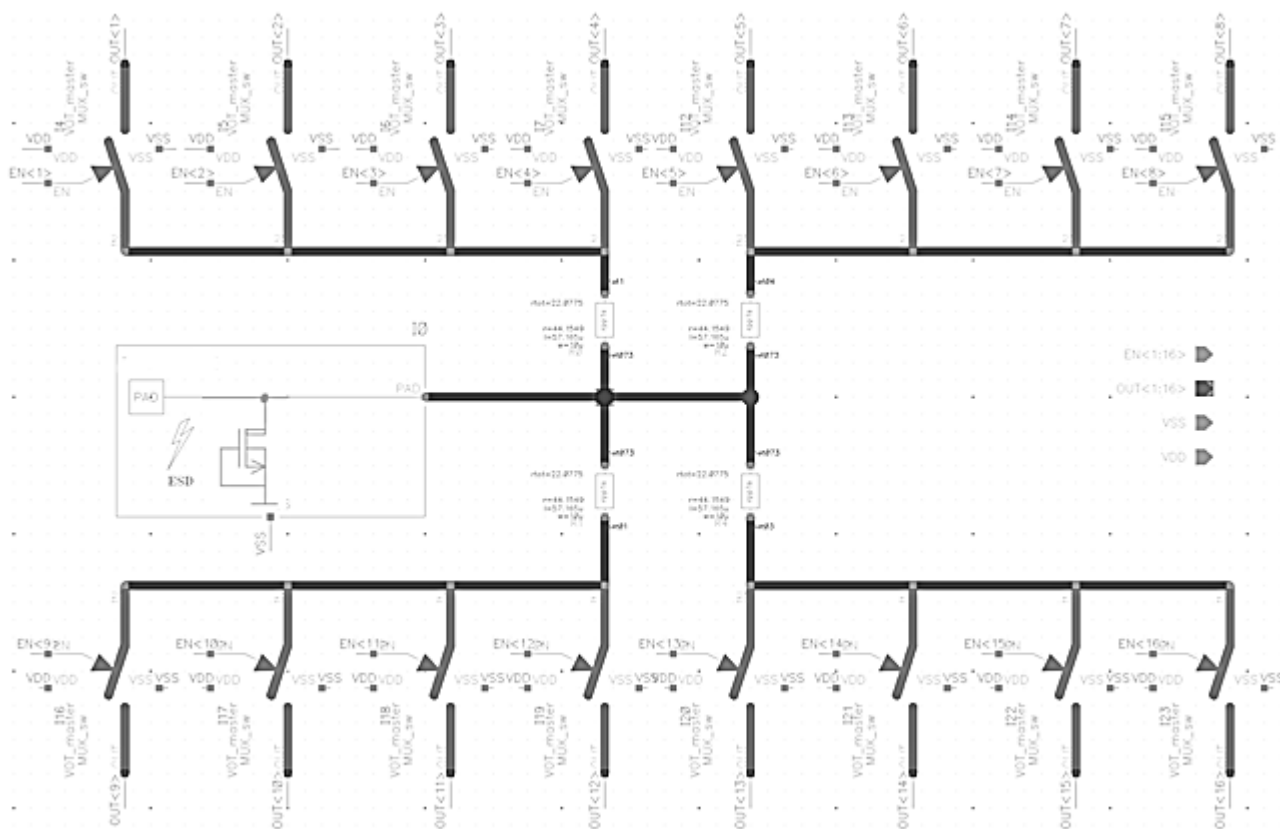


Рисунок 4.10 – Скріншот із програми Cadence Virtuoso з показаною схемою захисту від статичної напруги та ключами мультимплектора (номінал резисторів 22 Ом)

Для елемента з Рис. 4.10 було розроблено топологію, яку показано на Рис. 4.11. Цей елемент складається з контактної майданчику, схеми захисту від статичної напруги та 16 ключів аналогового мультиплексора. Розміри блоку складають $500 \times 100 \text{ мкм}^2$, а площа дорівнює $0,05 \text{ мм}^2$.

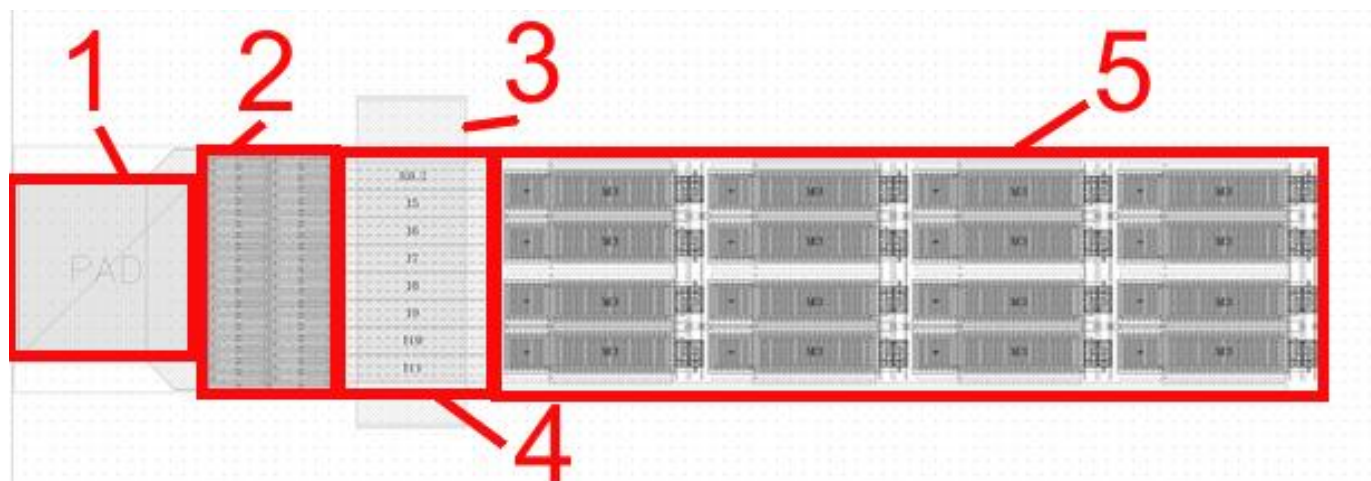


Рисунок 4.11 – Топологія схеми, що показано на Рис. 4.10 (1 – контактний майданчик; 2 – схема захисту від статичної напруги; 3 – земляна шина; 4 – резистори, що включено послідовно з ключами, 5 – ключі мультиплексора)

Після отримання топології, що зображено на Рис. 4.11, було проведено розрахунок ефективної площі, що залишилась для проектування ІМС. Для цього була створена топологія (Рис. 4.12), де розміщені всі контактні майданчики разом із захистом від статичної напруги і ключами мультиплексора. Також розміщено систему живлення. Загальні розміри кристалу ІМС складають $2,3 \times 1,9 \text{ мм}$ ($4,4 \text{ мм}^2$), а ефективна площа, що залишилась в середині, складає $1,3 \times 0,9 \text{ мм}$ тобто приблизно $1,2 \text{ мм}^2$. Таким чином приблизно 30% площі ІМС можуть бути використані для створення блоків, що будуть досліджені. Це підтверджує попередні розрахунки, що наведено у Табл. 4.2.

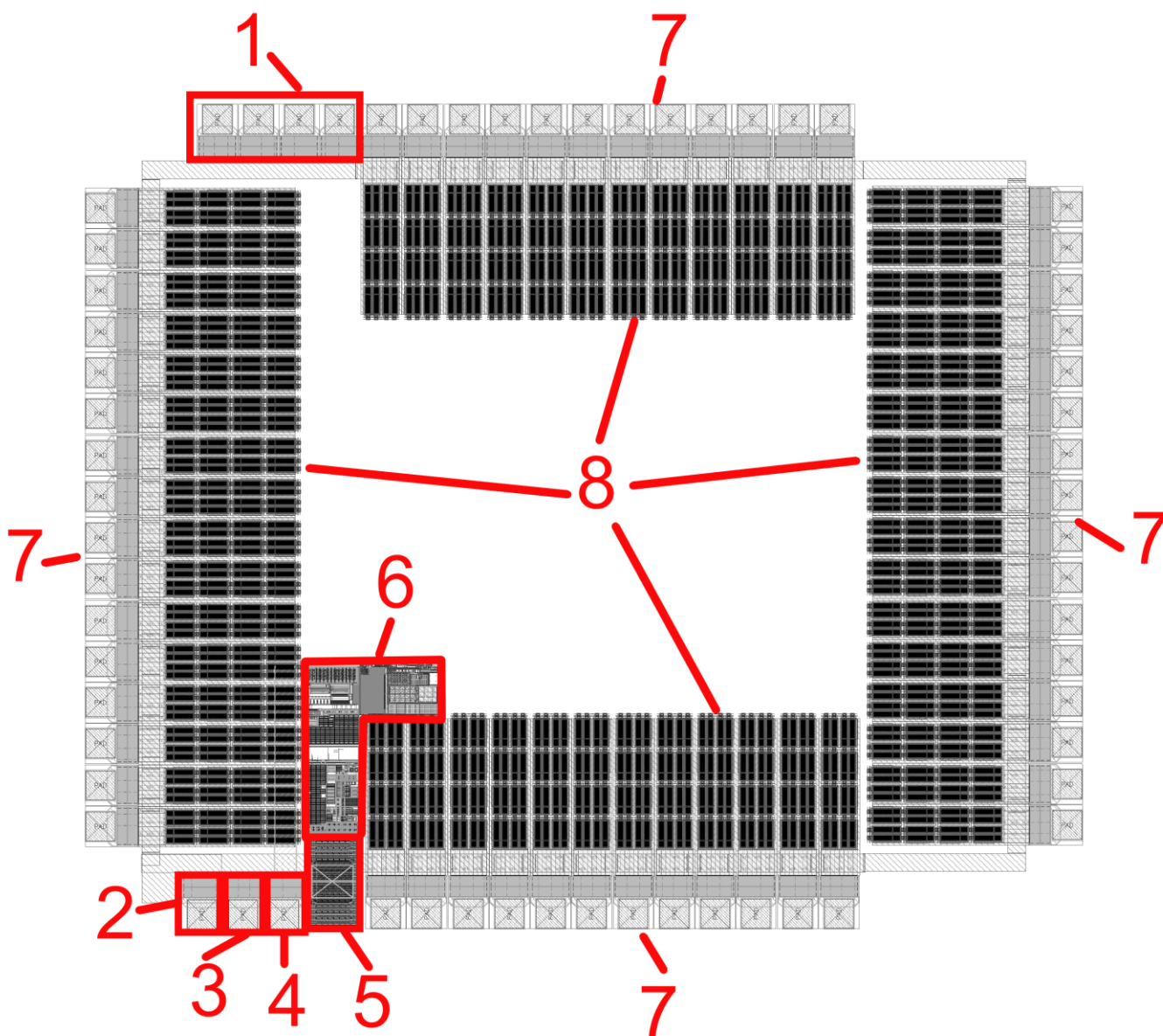


Рисунок 4.12 – Розташування деяких елементів на топології ІМС (1 – контактні майданчики для сигналів керування аналоговим мультиплексором, 2 – контактний майданчик землі, 3 – контактний майданчик для сигналу, що вимикає мультиплексор, 4 – контактний майданчик живлення, 5 – контактний майданчик для виходу аналогового регулятора, 6 – система живлення, 7 – контактні майданчики для інших виходів ІМС, 8 – ключі аналогового мультиплексора)

У наступних пунктах буде описано процес створення електричних схем та їх топології, що дозволять вивчення та вимірювання параметрів базових блоків аналогової мікросхемотехніки, які були розглянуті у другому розділі.

4.3 Блок дослідження аналогових ключів

В другому розділі було розглянуто декілька особливостей роботи МДН транзисторів. По-перше це ефекти короткого каналу. По-друге це особливості роботи аналогових ключів в залежності від підключення підкладки. Пропонується розділити ці два аспекти на окремі блоки. Кожен з блоків буде мати по 56 виходів, які можуть бути підключені до виходів ІМС за допомогою мультиплексора, як це показано на Рис. 4.1.

В першому блоці пропонується створити транзистори, що дозволять проводити вимірювання залежностей порогової напруги від геометричних розмірів (як на Рис. 2.2) та досліджувати ефект насичення дрейфової швидкості. В другому блоці пропонується створити транзистори з ізолюваною підкладкою, яку можна підключати до будь-якого терміналу транзистора. Це дозволить вивчати ефекти підкладки та їх вплив на роботу МДН ключів.

Для створення першого блоку можемо використовувати електричну схему, що показано на Рис. В.1. Для більш інформативної схеми однотипні підключення транзисторів показані через риску, тобто якщо один транзистор має назву М1-М6, а його затвор підключено до терміналів $U_{вих1-6}$, а сток до терміналів $U_{вих7-12}$, це означає, що на схемі існує 6 різних транзисторів. У першого транзистора затвор підключено до терміналу $U_{вих1}$, а сток до $U_{вих7}$, у другого транзистора – затвор до $U_{вих2}$, сток до $U_{вих7}$ і т.д.

Розміри транзисторів (які вказані у табл. В.1) обирались так, щоб вимірявши їх вольт-амперні характеристики (ВАХ), можна було отримати окремі залежності порогової напруги від ширини та довжини каналу. Тобто для перших п'яти транзисторів довжина фіксована і складає 5 мкм, а ширина змінюється з певним кроком. Для других п'яти транзисторів вже ширини фіксована, а довжина змінюється. У транзисторів М25-М28 ширина і довжина рівні і змінюються одночасно, це зроблено, щоб дослідити ефект насичення дрейфової швидкості. Для прикладу на Рис. 4.13 показано, що дійсно за допомогою передавальної

характеристики транзисторів M1-M6, можна визначити, що значення порогової напруги є різним для транзисторів з різними розмірами каналу. Аналогічні залежності можуть бути виміряні для інших транзисторів у цьому блоці. Також для прикладу на Рис. 4.14 показано моделювання вихідних характеристики транзисторів M25-M28, де видно, що спостерігається ефект насичення дрейфової швидкості.

На електричній схемі не показані додаткові транзистори, що вимикають цей блок у разі потреби. У разі необхідності, коли наприклад робота ведеться з іншим досліджуваним блоком, вони підключають затвори n-канальних транзисторів до землі, а затвори p-канальних транзисторів до живлення.

На основі електричної схеми, було розроблено топологію цього блоку, що показано на Рис. 4.15. Його розміри складають 76x42 мкм, або 3192 мкм².

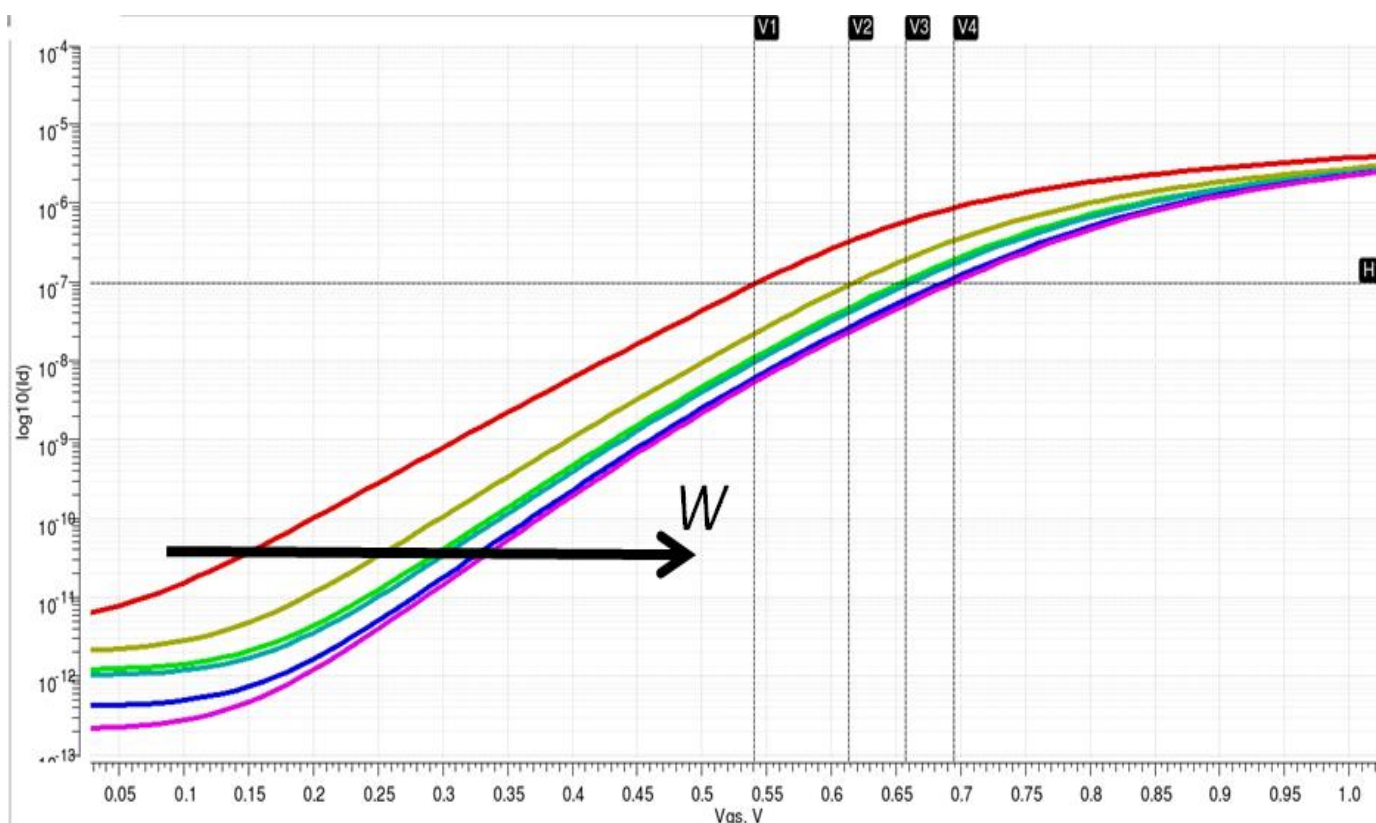


Рисунок 4.13 – Скріншот із програми Cadence Virtuoso з залежністю струму стоку від напруги на затворі у логарифмічному масштабі для транзисторів M1-M6. Пороговою напругою вважається значення напруги, коли струм дорівнює 100 нА.

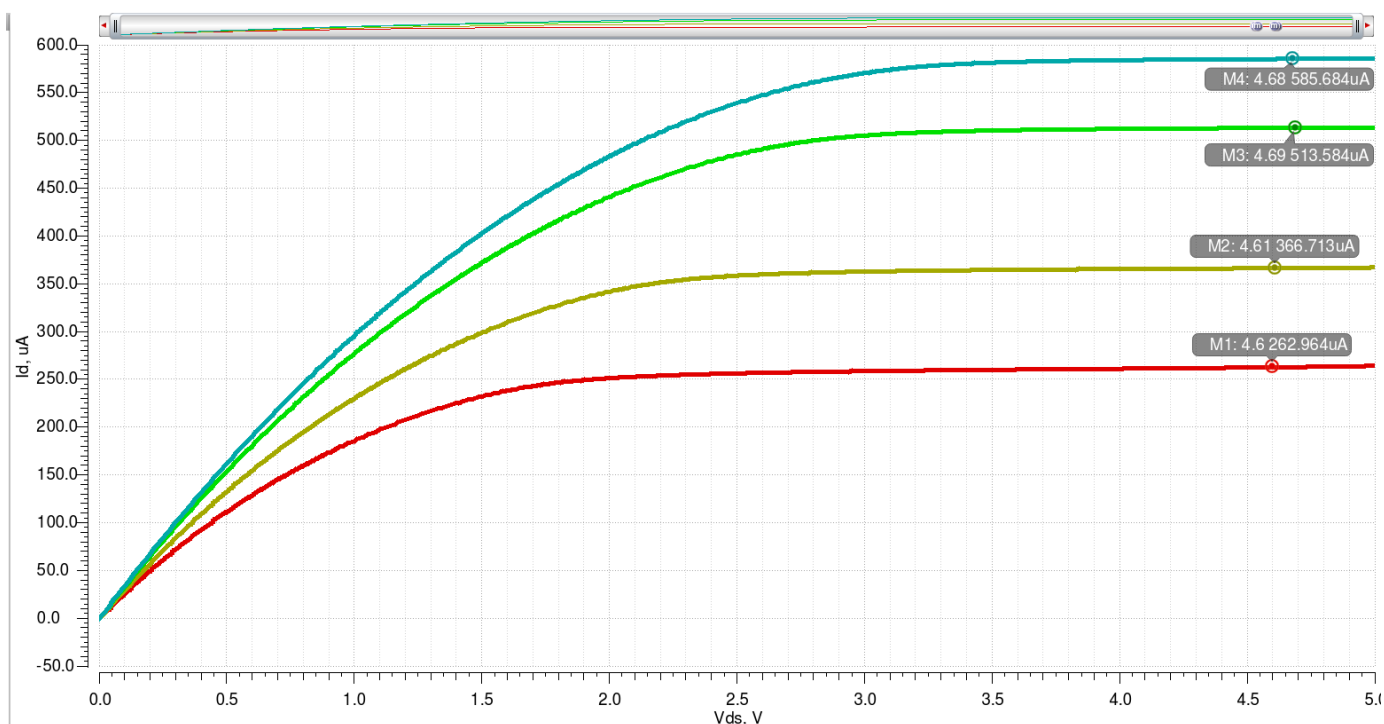


Рисунок 4.14 – Скріншот із програми Cadence Virtuoso з вихідними характеристиками транзисторів M25-M28. Більший струм відповідає більшим геометричним розмірам каналу транзистора.

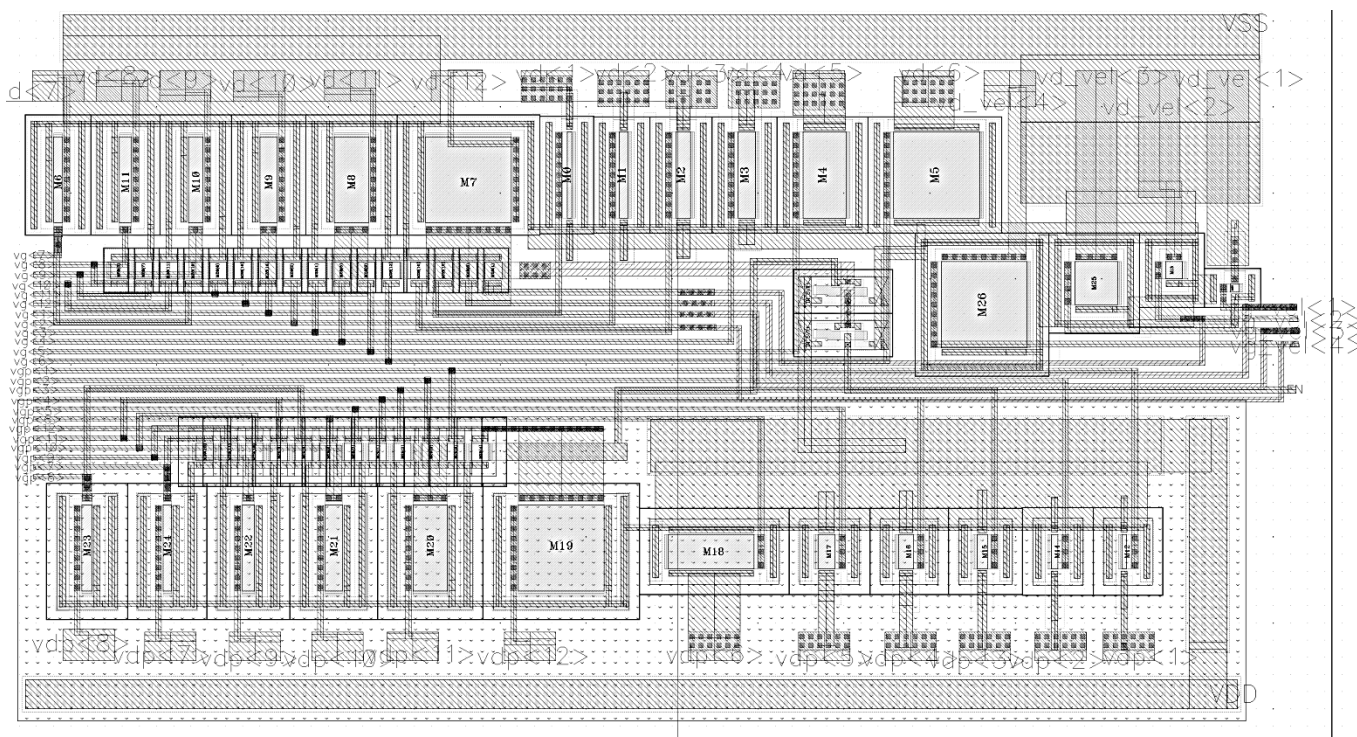


Рисунок 4.15 – Топологія першого блоку IMC для дослідження залежності порогової від розмірів каналу та спостереження ефекту насичення дрейфової швидкості.

Для створення другого блоку пропонується використовувати електричну схему, що показано на Рис. В.2. Розміри транзисторів (вказані у табл. В.2) обирались таким чином, щоб можна було дослідити залежність опору відкритого ключа окремо від довжини та ширини каналу. Опір цих ключів спеціально зроблений набагато більшим, ніж опір ключів мультиплексора, щоб можна було проводити точні виміри. Також слід зазначити, що всі транзистори створюються з ізольованою підкладкою, яку можна підключити до будь-якого терміналу. Для обмеження струму підкладки у разі її некоректного підключення і наявності рп-переходу у прямому зміщенні, послідовно з кожним терміналом підкладки було включено 33 кОм резистор для обмеження струму. Номінал був обраний із розрахунку мінімальних геометричних розмірів резистора.

На основі електричної схеми було розроблено топологію, яку показано на Рис. 4.16, її розміри складають 46х96 мкм або 4416 мкм².

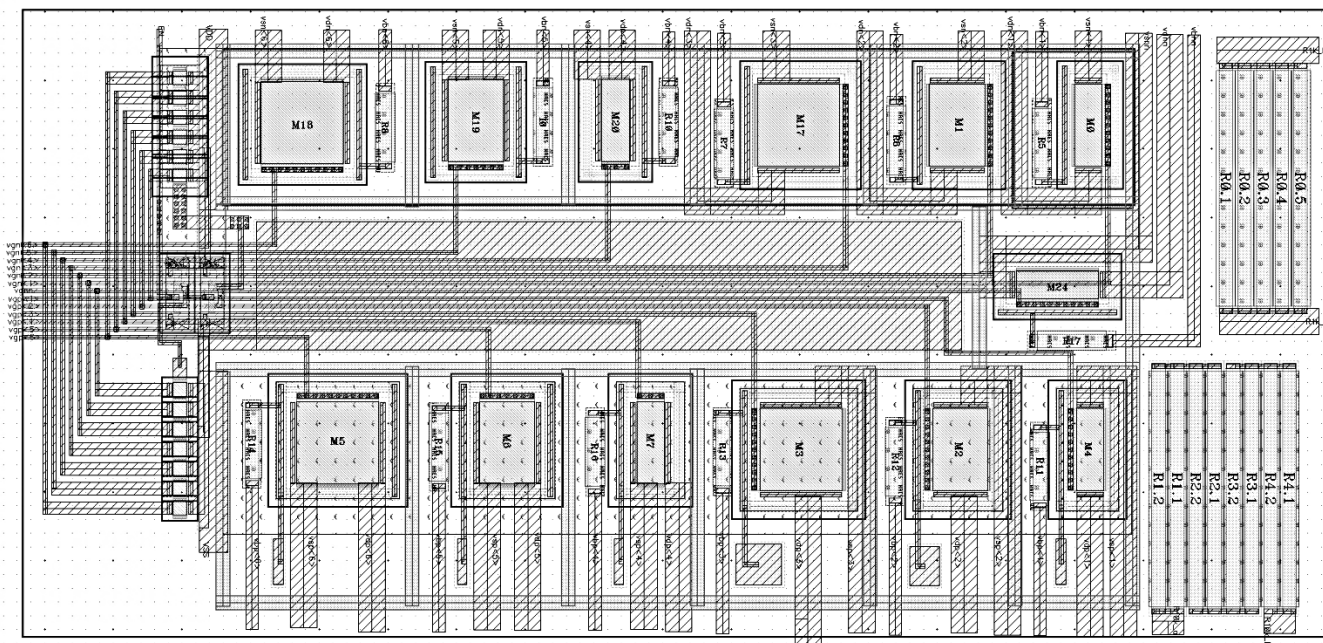


Рисунок 4.16 – Топологія другого блоку ІМС для дослідження роботи аналогових ключів та ефектів підкладки

За допомогою цього блоку можна вивчити діапазон робочих напруг n-канальних та р-канальних ключів, залежність їх опору від геометричних розмірів, напруги на вході та напруги на підкладці. Можна зібрати компліментарний ключ, а також схеми, що дозволяють прибрати ефект підкладки (як на Рис. 2.10).

Електрична схема включає в себе 2 резистори номіналом 10 кОм та 1 кОм. Вони створені для зручності вимірювання. Можна включити ключ між резистором та вхідною напругою та виміряти падіння напруги на досліджуваному ключі. Знаючи струм, що протікає в контурі, можна легко розрахувати опір ключа без додаткових зовнішніх пасивних компонентів.

4.3 Блок струмових дзеркал

Для дослідження та вимірювання параметрів різних струмових дзеркал пропонується використовувати електричну схему, що показано на Рис. В.3. Розміри транзисторів вказані у табл. В.3. Така конфігурація дозволить створювати всі схеми струмових дзеркал, що були описані у другому розділі. Геометричні розміри обрані таким чином, щоб можна було вивчати залежність мінімальної вихідної напруги і вихідного опору від ширини та довжини каналу. Довжина більшості транзисторів становить 1 мкм. Це зроблено навмисно, щоб зменшити вихідний опір і зробити його більш легким для вимірювання. Також для зручності на електричній схемі присутній 10 кОм резистор, що служить для зміщення струмових дзеркал. Якщо в лабораторії де проводяться виміри не має джерела струму, можна використовувати цей резистор разом із джерелом напруги для створення вхідного струму.

На основі електричної схеми було розроблено топологію, яку показано на Рис. 4.17. Її розміри складають 110x35 мкм, або 3850 мкм².

Для дослідження випадкової похибки віддзеркалення та впливу топології дзеркала на його точність, пропонується створити два додаткові блоки (один для дослідження n-канальних дзеркал, інший для дослідження р-канальних дзеркал). Кожен з цих блоків буде складатись з чотирьох струмових дзеркал. У кожного

дзеркала один вхід і 13 виходів. Це потрібно, щоб мати хоча б невелику вибірку для оцінки СКО похибки віддзеркалення. Електричну схему показано на Рис. В.4, а розміри елементів наведено у табл. В.4. Послідовно з кожним входом дзеркала присутній 10 кОм резистор для обмеження вхідного струму та/або створення вхідного струму за допомогою джерела напруги на вході. Така схема дозволить вивчити вплив геометричних розмірів на випадкову похибку віддзеркалення, а також дозволить оцінити наскільки важливо мати хорошу топологію. Для прикладу на Рис. 4.18 показано «хорошу» топологію струмового дзеркала з великими розмірами транзисторів. Всі транзистори мають розмір каналу 10x10 мкм, струм тече в одному напрямі, транзистори розташовані поряд.

Для порівняння на Рис. 4.19 показано «погана» топологію струмового дзеркала з малими розмірами транзисторів. Транзистори мають розміри каналу 500x500 нм, струм тече в різних напрямках, транзистори розташовані хаотично.

Загальну топологію всього блоку показано на Рис. 4.20. Її розміри складають 113x110 мкм або 12430 мкм².

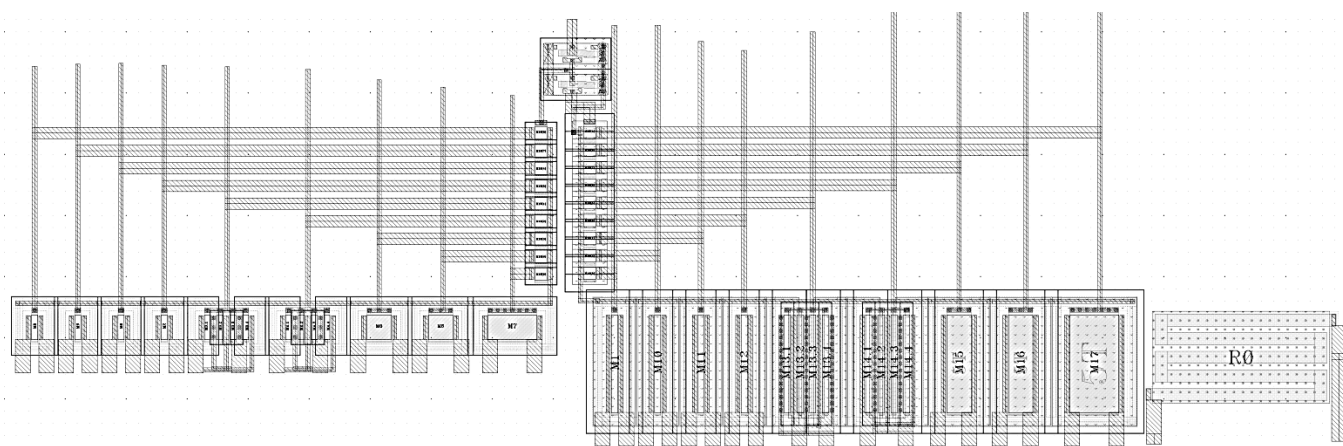


Рисунок 4.17 – Топологія третього блоку ІМС для дослідження властивостей струмових дзеркал(зліва n-канальні транзистори, справа - р-канальні транзистори і резистор для створення зміщення, по центру ключі, що дозволяють вимикати блок)

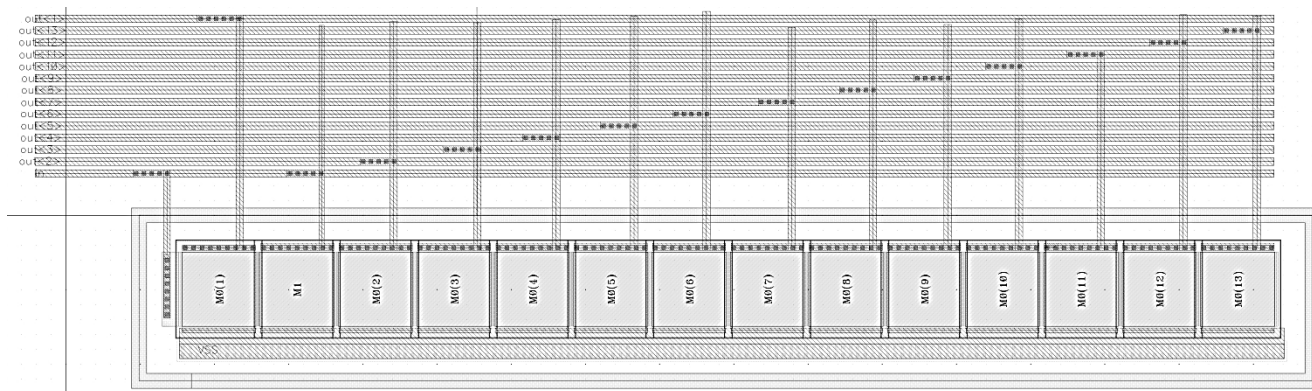


Рисунок 4.18 – Приклад «хорошої» топології струмових дзеркал з великими геометричними розмірами каналу (10x10 мкм)

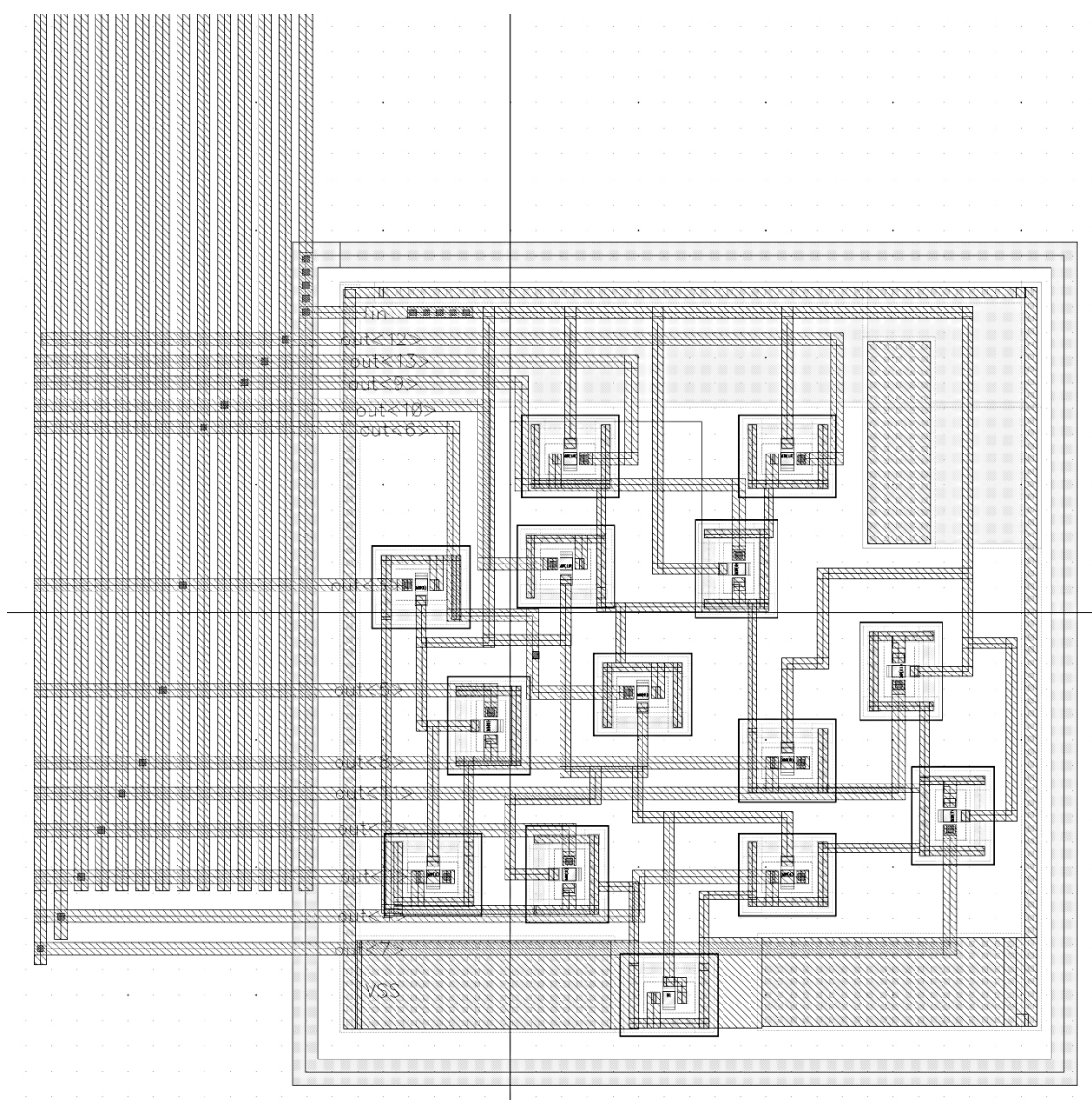


Рисунок 4.19 – Приклад «поганої» топології струмових дзеркал з малими геометричними розмірами каналу (500x500 нм)

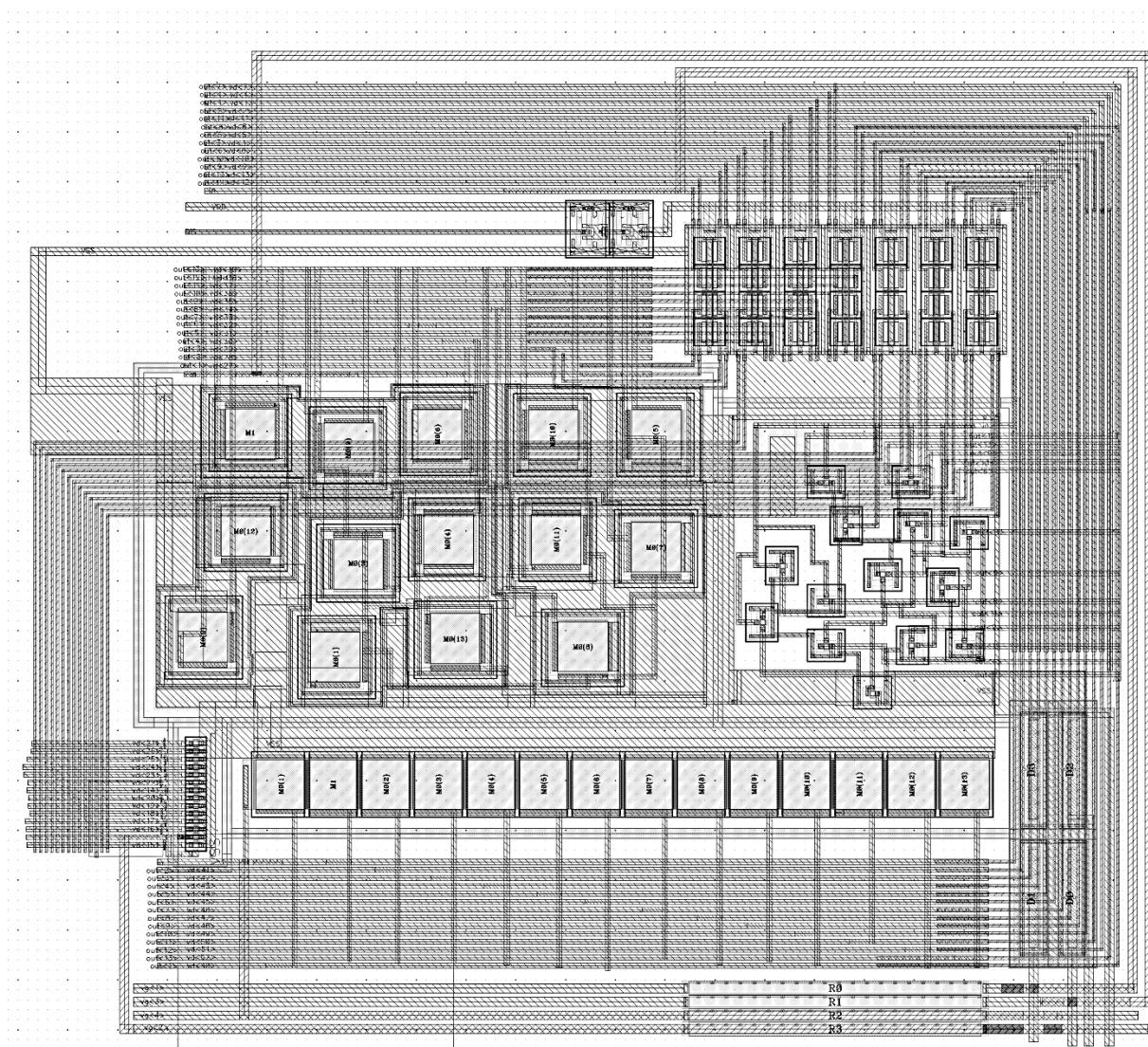


Рисунок 4.20 – Топологія четвертого блоку ІМС

Електрична схема для дослідження випадкової похибки віддзеркалення (п'ятого блок ІМС) для р-канальних транзисторів показана на Рис. В.5, а розміри елементів наведені у табл. В.5. Принципи за якими розроблювалась топологія є дуже схожими до тих, що були описані для n-канальних дзеркал, тому приклади топології не показані. Розміри п'ятого блоку складають 90×110 мкм або 9900 мкм².

4.3 Блок вивчення підсилювачів

Для дослідження однокаскадних підсилювачів пропонується використовувати схему, що показано на Рис. В.6. Це дозволить вимірювати параметри всіх схем однокаскадних підсилювачів, що були розглянуті у другому розділі. На основі електричної схеми було розроблено топологію, її розміри складають 198x194 мкм або 38412 мкм².

Для дослідження роботи диференційних пар пропонується використовувати схему, що показано на Рис. В.7. Це дозволить вимірювати їх передавальні характеристики, а також визначати як електричні параметри залежать від геометричних розмірів, типу навантаження, а також типу провідності транзисторів диференційної пари. На основі електричної схеми було розроблено топологію, її розміри складають 232x256 мкм або 59392 мкм².

Для дослідження випадкової напруги зміщення у диференційних парах з пасивним навантаженням пропонується створити два окремі блоки з однаковими електричними схемами, але з різними топологією. Електричну схему показано на Рис. В.8. В одному блоці розміри транзисторів і резисторів будуть мінімальними, а топологія буде виконана «погано». В іншому блоці розміри елементів будуть значно більшими, а топологія буде виконана «добре».

Для порівняння дві різні топології показано на Рис. 4.21. У випадку «хорошої» топології розміри транзисторів диференційної пари складають 10x10 мкм та додатково кожний транзистор поділено на 2 окремих, щоб можливо було їх перемішати між собою. Це дозволяє прибрати залежність від лінійних градієнтів у технологічному процесі[28]. Кожний 100 кОм резистор складається з 10 послідовно включених резисторів номіналом 10 кОм. Це також дозволяє зменшити похибку.

У випадку «поганої» топології розмір транзисторів складає 500x500 нм, а резистори мають мінімальну площу і знаходяться перпендикулярно один одному. Струми у диференційній парі течуть в різних напрямках.

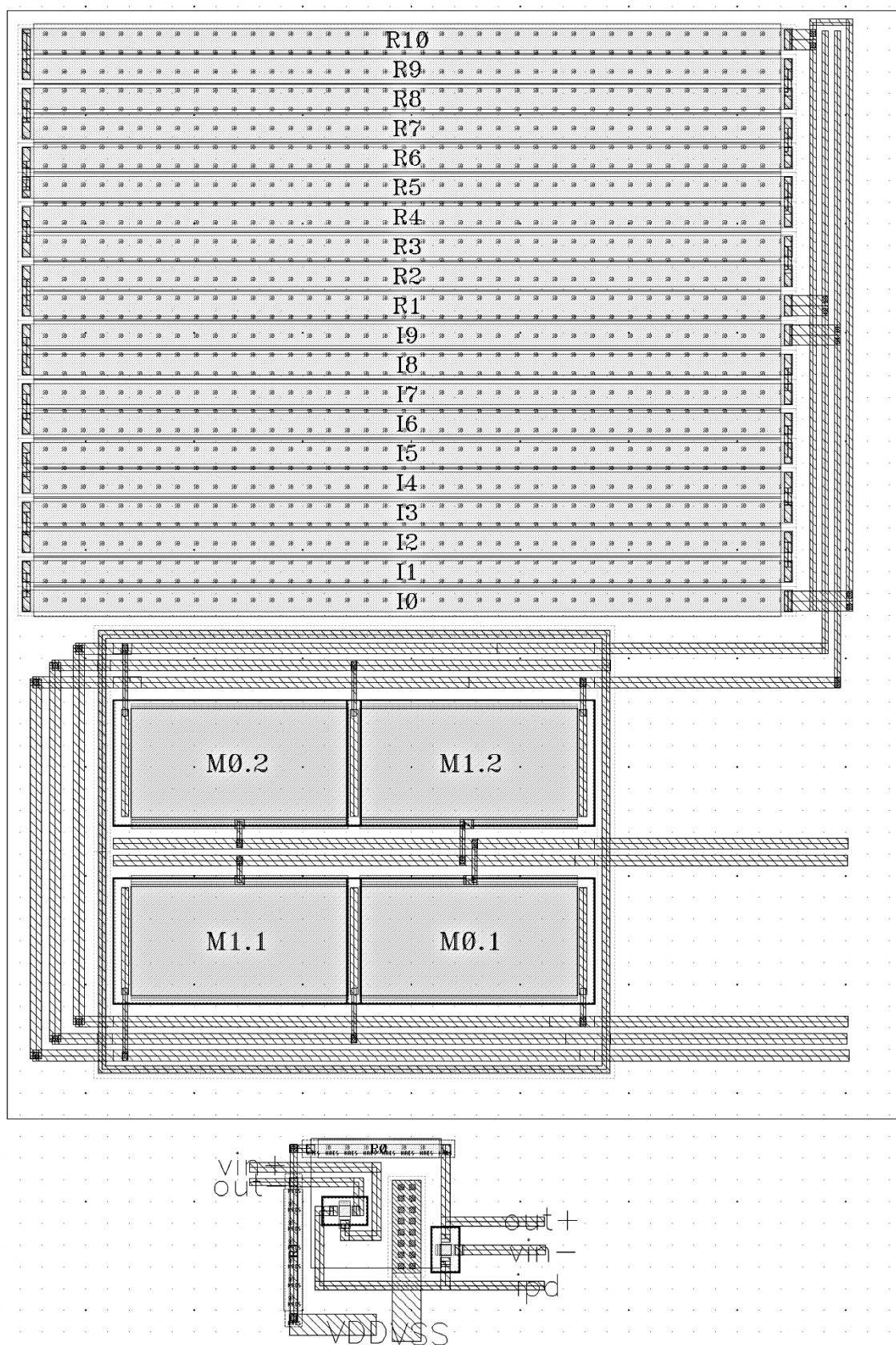


Рисунок 4.21 – Топологія двох диференційних підсилювачів з пасивним навантаженням (зверху – великі розміри та «хороша» топологія, знизу – малі розміри та «погана» топологія)

В одному блоці буде створено 14 однакових диференційних пар з «хорошим» типом топології, а в іншому блоці – 14 диференційних пар з «поганою» топологією. Це дозволить виміряти випадкову напругу зміщення і визначити як залежить її СКО від розмірів та топології. Площа, що займають ці два блоки складає 33×70 мкм (2310 мкм²) і 350×100 мкм (35000 мкм²) для «поганої» та «хорошої» топології відповідно. Їх статистичне моделювання було описано у другому розділі (див. Рис. 2.38).

Для дослідження диференційних пар з активним навантаженням пропонується використовувати схему, що показано на Рис. В.9. Ця схема дозволить провести ті ж самі виміри, що і при дослідженні диференційних пар з пасивним навантаженням. Після проведення вимірів можна провести порівняльний аналіз та зробити висновок на скільки використання активного навантаження збільшує КП і зменшує займану площу. Площа топології цього блоку складає 344×316 мкм або 108704 мкм².

По аналогії з Рис. 4.21 пропонується створити 2 різних топології диференційних пар з активним навантаженням. В одному блоці буде розміщено 18 схем з «поганою» топологією і мінімальними розмірами, в іншому блоці – 18 схем з «хорошою» топологією і великими розмірами. Електричну схему одної з 18 таких схем показано на Рис. В.10. Площа, що займає кожний блок складає 70×73 мкм (5110 мкм²) та 323×128 мкм (41344 мкм²). Їх статистичне моделювання було описано у другому розділі (див. Рис. 2.39).

4.4 Блок вивчення опорних джерел та температурних залежностей

Щоб дослідити залежність електричних параметрів пасивних та активних елементів від температури, пропонується використовувати схему, що показано на Рис. В.11. Її показано у спрощеному виді, деякі елементи опущено. Щоб дослідити температурні залежності падіння напруги на діоді, транзисторі та резисторі, ці елементи зміщаються постійними струмом, що не залежить від температури. Буде виготовлено декілька транзисторів та діодів з різними розмірами, щоб можна було прослідити як змінюється температурна залежність від геометричних розмірів.

Також буде виготовлено декілька резисторів різних типів (приклади показано у додатку Б), щоб можна було отримати залежність, яку показано на Рис. 2.42.

Також в цьому блоці присутні опорні джерела напруги і струму. Це дозволить практично виміряти їх температурні залежності і зрозуміти принцип роботи, який детально було описано у другому розділі разом з моделюванням їх температурних залежностей. На основі електричної схеми було розроблено топологію, її площа складає 335×130 мкм або 43550 мкм².

4.5 Розміщення блоків на кристалі

В попередніх пунктах було описано електричні схеми та їх відповідні топології, що дозволяють вивчати та вимірювати параметри всіх базових аналогових блоків. Додатково в середині ІМС буде створено два блоки для дослідження роботи операційних підсилювачів і один блок для дослідження генераторів тактової частоти. Ці елементи є більш складними, аналіз особливостей їх роботи, а також розробка топології лежить за межами магістерської дисертації, тому далі вони детально розглядатись не будуть. Всі 16 блоків, що показано на Рис. 4.1 перелічено у табл. 4.3. Також там наведено приклади ефектів, що можуть бути досліджені за допомогою кожного блоку. У табл. 4.4 наведено площу кожного блоку, а також показано який відсоток від загальної площі кристалу займає кожен блок. Як можемо бачити сумарна площа, що займають всі блоки складає приблизно 12% від загальної. Контактні майданчики, захист від статичної напруги, а також ключі мультиплексора займають 73%. Приблизно 15% ІМС, що залишились, будуть використані для створення металевих з'єднань між блоками та ключами мультиплексора.

Розміщення блоків на кристалі показано на Рис. 4.22. Для підвищення інформативності металеві з'єднання між блоками не показано. З'єднання зроблені за допомогою 4-х шарів металу, таким чином, щоб опір лінії від контактного майданчика до досліджуваного блоку не перевищував 48 Ом. Таким чином

загальний опір від контактного майданчика до досліджуваного блоку не перевищує 100 Ом (з урахуванням опору ключа, опору лінії та опору послідовного резистора).

Таблиця 4.3 – Короткий опис всіх блоків, що входять до складу ІМС

№	Елемент, що досліджується	Ефекти та параметри, що можуть бути виміряні
1	МДН транзистори	Залежність порогової напруги від геометричних розмірів, насичення дрейфової швидкості носіїв заряду
2	Аналогові ключі	Залежність опору ключа від геометричних розмірів, вхідної напруги та типу підключення підкладки. Принципи роботи схем, що прибирають ефект підкладки
3	Струмові дзеркала	Залежність вихідного опору та мінімальної вихідної напруги від геометричних розмірів транзисторів та в залежності від архітектури струмового дзеркала
4	Струмові дзеркала	Залежність випадкової похибки віддзеркалення від геометричних розмірів і типу топології для n-канальних струмових дзеркал
5	Струмові дзеркала	Залежність випадкової похибки віддзеркалення від геометричних розмірів і типу топології для р-канальних струмових дзеркал
6	Однокаскадні підсилювачі	Вплив архітектури підсилювача і геометричних розмірів транзисторів на передавальну характеристику та струм споживання
7	Диференційні пари з пасивним навантаженням	Залежність передавальної характеристики від геометричних розмірів транзистора і типу навантаження
8	Диференційні пари з пасивним навантаженням	Випадкова напруга зміщення при мінімальних розмірах транзисторів і "поганій" топології
9	Диференційні пари з пасивним навантаженням	Випадкова напруга зміщення при великих розмірах транзисторів і "хорошій" топології
10	Диференційні пари з активним навантаженням	Залежність передавальної характеристики від геометричних розмірів транзистора і типу навантаження
11	Диференційні пари з активним навантаженням	Випадкова напруга зміщення при мінімальних розмірах транзисторів і "поганій" топології
12	Диференційні пари з активним навантаженням	Випадкова напруга зміщення при великих розмірах транзисторів і "хорошій" топології
13	Опорні джерела струму/напруги	Температурна залежність електричних параметрів пасивних та активних елементів. Принципи роботи та температурні залежності опорних джерел струму та напруги
14	Операційні підсилювачі	Діапазон вхідних/вихідних напруг, коефіцієнт підсилення в залежності від архітектури підсилювача
15	Операційні підсилювачі	Методи частотної компенсації підсилювачів у різних конфігураціях зворотного зв'язку
16	Генератори тактової частоти	Порівняння роботи та електричних параметрів з різними архітектурами. Дослідження температурних залежностей.

Таблиця 4.4 – Площа всіх блоків, що входять до складу ІМС

№ блоку	Елемент, що досліджується	S, мкм ²	S, %
1	МДН транзистори	3192	0,07
2	Аналогові ключі	4416	0,10
3	Струмові дзеркала	3850	0,09
4	Струмові дзеркала	12430	0,28
5	Струмові дзеркала	9900	0,23
6	Однокаскадні підсилювачі	38412	0,88
7	Диференційні пари з пасивним навантаженням	59392	1,36
8	Диференційні пари з пасивним навантаженням	2310	0,05
9	Диференційні пари з пасивним навантаженням	35000	0,80
10	Диференційні пари з активним навантаженням	108704	2,49
11	Диференційні пари з активним навантаженням	5110	0,12
12	Диференційні пари з активним навантаженням	41344	0,95
13	Опорні джерела струму/напруги	43550	1,00
14	Операційні підсилювачі	41814	0,96
15	Операційні підсилювачі	48576	1,11
16	Генератори тактової частоти	66150	1,51

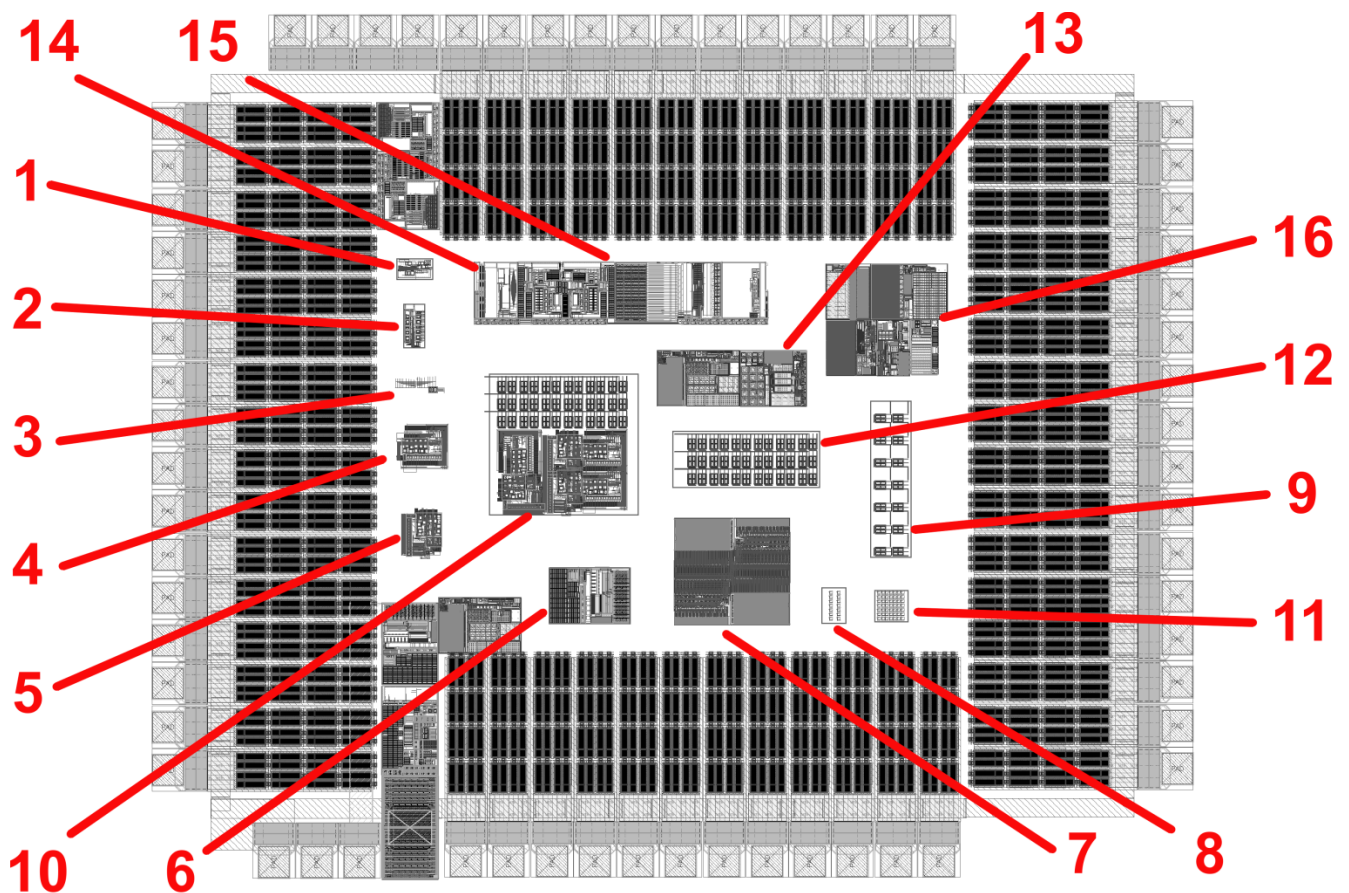


Рисунок 4.22 – Розміщення блоків на кристалі. Порядковий номер відповідає номеру блока із табл.4.4. Металеві з'єднання між блоками не показано.

Це дозволить мати відносно малий вплив на вимірювання електричних параметрів досліджуваних блоків. Наприклад при вимірюванні струмових дзеркал на струмі 100 мкА, послідовно з кожним виходом буде падіння напруги всього 10 мВ, що є прийнятним результатом. За кімнатної температури на кожному виході мікросхеми присутній паразитний струм витікання 3 нА і мало-сигнальний паразитний опір в 1 ГОм. Це майже не накладає обмежень на вимірювання досліджуваних блоків.

Висновки до розділу 4

У цьому розділі було описано процес створення ІМС для дослідження всіх базових блоків аналогової мікросхемотехніки. Розроблено функціональну блок-схему ІМС. Показано, що для максимізації блоків, що можуть бути досліджені потрібно використовувати 4-х бітний аналоговий мультиплексор.

Розроблена схема захисту від статичної напруги, а також проведено аналіз паразитних параметрів ключів. Опір від контактного майданчика до досліджуваного елементу не перевищує 100 Ом, а струм витікання на кожному виході не перевищує 3 нА при кімнатній температурі, що робить можливим проведення дуже точних вимірювань.

На основі моделювання роботи базових аналогових блоків (представлених у другому розділі) було запропоновано схеми для вивчення їх роботи та вимірювання електричних параметрів. Електричні схеми для кожного блоку разом із розмірами транзисторів наведено у Додатку В. На їх основі, було розроблено топологію.

Для струмових дзеркал та диференційних пар розроблено декілька різних варіантів топології для послідовного порівняння статистичних похибок.

Площа всього кристалу складає 4,4 мм² з якої 70% загальної площі використовується для створення ключів та захисту від статичної напруги, а ще 12% – для створення досліджуваних блоків.

5 РОЗРОБКА СТАРТАП ПРОЕКТУ

5.1. Опис ідеї проекту

Таблиця 5.1 – Опис ідеї стартап-проекту

Зміст ідеї	Напрямки застосування	Вигоди для користувача
Створення ІМС, що дозволить вивчати всі базові блоки аналогової мікросхемотехніки	1. Навчання інженерів-конструкторів ІМС	Можливість вивчення електричних параметрів базових аналогових блоків лабораторних умовах блоків без використання ПЗ
	2. Вивчення особливостей метрології ІМС	Наявність багатьох різних елементів, що можуть бути виміряні в одній ІМС

Таблиця 5.2 – Визначення сильних, слабких та нейтральних характеристик ідеї

№ п/п	Техніко-економічні характеристики ідеї	(потенційні) товари/концепції конкурентів				W (слабка сторона)	N (нейтральна сторона)	S (сильна сторона)
		Мій проект	Конкурент 1	Конкурент 2	Конкурент 3			
1	Ціна	↓	↓	↓	↑		+	
2	Портативність	+	-	-	+			+
3	Потребує додаткових елементів	ні	ні	так	так		+	
4	Наявність вбудованих генераторів	-	-	+	-	+		
5	Можливість вимірювання на транзисторному рівні	+	-	-	-			+
6	Можливість вимірювання більш складних схем	+	+	+	+		+	
7	Екологічність	+	+	+	+		+	
8	Безпечність	+	+	+	+		+	

Під конкурентом 1 із табл. 5.2 мається на увазі Analog System Lab Kit PRO від Texas Instruments. Під конкурентом 2 мається на увазі PB-500 Analog Circuits Trainer від Global Specialties. Під конкурентом 3 мається на увазі використання ПАІС. Більше детальний аналіз конкурентів приведено у першому розділі та у додатку А.

5.2. Технологічний аудит ідеї проекту

Таблиця 5.3 – Визначення сильних, слабких та нейтральних характеристик ідеї

№	Ідея проекту	Технології її реалізації	Наявність технологій	Доступність технологій
1	Створення ІМС	на звичайній підкладці	Наявна	Доступно
		КНІ	Наявна	Доступно
Обрана технологія реалізації ідеї проекту: виробництво ІМС з використанням КНІ технології. Більш детально процес прийняття рішення описано у третьому розділі				

5.3. Аналіз ринкових можливостей запуску стартап-проекту

Таблиця 5.4 – Попередня характеристика потенційного ринку стартап-проекту

№	Показники стану ринку (найменування)	Характеристика
1	Кількість головних гравців, од	3
2	Загальний обсяг продаж, грн/ум.од	невідомий
3	Динаміка ринку (якісна оцінка)	стагнує
4	Наявність обмежень для входу (вказати характер обмежень)	Немає
5	Специфічні вимоги до стандартизації та сертифікації	Немає
6	Середня норма рентабельності в галузі (або по ринку), %	30%

Привабливість ринку важко встановити. Ринок є потенційно привабливим, але рентабельність доволі мала.

Таблиця 5.5 – Характеристика потенційних клієнтів стартап-проекту

№	Потреба, що формує ринок	Цільова аудиторія (цільові сегменти ринку)	Відмінності у поведінці різних потенційних цільових груп клієнтів	Вимоги споживачів до товару
1	Можливість вивчення електричних параметрів базових аналогових блоків лабораторних умовах блоків без використання ПЗ	Державні університети та дослідні лабораторії	-	Легкість та безпечність у використанні

Таблиця 5.6 – Фактори загроз

№	Фактор	Зміст загрози	Можлива реакція компанії
1	Велика початкова вартість продукту	Ціна на виробництво ІМС тим менша, чим більші об'єми виробництва. На самому початку виробництва ціна може бути відносно високою.	Пошук більшої кількості клієнтів для підвищення об'єму виробництва.
2	Низький попит на продукт	Початковий низький попит на продукт через відсутність інформації та/або відсутність відгуків.	Проведення рекламної компанії серед потенційних клієнтів

Таблиця 5.7 – Фактори можливостей

№	Фактор	Зміст можливості	Можлива реакція компанії
1	Зниження вартості КНІ технології	Зниження вартості виробництва	Зменшення кінцевої вартості товару
2	Зростання попиту	Збільшення кількості клієнтів компанії	Збільшення обсягів виробництва
3	Погіршення позицій конкурентів	Зниження попиту на товари конкурентів	Збільшення обсягів виробництва

Таблиця 5.8 – Ступеневий аналіз конкуренції на ринку

Особливості конкурентного середовища	В чому проявляється дана характеристика	Вплив на діяльність підприємства (можливі дії компанії, щоб бути конкурентоспроможною)
1. Вказати тип конкуренції олігополія	На ринку присутні лише декілька основних компаній	Збільшення якості та кількості корисних функцій товару порівняно з конкурентом, зменшення вартості.
2. За рівнем конкурентної боротьби міжнародний	Ринок фірми не обмежується національним рівнем, але є суттєво меншим за межами пострадянських країн	Спочатку зосередитись на особливостях національного ринку, а згодом виходити на міжнародний рівень.
3. За галузевою ознакою внутрішньогалузева	Конкуренція в межах однієї галузі	Зменшувати кінцеву вартість, використовувати новітні технології і т.п.
4. Конкуренція за видами товарів: товарно-видова	Конкуренція між товарами одного виду	Проведення рекламної компанії серед потенційних клієнтів
5. За характером конкурентних переваг нецінова	Конкуренція заснована на різному функціоналі	Збільшення якості та кількості корисних функцій товару порівняно з конкурентом
6. За інтенсивністю немарочна	Роль торгової марки є незначною, але деякі відомі марки присутні на ринку.	Проведення рекламної компанії серед потенційних клієнтів

Таблиця 5.9 – Аналіз конкуренції в галузі за М. Портером

Складові аналізу	Прямі конкуренти в галузі	Потенційні конкуренти	Постачальники	Клієнти	Товари-замінники
	Див. табл. 5.2	Немає	Фабрика з виробництва ІМС	університети та лабораторії	Замінників немає
Висновки:	Інтенсивність конкуренції висока	Потенційних конкурентів немає	При збільшенні вартості виробництва, доведеться збільшувати вартість продукту	Клієнти вимагають легкість та безпечність при використанні продукту	Обмежень немає

Можемо зробити висновок, що можливість виходу на даний ринок існує. Щоб бути конкурентоспроможним, необхідно мати кращий функціонал та однакову або меншу ціну з конкурентами.

Таблиця 5.10 – Обґрунтування факторів конкурентоспроможності

№	Фактор конкурентоспроможності	Обґрунтування (наведення чинників, що роблять фактор для порівняння конкурентних проектів значущим)
1	Ціна	Якщо ціна на продукт буде надто високою, клієнту ліпше купити ПЗ для комп'ютерного моделювання. Між конкурентами з однаковими параметрами, але різною ціною, клієнт обирає товар з меншою ціною.
2	Простота застосування	Продукт повинен бути простим у застосуванні, адже він використовується у навчальних цілях і складність використання відштовхне потенційних користувачів.
3	Безпечність	Використання продукту не повинно створювати ризиків для здоров'я людини та оточуючого середовища.
4	Можливість вимірювань на транзисторному рівні	Великою перевагою продукту є можливість вивчати найпростіші блоки аналогової схемотехніки на транзисторному рівні.

Таблиця 5.11 – Порівняльний аналіз сильних та слабких сторін проекту

№	Фактор конкурентоспроможності	Бали 1-20	Рейтинг товарів-конкурентів у порівнянні з моїм проектом						
			-3	-2	-1	0	+1	+2	+3
1	Ціна	20				+			
2	Простота застосування	18					+		
3	Безпечність	15			+				
4	Можливість вимірювань на транзисторному рівні	10	+						

Таблиця 5.12 – SWOT- аналіз стартап-проекту

Сильні сторони: Безпечність та можливість вимірювань на транзисторному рівні	Слабкі сторони: Простота застосування
Можливості: Зниження вартості технології виробництва може призвести до зниження кінцевої вартості продукту	Загрози: Збільшення вартості товару за рахунок збільшення вартості виробництва

Таблиця 5.13 – Альтернативи ринкового впровадження стартап-проекту

№	Альтернатива (орієнтовний комплекс заходів) ринкової поведінки	Ймовірність отримання ресурсів	Строки реалізації
1	Пошук потенційних клієнтів, пошук інвестицій, налагодження виробництва, вихід на ринок	50 %	3 роки
2	Мінімізація витрат на виробництво, оптимізація роботи приладу, налагодження виробництва, вихід на ринок	85%	2 роки

За результатами аналізу було обрано альтернативу №2.

5.4. Розроблення ринкової стратегії проекту

Таблиця 5.14 – Вибір цільових груп потенційних споживачів

№	Опис профілю цільової групи потенційних клієнтів	Готовність споживачів сприйняти продукт	Орієнтовний попит в межах цільової групи (сегменту)	Інтенсивність конкуренції в сегменті	Простота входу у сегмент
1	Приватні підприємства	Готові	Низький	Висока	Складно
2	Університети та дослідні лабораторії	Готові	Високий	Середня	Просто
Було обрано цільову групу №2.					

Таблиця 5.15 – Визначення базової стратегії розвитку

№	Обрана альтернатива розвитку проекту	Стратегія охоплення ринку	Ключові конкурентоспроможні позиції відповідно до обраної альтернативи	Базова стратегія розвитку
1	2	За рахунок великої кількості особливостей та унікального функціоналу, які відрізняють товар від товару конкурентів	Ціна на виробництво, простота та безпечність застосування	диференціація

Таблиця 5.16 – Визначення базової стратегії конкурентної поведінки

№	Чи є проект «першопрохідцем» на ринку?	Чи буде компанія шукати нових споживачів, або забирати існуючих у конкурентів?	Чи буде компанія копіювати основні характеристики товару конкурента, і які?	Стратегія конкурентної поведінки
1	Ні	Так	Так, простоту та безпечність застосування	Заняття конкурентної ніші

Таблиця 5.17 – Визначення стратегії позиціонування

№	Вимоги до товару цільової аудиторії	Базова стратегія розвитку	Ключові конкурентоспроможні позиції власного стартап-проекту	Вибір асоціацій, які мають сформувати комплексну позицію власного проекту (три ключових)
1	Простота та безпечність використання	Стратегія диференціації	Ціна на виробництво, простота та безпечність застосування	Співвідношення ціна/якість, мінімізація затрат на виробництво, співпраця з університетами

5.5. Розроблення маркетингової програми стартап-проекту

Таблиця 5.18 – Визначення ключових переваг концепції потенційного товару

№	Потреба	Вигода, яку пропонує товар	Ключові переваги перед конкурентами (існуючі або такі, що потрібно створити)
1	Можливість вивчення електричних параметрів базових аналогових блоків лабораторних умовах блоків без використання ПЗ	Більш якісний продукт з більшим функціоналом у порівнянні з конкурентами	Можливість вимірювань електричних параметрів елементів на транзисторному рівні

Таблиця 5.19 – Опис трьох рівнів моделі товару

Рівні товару	Сутність та складові		
I. Товар за задумом	Використання розпізнання за стисненням для підвищення якості та швидкості роботи методу розпізнання за стисненням		
II. Товар у реальному виконанні	Властивості/характеристики	М/Нм	Вр/Тх /Тл/Е/Ор
	1. Відносно низька ціна	М	Вр
	2. Безпечність застосування	М	Тх
	3. Простота використання	М	Тх
	4. Можливість вимірювань на транзисторному рівні	М	Тл
	Якість: кожний виріб проходить тестування після виробництва		
	Пакування: коробка		
	Марка: "Analog IC block study"		
III. Товар із підкріпленням	До продажу: гарантія		
	Після продажу: обслуговування та доставка		
За рахунок чого потенційний товар буде захищено від копіювання: складність реверс-інжинірингу, патент			

Таблиця 5.20 – Визначення меж встановлення ціни

№	Рівень цін на товари-замінники	Рівень цін на товари-аналоги	Рівень доходів цільової групи споживачів	Верхня та нижня межі встановлення ціни на товар/послугу
1	-	5000 грн/од	1 000 000 грн і вище	2000-10000/од

Таблиця 5.21 – Формування системи збуту

№	Специфіка закупівельної поведінки цільових клієнтів	Функції збуту, які має виконувати постачальник товару	Глибина каналу збуту	Оптимальна система збуту
1	Заказ через сайт виробника	Встановлення контакту, інформування, зберігання, доставка	Канал нульового рівня	Виробник безпосередньо збуває продукцію

Таблиця 5.22 – Концепція маркетингових комунікацій

№	Специфіка поведінки цільових клієнтів	Канали комунікацій, якими користуються цільові клієнти	Ключові позиції, обрані для позиціонування	Завдання рекламного повідомлення	Концепція рекламного звернення
1	Немає	Телефон, Інтернет, електронна пошта	Підвищення функціоналу порівняно з конкурентами	Поширення знань про розробку та її характеристик серед потенційних клієнтів	Звернення засноване на функціональних відмінностях між рекламованим продуктом і конкурентами.

Висновки до розділу 5

На основі проведеного аналізу, зрозуміло, що існує можливість ринкової комерціалізації проекту. Міжнародний ринок є дуже обмеженим, тому доцільно зосередитись на національному рівні або на рівні пострадянських країн. Існуючи функціональні відмінності від конкурентів дозволяють мати суттєві переваги, що підвищує шанси успішного входження на ринок.

ВИСНОВКИ

В ході дослідження було розглянуто особливості роботи всіх базових блоків аналогової мікросхемотехніки в сучасних субмікронних технологіях. Проведено комп'ютерне моделювання їх роботи у Cadence Virtuoso. Показано, що на сьогоднішній день зворотні ефекти короткого та вузького каналу в МДН транзисторах є домінуючими. Показано як топологія та геометричні розміри транзисторів впливають на електричні параметри елементів. Запропоновано метод для оцінки впливу топології на величину випадкових похибок у струмових дзеркалах та диференційних парах.

Було показано, що існуючі технічні рішення не дозволяють в повному обсязі практично вивчати особливості роботи базових аналогових блоків без використання професійного програмного забезпечення, що підкреслює наукову та технічну новизну роботи і робить доцільним розробку власної інтегральної схеми.

Розглянуті можливі технології виготовлення ІМС та обґрунтовано вибір КНІ з мінімальною технологічною нормою 180 нм. Описано процес розробки інтегральної схеми від створення функціональної схеми до розроблення топології та розміщення елементів на кристалі.

На основі проведеної роботи представлено статті на Міжнародних науково-технічних конференціях молодих вчених «Електроніка – 2016» та «Електроніка – 2018» та зроблено доповідь на Шістнадцятій Міжнародній Конференції Молодих Учених з Прикладної Фізики.

Результатом роботи є проект інтегральної схеми, що дозволяє вивчати особливості роботи всіх базових блоків аналогової мікросхемотехніки на транзисторному рівні без використання професійного ПЗ. Після виготовлення розробленої мікросхеми, її можна використовувати при навчанні бакалаврів та/або магістрів за напрямком «Мікро- та наносистемна техніка» у таких дисциплінах як «твердотільна електроніка» або «Проектування напівпровідникових приладів та інтегральних мікросхем».

Таким чином, зміст роботи повністю відповідає поставленим завданням.

ПЕРЕЛІК ПОСИЛАНЬ

1. Rao K. R. Analog System Lab Kit PRO Manual [Електронний ресурс] / K. R. Rao, C. P. Ravikumar // MikroElektronika Ltd.. – 2012. – Режим доступу до ресурсу: <http://download.mikroe.com/documents/specials/educational/aslk-pro/aslk-pro-manual-v103.pdf>
2. Rao K. R. Изучение методов разработки аналоговых систем с использованием демонстрационного лабораторного комплекта ASLKV2010 [Електронний ресурс] / K. R. Rao, C. P. Ravikumar // Texas Instruments. – 2010. – Режим доступу до ресурсу: http://www.ti.com/ww/ru/brochures/Analog_System_Lab_Manual_ru.pdf
3. PB-500. Analog Circuits Trainer [Електронний ресурс] // GLOBAL SPECIALTIES. – 2009. – Режим доступу до ресурсу: http://globalspecialties.com/media/k2/attachments/PB_500_manual.pdf
4. DIGITRACK Analog Component/Discrete Trainer Kit [Електронний ресурс]. – 2012. – Режим доступу до ресурсу: <https://www.indiamart.com/proddetail/analog-component-discrete-trainer-kit-17484965055.html>
5. Analog Trainer Kit [Електронний ресурс]. – 2009. – Режим доступу до ресурсу: <https://www.indiamart.com/proddetail/analog-trainer-kit-10879809748.html>
6. 200 In 1 Electronics Lab Kit [Електронний ресурс] – Режим доступу до ресурсу: <http://www.altronics.com.au/p/k2209-maxitronix-200-in-1-electronics-lab-kit/>
7. Dynamic reconfiguration in FPAA and its use in education / [A. Macho, M. Teruel, P. Baizan та ін.]. // Frontiers in Education Conference. – 2017.
8. Lee E. A CMOS Field-Programmable Analog Array / E. Lee, G. Gulak. // IEEE Journal of Solid-State Circuits, vol. 26. – 1991. – №12. – С. 1860–1867.
9. A Programmable and Configurable Mixed-Mode FPAA SoC / [G. Suma, K. Sihwan, S. Sahil та ін.]. // IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24. – 2016. – №6.

10. Large-scale field-programmable analog arrays for analog signal processing / [T. S. Hall, C. M. Twigg, J. D. Gray та ін.]. // IEEE Transactions on Circuits and Systems I: Regular Papers, vol.52. – 2005. – №11. – С. 2298–2307.
11. Geiger R. L. VLSI Design Techniques for Analog and Digital Circuits / R. L. Geiger, P. E. Allen, N. R. Strader., 1990.
12. Analysis and design of analog integrated circuits: Fifth Edition / P. R.Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer. – New York: Hamilito Printing Company, 2009. – 881 с.
13. Nuo X. Short-Channel MOSFET Electrostatics [Електронний ресурс]
X. Nuo // EE 290D. – 2013. – Режим доступу до ресурсу:
<https://inst.eecs.berkeley.edu/~ee290d/fa13/LectureNotes/Lecture2.pdf>
14. Reverse Short-Channel Effects on Threshold in Submicrometer Salicide Devices. // IEEE ELECTRON DEVICE LETTERS. – 1989. – №10. – С. 446–448.
15. Sansen W. M. Analog Design Essentials / W. M. Sansen. – Dordecht: Springer, 2007. – 775 с.
16. Charlon O. Ultra high-compliance CMOS current mirrors for low voltage charge pumps and references / O. Charlon, W. Redman-White. // Proceedings of the 30th European Solid-State Circuits Conference. – 2004. – С. 227–230.
17. Технология СБИС: в 2-х кн. Кн. 1 Пер. с англ./Под ред. С.Зи. / [К. Пирс, А. Адамс, Д. Цай та ін.]. – М.: Мир, 1986. – 404 с.
18. Colinge J. P. Silicon-on-Insulator Technology: Materials to VLSI / J. P. Colinge. – New York: Springer Science+Business Media, 2013. – 270 с.
19. Trench Isolated SOI CMOS Technology [Електронний ресурс] – Режим доступу до ресурсу: <http://www.xfab.com/technology/soi/018-um-xt018/>
20. Katz R. H. IC Cost, Price, and Price for Performance [Електронний ресурс] / Katz // Berkeley. – 1996. – Режим доступу до ресурсу:
<http://bnrg.cs.berkeley.edu/~randy/Courses/CS252.S96/Lecture05.pdf>
21. Decoupling Techniques [Електронний ресурс] // Analog Devices. – 2009. – Режим доступу до ресурсу: <http://www.analog.com/media/en/training-seminars/tutorials/MT-101.pdf>

22. Poolakkarambil M. Analog MUX & Column Decoder Design for APS Matrix Readout [Электронный ресурс] / М. Poolakkarambil, A. König // Institute of Integrated Sensor Systems. – 2009. – Режим доступа до ресурсу: https://www.eit.uni-kl.de/koenig/deutsch/TESYS_Mahesh_09.pdf.
23. Multi-finger turn-on circuits and design techniques for enhanced ESD performance and width-scaling / [M. P. Mergens, K. G. Verhaege, C. C. Russ та ін.]. // Electrical Overstress/Electrostatic Discharge Symposium. – 2001.
24. The relentless march of the MOSFET gate oxide thickness to zero / [G. Timp, J. Bude, F. Baumann та ін.]. // Microelectronics Reliability. – 2000. – №40. – С. 557–562.
25. Human Body Model (HBM) [Электронный ресурс] // ON Semiconductor. – 2010. – Режим доступа до ресурсу: <https://www.onsemi.com/pub/Collateral/TND410-D.PDF>
26. Analysis of 65 nm technology grounded-gate NMOS for on-chip ESD protection applications / [S. Dong, X. Du, Y. Han та ін.]. // Electronics Letters vol.44. – 2008. – №19. – С. 1129 – 1130.
27. ESD-HBM [Электронный ресурс] // Capteur photoélectrique. – 2015. – Режим доступа до ресурсу: <http://uk-lec.ru/esd-hbm/>
28. Hastings A. The Art of Analog Layout / Alan Hastings. – New Jersey: Prentice Hall, 2001. – 535 с.

Додаток А. Пристрої для вивчення аналогової схемотехніки

Analog System Lab Kit PRO від Texas Instruments – пристрій, що дозволяє вивчати аналогові ІМС загального призначення. Його фотографію показано на рис. А.1, а окремі функціональні блоки виділено цифрами, де 1 – ОП типу TL082; 2 – аналогові перемножувачі; 3 – ЦАП; 4 – перетворювач напруги; 5 – транзистори; 6 – регулятор напруги; 7 – Потенціометри; 8 – термінали живлення; 9 – діоди; 10 – макетна плата.

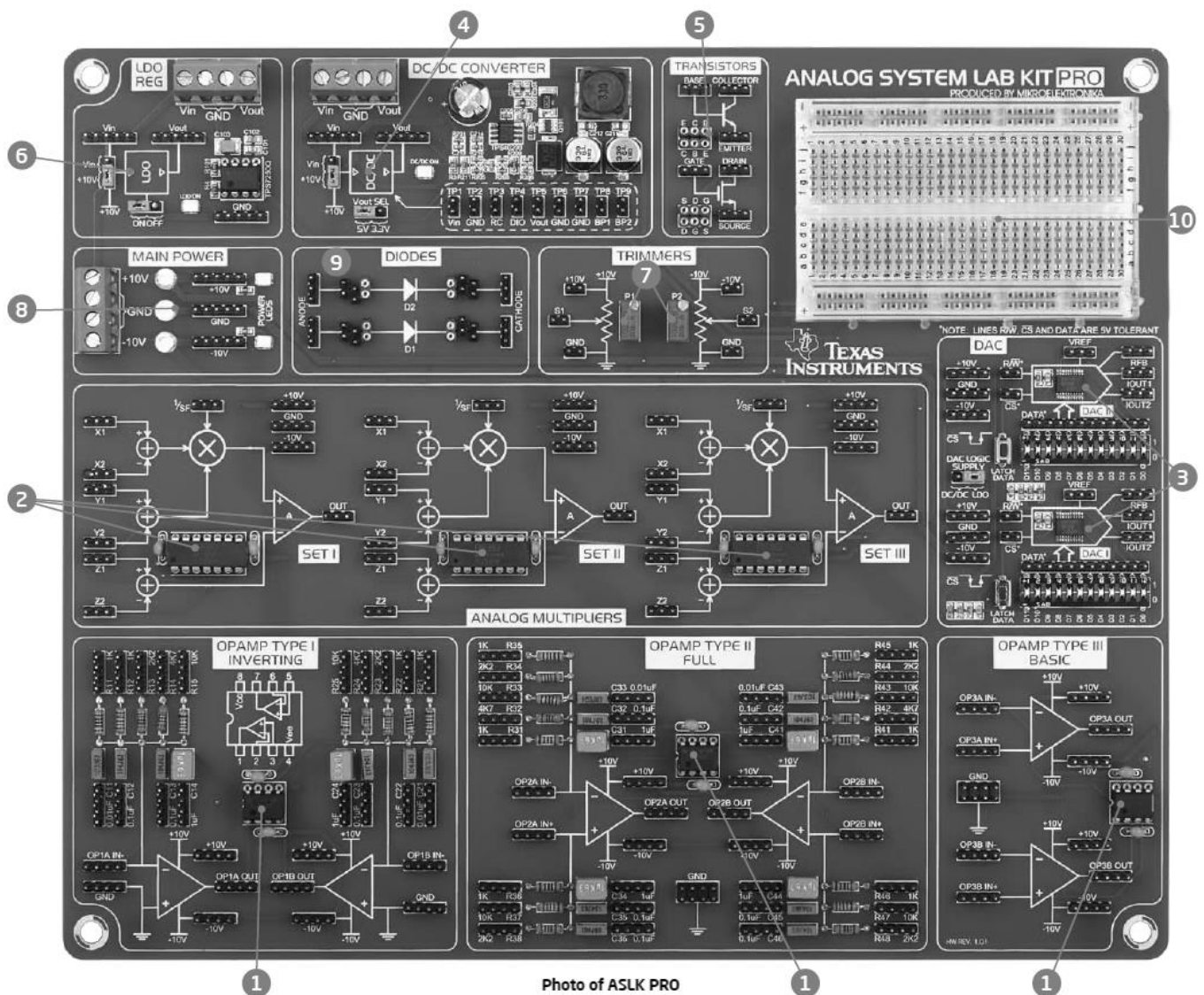


Рисунок А.1 Зовнішній вигляд комплекту Analog System Lab Kit PRO [1]

Analog System Lab Kit від **Texas Instruments** – пристрій, що дозволяє вивчати аналогові ІМС загального призначення. Його фотографію показано на рис. А.2. Порівняно з попереднім пристроєм має трохи менший функціонал.

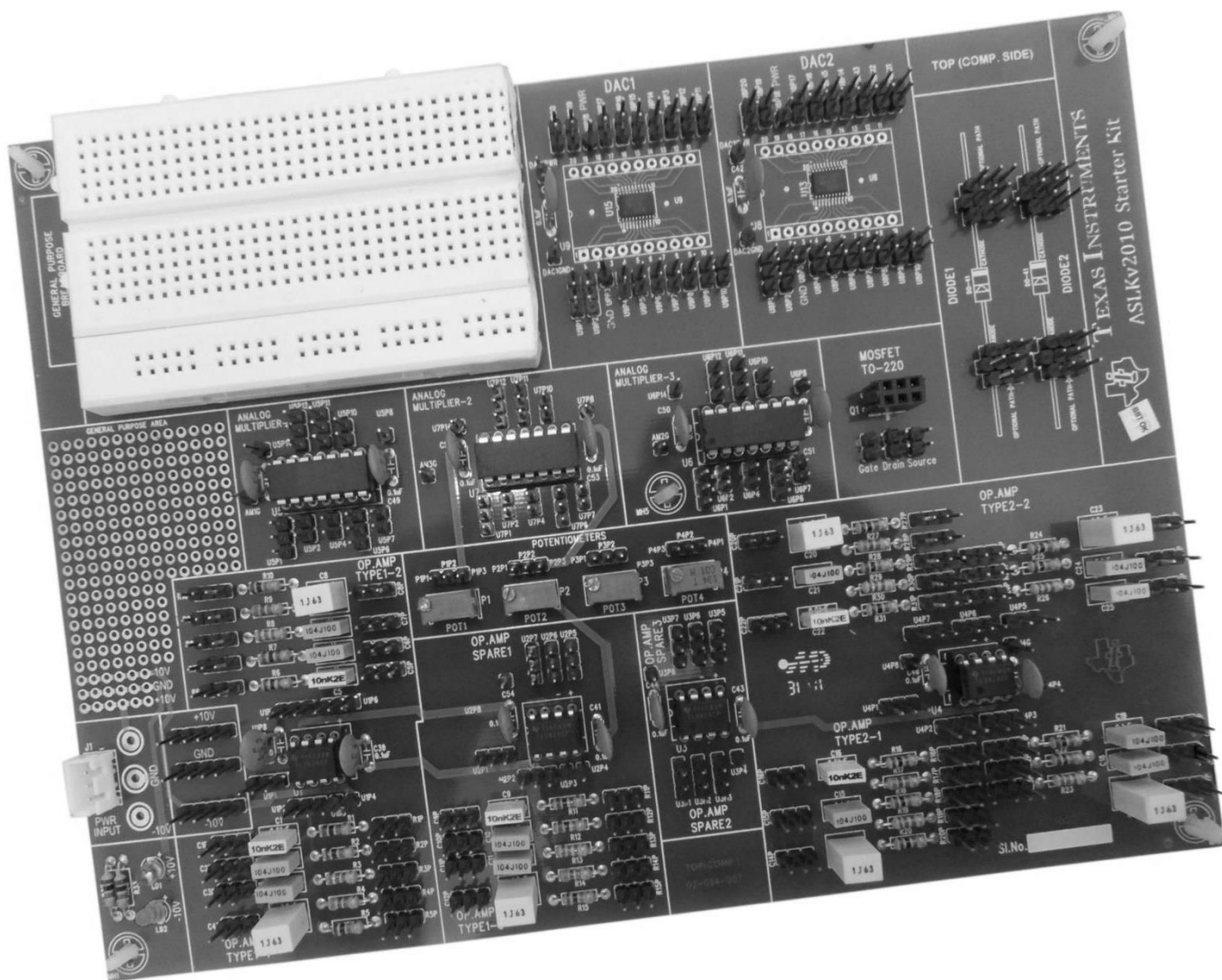


Рисунок А.2 – Зовнішній вигляд комплекту Analog System Lab Kit [2]

PB-500 Analog Circuits Trainer від **Global Specialties** – пристрій, що дозволяє вивчати аналогові схеми на дискретних компонентах. Його фотографію показано на рис. А.3. Відрізняється тим, що має вбудований функціональний генератор напруги.



Рисунок А.3 – Фотографія пристрою PB-500 Analog Circuits Trainer [3]

Додаток Б. Поперечний переріз елементів

Далі наведено поперечні перерізи доступних елементів, що використовувались під час проектування ІМС. Шар PTUB_SUB знаходиться на ізольованій підкладці, яку для спрощення не показано. Пояснення до шарів:

P+ – область, що легована домішками р-типу;

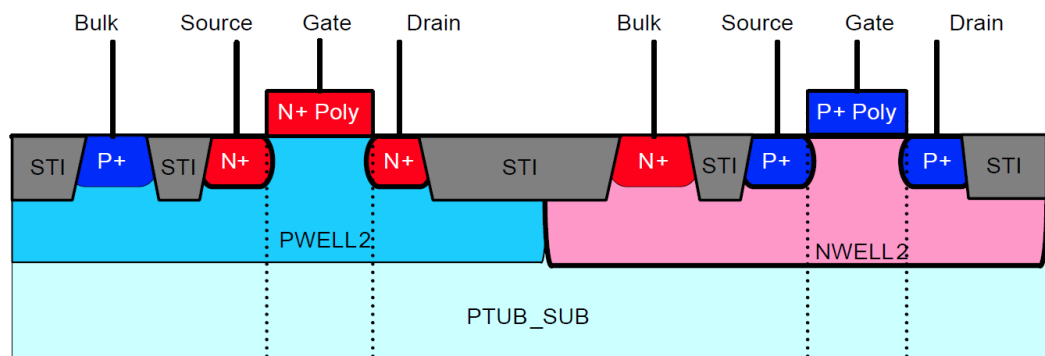
N+ – область, що легована домішками n-типу;

STI – канавка SiO₂;

PWELL – р-карман;

NWELL – n-карман;

PTUB_SUB – підкладка р-типу.



п-канальний МДН транзистор

р-канальний МДН транзистор

Рисунок Б.1 – Поперечний переріз МДН транзисторів з індукованим каналом з максимально допустимою напругою 5 В

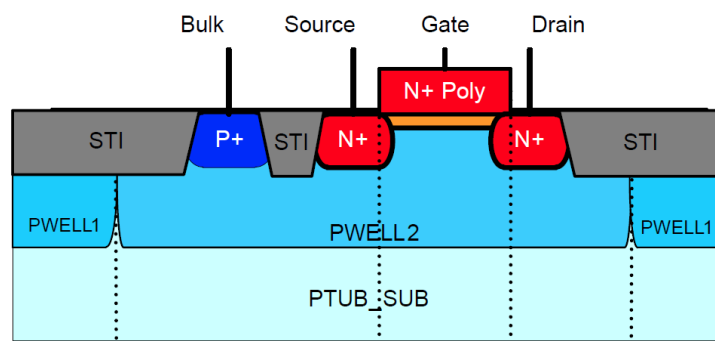


Рисунок Б.2 – Поперечний переріз п-канального МДН транзистора з вбудованим каналом та максимально допустимою напругою 5 В

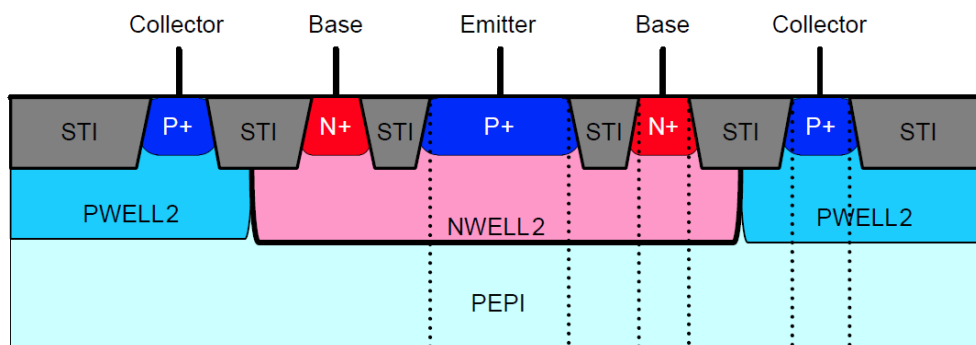
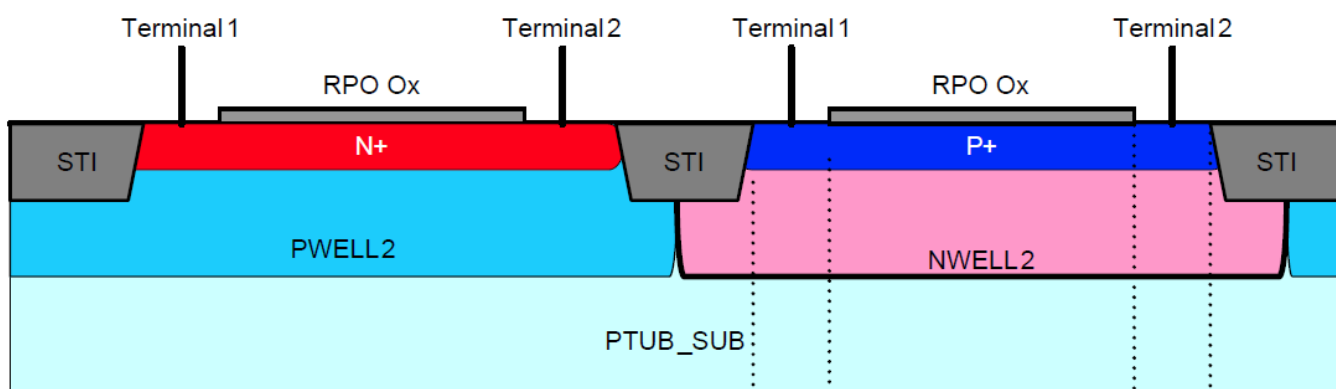


Рисунок Б.3 – Поперечний переріз горизонтального npn транзистора з максимально допустимою напругою 5 В



резистор n-типу

резистор p-типу

Рисунок Б.4 – Поперечний переріз дифузійних резисторів

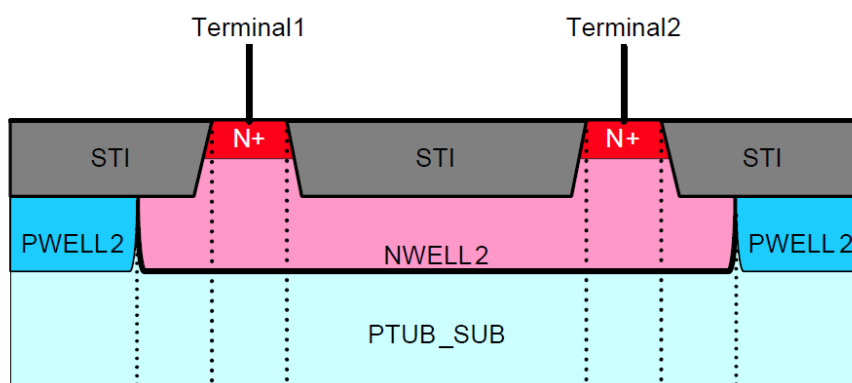
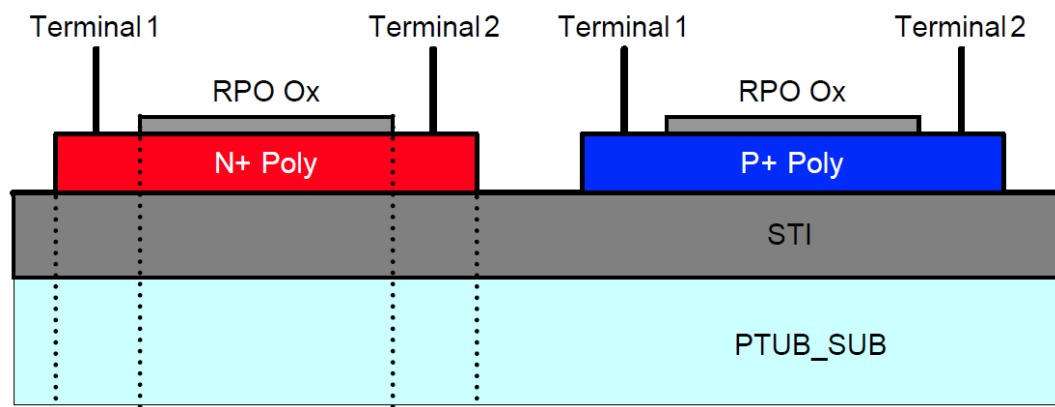


Рисунок Б.5 – Поперечний переріз дифузійного резистору n-типу, що використовує область n-карману



резистор легований домішками n-типу

резистор легований домішками p-типу

Рисунок Б.6 – Поперечний переріз полікремнієвих резисторів

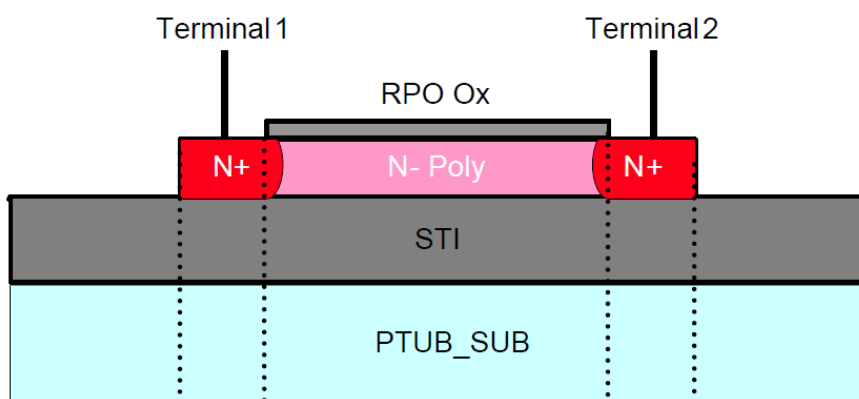
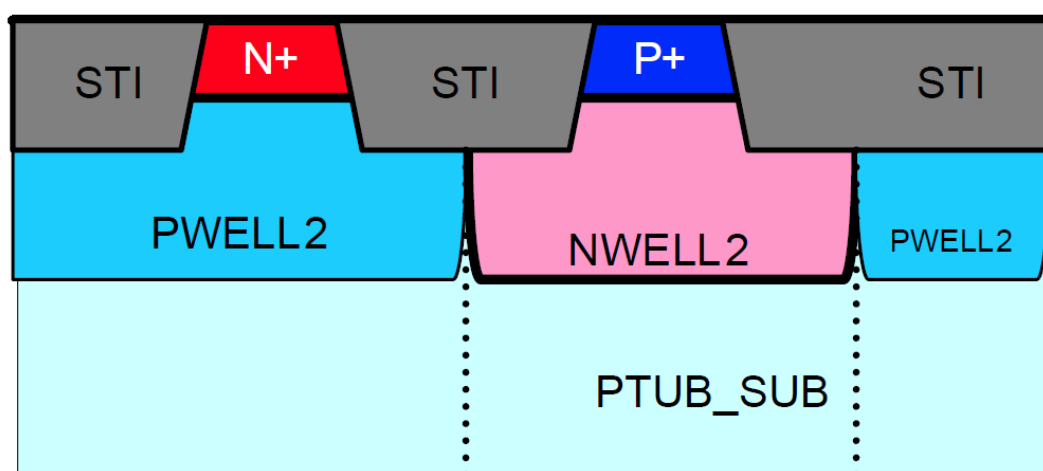


Рисунок Б.7 – Поперечний переріз полікремнієвого резистора з високим питомим опором (досягається за рахунок бомбардування поверхні резистора важкими іонами)



діод з використанням р-карману

діод з використанням n-карману

Рисунок Б.8 – Поперечний переріз діодів

Додаток В. Електричні схеми та розміри елементів

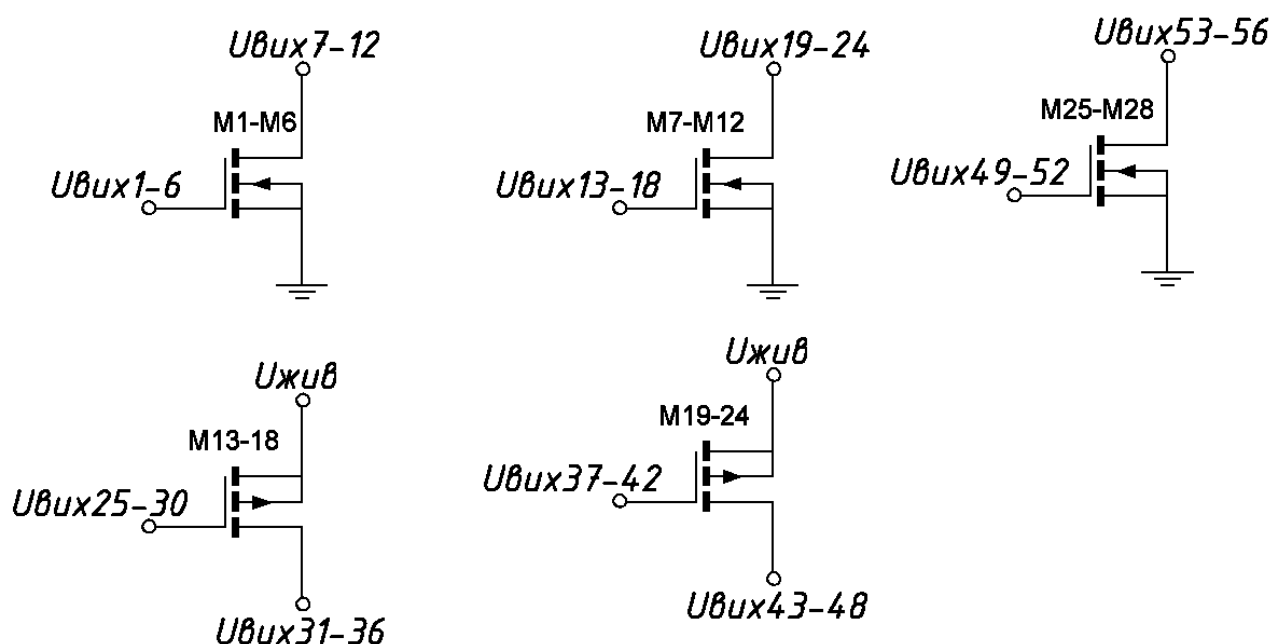


Рис. В. 1 – Електрична схема першого блоку ІМС

Таблиця В.1 – Тип та геометричні розміри транзисторів у першому блоці ІМС

Транзистор	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12
Тип каналу	n	n	n	n	n	n	n	n	n	n	n	n
W, мкм	0,25	0,5	0,85	1	2,5	5	5	5	5	5	5	5
L, мкм	5	5	5	5	5	5	0,5	0,7	0,85	1	2	5
Транзистор	M13	M14	M15	M16	M17	M18	M19	M20	M21	M22	M23	M24
Тип каналу	p	p	p	p	p	p	p	p	p	p	p	P
W, мкм	0,25	0,4	0,6	0,85	1	5	5	5	5	5	5	5
L, мкм	2	2	2	2	2	2	0,5	0,6	0,7	1	2	5
Транзистор	M25	M26	M27	M28								
Тип каналу	n	n	n	n								
W, мкм	0,5	1	2,5	5								
L, мкм	0,5	1	2,5	5								

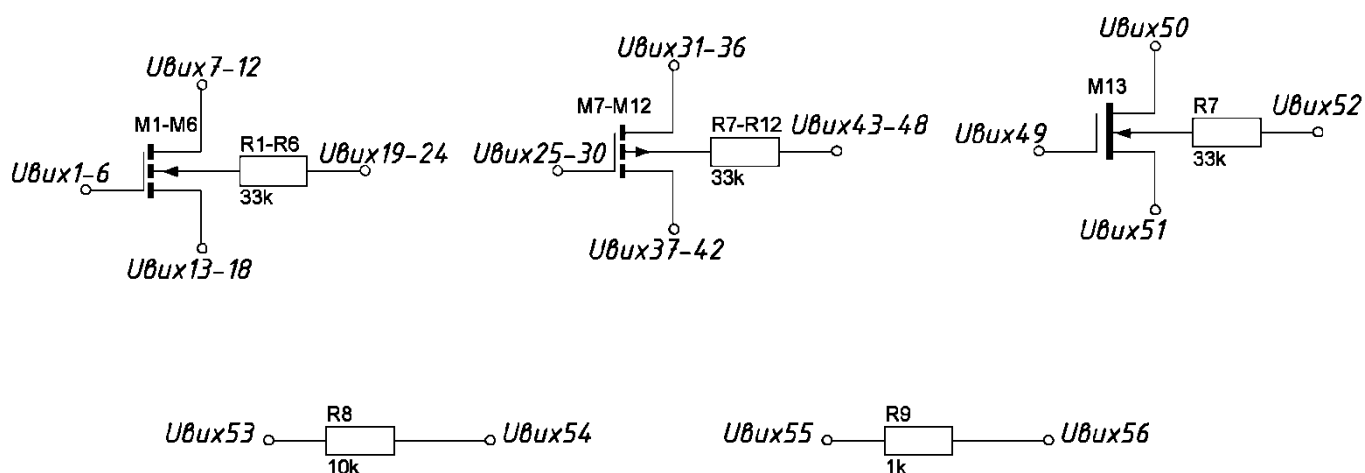


Рис. В. 2 – Електрична схема другого блоку ІМС

Таблиця В.2 – Тип та геометричні розміри транзисторів у другому блоці ІМС

Транзистор	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13
Тип каналу	n	n	n	n	n	p	p	p	p	p	p	p	n
W, мкм	2	4	6	6	6	6	2	4	6	6	6	6	2
L, мкм	6	6	6	2	4	6	6	6	6	2	4	6	6

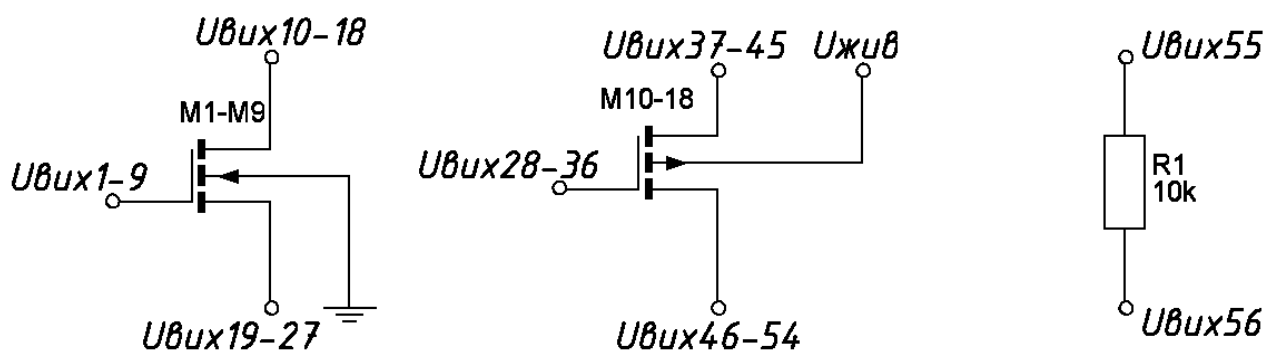


Рис. В. 3 – Електрична схема третього блоку ІМС

Таблиця В.3 – Тип та геометричні розміри транзисторів у третьому блоці ІМС

Транзистор	M1-M4	M5-M6	M7-M8	M9	M10-M13	M14-M15	M16-M17	M18
Тип каналу	n	n	n	n	p	p	p	p
W, мкм	4	16	4	4	12	48	12	12
L, мкм	1	1	4	8	1	1	4	8

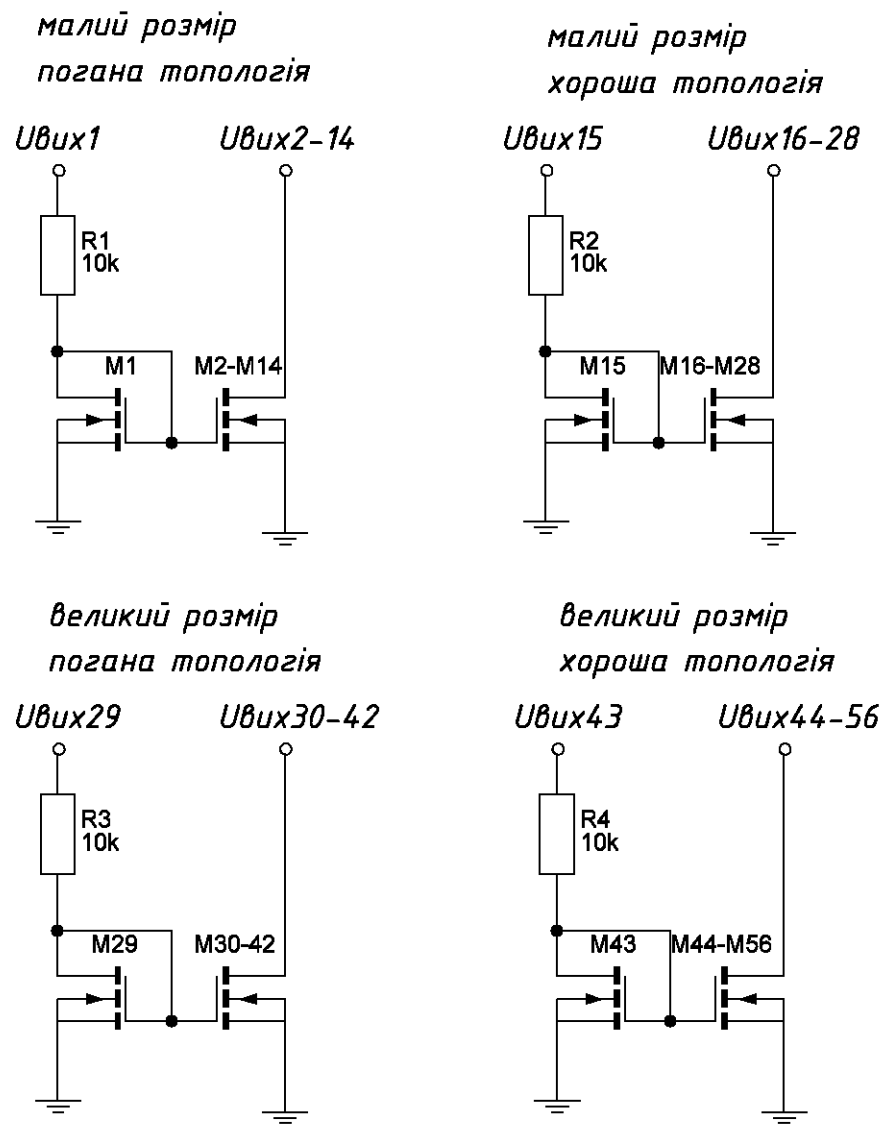


Рисунок В.4 – Електрична схема четвертого блоку ІМС

Таблиця В.4 – Тип та геометричні розміри транзисторів у четвертому блоці ІМС

Транзистор	M1-M14	M15-M28	M29-M42	M43-M56
Тип топології	погана	хороша	погана	хороша
Тип каналу	n	n	n	n
W, мкм	0,5	0,5	10	10
L, мкм	0,5	0,5	10	10

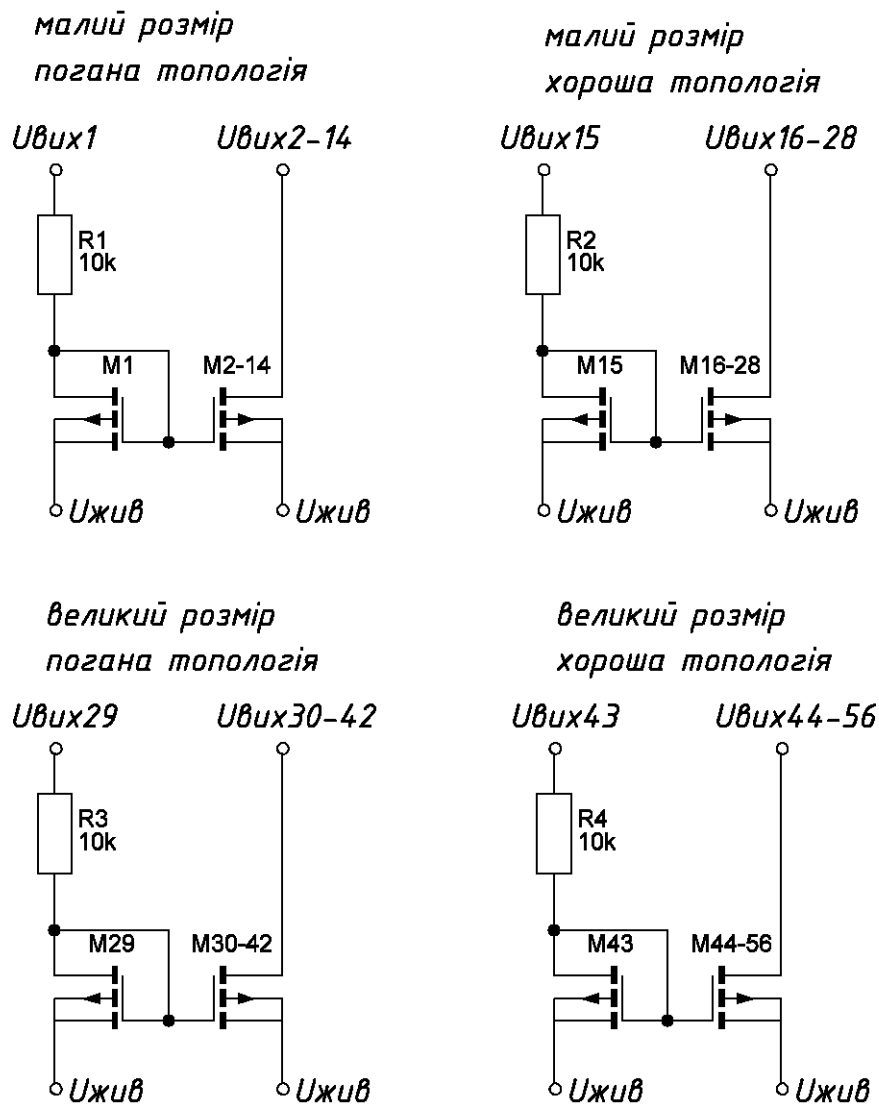


Рисунок В.5 – Електрична схема п’ятого блоку ІМС

Таблиця В.5 – Тип та геометричні розміри транзисторів у п’ятого блоці ІМС

Транзистор	M1-M14	M15-M28	M29-M42	M43-M56
Тип топології	погана	хороша	погана	хороша
Тип каналу	p	p	p	p
W, мкм	0,5	0,5	10	10
L, мкм	0,5	0,5	10	10

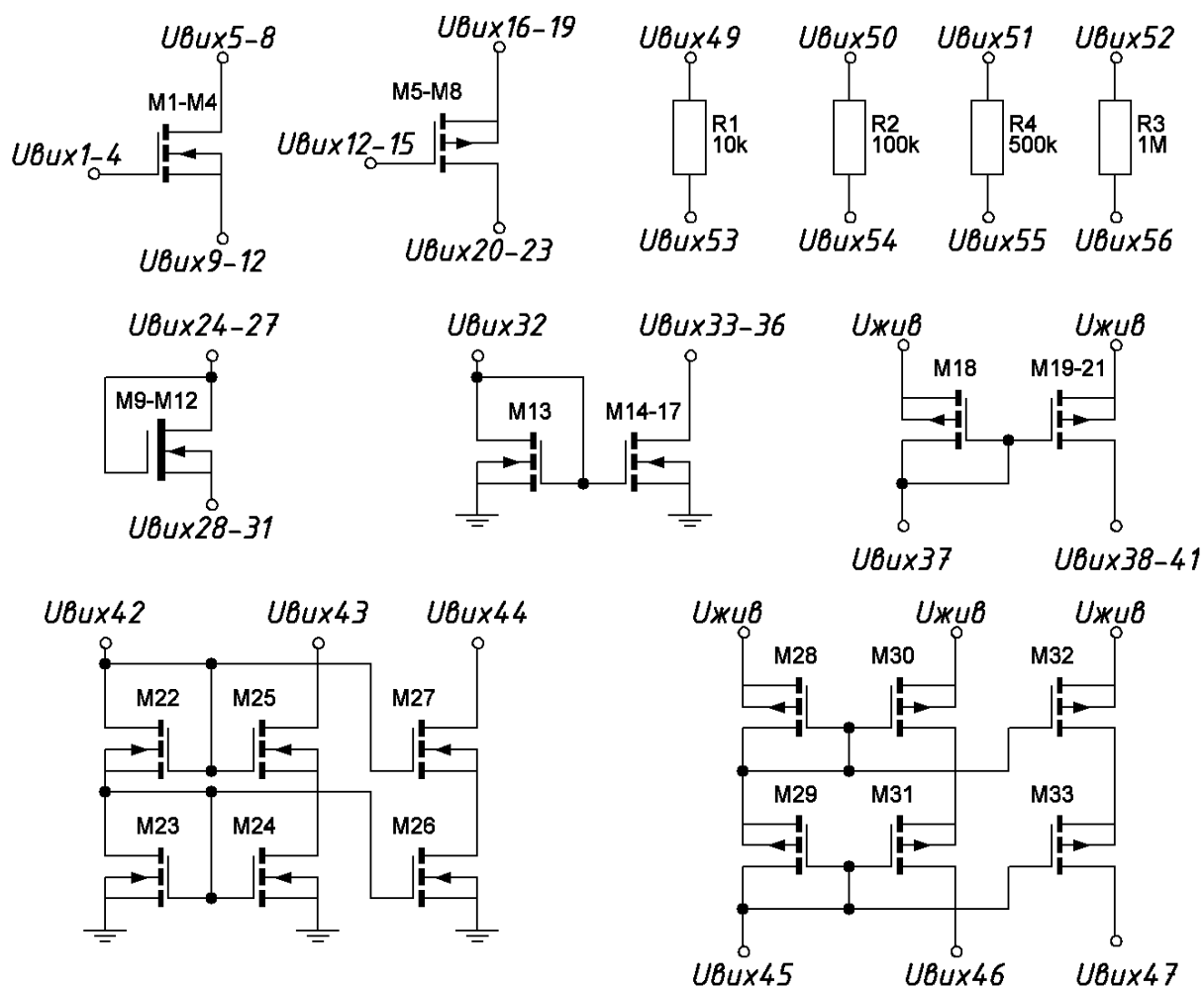


Рисунок В.6 – Електрична схема шостого блоку ІМС

Таблиця В.6 – Тип та геометричні розміри транзисторів у шостому блоці ІМС

Транзистор	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12
Тип каналу	п	п	п	п	р	р	р	р	п	п	п	п
W, мкм	2	2	8	2	2	2	8	2	2	2	2	8
L, мкм	2	2	2	8	2	2	2	8	2	2	8	2
Транзистор	M13	M14	M15	M16	M17	M18	M19	M20	M21	M22	M23	M24
Тип каналу	п	п	п	п	п	р	р	р	р	п	п	п
W, мкм	2	2	4	2	2	2	2	4	2	2	2	2
L, мкм	2	2	2	4	8	2	2	2	4	2	2	2
Транзистор	M25	M26	M27	M28	M29	M30	M31	M32	M33			
Тип каналу	п	п	п	п	р	р	р	р	р			
W, мкм	2	4	4	5	2	2	2	4	4			
L, мкм	2	2	2	5	2	2	2	2	2			

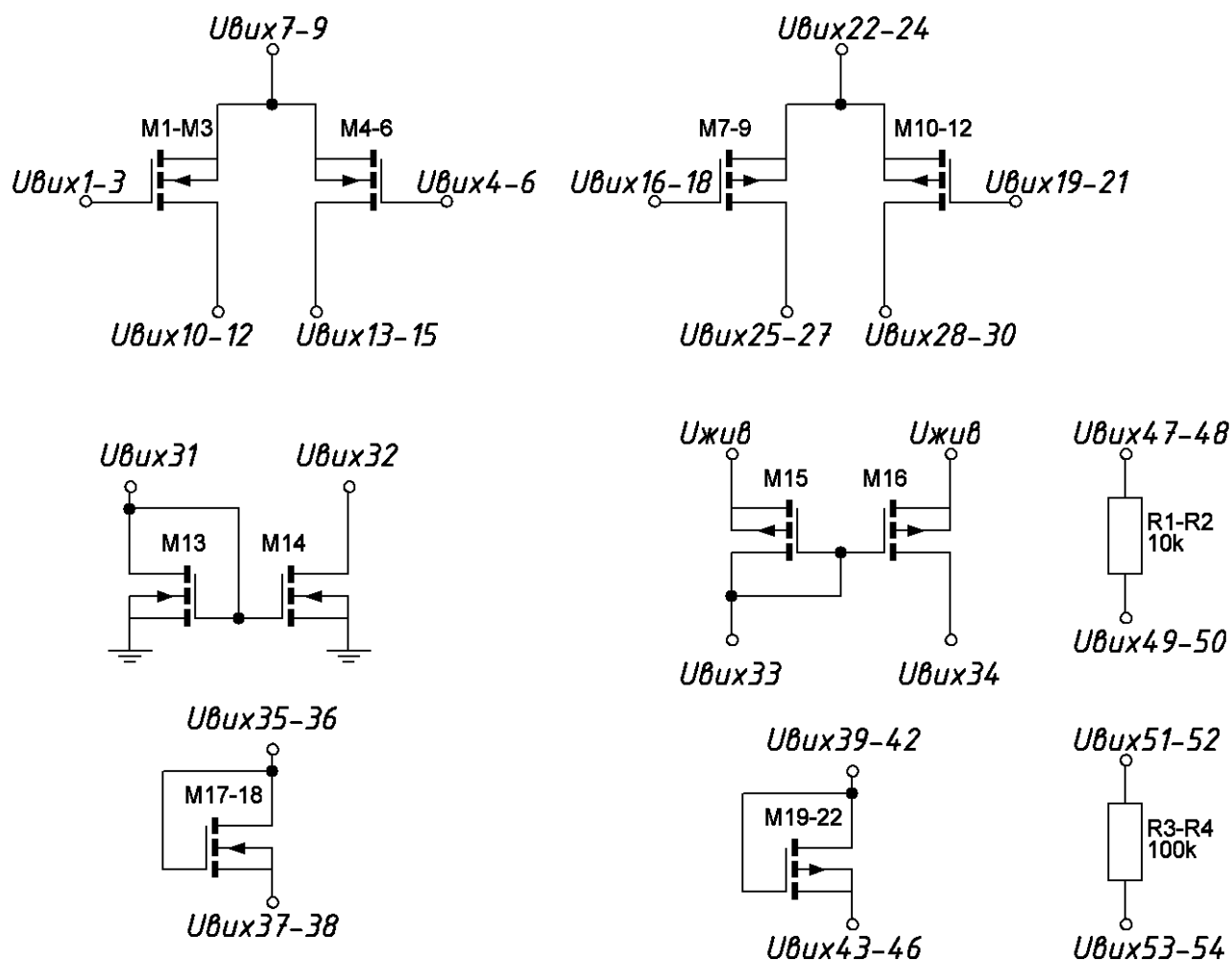


Рисунок В.7 – Електрична схема сьомого блоку ІМС

Таблиця В.7 – Тип та геометричні розміри транзисторів у сьомому блоці ІМС

Транзистор	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12
Тип каналу	п	п	п	п	п	п	р	р	р	р	р	р
W, мкм	2	20	2	2	20	2	2	20	2	2	20	2
L, мкм	2	2	20	2	2	20	2	2	20	2	2	20
Транзистор	M13	M14	M15	M16	M17	M18	M19	M20	M21	M22		
Тип каналу	п	п	р	р	п	п	р	р	р	п		
W, мкм	2	2	2	2	2	2	2	2	2	2		
L, мкм	2	2	2	2	2	2	2	2	8	8		

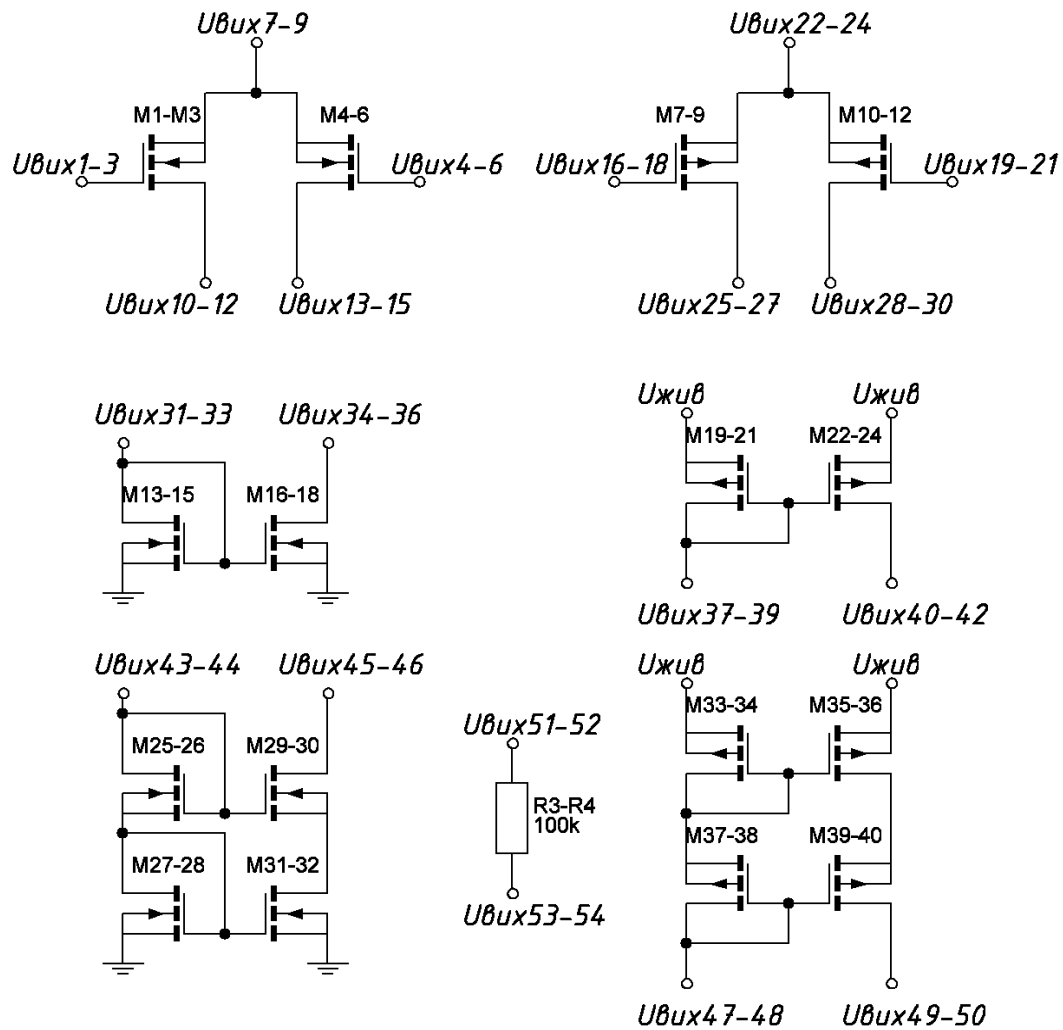


Рисунок В.9 – Електрична схема десятого блоку ІМС

Таблиця В.10 – Тип та геометричні розміри транзисторів у шостому блоці ІМС

[illegible]

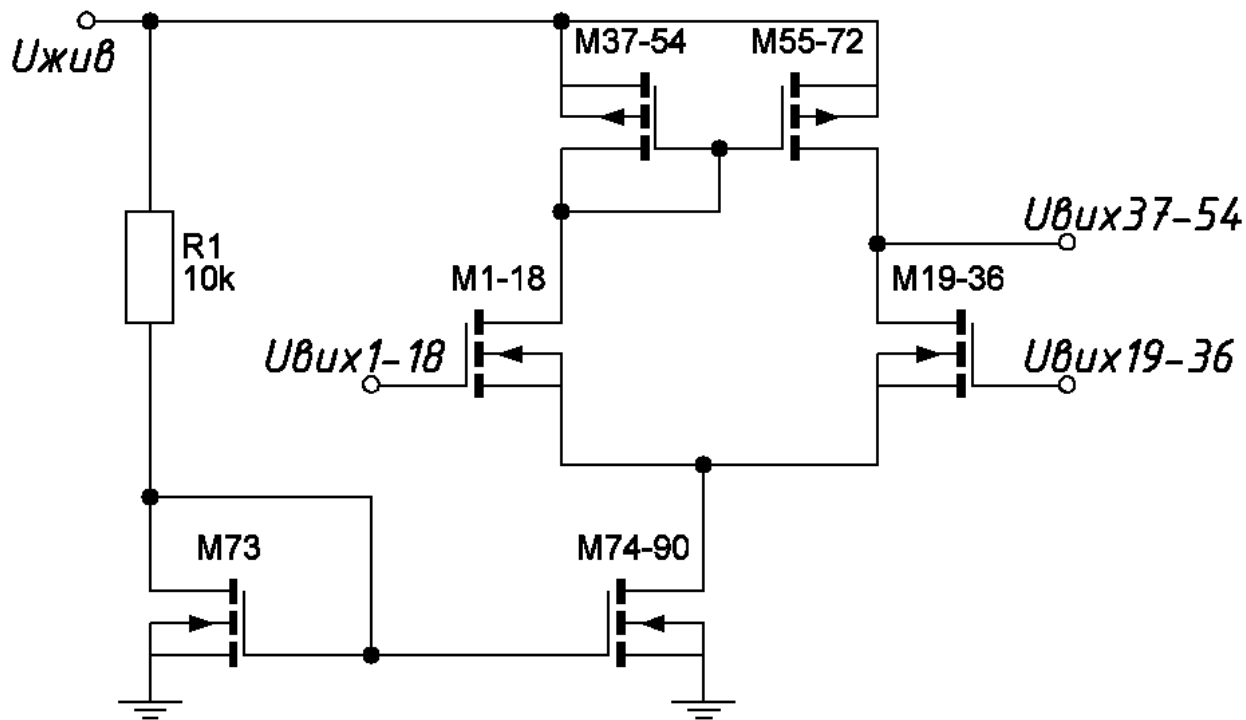


Рисунок В.10 – Електрична схема одинадцятого та дванадцятого блоку ІМС

Таблиця В.11 – Тип та геометричні розміри транзисторів у одинадцятому блоці

Транзистор	M1-M36	M37-M72	M73	M74-90
Тип каналу	n	n	n	n
W, мкм	0,5	0,5	10	10
L, мкм	0,5	0,5	10	10

Таблиця В.12 – Тип та геометричні розміри транзисторів у дванадцятому блоці

Транзистор	M1-M36	M37-M72	M73	M74-90
Тип каналу	n	n	n	n
W, мкм	10	10	10	10
L, мкм	10	10	10	10

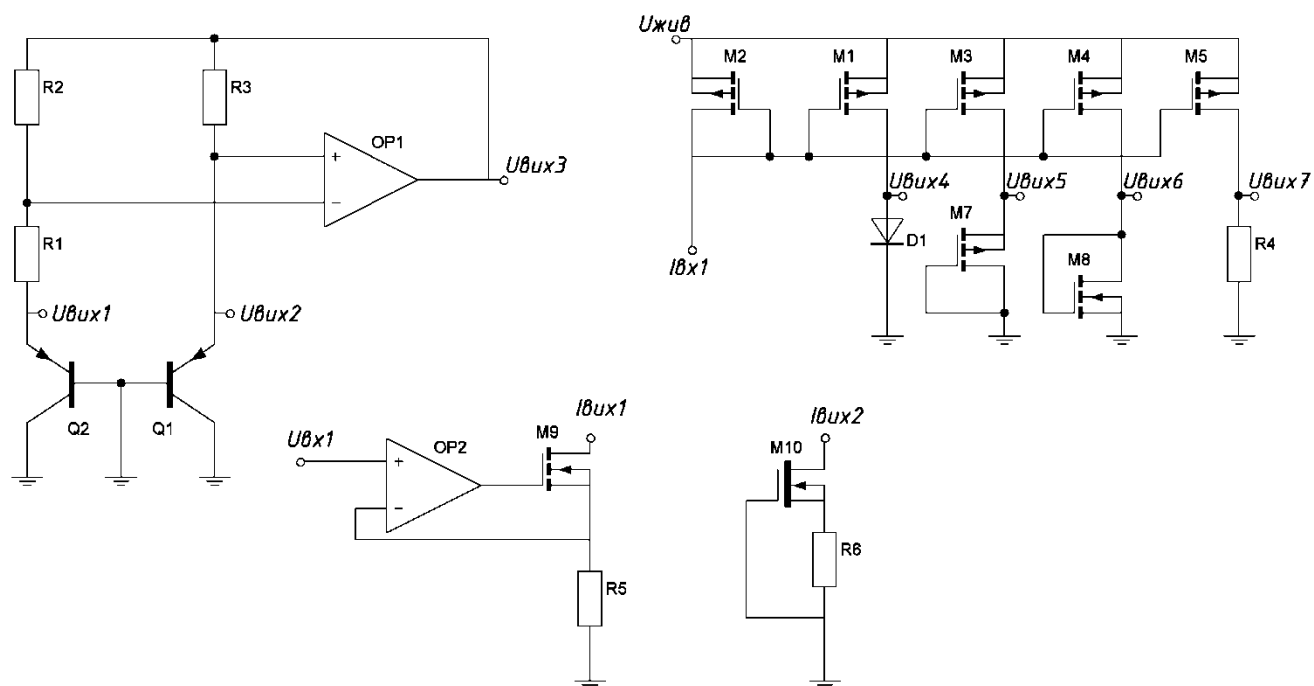


Рисунок В.11 – Спрощена електрична схема тринадцятого блоку ІМС для дослідження температурних залежностей елементів та опорних джерел струму/напруги