

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

Укладачі
Новацький А.О., Бердник Ю.М.

ЕЛЕКТРОНІКА І МІКРОПРОЦЕСОРНА ТЕХНІКА
ЧАСТИНА 1
КОМП'ЮТЕРНА ЕЛЕКТРОНІКА
ЛАБОРАТОРНИЙ ПРАКТИКУМ

Навчальний посібник

*Рекомендовано Методичною радою КПІ ім.Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра за освітньою
програмою «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні
системи та технології»*

Електронне мережне навчальне видання

Київ
КПІ ім. Ігоря Сікорського
2024

Електроніка і мікропроцесорна техніка. Частина 1. Комп'ютерна електроніка: Лабораторний практикум [Електронний ресурс] : навч. посіб. для здобувачів ступеня бакалавра за освітньою програмою «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні системи та технології» / А.О. Новацький, Ю. М. Бердник; Електронні текстові дані (1 файл: 20,8 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2024. – 275 с.

Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № 6 від 28.03.2024 р.) за поданням Вченої ради факультету Інформатики та обчислювальної техніки (протокол № 9 від 25.03.2024 р.)

Електронне мережне навчальне видання

Електроніка і мікропроцесорна техніка
Частина 1
Комп'ютерна електроніка
Лабораторний практикум

Укладачі: Новацький Анатолій Олександрович, к.т.н., доцент,
Бердник Юрій Михайлович, ст. викладач

Відповідальний редактор: Полторак Вадим Петрович, к.т.н., доцент, КПІ ім.Ігоря Сікорського, ФІОТ, кафедра інформаційних систем та технологій

Рецензент: Селіванов Віктор Львович, к.т.н., доцент, КПІ ім.Ігоря Сікорського, ФІОТ, кафедра обчислювальної техніки

Навчальний посібник охоплює теоретичний матеріал та практичні завдання, які необхідні для виконання лабораторного практикуму з дисципліни «Комп'ютерна електроніка». Практикум виконується в комп'ютерному класі кафедри з використанням моделюючого пакету MICROCAP. В посібнику наводяться рекомендації по використанню цього пакету та виконанню робіт з наступної тематики: біполярні та польові транзистори, операційні підсилювачі, діодні та транзисторні ключі, імпульсні тригери, аналогові компаратори та пристрої формування рівнів, мультівібратори та генератори лінійно змінюваної напруги, цифро-аналогові перетворювачі, комбінаційні цифрові пристрої, послідовні цифрові пристрої, аналого-цифрові перетворювачі. В роботі наводяться приклади схем, характеристик електронних пристроїв та їх розрахунки. Тематика посібника відповідає робочій програмі з дисципліни «Комп'ютерна електроніка», яка є обов'язковою дисципліною у навчальному плані підготовки бакалаврів освітньої програми «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні системи та технології». Робота може бути корисною студентам відповідних спеціальностей при вивченні дисциплін, пов'язаних із використанням аналогових, імпульсних та цифрових електронних пристроїв, а також при виконанні бакалаврських та курсових робіт, в яких використовуються відповідні пристрої.

© КПІ ім. Ігоря Сікорського, 2024

ЗМІСТ

ВСТУП.....	10
ЛАБОРАТОРНА РОБОТА №1	12
1. Короткі теоретичні відомості	12
1.1. Біполярні транзистори	12
1.1.1. Загальна характеристика БТ	12
1.1.2. Принцип роботи біполярного транзистора.....	13
1.1.3. Схеми включення біполярних транзисторів.....	16
1.1.4. Статичні вольт-амперні характеристики транзистора.....	17
1.1.5. Режим роботи транзистора з навантаженням.....	18
1.1.6. Режими роботи транзистора.....	19
1.1.7. Використання БТ в підсилювачі напруги.....	20
1.2. Польові транзистори	22
1.2.1. Загальна характеристика польових транзисторів.....	22
1.2.2. Польові транзистори із затвором у вигляді р-п-переходу	23
1.2.3. Польові транзистори із ізольованим затвором	25
1.2.3.1. МДН/МОН-ПТ із вбудованим каналом.....	25
1.2.3.2. МДН/МОН-ПТ із каналом, що індукується.....	26
1.2.4. Основні властивості та застосування польових транзисторів	27
1.3. Схема підсилювача із фіксованим струмом бази	28
1.4. Схема підсилювача із фіксованою базовою напругою	29
2. Моделювання окремих пристроїв.....	30
2.1. Рекомендації для роботи в програмі Мікросар	30
2.2. Схема 1. Схема із фіксованим базовим струмом.....	32
2.3. Схема 2. Схема із фіксованою базовою напругою	36
2.4. Схема 3. Схема із польовим транзистором з р-п-переходами та каналом п-типу	373737
2.5. Схема 4. Схема підсилювача з від'ємним зворотним зв'язком (ВЗЗ) на польовому транзисторі із затвором у вигляді р-п-переходу.....	39
2.6. Схема 5. Схема підсилювача на МОН-транзисторі з індукованим каналом .	41
3. Порядок виконання роботи.....	43
4. Контрольні питання.....	44
ЛАБОРАТОРНА РОБОТА №2	46
1. Короткі теоретичні відомості	46
1.1. Загальна характеристика ОП.....	46
1.2. Операційний підсилювач, що не інвертує	50
1.3. Операційний підсилювач, що інвертує	52
1.4. Диференціальний операційний підсилювач	53
1.5. Підсумовуючий ОП, що інвертує.....	54

1.6. Підсумовуючий ОП, що не інвертує.....	55
1.7. Операційний підсилювач, що диференціює	56
1.8. Операційний підсилювач, що інтегрує.....	57
2. Моделювання окремих пристроїв.....	58
2.1. Схема 1. Випробування розімкненого ОП, який не інвертує.....	58
2.2. Схема 2. Випробування розімкненого ОП, який інвертує.....	59
2.3. Схема 3. Підсилювач на базі ІМС ОП, який інвертує.....	61
2.4. Схема 4. Підсилювач на базі ІМС ОП, який не інвертує.....	63
2.5. Схема 5. Диференціюючий ланцюг на базі ІМС ОП.....	65
2.6. Схема 6. Інтегруючий ланцюг на базі ІМС ОП.....	68
3. Порядок виконання роботи.....	70
4. Контрольні питання.....	72
ЛАБОРАТОРНА РОБОТА №3	73
1. Короткі теоретичні відомості	73
1.1. Діодні ключі	73
1.1.1. Загальна характеристика діодних ключів	73
1.1.2. Послідовні ДКЛ.....	73
1.1.2.1. Аналіз роботи послідовних ДКЛ	73
1.1.2.2. Оцінка впливу двох напруг на значення вихідної напруги	75
1.1.3. Паралельні діодні ключі	77
1.1.4. Приклад застосування ДКЛ.....	79
1.2. Транзисторні ключі	79
1.2.1. Загальна характеристика транзисторних ключів	79
1.2.2. Транзисторні ключі на біполярних транзисторах	79
1.2.2.1. Загальна характеристика транзисторних ключів на біполярних транзисторах	79
1.2.2.2. Вимкнутий (закритий) стан транзисторного ключа	80
1.2.2.3. Увімкнутий (відкритий) стан ключа.....	81
1.2.2.4. Перехідний (динамічний) режим роботи ключа	82
1.2.2.5. Транзисторний ключ, закритий у початковому стані	86
1.2.2.6. Транзисторний ключ, відкритий у початковому стані.....	86
1.2.2.7. Ключ із зовнішнім зміщенням і прискорюючим конденсатором	87
1.2.2.8. Ненасичені ключі.....	88
1.2.2.9. Послідовні транзисторні ключі.....	90
1.2.3. Ключі на польових транзисторах.....	91
2. Моделювання окремих пристроїв.....	92
2.1. Схема 1. Послідовний діодний ключ.....	92
2.2. Схема 2. Послідовний діодний ключ зі зміщенням	93
2.3. Схема 3. Паралельний діодний ключ	94

2.4. Схема 4. Паралельний діодний ключ зі зміщенням	95
2.5. Схема 5. Транзисторний ключ на базі n-p-n-транзистора під час подачі на вхід різнополярних імпульсів.....	96
2.6. Схема 6. Транзисторний ключ на базі n-p-n-транзистора включеного за схемою із спільним емітером з прискорюючим конденсатором та без нього	98
2.7. Схема 7. Транзисторний ключ на базі n-p-n-транзистора відкритого у початковому стані, який включено за схемою із спільним емітером.....	102
2.8. Схема 8. Транзисторний ключ на базі n-p-n-транзистора закритого у початковому стані, який включено за схемою із спільним емітером.....	103
2.9. Схема 9. Транзисторний ключ на базі польового транзистора.....	105
2.10. Схема 10. Транзисторний ключ на базі діода Шотткі.....	108
3. Порядок виконання роботи.....	109
4. Контрольні питання.....	111
ЛАБОРАТОРНА РОБОТА №4	112
1. Короткі теоретичні відомості	112
1.1. Імпульсні тригери	112
1.1.1. Загальні відомості про імпульсні тригери	112
1.1.2. Симетричні тригери	113
1.1.2.1. Загальні відомості про симетричні тригери	113
1.1.2.2. Способи переключення симетричних тригерів.....	116
1.1.3. Несиметричні тригери (тригери Шмітта)	117
1.1.3.1. Загальні відомості про тригери Шмітта.....	117
1.1.3.2. Тригери Шмітта, що не мають пам'яті.....	117
1.1.3.3. Тригери Шмітта, що мають пам'ять	120
1.2. Аналогові компаратори	122
1.2.1. Загальні відомості про аналогові компаратори	122
1.2.2. Аналогові компаратори для порівняння однополярних напруг.....	123
1.2.3. Аналогові компаратори для порівняння різнополярних напруг	124
1.2.4. Регенеративний компаратор	125
2. Моделювання окремих пристроїв.....	127
2.1. Схема 1. АК для порівняння однополярних напруг.....	127
2.2. Схема 2. АК для порівняння однополярних напруг за умови наявності завад.....	128
2.3. Схема 3. АК з ДЗЗ для порівняння однополярних напруг за умови наявності завад (регенеративний АК).....	130
2.4. Схема 4. АК для порівняння різнополярних напруг.....	132
2.5. Схема 5. ТШ на базі ІМС ОП з пам'яттю	133
2.6. Схема 6. ТШ на базі ІМС ОП без пам'яті	135
2.7. Схема 7. Формувач рівнів	136

2.8. Схема 8. Асинхронний RS-тригер із зовнішнім зміщенням	138
2.9. Схема 9. Тригер з лічильним входом.....	139
3. Порядок виконання роботи.....	140
4. Контрольні питання.....	142
ЛАБОРАТОРНА РОБОТА №5	143
1. Короткі теоретичні відомості	143
1.1. Генератори прямокутних імпульсів (мультивібратори).....	143
1.1.1. Загальні відомості про мультивібратори.....	143
1.1.2. Мультивібратори на ІМС ОП	144
1.1.2.1. Загальні відомості про мультивібратори на ІМС ОП	144
1.1.2.2. Автоколивальний мультивібратор на ІМС ОП.....	144
1.1.2.3. Мультивібратор, що чекає, на ІМС ОП.....	147
1.2. Генератори напруги, що змінюється лінійно	150
1.2.1. Загальні відомості про генератори напруги, що змінюється лінійно	150
1.2.2. Генератори напруги, що змінюється лінійно, на біполярному транзисторі.....	151
1.2.3. Генератори напруги, що змінюється лінійно, на ІМС ОП	152
1.2.3.1. Генератори напруги, що змінюється лінійно із зовнішнім запуском	152
1.2.3.2. Автоколивальний генератор напруги, що змінюється лінійно, на ІМС ОП.....	156
1.2.3.3. Застосування генераторів напруги, що змінюється лінійно	157
2. Моделювання окремих пристроїв.....	158
2.1. Схема 1. Автоколивальний мультивібратор. Базова схема.....	158
2.2. Схема 2. Автоколивальний мультивібратор зі шпаруватістю два	160
2.3. Схема 3. Чекаючий мультивібратор.....	161
2.4. Схема 4. Найпростіший ГЛЗН із зовнішнім запуском.....	164
2.5. Схема 5. Чекаючий ГЛЗН.....	165
2.6. Схема 6. Автоколивальний ГЛЗН.....	168
3. Порядок виконання роботи.....	169
4. Контрольні питання.....	171
ЛАБОРАТОРНА РОБОТА №6	172
1. Короткі теоретичні відомості	172
1.1. Загальні відомості про ЦАП.....	172
1.2. ЦАП на основі резисторної матриці R-2R з підсумовуванням струмів	172
1.2.1. Опис роботи перетворювача.....	172
1.2.2. Розрахунок перетворювача	173
1.3. Опис роботи і розрахунок ЦАП на основі резисторної матриці R-2R з підсумовуванням напруг	175
1.3.1. Опис роботи перетворювача.....	175
1.3.2. Розрахунок перетворювача	176

2. Моделювання окремих пристроїв.....	178
2.1. Схема 1. ЦАП із підсумовуванням напруг.....	178
2.2. Схема 2. ЦАП із підсумовуванням струмів.....	181
3. Порядок виконання роботи.....	184
4. Контрольні питання.....	185
ЛАБОРАТОРНА РОБОТА №7	186
1. Короткі теоретичні відомості.....	186
1.1. Застосування булевої алгебри під час аналізу і синтезу цифрових електронних систем.....	186
1.1.1. Визначення перемикальних функцій.....	186
1.1.2. Способи опису перемикальних функцій.....	186
1.1.3. Перемикальні функції однієї змінної.....	187
1.1.4. Перемикальні функції двох змінних.....	188
1.1.5. Базисні логічні функції.....	188
1.1.6. Принцип двоїстості булевої алгебри.....	188
1.1.7. Основні тотожності булевої алгебри.....	189
1.1.8. Основні закони та теореми булевої алгебри.....	189
1.1.9. Досконала диз'юнктивна нормальна форма.....	189
1.1.10. Досконала кон'юнктивна нормальна форма.....	190
1.1.11. Мінімізація перемикальних функцій.....	191
1.1.11.1. Загальні відомості про мінімізацію.....	191
1.1.11.2. Алгебраїчний спосіб мінімізації ПФ.....	191
1.1.11.3. Мінімізація ПФ із використанням діаграм Вейча.....	192
1.1.11.4. Мінімізація ПФ за допомогою карт Карно.....	196
1.2. Основні типи логічних елементів.....	197
1.2.1. Загальна характеристика логічних елементів.....	197
1.2.2. Інвертор (логічний елемент «НЕ»).....	198
1.2.3. Кон'юнктор (логічний елемент «І»).....	198
1.2.4. Диз'юнктор (логічний елемент «АБО»).....	199
1.2.5. Повторювач.....	200
1.2.6. Логічний елемент «І-НЕ»).....	200
1.2.7. Логічний елемент «АБО-НЕ»).....	200
1.2.8. Виключне «АБО»).....	201
1.2.9. Додавання за модулем два (непарність).....	202
1.2.10. Додавання за модулем два із запереченням (парність).....	202
1.2.11. Еквівалентність.....	203
1.2.12. Нееквівалентність.....	204
1.2.13. Логічний елемент «І-АБО-НЕ»).....	204
1.2.14. Логічний елемент «Заборона»).....	205

1.2.15. Логічні елементи з відкритим колектором	206
1.2.16. Логічні елементи з третім станом.....	208
1.3. Реалізація логічних функцій в різних базисах	209
1.3.1. Базисні набори логічних елементів і їх взаємозв'язок	209
1.3.2. Реалізація елемента «Рівнозначність» («виключне АБО-НЕ»)	209
1.3.3. Реалізація елемента «Нерівнозначність»	211
1.3.4. Реалізація елемента «Заборона»	211
1.3.5. Реалізація багатолітерних логічних функцій на елементах з невеликою кількістю входів	212
1.4. Аналіз і синтез КЦП.....	213
1.4.1. Визначення комбінаційних цифрових пристроїв	213
1.4.2. Аналіз КЦП	213
1.4.3. Синтез КЦП	213
2. Завдання на лабораторну роботу	215
3. Порядок виконання лабораторної роботи	215
4. Контрольні питання.....	218
ЛАБОРАТОРНА РОБОТА №8	220
1. Короткі теоретичні відомості	220
1.1. Загальна характеристика послідовних цифрових пристроїв	220
1.2. Цифрові тригери	220
1.2.1. Загальна характеристика цифрових тригерів	220
1.2.2. Тригери на логічних елементах	221
1.2.2.1. Асинхронні RS-тригери	221
1.2.2.2. Синхронні RS-тригери	223
1.2.2.3. Т-тригери.....	225
1.2.2.4. D-тригери	226
1.2.2.5. JK-тригери.....	227
1.2.3. Тригери в інтегральному виконанні	229
2. Моделювання цифрових тригерів.....	229
2.1. Схема 1. Асинхронний RS-тригер на елементній базі NOR (АБО-НЕ).....	229
2.2. Схема 2. Асинхронний RS-тригер на елементній базі NAND (І-НЕ)	231
2.3. Схема 3. Однотактний синхронний RSC-тригер.....	232
2.4. Схема 4. Т-тригер (тригер з рахунковим входом)	233
2.5. Схема 5. Однотактний синхронний D-тригер	235
3. Порядок виконання роботи.....	236
4. Контрольні питання.....	237
ЛАБОРАТОРНА РОБОТА №9	238
1. Короткі теоретичні відомості	238
1.1. Призначення та види АЦП	238

1.2. Розрахунок похибки АЦП.....	238
1.3. Пристрій вибірки і зберігання.....	240
1.3.1. Обґрунтування необхідності застосування ПВЗ.....	240
1.3.2. Схема включення ПВЗ.....	241
1.3.3. АЦП послідовного наближення.....	241
1.3.3.1. Загальна характеристика АЦП послідовного наближення.....	241
1.3.3.2. Опис та розрахунок мікросхеми АЦП AD571.....	242
1.3.4. Паралельно-послідовні АЦП.....	245
1.3.4.1. Опис та розрахунок мікросхеми АЦП MAX154.....	245
1.3.4.2. Опис роботи паралельного чотирирозрядного АЦП.....	249
2. Моделювання окремих пристроїв.....	251
2.1. Схема 1. Паралельний АЦП.....	251
2.2. Схема 2. Схема з використанням мікросхем АЦП та ЦАП.....	255
3. Порядок виконання роботи.....	257
4. Контрольні запитання.....	257
Рекомендований зміст ЗВІТУ.....	259
Вказівки щодо роботи в програмному середовищі MICROCAP.....	260
1. Вступ.....	260
2. Початок роботи.....	260
3. Створення простої схеми.....	261
4. Елементи схем.....	264
5. Аналіз перехідних процесів.....	270
Список літератури.....	274

ВСТУП

В сучасних інформаційних системах керування використовують електричні сигнали, для яких характерні висока швидкість їх обробки, простота формування і передачі на великі відстані, широкий діапазон струмів та напруг (від частки мікроампер і мікрвольт до тисяч ампер і сотень кіловольтів), простота перетворення електричної енергії у інші види (теплову, механічну, світлову і т. ін.).

Зміст інформації, яка передається за допомогою цих сигналів, перетворюється (модулюється або кодується) в їх електричні або часові параметри, а потім демодулюється або декодується, тобто перетворюється у фізичні впливи на об'єкти керування (нагрів, пересування, обертання) або в зручні для візуального зчитування форми (пересування стрілки вимірювальних приладів, цифри і символи інформаційних табло).

В процесі формування, передачі і обробки електричні сигнали підлягають різноманітним перетворенням: підсиленню, фільтрації для усунення спотворень та захисту від завад, формуються за формою, амплітудою або тривалістю. Для цього використовують електронні пристрої, які складаються з електронних елементів та пасивних електричних ланцюгів (резисторів, конденсаторів, котушок індуктивності), що призначені для зв'язку окремих електронних елементів або виконують самостійні функції перетворення електричних сигналів.

Характеристики електронних пристроїв визначаються характеристиками їх електронних елементів. Завдяки їхнім унікальним особливостям, формування, обробка та перетворення електричних сигналів можуть здійснюватися з частотою у десятки та сотні мегагерців, рівень сигналу може бути підсилено від частки мікрвольт до сотень вольтів, а його потужність – від частки нановат до сотень кіловатів. За допомогою електронних цифрових пристроїв над електричними сигналами можна виконувати арифметичні і логічні операції, операції диференціювання, інтегрування і перетворення за різними математичними законами.

Роль електронних пристроїв особливо зростає сьогодні у зв'язку з широким застосуванням мікропроцесорної техніки для перероблення інформаційних сигналів та силових напівпровідникових приладів для перетворення електричної енергії.

Електронні елементи сучасних електронних пристроїв випускаються промисловістю двох видів:

- у вигляді окремих дискретних компонентів (діодів, транзисторів, тиристорів і т. ін.);

- у вигляді мікросхем (інтегральних схем), у яких в одному корпусі в один функціональний вузол об'єднано ряд окремих елементів, які виповнені, як правило, на одному кристалі напівпровідника.

Елементи першого виду застосовуються передусім в силових ланцюгах автоматики, які найменш складні за схемотехнікою, розсіюють більшу кількість теплоти, мають більші габарити.

Область використання елементів другого виду невпинно розширюється. Вони виконують все складніші функції, вміщують у себе все більше число окремих електронних елементів. Вершиною сучасного розвитку електроніки є створення в одному корпусі (на одному кристалі) програмованих електронних елементів – мікропроцесорів та мікроконтролерів, використання яких відкриває новий етап у розвитку усіх областей техніки.

Незалежно від ступеня складності мікросхем та широти функцій, які вони виконують, основу їх структури складають елементарні схеми, фізичні принципи та особливості роботи яких простіше та ефективніше виявляються при моделюванні мікросхем за допомогою окремих дискретних електронних і електричних елементів. Це сприяє глибшому сприйняттю принципів побудови електронних пристроїв різного ступеню складності, дозволяє ефективніше і повніше використовувати їх якості, спрощує процес налаштування і пошук несправностей.

Подальший розвиток економіки України тісно пов'язаний з широкою автоматизацією та удосконаленням технологічних процесів на базі електроніки, обчислювальної та мікропроцесорної техніки.

В сучасних умовах спеціалісти різного профілю не можуть активно вдосконалювати технологічні процеси без достатньо глибоких знань основ електроніки, принципів побудови та функціонування пристроїв аналогової та цифрової схемотехніки, методів аналізу і розрахунку електронних пристроїв із заданими характеристиками.

Електронні пристрої поділяються на аналогові (безперервні) та дискретні (переривчасті), які, у свою чергу, поділяються на імпульсні та цифрові.

Сьогодні провідне місце на ринку електронних пристроїв та систем займає цифрова електроніка.

Однак повністю витіснити аналогову техніку цифрова не зможе. Фізичні процеси, від яких електронна підсистема отримує інформацію та якими керує в інформаційних системах керування, мають аналогову природу. Тому на вході та виході необхідні аналого-цифрові та цифро-аналогові перетворювачі.

ЛАБОРАТОРНА РОБОТА №1

Тема: Біполярні та польові транзистори.

Мета: Дослідити принцип дії та основні властивості біполярних (БТ) та польових транзисторів (ПТ); дослідити основні динамічні характеристики БТ, які включено за схемою зі спільним емітером (СЕ); ознайомитися з основними параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Біполярні транзистори

1.1.1. Загальна характеристика БТ

Транзистори поділяються на біполярні та польові.

Біполярний транзистор – це напівпровідниковий пристрій, який має два р-n-переходи і три виводи. У перші роки після їх винаходу транзистори називали напівпровідниковими тріодами.

В роботі транзистора використовуються носії заряду обох полярностей – електрони та дірки, тому вони називаються біполярними.

Транзистори призначені для підсилення та перетворення електричних сигналів.

За матеріалом, що використовується, транзистори поділяються на:

- германієві;
- кремнієві.

За технологією виготовлення БТ поділяються на:

- сплавні;
- вирощувані;
- дифузійні;
- епітаксіальні;
- планарні.

У позначенні біполярних транзисторів використовуються літери та цифри [1].

Біполярний транзистор є структурою р-n-p, або n-p-n-типу, яку отримано в одному монокристалі напівпровідника (рис. 1).



Рис. 1. Структура біполярного транзистора

Внутрішня область, що розділяє р-п-переходи, називається базою (Б). Зовнішній шар, призначений для інжектування носіїв у базу, називається емітером (Е), а р-п-перехід П1, що примикає до емітера, – емітерним. Інший зовнішній шар, екстракуючий (той, що витягує) носії із бази, називається колектором (К), а р-п-перехід П2 – колекторним.

Для виготовлення біполярних транзисторів в основному використовують кремній та германій, оброблені за відповідною технологією: сплавною; дифузійною; вирощеною, епітаксialною; планарною і т. ін. Перші транзистори були точковими, але вони працювали нестійко. Останнім часом виготовляються і застосовуються площинні транзистори.

Умовні графічні позначення БТ на схемах електричних принципів показані на рис. 2.



Рис. 2. Позначення БТ на електричних схемах: а – р-п-р-типу; б – п-р-п-типу

Конструкції транзисторів описано в [1]. Їх основними особливостями є те, що база створюється дуже вузькою (декілька мікрометрів); емітер містить значно більшу концентрацію домішки, ніж база; площа колекторного переходу більша, ніж емітерного.

1.1.2. Принцип роботи біполярного транзистора

БТ може працювати у декількох режимах: той, що підсилює, імпульсному, ключовому і т. ін. В режимі роботи БТ, що підсилює, його емітерний перехід зміщують у прямому, а колекторний – у зворотному напрямках (рис. 3, а).

На наведеному нижче рисунку, як приклад, розглядається робота р-п-р-транзистора.

За відсутності зовнішніх напруг ($U_{EB} = U_{KB} = 0$) електричні поля р-п-переходів створюються лише об'ємними зарядами іонів домішок і потенційні бар'єри обох переходів ($\varphi_{K0E} = \varphi_{K0K} = \varphi_{K0}$) підтримують рівновагу у транзисторі (рис. 3, б).

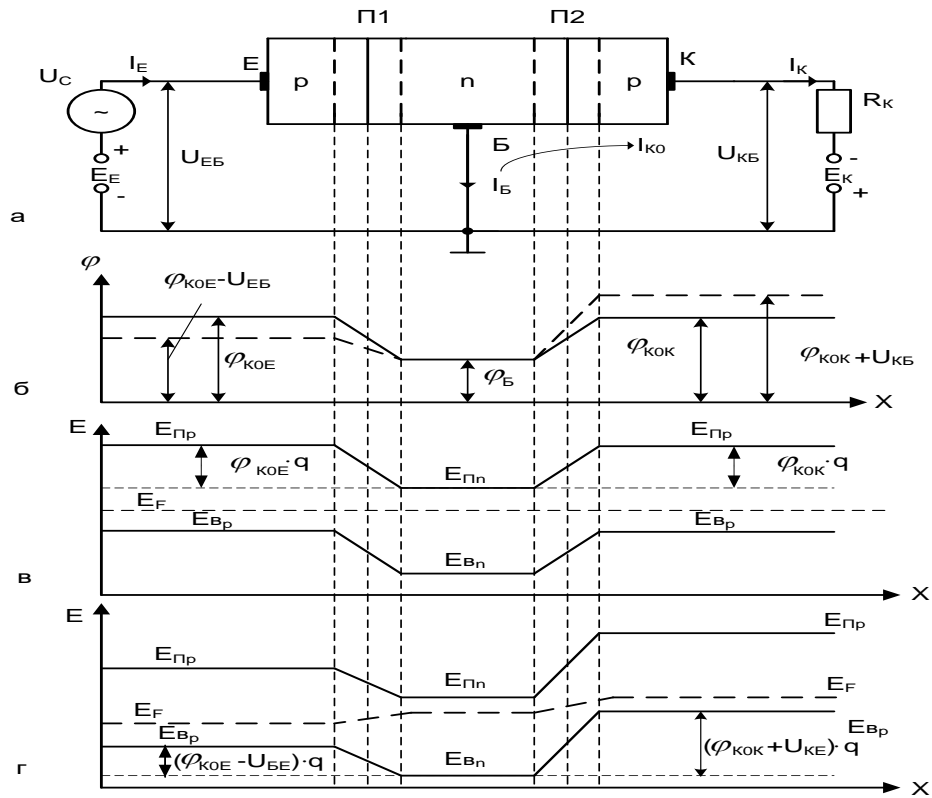


Рис. 3. Біполярний транзистор:

а – схема включення;

б – розподілення потенціалу у структурі;

в, г – розташування енергетичних зон

Сумарні струми через р-п-переходи дорівнюють нулю. При цьому у бездрейфових транзисторах (найбільш поширених) концентрація домішки у базі рівномірна за всією товщиною і електричне поле у базі відсутнє. Потенціал бази постійний за всією товщиною ($\varphi_B = const$, рис. 3, б).

На рис. 3, в показано розташування енергетичних зон у транзисторі за відсутності зовнішньої напруги. За наявності напруги U_{EB} і U_{KB} , що визначаються зовнішніми джерелами E_E і E_K відбувається перерозподіл електричних потенціалів переходів і зміна розташування енергетичних зон. Напругу U_{EB} прикладено до емітерного переходу у прямому напрямі, а U_{KB} до колекторного переходу – у зворотному. Опір емітерного переходу малий і для отримання нормального струму у цьому переході достатньо напруги U_{EB} у десяті доли вольта.

Опір колекторного переходу великий, і напруга U_{KB} складає одиниці – десятки вольт. У емітерному переході виникає явище *інжекції*.

Оскільки концентрація дірок у емітері значно перевищує концентрацію електронів у базі ($p_E \gg n_B$), потік дірок із емітера у базу значно перевершує потік електронів у зворотному напрямі.

У загальному випадку через емітерний перехід протікає струм

$I_E = I_{Ep} + I_{En}$, де I_{Ep} , I_{En} відповідно діркова і електронна складові.

Чим менше I_{En} , тим ефективніше робота транзистора. Тому введений коефіцієнт γ , що оцінює ефективність емітера:

$$\gamma = \frac{I_{Ep}}{I_E} = \frac{I_{Ep}}{I_{Ep} + I_{En}} = \frac{1}{1 + \frac{I_{En}}{I_{Ep}}} \approx 0.999. \quad (1)$$

В ідеальному транзисторі $I_{En} = 0$, $\gamma = 1$. Інжектовані дірки проникають у глиб бази. Залежно від механізму проходження носіїв заряду через область бази розрізняють бездрейфові і дрейфові транзистори [1]. Не зважаючи на цю відмінність, дірки, потрапивши у базу, для якої вони є неосновними носіями, починають *рекомбінувати* із електронами бази. Цей процес викликає додаткове прибуття електронів від зовнішнього джерела у базову область, тобто з'являється базовий струм I_B .

Процес рекомбінації відбувається не миттєво і пов'язаний із часом життя неосновних носіїв (час, протягом якого концентрація неосновних носіїв зменшується в e раз). Товщина бази дуже мала (одиниці мікрон). Тому середній час пробігу неосновних носіїв заряду через базу значно менше часу їх життя, тобто велика частка дірок доходить до колекторного переходу. Для оцінки описаного процесу введений коефіцієнт перенесення носіїв у базі (у нашому випадку дірок):

$\beta_p = \frac{I_{Bp}}{I_{Ep}}$, де I_{Bp} – діркова складова струму бази, яка визначається кількістю дірок, що дійшли до колекторного переходу ($I_{Bp} < I_{Ep}$, $\beta_p < 1$).

У колекторному переході, включеному у зворотному напрямі, відбувається явище *екстракції*. Площа цього переходу значно більше площі емітерного, тому майже всі дірки виводяться в область колектора. З'являється струм колектора I_K . У загальному випадку струм колектора складається із двох складових $I_K = I_{Kp} + I_{K0}$, де I_{Kp} – струм, що протікає у ланцюзі колектора за рахунок описаних раніше процесів; I_{K0} – *зворотний струм насичення* зворотно включеного колекторного переходу.

Одним із основних параметрів транзистора є коефіцієнт передачі струму емітера: $\alpha = \frac{I_K}{I_E}$.

Оскільки I_{K0} дуже малий, часто записують:

$$\alpha = \frac{I_{Kp}}{I_E} \quad (\alpha = (0,95 \dots 0,99); \quad I_B = (0,05 \dots 0,01) \cdot I_E; \quad I_K = (0,95 \dots 0,99) \cdot I_E. \quad (2)$$

Окрім описаних процесів у транзисторі може відбуватися також процес розмноження дірок у колекторному переході за рахунок явища ударної іонізації

(враховується коефіцієнтом M і процес рекомбінації дірок із електронами у колекторному переході (враховується коефіцієнтом β_{PK} [1]).

Повний струм колектора $I_K = \alpha \cdot I_E + I_{K0}$. Оскільки $I_{K0} \approx 0$, часто вважають, що $I_K = \alpha \cdot I_E$. Струм бази $I_B = I_E - I_K = I_E(1 - \alpha) - I_{K0}$. При $I_E = 0$, $I_B = -I_{K0}$.

Таким чином, у транзисторі, включеному як показано на рис. 3, через емітерний перехід протікає вхідний струм I_E , який керує, а через колекторний перехід – вихідний струм I_K , яким керують. Іншими словами, транзистор – прилад, у якого вхідний струм керує вихідним.

Оскільки емітерний р-п-перехід включений у прямому напрямі, а колекторний – у зворотному, вхідна напруга впливає на колекторний струм значно сильніше, ніж вихідна. На цій властивості і заснована підсилююча дія транзистора. Якщо напругу, а отже, і струм у ланцюзі емітера змінювати у часі за законом джерела змінного сигналу U_c (рис. 3, а), то за цим же законом змінюватиметься струм I_K , а отже і напруга на опорі навантаження R_K . За відсутності підсилення за струмом ($I_K < I_E$ на величину струму бази) розглянута схема підсилює напругу (вхідний опір малий, вихідний великий, а струми $I_K \approx I_E$, оскільки $I_B \approx 0$).

Зв'язок між змінними складовими струмів і напруг виражається співвідношеннями:

$$U_{BX} = I_E R_{BX}; U_{ВИХ} = I_K R_K = \alpha I_E R_E, \quad (3)$$

де R_{BX} – вхідний опір змінному струму – складає десятки Ом; R_K – опір навантаження транзистора – складає тисячі Ом; $R_K \gg R_{BX}$, тому $U_{ВИХ} \gg U_{BX}$.

Транзистор – *активний елемент, що має здатність підсилювати потужність електричного сигналу за рахунок споживання енергії зовнішніх джерел живлення*. Змінюючи струм у вхідному ланцюзі за певним законом, можна отримати підсилений сигнал на виході тієї ж форми.

Вище принцип роботи транзистора було розглянуто для транзисторів р-п-р-типу, які були поширені до появи п-р-п-транзисторів. Всі описані вище процеси, співвідношення і параметри характерні і для транзистора п-р-п-типу.

Відмінність полягає у тому, що змінюється полярність підключення зовнішніх джерел живлення та відповідно напрямки струмів. З емітера інjektуються у базу, а потім виводяться в колектор не дірки, а електрони.

1.1.3. Схеми включення біполярних транзисторів

У електричний ланцюг транзистор включають таким чином, що один із його електродів є вхідним, в іншій – вихідним. Третій електрод – спільний щодо входу і виходу. У ланцюг вхідного електрода включають джерело вхідного змінного

сигналу, а в ланцюг вихідного – опір навантаження. Залежно від того, який електрод є спільним, розрізняють *три схеми включення* транзисторів: із спільною базою (СБ), із спільним емітером (СЕ) і із спільним колектором (СК). Ці схеми для транзистора n-p-n-типу показано на рис. 4. Для транзистора p-n-p-типу у схемах включення змінюються лише полярність напруг живлення і напрямки струмів.

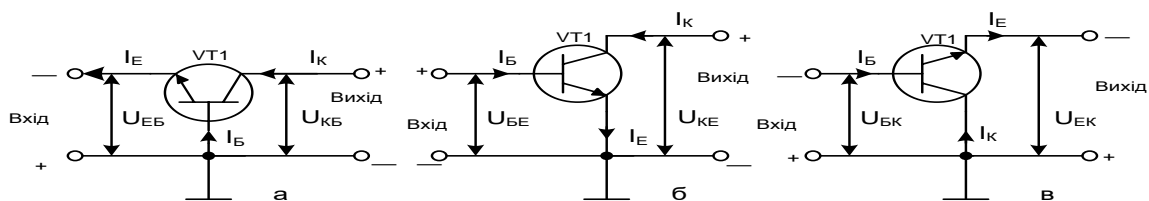


Рис. 4. Схеми включення БТ n-p-n-типу: а – СБ; б – СЕ; в – СК

Слід пам'ятати, що у підсилювальному режимі роботи транзистора його емітерний перехід включений у прямому напрямі, а колекторний – у зворотному незалежно від схеми включення.

Найбільш поширеною є схема включення із СЕ (рис. 4, б), що має найбільше підсилення потужності.

1.1.4. Статичні вольт-амперні характеристики транзистора

Кожна схема включення у загальному випадку характеризується чотирма сім'ями вольт-амперних характеристик (ВАХ): а – вихідними; б – входними; в – характеристиками передачі за струмом; г – характеристиками зворотного зв'язку за напругою [1]. Перші дві з них є основними.

На рис. 5, 6 наведено входні і вихідні статичні ВАХ схем із СБ і СЕ транзистора n-p-n-типу. Статичні ВАХ знімаються за відсутності опору навантаження у вихідному ланцюзі.

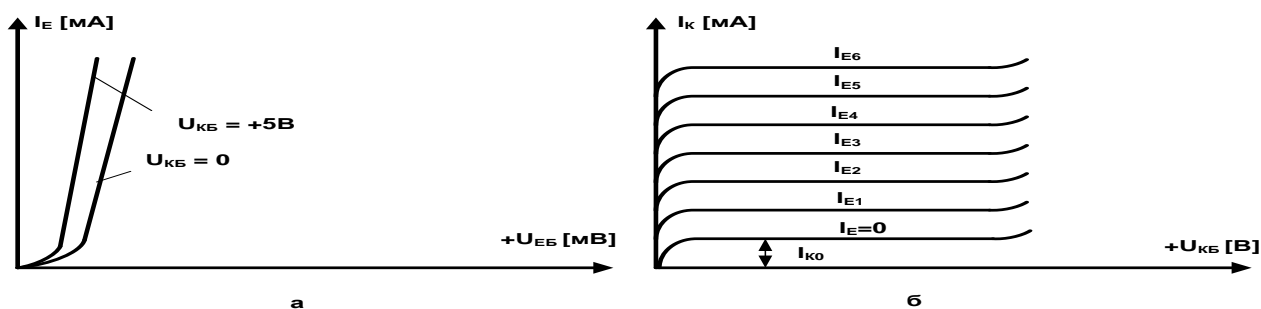


Рис. 5. Статичні ВАХ схеми із СБ: а – входні; б – вихідні

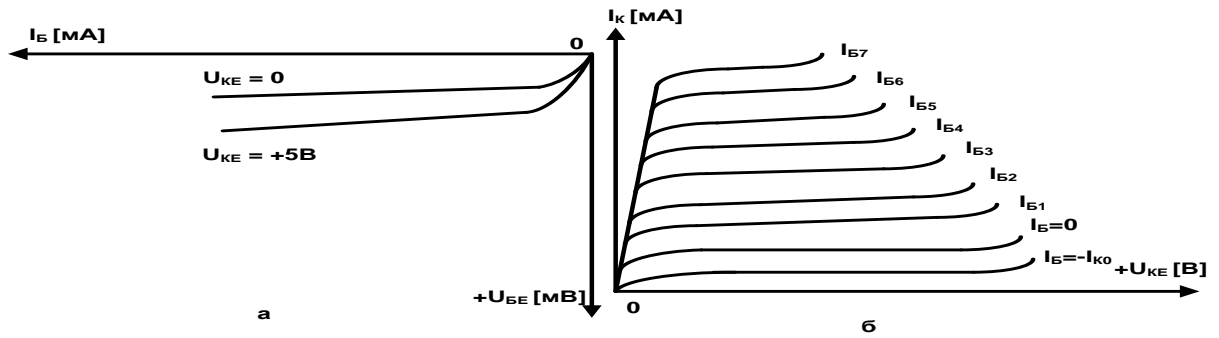


Рис. 6. Статичні ВАХ схеми із СЕ: а – вхідні; б – вихідні

1.1.5. Режим роботи транзистора з навантаженням

Для практичної схеми із СЕ у вихідний ланцюг включають опір навантаження R_K . У цьому випадку режим роботи транзистора називають динамічним. Розглянемо динамічний роботи транзистора на прикладі схеми із СЕ (рис. 7, а).

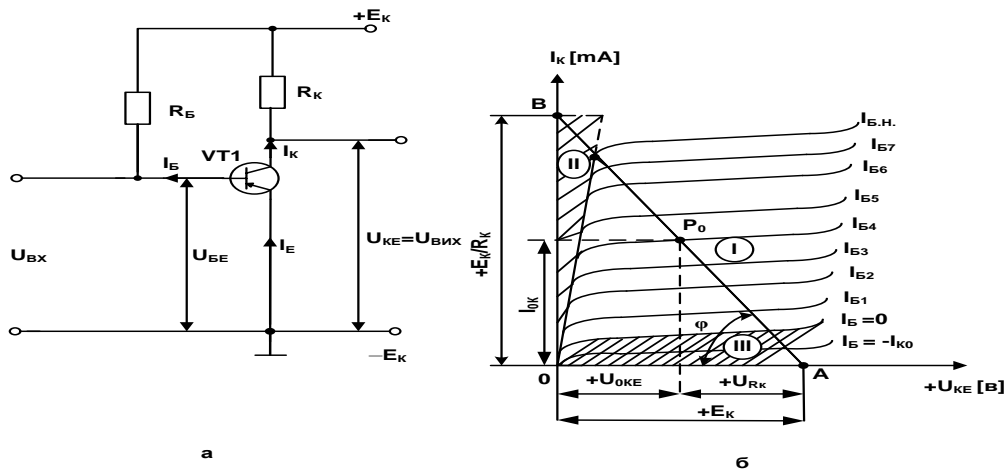


Рис. 7. БТ із СЕ: а – електрична схема включення; б – вихідні статичні ВАХ та динамічна характеристика

Рівняння динаміки при цьому має вигляд

$$U_{KE} = E_K - I_K \cdot R_K . \quad (4)$$

Напряга U_{KE} , у свою чергу, визначається змінами як базового, так і колекторного струмів, тобто у динаміці одночасно змінюються всі струми і напруги у транзисторі ($I_B \uparrow I_K \uparrow U_{KE} \downarrow I_K \downarrow$).

У динамічному режимі зміни колекторного струму при $E_K = const$ і $R_K = const$ залежать не лише від зміни базового струму, але і від зміни напруги на колекторі ($I_K = f(I_B, U_{KE})$).

Характеристика, що визначає зв'язок між струмами і напругами транзистора за наявності опору навантаження R_K , називається динамічною характеристикою.

Ця характеристика будується на сім'ях статичних ВАХ при заданих значеннях E_K і R_K (рис. 7, б).

Для побудови динамічної вихідної характеристики схеми із СЕ використане рівняння динамічного режиму (4), яке є рівнянням прямої лінії. Це очевидно, якщо представити (4) у вигляді

$$I_K = \frac{E_K}{R_K} - \frac{U_{KE}}{R_K}, \quad (5)$$

де $U_{KE} = E_K$, при $I_K = 0$ – точка А (рис. 7, б);

$I_K = \frac{E_K}{R_K}$, при $U_{KE} = 0$ – точка В;

$$\varphi = \arctg\left(\frac{1}{R_K}\right) \text{ – кут нахилу прямої до осі абсцис.} \quad (6)$$

Точка перетину динамічної характеристики (прямої навантаження) з однією із статичних ВАХ називається робочою точкою транзистора (Р). Змінюючи I_B , можна переміщати робочу точку по прямій навантаження. Початкове положення робочої точки за відсутності вхідного змінного сигналу називають точкою спокою P_C (P_0/P_p).

1.1.6. Режими роботи транзистора

В залежності від положення робочої точки, існує три основні режими роботи транзистора: активний (лінійний, підсилювальний), насичення і відсічення. Поняття режиму пов'язане із наявністю трьох областей у транзистора: активної, насичення і відсічення.

На рис. 8 наведено три області транзистора, відповідно I, II і III.

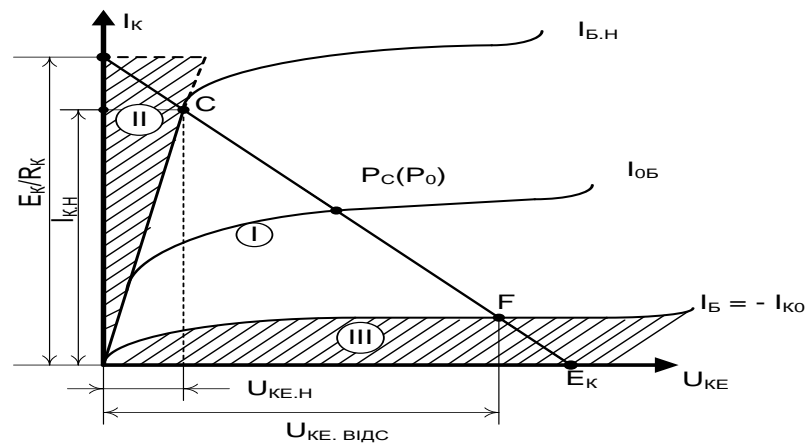


Рис. 8. Режими (області) роботи транзистора

Область відсічення обмежена зверху ВАХ, що відповідає $I_B = -I_{K0}$ (обидва р-п-переходи транзистора закриті). Область насичення обмежена справа прямою лінією, з якої виходять статичні ВАХ (обидва р-п-переходи транзистора відкриті). Активна область лежить між областями відсічення і насичення (емітерний перехід відкритий, а колекторний – закритий).

В активному режимі точка спокою P_C/P_0 транзистора знаходиться приблизно посередині ділянки прямої навантаження СФ (рис. 8), а робоча точка не виходить за межі ділянки СФ. У режимі насичення робоча точка знаходиться в області насичення, а у режимі відсічення – відповідно у області відсічення.

Активний режим є основним. Він використовується у більшості підсилювачів, генераторів і т. ін. Режими відсічення та насичення характерні для імпульсної роботи транзистора і використовується в імпульсних пристроях.

Властивості транзисторів істотно залежать від температури. Підвищення температури насамперед збільшує зворотний струм насичення колекторного переходу: $-I_{K0}$.

Це приводить до зміни характеристик транзистора. Тому схеми на транзисторах містять елементи температурної стабілізації [1]. Під час конструктивного виконання особливо потужних транзисторних схем необхідно передбачити заходи щодо відведення теплоти від транзистора.

1.1.7. Використання БТ в підсилювачі напруги

На рис. 9, а в якості прикладу наведено схему однокаскадного підсилювача з фіксованою базовою напругою, виконаного на п-р-п-біполярному транзисторі зі спільним емітером.

Робоча точка транзистора обирається приблизно посередині відрізка динамічної вихідної характеристики (навантажувальної прямої) між $I_{B.8} = I_{B.H}$ (границя області насичення) та $I_B = 0$ (границя області відсічення) (рис. 9, в). Положення цієї точки відповідає струму $I_{B.4} = I_{B.P}$.

Цей струм визначає положення робочої точки за вхідною статичною ВАХ (рис. 9, б), яка в схемі задається за допомогою подільника напруги E_k : R_{B1} , R_{B2} . Він визначає значення напруги $U_{BE.P}$. Всі названі струми та напруги забезпечують налаштування схеми за постійним струмом, оскільки підсилювач ізольований від вхідного сигналу $U_{вх}$ та виходу $U_{вих}$ роздільними конденсаторами C_{p1} , C_{p2} , які пропускають змінні складові сигналу та не пропускають постійну складову.

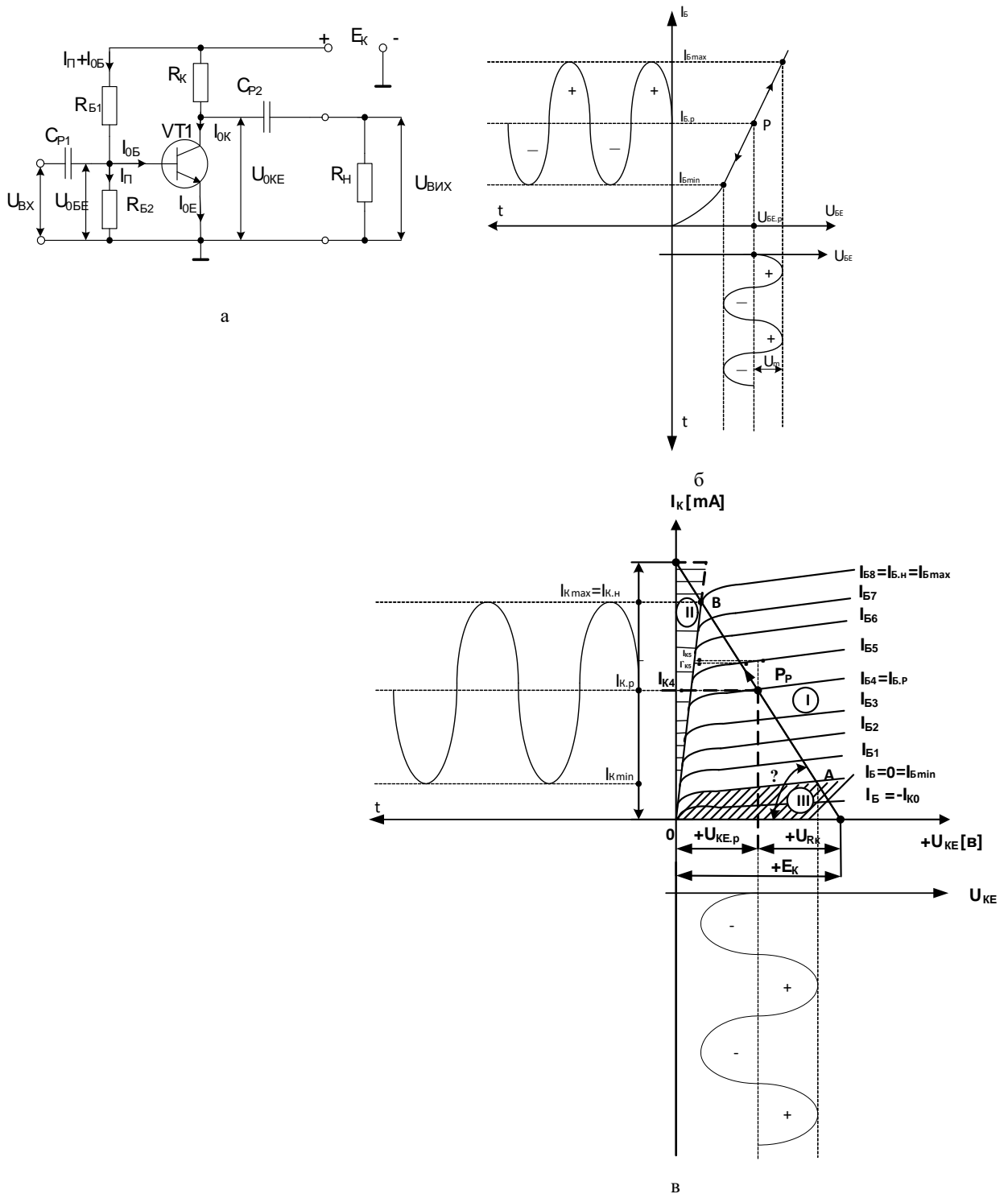


Рис. 9. Однокасний підсилювач з фіксованою базовою напругою: а – схема підсилювача; б – вхідні характеристики; в – вихідні характеристики

У разі подачі на вхід схеми підсилювальної синусоїдальної напруги її додатний напівперіод буде пересувати робочу точку за вхідною ВАХ – вгору. Це викличе зміну струму бази також за синусоїдальним законом, відповідно також пересування робочої точки за навантажувальною прямою в бік області насичення.

Як видно з рис. 9, в змінюється струм колектора I_K , який у схемі включення транзистора зі спільним емітером дорівнює добутку значення струму бази та

коефіцієнта підсилення струму – β . Це значення обирається з довідника за конкретним типом транзистора.

За наведеним вище рівнянням динаміки (4) збільшення струму колектора призводить до зменшення вихідної напруги U_{KE} , тобто на виході з'являється її від'ємний напівперіод. Це говорить про те, що схема зі спільним емітером інвертує фазу вхідної напруги.

За рис. 9, в можна пояснити, чому у динаміці одночасно змінюються всі струми і напруги: $I_B \uparrow I_K \uparrow U_{KE} \downarrow I_K \downarrow$. Так під час збільшення струму бази з $I_{B.4} = I_{B.P}$ до $I_{B.5}$ за відсутності навантажувальної прямої струм колектора буде збільшуватися до: $I_{K.5}$. Але в динамічному режимі під час зміни струму бази робоча точка буде пересуватися за навантажувальною прямою до статичної характеристики: $I_{B.5}$. В цьому випадку струм колектора буде мати значення: $I_{K.5}$, тобто трохи зменшується у порівнянні із статичним режимом.

Згідно з характеристиками транзистора значення струму та напруги на виході значно більше цих значень на вході. Тобто транзистор забезпечує зміну вихідних сигналів за законом зміни вхідних та *підсилює вхідні сигнали за рахунок перерозподілу енергії джерела живлення у навантаження.*

1.2. Польові транзистори

1.2.1. Загальна характеристика польових транзисторів

Польовим транзистором (ПТ) називають напівпровідниковий прилад, в якому електричний струм створюють основні носії заряду під дією повздовжнього електричного поля, а керування величиною струму здійснюється поперечним електричним полем, яке створюється напругою на електроді, що керує. ПТ – уніполярні напівпровідникові прилади, оскільки їх робота заснована на дрейфі носіїв заряду одного знаку у повздовжньому електричному полі через канал n- або p-типу, який керується.

Керування величиною струму через канал здійснюється поперечним електричним полем, а не струмом, як у біполярних транзисторах. Для виготовлення ПТ в основному використовується кремній (Si), що має значно менший зворотний струм насичення, чим германій. На рис. 10 зображено умовні графічні позначення ПТ на принципових електричних схемах.

Конструкції ПТ наведено у [1], а їх маркування аналогічне маркуванню біполярних транзисторів, за винятком того, що другий елемент маркування має букву П – польовий.

Принцип дії ПТ заснований на тому, що зміна напруженості поперечного електричного поля змінює провідність каналу, по якому проходить струм вихідного ланцюга.

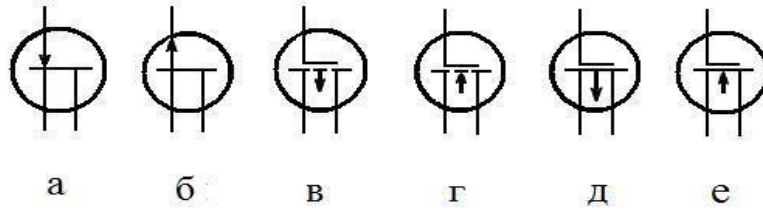


Рис. 10. Позначення ПТ на принципових електричних схемах: а, б – з р-п-переходами; в, г, д, е – МОН-типу

В електронних пристроях застосовуються два різновиди ПТ:

- із затвором у вигляді р-п-переходу;
- з ізольованим затвором (МДН- або МОН-транзистори).

Залежно від провідності каналу польові транзистори діляться на ПТ із каналом р- або п-типу. Канал р-типу має діркову провідність, а п-типу – електронну.

1.2.2. Польові транзистори із затвором у вигляді р-п-переходу

На рис. 11 зображено структуру і схему включення ПТ із затвором у вигляді р-п-переходу і каналом п-типу.

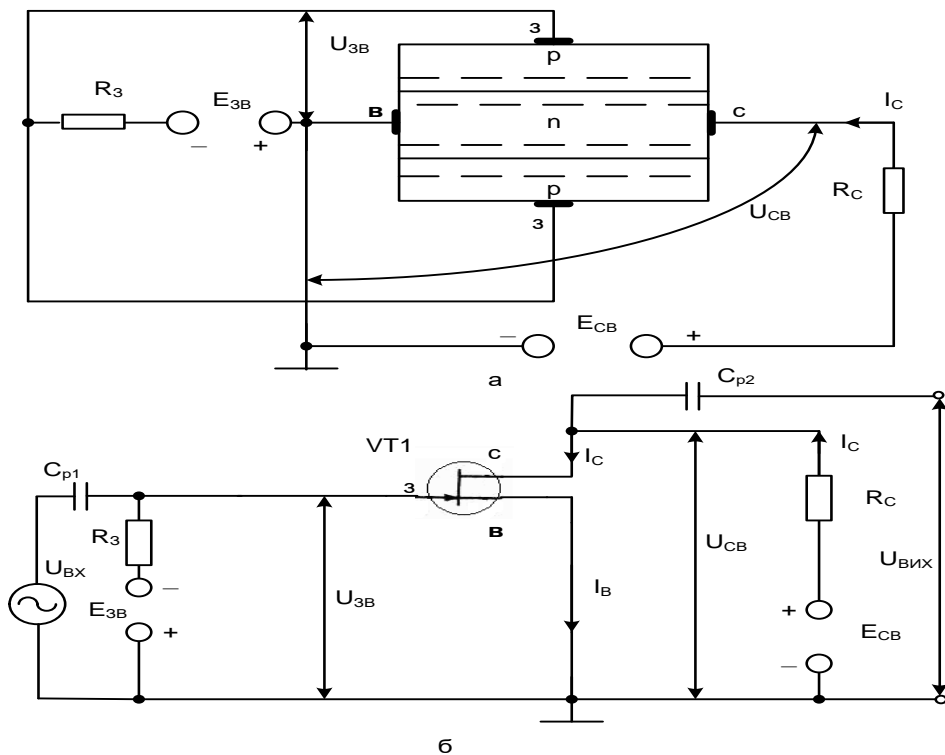


Рис. 11. ПТ із затвором у вигляді р-п-переходу: а – спрощена структура; б – схема включення

Прилад складається із пластини кремнію із провідністю n-типу, що є каналом, до торців якої під'єднані два металеві контакти, які зветься виток (В) і стоком (С). Між стоком і витком підключено джерело живлення E_{CB} і опір навантаження R_C .

Напруга E_{CB} прикладається такої полярності, щоб струм основних носіїв (у каналі n-типу – електрони) протікав від витoku до стоку.

У протилежні верхню і нижню грані пластини початкового напівпровідника введені акцепторні домішки, що перетворили її поверхневі шари в області напівпровідника р-типу. Ці області з'єднані разом і утворюють єдиний електрод, який зветься затвором (З). Між каналом і затвором утворюються два р-n-переходи. На затвор подається напруга $U_{ЗВ}$, полярність якої співпадає із провідністю каналу (у нашому випадку від'ємної полярності).

Робота ПТ (рис. 11, а) заснована на зміні провідності n-каналу під дією від'ємної напруги на затворі. Під час збільшення модуля цієї напруги р-n-переходи зміщуються у зворотному напрямі, ширина шарів, збіднених носіями заряду, збільшується, р-n-переходи розширюються.

Концентрація домішки у затворі набагато більша, ніж у каналі, тобто затвор більш низькоомний, ніж канал.

Тому розширення р-n-переходів у разі подачі зворотної напруги відбувається, в основному, за рахунок каналу. Провідність каналу прямо пропорційна ефективній площі його поперечного перетину. Під час розширення р-n-переходів (збільшенні зворотної для р-n-переходу напруги на затворі, що закриває ПТ), ефективна площа поперечного перетину зменшується, провідність каналу зменшується. Ці процеси ілюструє стоко-затворна (вхідна) характеристика ПТ із каналом n-типу (рис. 12, а).

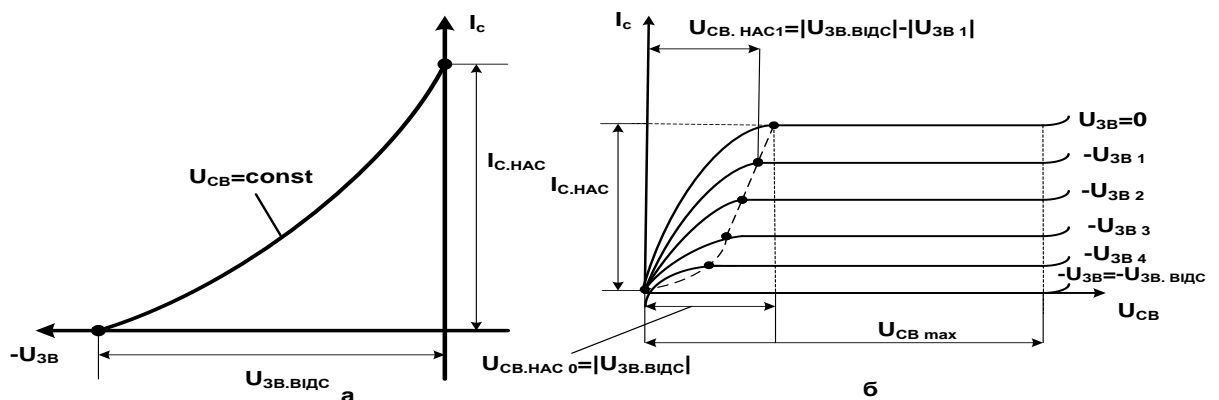


Рис. 12. Статичні ВАХ ПТ із затвором у вигляді р-n-переходу і каналом n-типу: а – вхідна ВАХ; б – вихідні ВАХ

Під час напруги відсічення на затворі $|U_{ЗВ}| = |U_{ЗВ,ВІДС}|$ канал практично змикається, ефективна площа його поперечного перетину прагне до нуля, опір каналу прагне до нескінченності, а $I_C = 0$ (рис. 12, а).

Слід звернути увагу, що ПТ із затвором у вигляді р-п переходу працює при напрузі на затворі, що керує, лише одної полярності (для каналу n-типу – від’ємної, р-типу – додатної).

На рис. 12, б наведено стокові (вихідні) характеристики ПТ із каналом n-типу. Стокові характеристики мають яскраво виражену ділянку насичення. Це пояснюється тим, що у процесі протікання струму в каналі, який спочатку росте при збільшенні E_{CB} , збільшується падіння напруги в каналі. Це падіння в області стоку має додатний знак, тому зміщує р-п-переходи у зворотному напрямі. Перетин каналу починає зменшуватися. Відбувається перекриття каналу (спочатку в області стоку, а потім воно розповсюджується углиб до витоку). Це приводить до того, що величина струму I_C практично не змінюється при збільшенні U_{CB} . Межею області насичення є (рис. 12, б) $U_{CB.HAC0} = |U_{3B.BJDC}|$, $I_C = I_{C.HAC}$, за $U_{3B} = 0$. Струм $I_{C.HAC}$ зменшується за $|U_{3B}| > 0$.

У робочому режимі використовуються пологі ділянки вихідних характеристик ПТ. Під час великої напруги на стоці може відбутися пробій структури ПТ. Тому у робочому режимі перевищення максимальної напруги $U_{CB.max}$ неприпустимо.

1.2.3. Польові транзистори із ізольованим затвором

Польові транзистори із ізольованим затвором називають МДН – метал-діелектрик-напівпровідник або МОН – метал-окисел-напівпровідник транзистори. Їх характерна відмінність полягає в тому, що між металевим затвором і областю напівпровідника знаходиться шар діелектрика, в якості якого часто використовують окисли.

Існують два різновиди МДН/МОН-ПТ: із каналом, що вбудований, і каналом, що індукується.

1.2.3.1. МДН/МОН-ПТ із вбудованим каналом

Спрощену структуру МДН-ПТ із каналом n-типу, що вбудований, наведено на рис. 13.

Вона містить кремнієву підкладку із провідністю р-типу. Під час створення підкладки у кремній вводилася невелика кількість домішки р-типу. У верхній частині підкладки створюється тонкий поверхневий шар, провідність якого протилежна провідності підкладки – n-типу. Цей шар також має малу кількість домішки та виконує функцію каналу.

В процесі окислення на поверхні пластини над каналом утворюється тонкий (0,2...0,3 мкм) шар діелектрика (двоокису кремнію SiO₂).

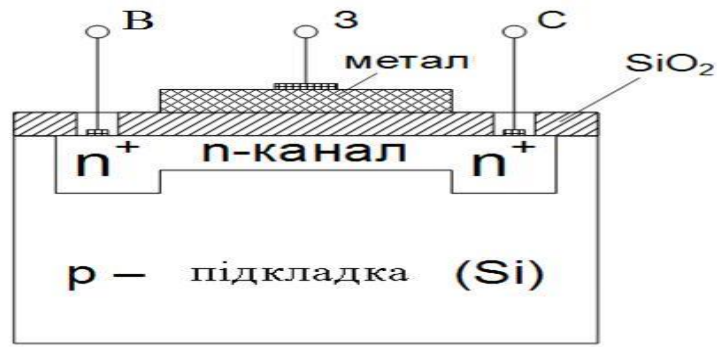


Рис. 13. Спрощена структура МДН ПТ із каналом n-типу, що вбудований

Через виконані у діелектрику отвори у тілі підкладки створюються дві області: n^+ , які мають високу кількість домішки. Тип провідності цих областей співпадає із типом провідності каналу. До цих областей під'єднують зовнішні виводи, які виконують функції витоку (В) і стоку (С). Над шаром двоокису кремнію між витоком і стоком наносять металевий шар, до якого підключається вивід, який використовується як затвор (З). Підкладка у робочому режимі має вивід, який зазвичай з'єднується із витоком.

Наявність шару діелектрика дозволяє у ПТ-МОН (МДН)-типу із каналом, що вбудований, подавати на затвор напругу, що керує, обох полярностей. Під час подачі на затвор МОН-ПТ із n-каналом додатної напруги електричним полем, яке при цьому створюється, дірки із каналу виштовхуватимуться у підкладку, а електрони будуть витягуватися із підкладки у канал. Канал збагачується основними носіями заряду – електронами, його провідність збільшується. Цей режим називається режимом збагачення (рис. 14, а).

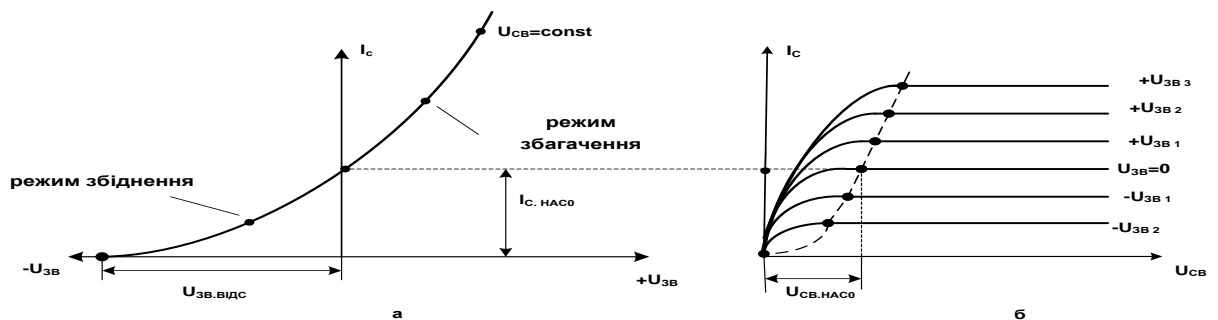


Рис. 14. Статичні ВАХ ПТ МОН-типу із n-каналом, що вбудований: а – вхідна; б – вихідні

1.2.3.2. МДН/МОН-ПТ із каналом, що індукується

У ПТ МОН-типу із каналом, що індукується, на відміну від ПТ попереднього типу канал між областями витоку і стоку під час виготовлення транзистора технологічно не створюється (рис. 15).

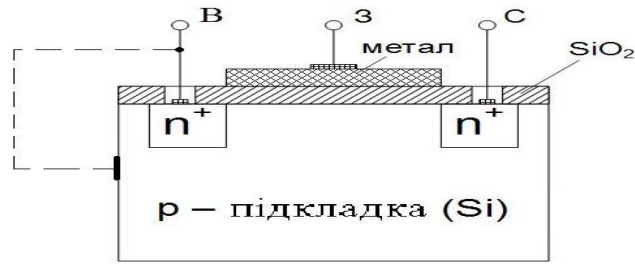


Рис. 15. Спрощена структура МДН-ПТ із n-каналом, що індукується

Канал n-типу індукується за рахунок явища «інверсії», яке виникає у системі метал-діелектрик-напівпровідник. Під час подачі на затвор напруги додатної полярності індукується канал n-типу, від'ємної полярності – p-типу. Тобто такий ПТ керується напругою затвору лише одного знаку. Польовий транзистор, який наведено на рис. 15, керується додатною напругою на затворі. На рис. 16 наведено його стоко-затворну і стокові характеристики.

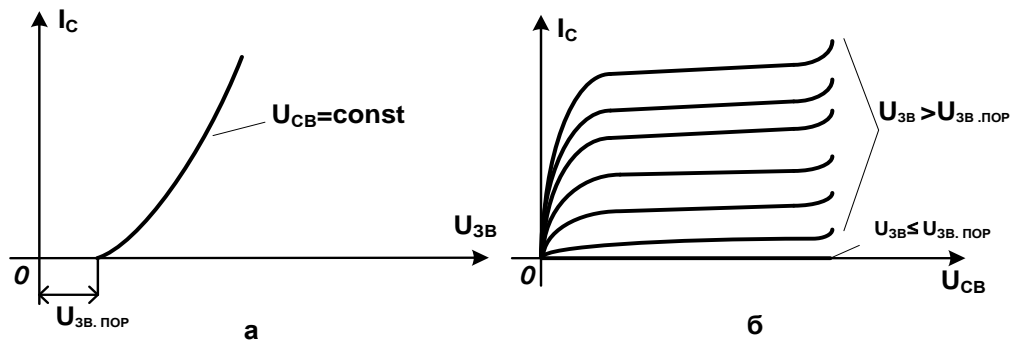


Рис. 16. Статичні ВАХ МОН-ПТ із n-каналом, що індукується:
а – вхідні; б – вихідні

Основні параметри та характеристики МОН-ПТ розглянуто у [1].

Подібно до біполярних транзисторів ПТ можна включати у електричний ланцюг за однією з трьох схем: СВ – спільним витоком; СЗ – спільним затвором і СС – спільним стоком. Найчастіше застосовується схема включення ПТ із спільним витоком (рис. 11, б).

1.2.4. Основні властивості та застосування польових транзисторів

Основні властивості ПТ:

- низький рівень власних шумів (уніполярні – відсутній рекомбінаційний флуктуаційний шум, характерний для біполярних транзисторів);
- високий вхідний опір (у МОН-ПТ складає тисячі мегаом);
- висока економічність (керуються не струмом, як БТ, а напругою (електричним полем));

- висока стійкість до дії іонізуючого випромінювання і висока радіаційна стійкість;
- можливість використання МОН-ПТ для побудови високоекономічних інтегральних схем із великим ступенем інтеграції;
- деяка залежність параметрів від температури (проте менша, ніж у біполярних транзисторів);
- МОН-ПТ виходять із ладу під час випадкового виникнення на затворі статичних електричних зарядів.

Польові транзистори знаходять застосування як підсилювальні елементи електронних пристроїв, вхідний сигнал яких має великий внутрішній опір; у пристроях, які переключуються; у напівпровідникових пристроях, що запам'ятовують, і т. ін. Завдяки відносній простоті виготовлення, малим розмірам і невеликій потужності, що споживається, на МДН-транзисторах можна створювати дешеві інтегральні схеми із високим ступенем інтеграції і малим енергоспоживанням.

1.3. Схема підсилювача із фіксованим струмом бази

Як відмічалось вище, робота однокаскадного транзисторного підсилювача залежить від початкового положення робочої точки за постійним струмом. Це положення визначається величиною струму у вхідному ланцюзі. Розглянемо найпростіший однокаскадний підсилювач на БТ n-p-n-типу, що включений за схемою із СЕ, в якому положення робочої точки визначається значенням струму бази $I_{0Б}$ (рис. 17).

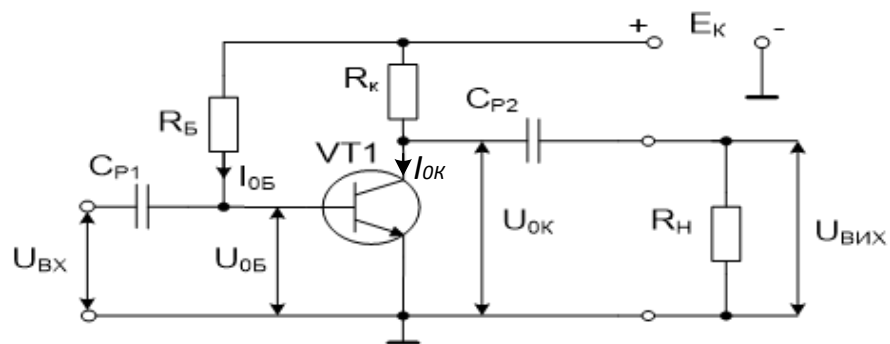


Рис. 17. Схема підсилювача із фіксованим струмом бази

Початковий струм бази $I_{0Б}$ визначається напругою E_K і достатньо великим опором R_B :

$$R_B = \frac{E_K - U_{0Б}}{I_{0Б}}, \quad (7)$$

де $U_{0Б}$ – початкове зміщення на базі за постійним струмом.

Враховуючи, що $U_{0Б} \ll E_K$, то величина $I_{0Б}$ розраховується за формулою

$$I_{0Б} \approx \frac{E_K}{R_B}. \quad (8)$$

Постійна складова струму колектора

$$I_{0К} = \beta \cdot I_{0Б}, \quad (9)$$

де β – коефіцієнт підсилення струму.

Значення резистора R_K можна визначити за формулою

$$R_K = \frac{E_K - U_{0К}}{I_{0К}}, \quad (10)$$

де $U_{0К}$ – напруга на колекторі, яка відповідає початковому положенню робочої точки.

Розглянута схема достатньо проста, але має ряд недоліків [1]:

- залежність параметрів від температури;
- залежність від розкиду параметрів транзисторів.

1.4. Схема підсилювача із фіксованою базовою напругою

Схема із фіксованою базовою напругою на БТ n-p-n-типу (рис. 18) у порівнянні зі схемою підсилювача із фіксованим базовим струмом менш чутлива до впливу температури.

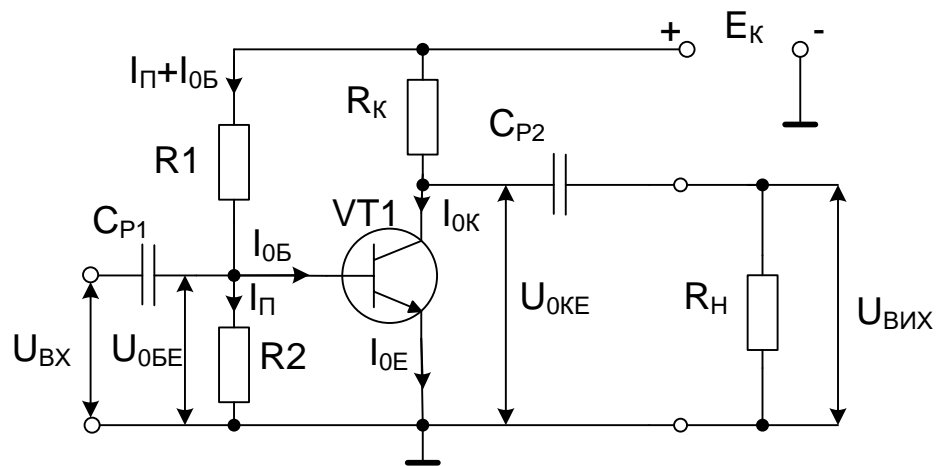


Рис. 18. Схема підсилювача із фіксованою базовою напругою

На схемі прийнято наступні позначення:

- $I_{П}$ – струм подільника напруги: $+E_K$, який утворений резисторами R_1 , R_2 ;
- $I_{0Б}$ – струм бази, що відповідає початковому положенню робочої точки;
- $U_{0БЕ}$ – напруга база-емітер, що відповідає початковому положенню робочої точки;

- $I_{0К}$, $I_{0Е}$ – відповідно постійні складові струму колектора і струму емітера;
- $U_{0К}$ – постійна складова напруги колектор-емітер.

Струм подільника обирається із співвідношення [1]:

$$I_{\Pi} = (2...5) \cdot I_{0Б}. \quad (11)$$

Нижче наведено основні розрахункові співвідношення:

$$R1 = \frac{E_K - U_{0БЕ}}{I_{\Pi} + I_{0Б}}. \quad (12)$$

$$R2 = \frac{U_{0БЕ}}{I_{\Pi}}. \quad (13)$$

$$R_K = \frac{E_K - U_{0К}}{I_{0К}}. \quad (14)$$

$$I_{0К} = I_{0Б} \cdot \beta. \quad (15)$$

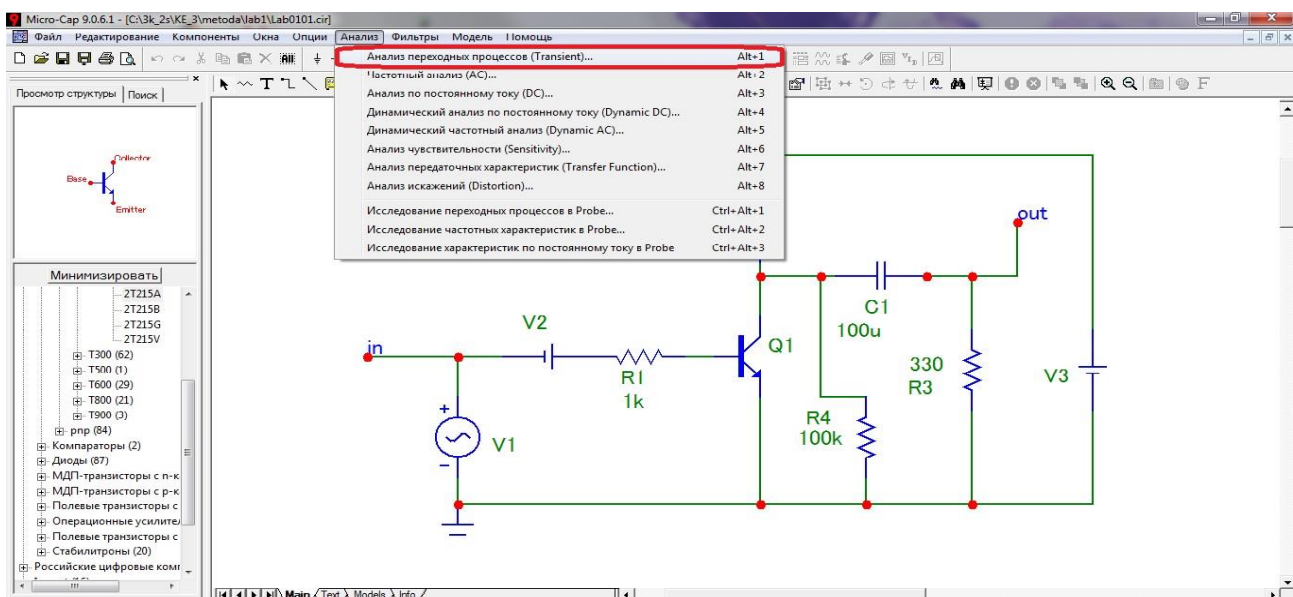
2. Моделювання окремих пристроїв

2.1. Рекомендації для роботи в програмі Microcap

До методичних вказівок додаються приклади електричних схем змодельованих у системі MicroCap. Для виконання лабораторної роботи слід використовувати наведені моделі схем, змінивши відповідні параметри згідно варіанту вашої бригади.

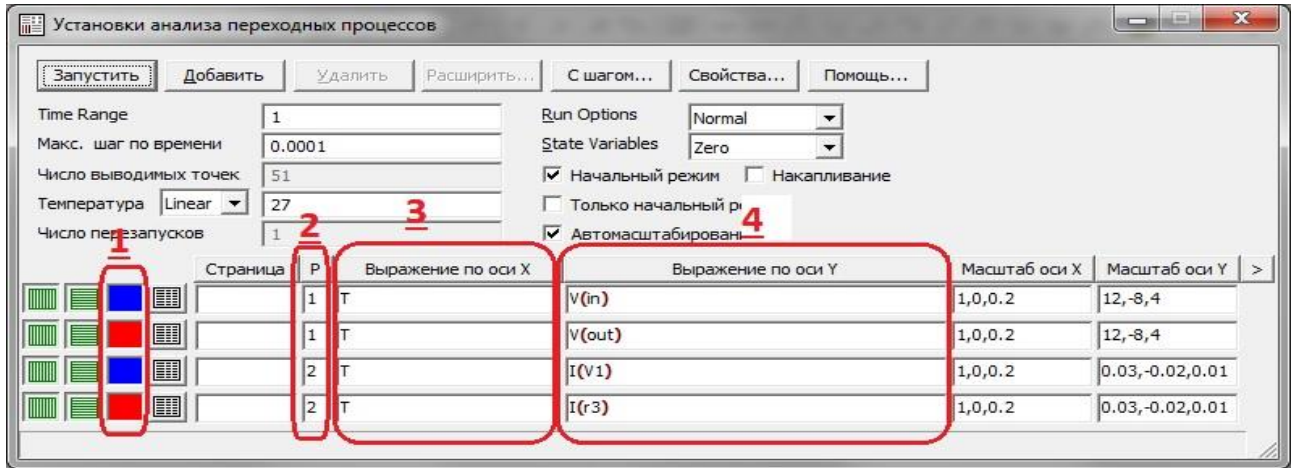
Побудова графіку залежності вхідної та вихідної напруги, а також вхідного та вихідного струмів від часу:

1) Аналіз → Аналіз перехідних процесів (Transient)

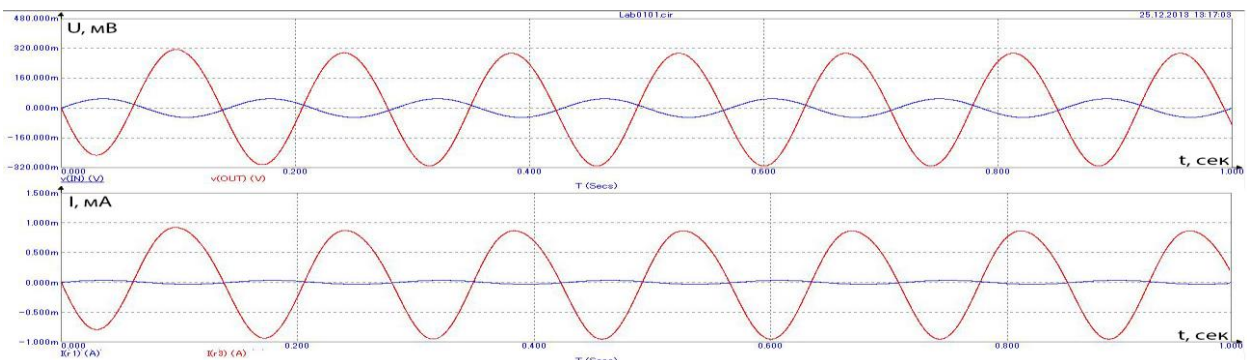


2) Вибираємо параметри:

- 1** – колір лінії графіка;
- 2** – порядок розташування на сторінці;
- 3** – дані за віссю X;
- 4** – дані за віссю Y.

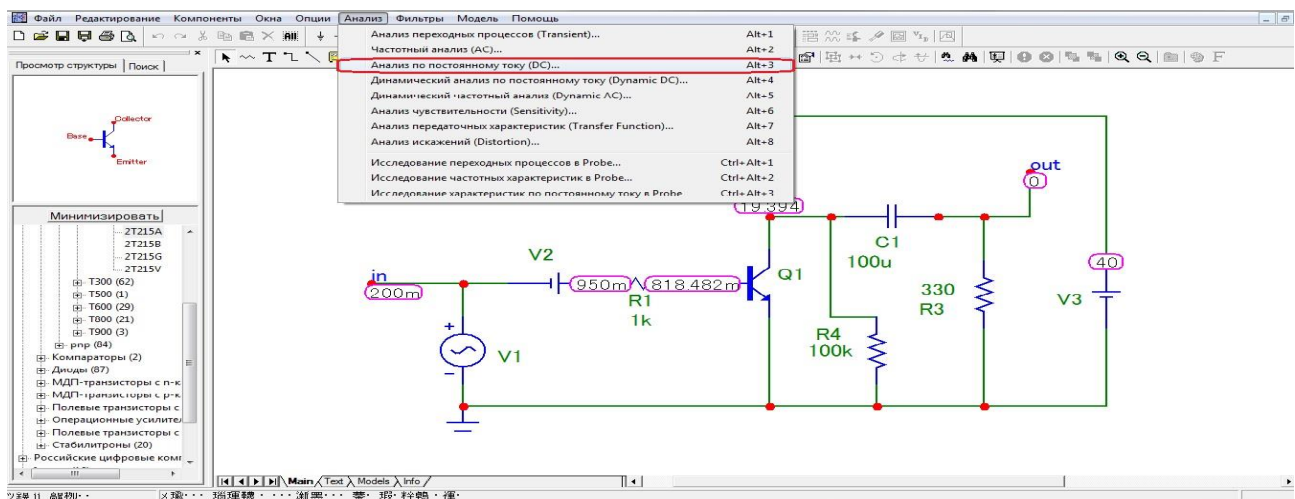


3) Натискаємо кнопку «Запустити»:



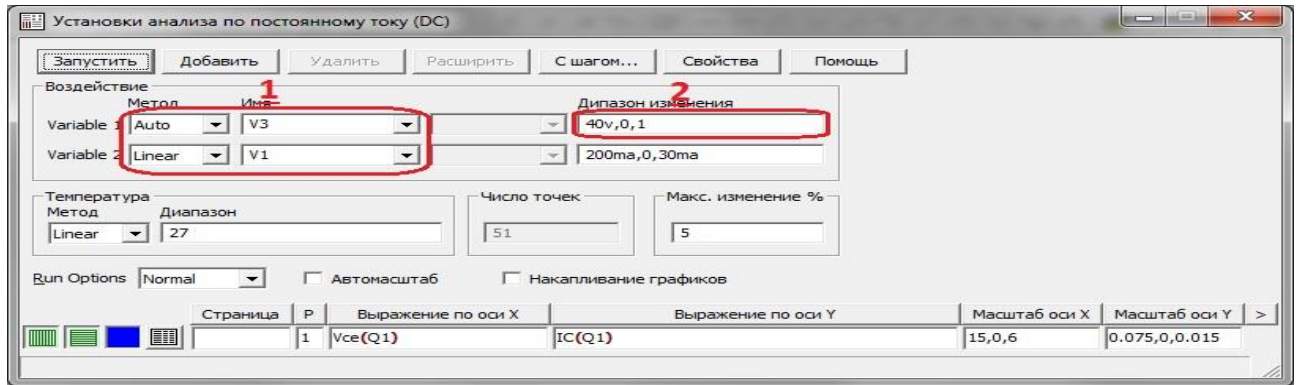
Побудова ВАХ біполярного транзистора:

1) Аналіз → Аналіз за постійним струмом (DC):

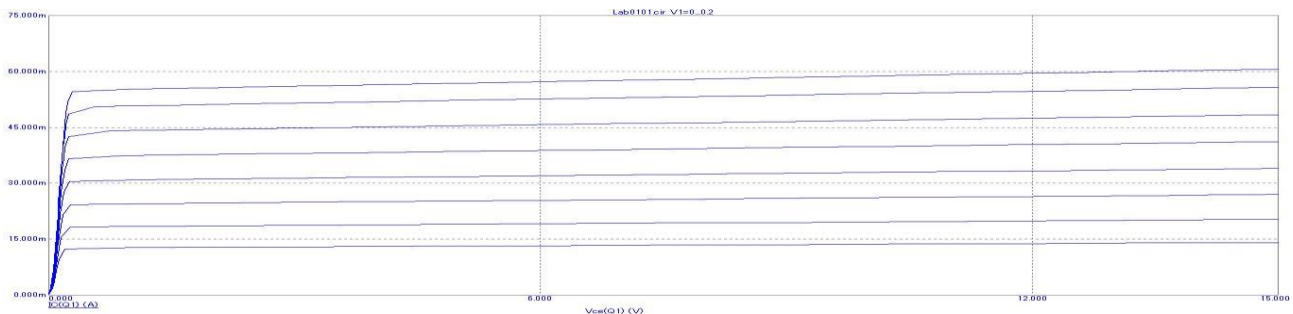


4) Вибираємо параметри:

- 1** – елементи схеми, які змінюються в залежності від заданого діапазону;
- 0** – діапазон зміни величин (від 0 до 40 В з кроком 1В).



5) Натискаємо кнопку «Запустити»:



Розшифрування префіксів, суфіксів, закінчень в «виразах за вісями»: V – напруга; I – струм; In – вхід; Out – вихід; c – колектор (collector); e – емітер (emitter); b – база (base); d – стік (drain); s – витік (source); g – затвор (gate); «ч» – червона лінія; «с» – синя лінія.

2.2. Схема 1. Схема із фіксованим базовим струмом

Нижче наведено схему однокаскадного підсилювача із фіксованим базовим струмом на біполярному n-p-n-транзисторі, яку зібрано у середовищі MicroCap: *FixI.cir* (рис. 19).

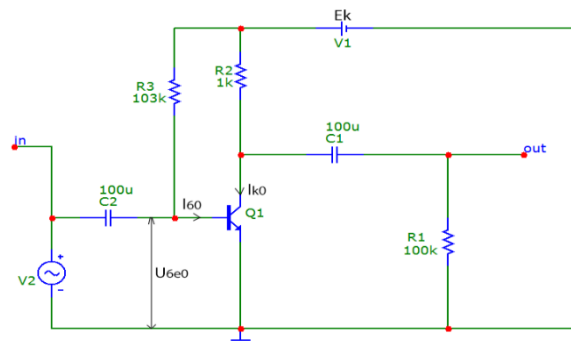


Рис. 19. Схема однокаскадного підсилювача із фіксованим базовим струмом на біполярному n-p-n-транзисторі

Параметри схеми: Q1 (n-p-n-transistor): Model = 2N699, Level = 1; V1 (Battery): Value = 5 [V]; V2 (Sine Source): Model = GENERAL, A = 10m [V], F = <Номер бригади> [Hz] (приклад: F = 5 [Hz], для 5 варіанту); R1 (Resistor): Resistance = 100k [Om]; R2 (Resistor): Resistance = 1k [Om]; R3 (Resistor): Resistance = 103k [Om]; C1 (Capacitor): Value = 100u [F]; C2 (Capacitor): Value = 100u [F].

Дослідження схеми 1

Побудова часових діаграм роботи

На рис. 20 наведено часові діаграми роботи схеми з фіксованим струмом бази.

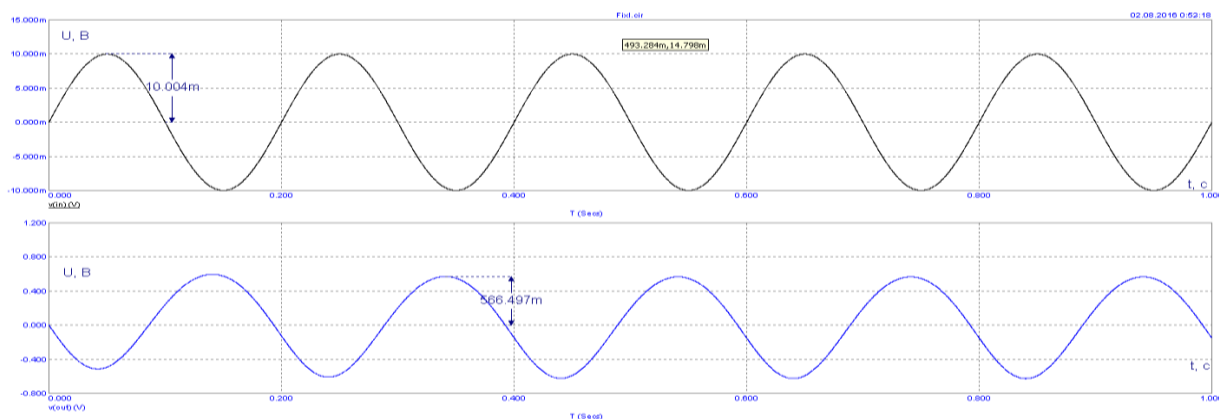


Рис. 20. Часові діаграми роботи схеми з фіксованим струмом бази

Як бачимо на графіку, вхідний сигнал був підсилений та інвертований.

Коефіцієнт підсилення можна порахувати як $K = \frac{U_{\text{ВИХ}}}{U_{\text{ВХ}}} = \frac{566\text{m}}{10\text{m}} = 56,6$.

Роздільні конденсатори C1 і C2 необхідні для розділення шляхів протікання постійного і змінного струмів. За їх відсутності або короткого замикання у випадку пробою, постійний струм від джерела живлення V1 буде текти як через елементи вхідного ланцюга попереднього електронного каскаду, так і через елементи вхідного ланцюга наступного каскаду, що призводить до порушення режимів роботи цих каскадів і всього електронного пристрою взагалі.

Зробимо розрахунок для даної схеми, тим самим перевіривши значення вибраного для досліду опору бази. Для цього нам знадобляться вхідні та вихідні характеристики для транзистора 2N699, який використовується в схемі на рис. 19.

Побудова вхідних характеристик для n-p-n-транзистора 2N699

На рис. 21 наведено схему для побудови вхідних характеристик транзистора 2N699, яку зібрано у середовищі MicroCap: *vhid.cir*.

Параметри схеми: Q1 (n-p-n-transistor): Model = 2N699; Level = 1; I1 (I Source): Value = 2,5u [A]; V2 (Battery): Value = 5 [V].

На рис. 22 наведено вхідні характеристики транзистора 2N699, які отримані у середовищі MicroCap: *vhid.cir* за $U_{ке} = 0$ та $U_{ке} = 2,5В$.

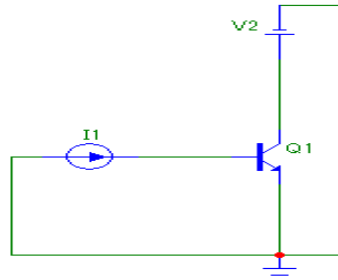


Рис. 21. Схема для побудови вхідних характеристик транзистора 2N699

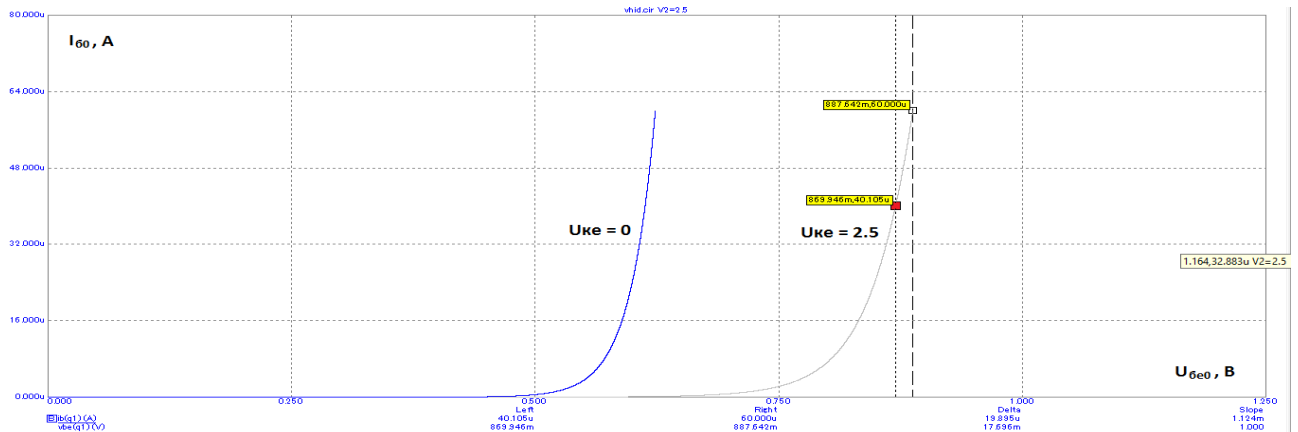


Рис. 22. Вхідні характеристики транзистора 2N699

Для отримання сімейства статичних характеристик скористаємося побудовою графіку типу DC. У MicroCap натискаємо на Analysis, але обираємо не Transient, а DC. У вікні, що відкрилося, вводимо наступні дані і натискаємо Run.

Точку спокою на графіку вхідної характеристики вибирають так, щоб вона знаходилась на лінійному відрізку даної гілки параболи:

$$I_{60} = 40 \text{ мкА}, U_{6e0} = 869,946 \text{ мВ.}$$

Згідно (7) зробимо розрахунок R_6 :

$$R_6 = \frac{E_K - U_{6e0}}{I_{60}} = \frac{5 - 0,869946}{40 \cdot 10^{-6}} = 103251,35 \text{ Ом} \approx 103 \text{ кОм.}$$

Для визначення опору на колекторі, необхідно скористатися графіком вихідних характеристик.

На рис. 23 наведено схему для побудови вихідних статичних характеристик транзистора 2N699, яку зібрано у середовищі MicroCap: *family.cir*.

Параметри схеми:

Q1 (n-p-n-transistor): Model = 2N699, Level = 1; I1 (I Source): Value = 2,5u [A]; V1 (Battery): Value = 5 [V].

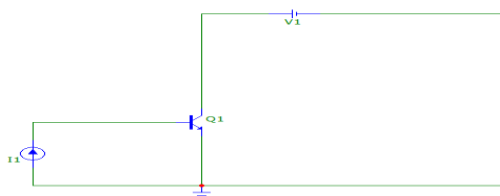
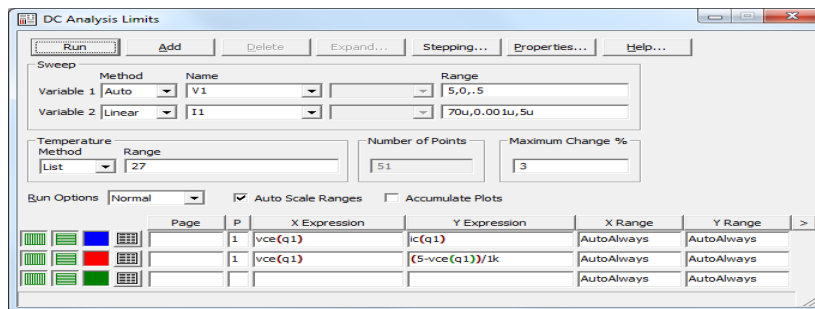


Рис. 23. Схема для побудови вихідних статичних характеристик транзистора 2N699

Для отримання сімейства статичних характеристик скористаємося побудовою графіку типу DC. У MicroCap натискаємо на Analysis, але обираємо не Transient, а DC. У вікні, що відкрилося, вводимо наступні дані і натискаємо Run.



На рис. 24 наведено вихідні характеристики транзистора 2N699, які отримані у середовищі MicroCap: family.cir.

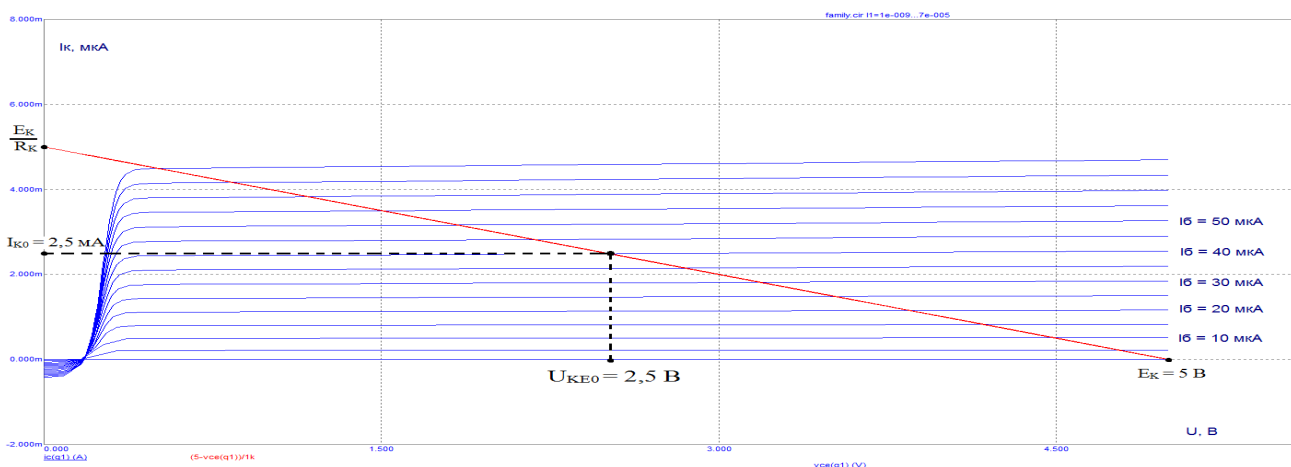


Рис. 24. Вихідні характеристики транзистора 2N699

Прийmemo $U_{кк0} = 2,5\text{В}$. В цій точці $I_{к0} = 2,5\text{мА}$.

Вибір напруги на колекторі, яка дорівнює половині напруги живлення каскаду, який підсилює, пов'язаний з нелінійними спотвореннями на виході схеми. У разі вибору цієї напруги більше половини живлення, синусоїдальна напруга буде відсікатися знизу. Це призведе до зменшення максимально допустимої напруги підсилювача. У разі вибору напруги менше половини живлення синусоїдальна напруга буде відсікатися зверху, що теж призведе до зменшення максимально

допустимої напруги підсилювача. Оптимальною є напруга, що дорівнює половині напруги живлення каскаду.

Згідно (14) розрахуємо значення опору колектора:

$$R_K = \frac{E_K - U_{KE0}}{I_{K0}} = \frac{5 - 2,5}{2,5 \cdot 10^{-3}} = 10^3 \text{ Ом} = 1 \text{ кОм}.$$

2.3. Схема 2. Схема із фіксованою базовою напругою

Нижче наведено схему однокаскадного підсилювача із фіксованою базовою напругою на біполярному транзисторі n-p-n типу, яку зібрано у середовищі MicroCap: *FixU.cir* (рис. 25).

Параметри схеми: Q1 (n-p-n-transistor): Model = 2N699; Level = 1; V1 (Battery): Value = 5 [V]; V2 (Sine Source): Model = GENERAL, A = 10m [V], F = <Номер бригади> [Hz] (приклад: F = 5 [Hz], для 5 варіанту); R1 (Resistor): Resistance = 100k [Om]; R2 (Resistor): Resistance = 1k [Om]; R3 (Resistor): Resistance = 17,2k [Om]; R4 (Resistor): Resistance = 4,3k [Om]; C1 (Capacitor): Value = 100u; C2 (Capacitor): Value = 100u.

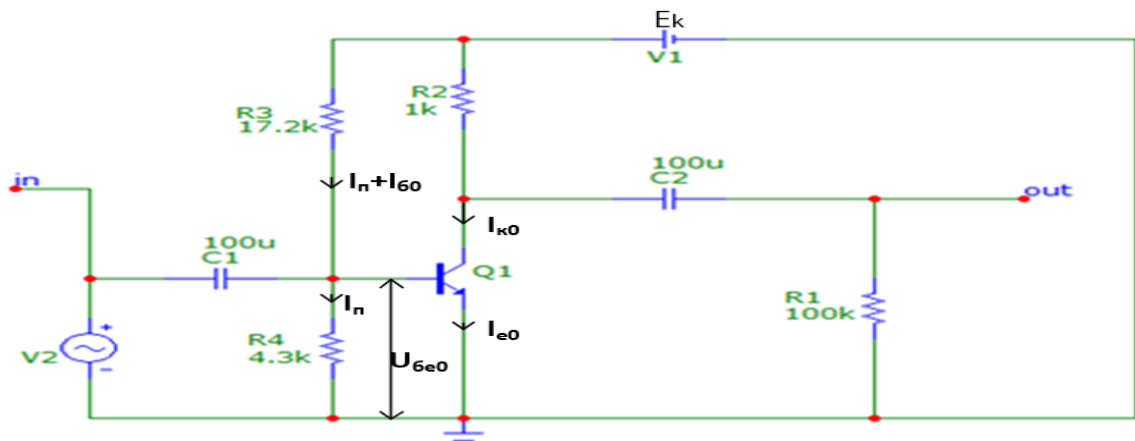


Рис. 25. Схема однокаскадного підсилювача із фіксованою базовою напругою на біполярному транзисторі n-p-n типу

Дослідження схеми 2

Побудова часових діаграм роботи

На рис. 26 наведено часові діаграми роботи для схеми підсилювача з фіксованою базовою напругою.

На даному графіку бачимо, що вхідний сигнал був інвертований та підсилений. Коефіцієнт підсилення можна порахувати як :

$$K = \frac{U_{ВИХ}}{U_{ВХ}} = \frac{527m}{10m} = 52,7.$$

Зробимо розрахунок для даної схеми, тим само перевіривши значення вибраних для досліду опорів дільника напруги. Для цього нам знадобляться вхідні та вихідні статичні характеристики для транзистора 2N699.

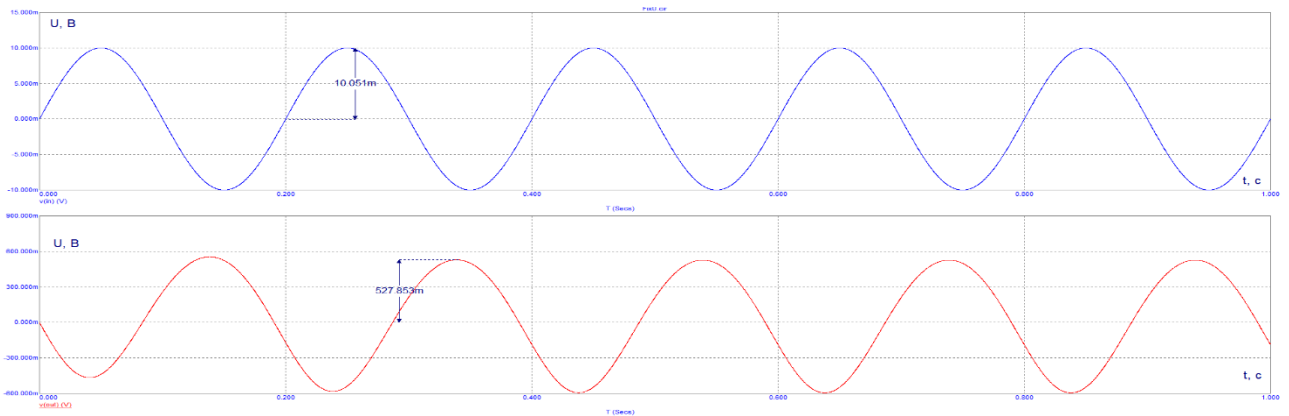


Рис. 26. Часові діаграми роботи для схеми з фіксованою базовою напругою

Використаємо графіки вхідних та вихідних статичних характеристик та значення точки спокою, які були використані в схемі з фіксованим струмом бази (рис. 22, 24). Точку спокою на графіку вхідної характеристики вибирають так, щоб вона знаходилась на лінійному відрізку гілки параболі:

$I_{б0} = 40 \text{ мкА}$, $U_{бe0} = 869,946 \text{ мВ}$, струм подільника: $I_{п} = 5I_{б0} = 40 \cdot 5 = 200 \text{ мкА}$.

Розрахуємо значення резисторів R3 та R4:

$$R_3 = \frac{E_k - U_{бe0}}{I_{п} + I_{б0}} = \frac{5 - 0.869946}{(200 + 40) \cdot 10^{-6}} = 17208 \text{ Ом} \approx 17,2 \text{ кОм},$$

$$R_4 = \frac{U_{бe0}}{I_{п}} = \frac{0.869946}{200 \cdot 10^{-6}} = 4349,73 \text{ Ом} \approx 4.3 \text{ кОм}.$$

Для визначення опору на колекторі, необхідно скористатися графіком вихідної характеристики, який ми також отримали раніше (рис. 24).

Приймемо $U_{кe0} = 2,5$. В цій точці $I_{к0} = 2,5 \text{ мА}$.

Розрахуємо значення опору колектора:

$$R_k = \frac{E_k - U_{кe0}}{I_{к0}} = \frac{5 - 2.5}{2.5 \cdot 10^{-3}} = 10^3 \text{ Ом} = 1 \text{ кОм}.$$

2.4. Схема 3. Схема із польовим транзистором з р-п-переходами та каналом п-типу

Нижче наведено схему із польовим транзистором з р-п-переходами та каналом п-типу, яку зібрано у середовищі MicroCap: *Pol.cir* (рис. 27).

Параметри схеми: V3 (Sine Source): Model=60HZ, F = <Номер бригади> [Hz] (приклад: F = 3 [Hz], для 3 варіанту); A = 0,05 [V]; V1 (Battery): Value = 10 [V]; V2 (Battery): Value = 1 [V]; R1 (Resistor): Value = 1k [Om]; R2 (Resistor): Value = 30k [Om]; R3 (Resistor): Value = 100k [Om]; J1 (NJFET): Model = VCR7N; C1 (Capacitor): Value = 1m [F]; C2 (Capacitor): Value = 1m [F].

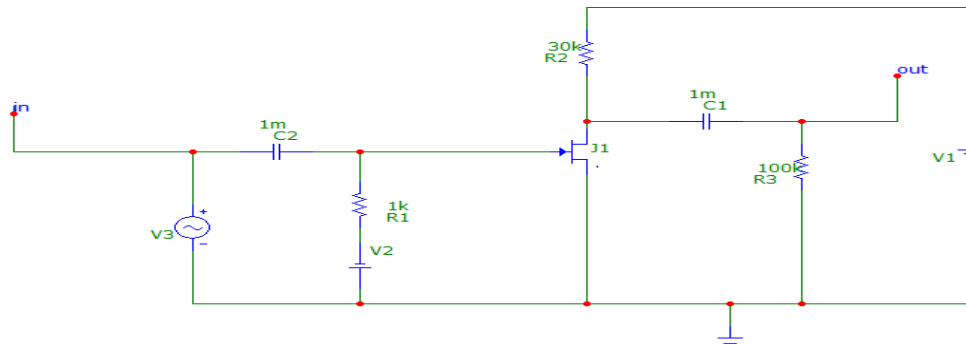


Рис. 27. Схема із польовим транзистором з р-п-переходами та каналом n-типу

Дослідження схеми 3

Зняття стокових характеристик польового транзистора

На рис. 28 наведено стокові характеристики польового транзистора.

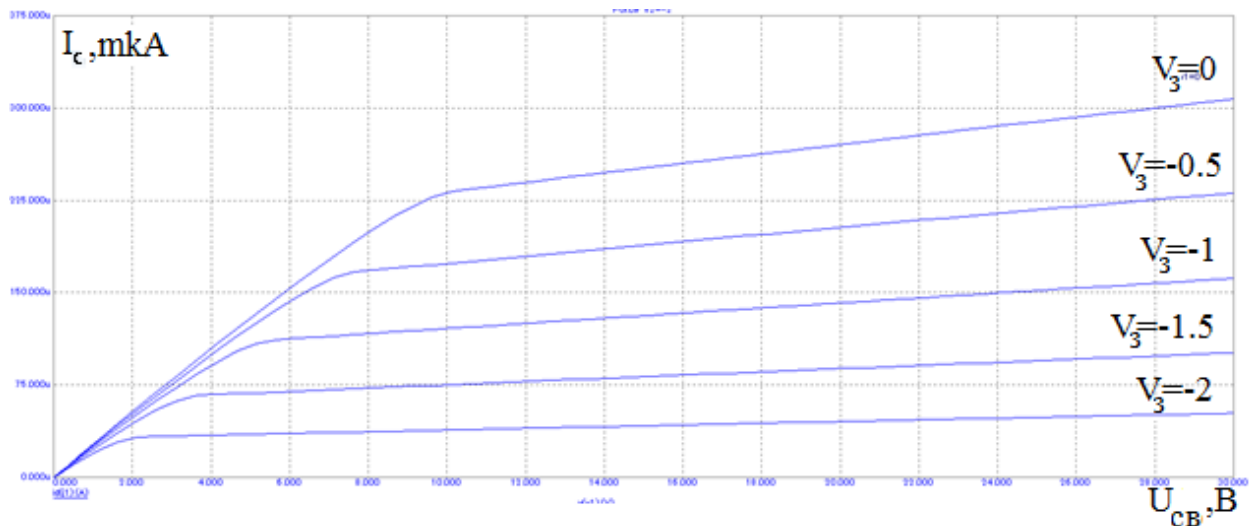


Рис. 28. Стокові характеристики польового транзистора

З графіка видно, що струм, який протікає по каналу транзистора, в певний момент часу досягає насичення. Величина струму насичення зростає зі зменшенням від'ємної напруги між затвором та стоком (зі зменшенням V_3).

Це пояснюється тим, що під час зменшення від'ємної напруги на затворі ширина р-п-переходів зменшується, ефективна площа каналу збільшується, опір канал зменшується, а, відповідно, струм в каналі збільшується.

На вихідних характеристиках ділянка зростання ВАХ відповідає «тріодному» режиму роботи польового транзистора. Ділянка насичення відповідає «пентодному» режиму роботи. Ці назви пов'язані з тим, що в «тріодному» режимі вихідні характеристики польового транзистора схожі на вихідні характеристики лампового тріода. Відповідно, характеристики «пентодного» режиму польового транзистора схожі на вихідні характеристики лампового пентода, головна

відмінність якого від тріода, полягає в наявності двох додаткових сіток – екранної та антидинаatronної. В пентодному режимі струм стоку досягає насичення за рахунок збільшення падіння напруги на опорі каналу та відповідного зменшення ширини каналу, а також завдяки зменшенню рухливості основних носіїв струму та насичення їх швидкості.

Зняття часових діаграм роботи схеми із польовим транзистором

На рис. 29 наведено часові діаграми роботи схеми із польовим транзистором, яку наведено на рис. 27.

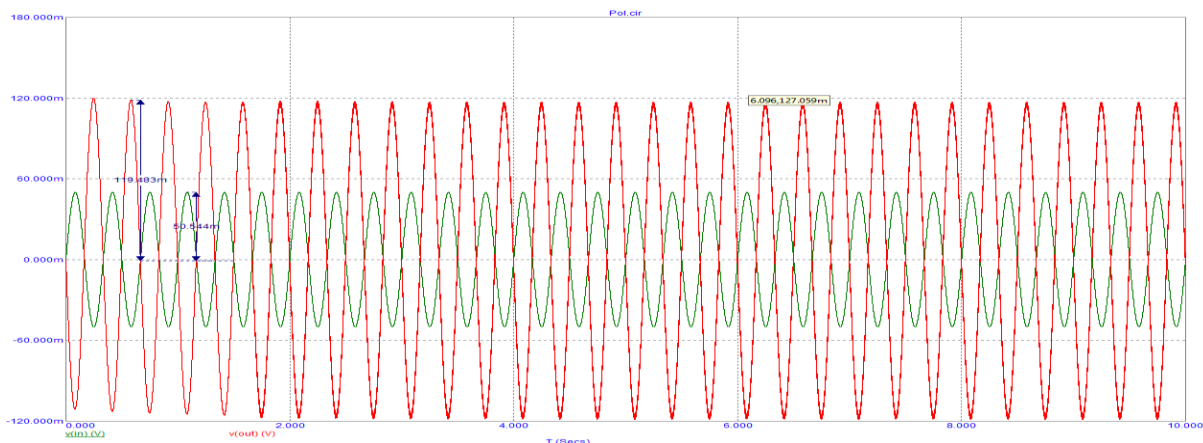


Рис. 29. Часові діаграми роботи схеми із польовим транзистором

В схемі, яка досліджується, вхідний сигнал, який має амплітуду 50 mV, підсумовується з напругою $V_2 = -1V$. Додатний період вхідного сигналу робить потенціал затвору транзистора менш від’ємним. За рахунок цього збільшуються струм в каналі, падіння напруги на резисторі R2 (рис. 27) та зменшується амплітуда вихідної напруги (рис. 29).

Від’ємний період вхідного сигналу робить потенціал затвору транзистора більш від’ємним. За рахунок цього зменшуються струм в каналі, падіння напруги на резисторі R2 (рис. 27) та збільшується амплітуда вихідної напруги (рис. 29). Тобто, схема інвертує фазу вхідної напруги. Амплітуда вихідної напруги більша амплітуди вхідної напруги, що говорить про те, що схема є підсилювачем напруги.

2.5. Схема 4. Схема підсилювача з від’ємним зворотним зв’язком (ВЗЗ) на польовому транзисторі із затвором у вигляді р-n-переходу

Нижче наведено схему підсилювача з ВЗЗ на польовому транзисторі із затвором у вигляді р-n-переходу та n-каналом, яку зібрано у середовищі MicroCap: *Pol(os).cir* (рис. 30). У цій схемі затвор підключено до спільного виводу (землі) через великий резистор $R_1 = 1 \text{ МОм}$. Оскільки через цей резистор протікає дуже малий струм, то потенціал затвору $U_3 \approx 0$.

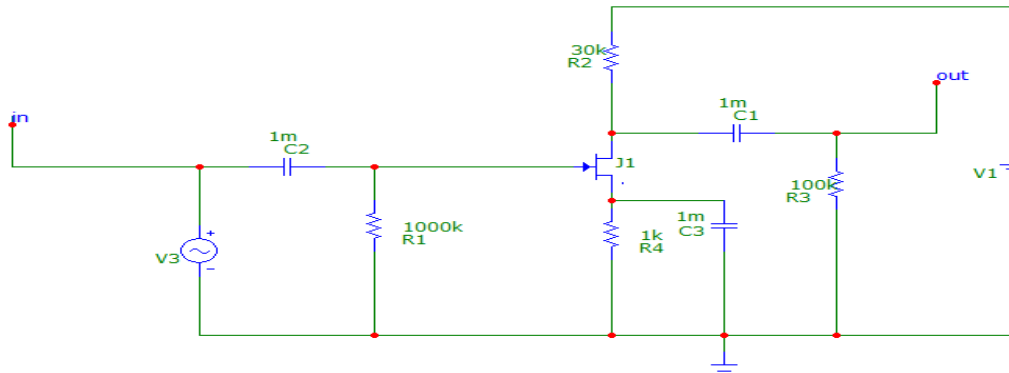


Рис. 30. Схема підсилювача з ВЗЗ на польовому транзисторі із затвором у вигляді р-n-переходу

Від протікання постійної складової струму каналу I_B через резистор R_4 на витоку з'являється додатна напруга $U_B = I_B \cdot R_4$. Напруга $U_{ЗВ} = U_3 - U_B = (0 - U_B) < 0$ фіксує робочу точку підсилювача за постійним струмом.

На резисторі R_4 формується сигнал ВЗЗ за постійним струмом. ВЗЗ за змінним струмом відсутній, оскільки змінна складова I_B протікає через конденсатор C_3 , який шунтує R_4 . Ємності C_1 та C_2 – роздільні та використовуються для того, щоб ізолювати транзистор від вхідного сигналу та навантаження за постійним струмом.

Параметри схеми: J1 (NJFET): Model = VCR7N; V3 (Sine Source): Model=60HZ, F = <Номер бригади> [Hz] (приклад: F = 1 [Hz], для 1 варіанту), A = 0,05 [V]; V1 (Battery): Value = 10 [V]; R1 (Resistor): Value = 1000k [Om]; R2 (Resistor): Value = 30k [Om]; R3 (Resistor): Value = 100k [Om]; R4 (Resistor): Value = 1k [Om]; J1 (NJFET): Model = VCR7N; C1 (Capacitor): Value = 1m [F]; C2 (Capacitor): Value = 1m [F]; C3 (Capacitor): Value = 1m [F].

Дослідження схеми 4

Побудова часових діаграм роботи

На рис. 31 наведено часові діаграми роботи для схеми підсилювача з ВЗЗ на польовому транзисторі із затвором у вигляді р-n-переходу, яку наведено на рис. 30.

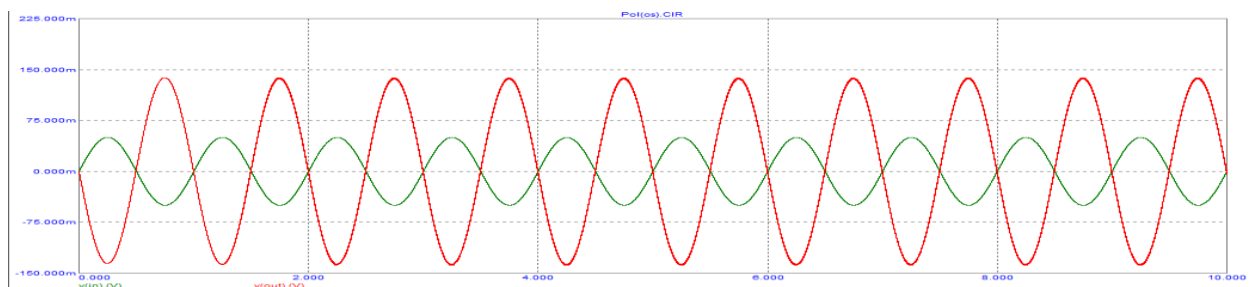


Рис. 31. Часові діаграми роботи для схеми підсилювача з ВЗЗ на польовому транзисторі із затвором у вигляді р-n-переходу

Згідно з рис. 29 ця схема інвертує фазу вхідної напруги. Амплітуда вихідної напруги більша амплітуди вхідної напруги, що говорить про те, що схема є підсилювачем напруги.

2.6. Схема 5. Схема підсилювача на МОН-транзисторі з індукованим каналом

Нижче наведено схему підсилювача на МОН-транзисторі з індукованим каналом n-типу, яку зібрано у середовищі MicroCap: *MOP.cir* (рис. 32).

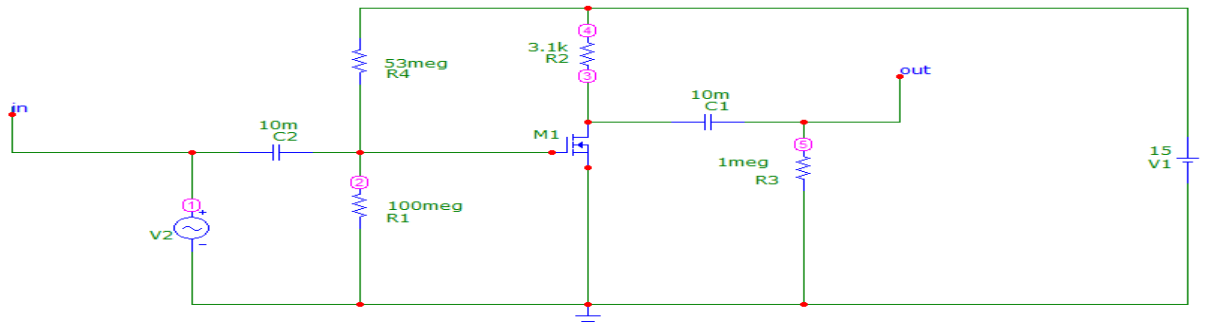


Рис. 32. Схема підсилювача на МОН-транзисторі з індукованим n-каналом

Параметри схеми: V2 (Sine Source): Model=60HZ, F = <Номер бригади> [Hz] (приклад: F = 1 [Hz], для 1 варіанту), A = 0,05 [V]; V1 (Battery): Value = 15 [V]; R1 (Resistor): Value = 100 meg [Om]; R2 (Resistor): Value = 3,1k [Om]; R3 (Resistor): Value = 1meg [Om]; R4 (Resistor): Value = 53meg [Om]; M1 (DNMOS): Model = \$EKV_N; C1 (Capacitor): Value = 10m [F]; C2 (Capacitor): Value=10m [F].

Дослідження схеми 5

Побудова часових діаграм роботи

На рис. 33 наведено часові діаграми роботи для схеми підсилювача на МОН-транзисторі з індукованим n-каналом (рис. 32).

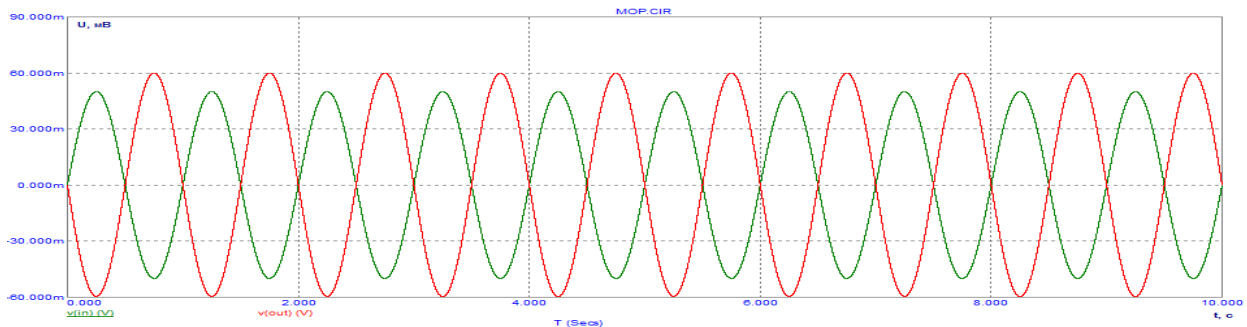


Рис. 33. Часові діаграми роботи для схеми підсилювача на МОН-транзисторі з індукованим n-каналом

Із діаграм видно, що схема інвертує фазу вхідної напруги та підсилює її.

Побудова стоко-затворних характеристик для МОН-транзистора DNMOS

На рис. 34 наведено схему для побудови стоко-затворних характеристик для МОН-транзистора DNMOS, яку зібрано у середовищі MicroCap: *MOP_Stoc_Zatvor.cir*.

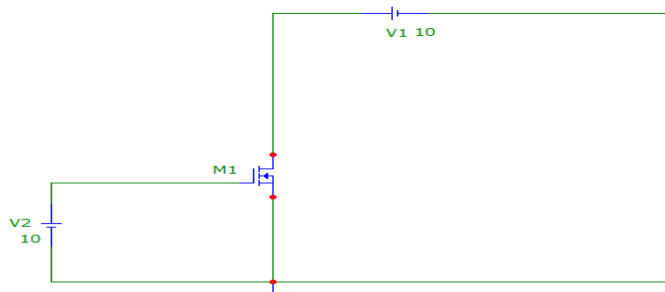


Рис. 34. Схема для побудови стоко-затворних характеристик МОН-транзистора DNMOS

Параметри схеми: V1 (Battery): Value = 10 [V]; V2 (Battery): Value = 10 [V]; M1 (DNMOS): Model = \$EKV_N.

Стоко-затворні характеристики МОН-транзистора DNMOS наведено на рис. 35.

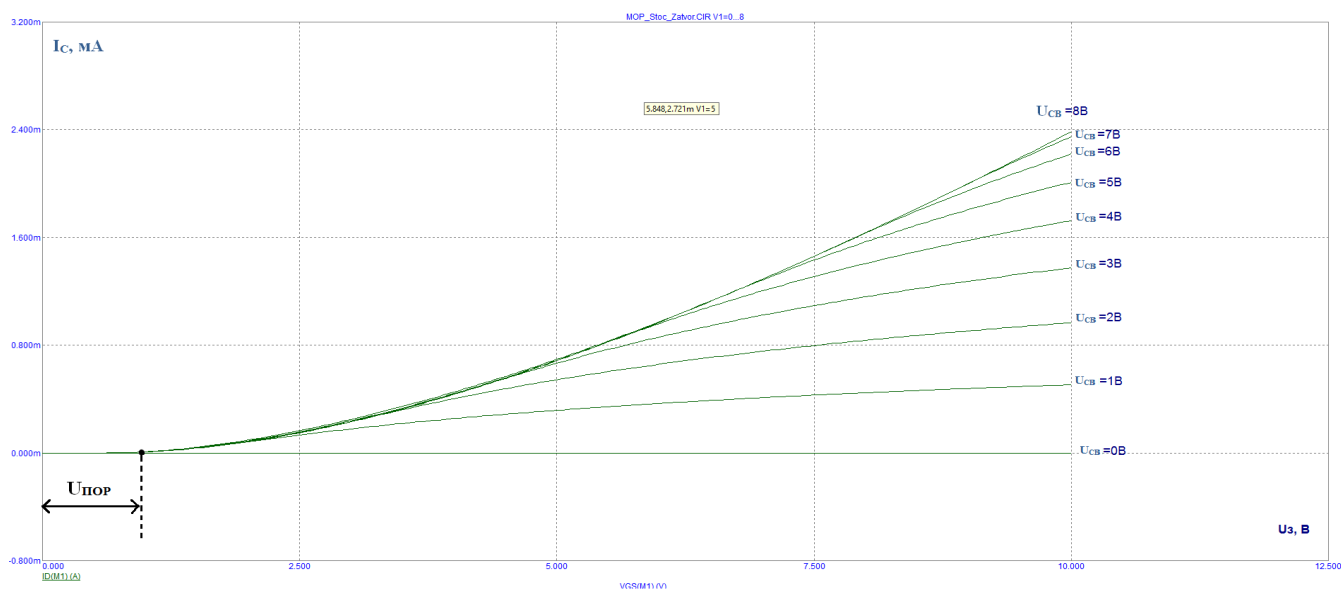


Рис. 35. Стоко-затворні характеристики МОН-транзистора DNMOS

Дані характеристики демонструють залежність струму стоку $I_{д}$ від напруги на затворі за різних значень напруги сток-витік ($U_{св}$). На графіку видно точку порогової напруги $U_{пор}$, після якої транзистор відкривається (індукується канал n-типу).

Побудова стокових характеристик для МОН-транзистора DNMOS

На рис. 36 наведено схему для побудови стокових характеристик для МОН-транзистора DNMOS, яку зібрано у середовищі MicroCap: *MOP_Stoc.cir*.

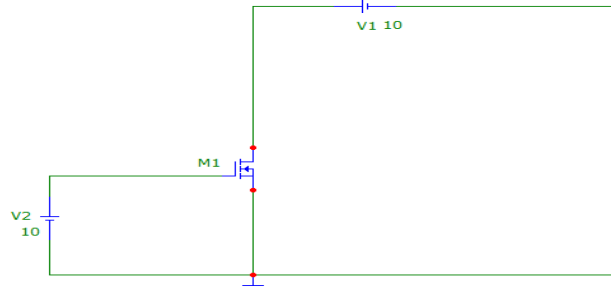


Рис. 36. Схема для побудови стокових характеристик МОН-транзистора DNMOS

Параметри схеми: V1 (Battery): Value = 10 [V]; V2 (Battery): Value = 10 [V]; M1 (DNMOS): Model = \$EKV_N.

Стокові характеристики МОН-транзистора DNMOS наведено на рис. 37.

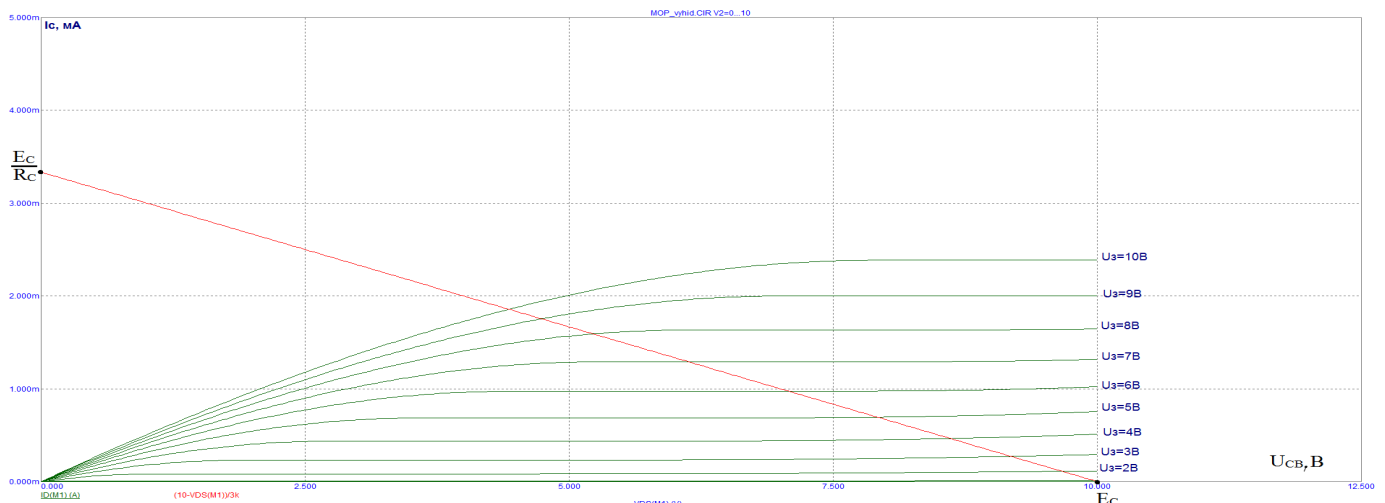


Рис. 37. Стокові характеристики МОН-транзистора DNMOS

Дані характеристики повністю підтверджують теоретичне обґрунтування стокових характеристик. Пряма навантаження будується за рівнянням $U_{св} = E_{с} - I_{с} \cdot R_{с}$. Перша точка дорівнює значенню напруги у точці перетину прямої з віссю $U_{св}$ за умови, що нам відомо $E_{с}$. Друга точка відповідає $I_{с} = E_{с}/R_{с}$.

3. Порядок виконання роботи

- 1) Схема 1. Дослідити схему підсилювача із фіксованим базовим струмом (рис. 19):
 - а) отримати та проаналізувати часові діаграми роботи схеми (рис. 20);
 - б) зняти та проаналізувати сім'ю вхідних характеристик транзистора 2N699 (рис. 22);

- в) зняти та проаналізувати сім'ю вихідних характеристик транзистора 2N699 (рис. 24);
 - г) розрахувати значення основних елементів схеми підсилювача із фіксованим базовим струмом (рис. 19).
- 2) Схема 2. Дослідити схему підсилювача із фіксованою базовою напругою (рис. 25):
- а) отримати та проаналізувати часові діаграми роботи схеми (рис. 26);
 - б) розрахувати значення основних елементів схеми підсилювача із фіксованою базовою напругою (рис. 25).
- 3) Схема 3. Дослідити схему із польовим транзистором з р-п-переходами та каналом n-типу (рис. 27):
- а) зняти та проаналізувати сім'ю стокових характеристик транзистора (рис. 28);
 - б) отримати та проаналізувати часові діаграми роботи транзистора (рис. 29).
- 4) Схема 4. Дослідити схему підсилювача на польовому транзисторі із затвором у вигляді р-п-переходу (рис. 30):
- а) отримати та проаналізувати часові діаграми роботи схеми (рис. 31);
- 5) Схема 5. Дослідити схему підсилювача на МОН-транзисторі (рис. 32):
- а) отримати та проаналізувати часові діаграми роботи схеми (рис. 33);
 - б) зняти та проаналізувати сім'ю стоко-затворних характеристик транзистора (рис. 35);
 - в) зняти та проаналізувати сім'ю стокових характеристик транзистора (рис. 37).

4. Контрольні питання

- 1) Дайте визначення поняттю електронно-дірковий перехід.
- 2) Дайте визначення напівпровідників n-типу та р-типу.
- 3) Які фізичні процеси протікають у р-п-переході за відсутності зовнішнього електричного поля? Опишіть зворотне і пряме включення р-п-переходу.
- 4) Дайте визначення транзистора.
- 5) Чим відрізняються біполярні та уніполярні транзистори?
- 6) Наведіть позначення біполярних та польових транзисторів на електричних схемах.
- 7) Скільки р-п-переходів мають біполярні транзистори (БТ) і як ці переходи називаються?
- 8) Назвіть та поясніть основні режими робот БТ.
- 9) Поясніть роботу БТ в активному режимі.
- 10) Що являють собою статичні ВАХ БТ?
- 11) Поясніть використання БТ у підсилювачі напруги.

- 12) Поясніть принцип дії польових транзисторів (ПТ) із затвором у вигляді р-n-переходу та ізолюваним затвором.
- 13) Наведіть та поясніть статичні ВАХ ПТ.
- 14) Назвіть та поясніть основні параметри ПТ.
- 15) Назвіть та поясніть роботу схем ПТ із затвором у вигляді р-n-переходу та ізолюваним затвором.
- 16) Назвіть основні переваги ПТ.

ЛАБОРАТОРНА РОБОТА №2

Тема: Дослідження операційних підсилювачів.

Мета: Дослідити принцип дії, основні властивості та характеристики операційних підсилювачів (ОП). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Загальна характеристика ОП

Термін «операційний підсилювач» (ОП) вперше був використаний в обчислювальній техніці. З ним пов'язувалась відповідна математична операція: підсумовування, диференціювання, інтегрування і т. ін., яку підсилювач міг виконувати завдяки введенню від'ємного зворотного зв'язку (ВЗЗ) певного вигляду. Основу ОП складає інтегральна мікросхема, яку будемо називати ІМС ОП.

На рис. 1 наведено два варіанти позначення ІМС ОП на електричних схемах.

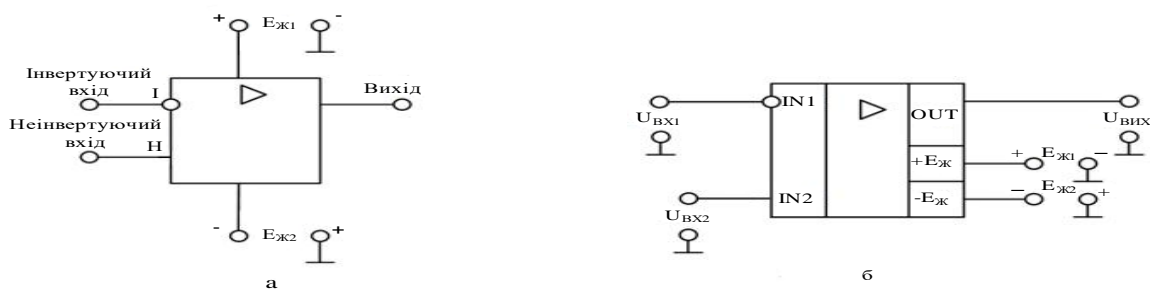


Рис. 1. Умовні позначення ІМС ОП на електричних схемах

В технічній документації ОП позначають прямокутником, який має два входи: один є таким, що інвертує фазу вхідного сигналу (І), другий – не інвертує фазу (Н). Вхід «І» позначають маленьким колом. За принципом дії ОП схожий із звичайним підсилювачем. Він також призначений для підсилення напруги або потужності вхідного сигналу. Але тоді як властивості і параметри звичайного підсилювача повністю визначені його схемою, властивості і параметри ОП визначаються переважно параметрами ланцюга ЗЗ. ОП виконують за схемою підсилювачів постійного струму із безпосереднім зв'язком між окремими каскадами із диференціальним входом і біполярним по відношенню до амплітуди підсилювального сигналу виходом. Це забезпечує нульові потенціали на вході і виході ОП за відсутності сигналів, що керують. ОП характеризується великим коефіцієнтом підсилення, високим вхідним і низьким вихідним опором. В даний час ІМС ОП виконуються, як правило, у вигляді монолітних інтегральних

мікросхем, і за розмірами і ціною не відрізняються від окремо взятого транзистора. Завдяки практично ідеальним характеристикам ІМС ОП реалізація різних схем на їх основі виявляється значно простішою, ніж на окремих транзисторах. Тому ІМС ОП витісняють окремі транзистори як елементи схем у багатьох областях лінійної схемотехніки. Більшість інтегральних ІМС ОП промислового типу мають один вихід (рис. 1). При цьому вихідна напруга $U_{\text{вих}}$ знаходиться у фазі із напругою U_{BX2} і протифазі до напруги U_{BX1} . Напруга, що безпосередньо прикладена між входами, дорівнює різниці напруг U_{BX1} і U_{BX2} . Ця напруга дорівнює нулю, якщо U_{BX1} і U_{BX2} мають навіть значні, але рівні значення. Тому напруги U_{BX1} і U_{BX2} по відношенню до спільної точки називаються напругою загального вигляду, а їх різниця – диференціальною напругою.

Вихідна напруга ОП обчислюється за формулою

$$U_{\text{вих}} = \Delta U \cdot K_{U, \text{ІМС ОП}}, \quad (1)$$

де ΔU – різниця напруг між входами, яка обчислюється за формулою

$$\Delta U' = U_{\text{BX1}} - U_{\text{BX2}}, \quad (2)$$

або

$$\Delta U'' = U_{\text{BX2}} - U_{\text{BX1}}, \quad (3)$$

$K_{U, \text{ІМС ОП}}$ – коефіцієнт підсилення напруги ІМС ОП.

Основною характеристикою ІМС ОП є передатна характеристика, яку наведено на рис. 2.

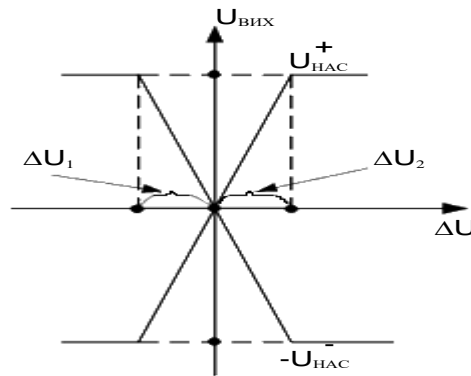


Рис. 2. Передатна характеристика ІМС ОП

На цьому рисунку суміщені дві передатні характеристики тієї ж самої ІМС ОП, вигляд яких залежить від того, як обчислюється ΔU :

$$\Delta U' = U_I - U_H, \quad \Delta U'' = U_H - U_I. \quad (4)$$

На рис. 3 ці дві характеристики зображено окремо.

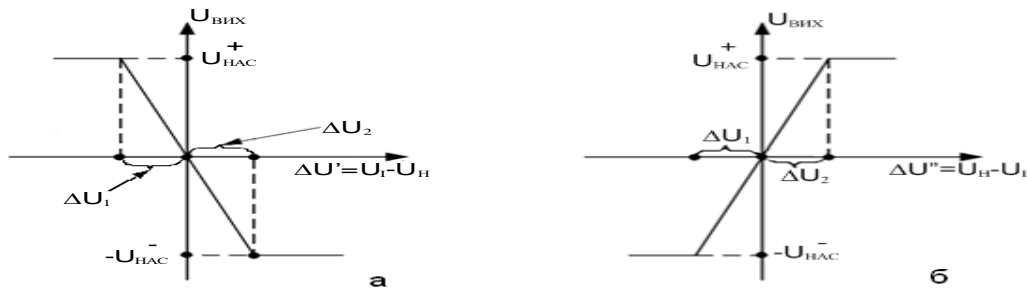


Рис. 3. Передатні характеристики ІМС ОП за:

$$a - \Delta U' = U_I - U_H; \quad б - \Delta U'' = U_H - U_I$$

Передатні характеристики ІМС ОП мають три характерні ділянки:

- лінійна ($U_{ВИХ}$ лінійно залежить від ΔU);
- насичення плюс ($U_{ВИХ} = +U_{НАС}^+$);
- насичення мінус ($U_{ВИХ} = -U_{НАС}^-$).

Значення напруг $|\Delta U_1| \approx \Delta U_2$, які відповідають границям лінійної ділянки, дуже малі

$$\Delta U_1 = \Delta U_2 = \frac{U_{НАС}^+}{K_{U.ІМСОП}}, \quad (5)$$

наприклад, якщо $U_{НАС}^+ = 11В$, а $K_{U.ІМСОП} = 10000$, то $\Delta U_1 = \frac{11}{10000} = 1.1 \cdot 10^{-3} В = 1.1 мВ$.

На рис. 3 використано наступні умовні позначення:

- $U_{ВИХ}^+$ – напруга насичення плюс, величина якої залежить від напруги живлення ІМС ОП (наприклад, якщо мікросхема живиться напругами $E_{Ж1} = +15В$, а $E_{Ж2} = -15В$, то $U_{НАС}^+ = +11В$, а $-U_{НАС}^- = -11В$);
- $K_{U.ІМСОП}$ – коефіцієнт підсилення напруги ІМС ОП (дорівнює десяткам...сотням тисяч).

Лінійна ділянка передатної характеристики використовується у підсилювачах, а нелінійні відрізки – в імпульсних пристроях (компараторах, тригерах Шмітта, генераторах і т. ін.).

У разі використання ІМС ОП в імпульсних пристроях вихідна напруга залежить від співвідношення потенціалів входів: І – такий, що інвертує, та Н – такий, що не інвертує. Якщо потенціал входу «І» більш додатний (менш від'ємний) відносно потенціалу на вході «Н» і різниця $\Delta U = (U_I - U_H) > (|\Delta U_1| = \Delta U_2)$ (рис. 3, а), тоді $U_{ВИХ} = -U_{НАС}^-$.

Наприклад, якщо $U_I = 4В$, $U_H = 2В$, тоді $U_{ВИХ} = -U_{НАС}^-$; якщо $U_I = -4В$, $U_H = -2В$, тоді $U_{ВИХ} = +U_{НАС}^+$.

Як правило $+U_{ВИХ}^+ = |-U_{НАС}^-|$, тому під час посилення на напруги насичення використовують, або $+U_{НАС}$, або $(-U_{НАС})$.

Інтегральні мікросхеми операційних підсилювачів широко використовуються в сучасних електронних пристроях, тому що вони мають: високий коефіцієнт підсилення напруги (десятки...сотні тисяч); великий вхідний опір (сотні...тисячі кОм); малий вихідний опір (долі...одиниці Ом); широку смугу частот пропускання (мегагерци); високий коефіцієнт придушення синфазного сигналу [1].

Під час аналізу електронних схем на ІМС ОП останню вважають ідеальною, якщо:

$$\left. \begin{aligned} -K_{U.ІМСОП} &\rightarrow \infty; \\ -R_{ВХ} &\rightarrow \infty; \\ -R_{ВИХ} &\rightarrow 0; \\ -\Delta f_{ПРОПУСКАННЯ} &\rightarrow \infty. \end{aligned} \right\} \quad (6)$$

На рис. 4 наведено спрощену структурну схему ІМС ОП.

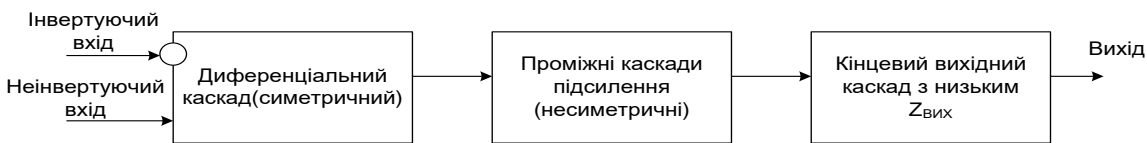


Рис. 4. Спрощена структура ІМС ОП

Спрощену принципову схему ІМС ОП наведено у [1].

Перший каскад операційного підсилювача – це диференціальний підсилювач, який має високий коефіцієнт підсилення відносно різниці вхідних сигналів і низький коефіцієнт підсилення відносно сигналів з однаковими фазою і амплітудою, що подаються на входи одночасно (синфазні сигнали).

Крім того, диференціальний підсилювач має високий повний вхідний опір відносно будь-яких поданих на його входи сигналів (рис. 5).

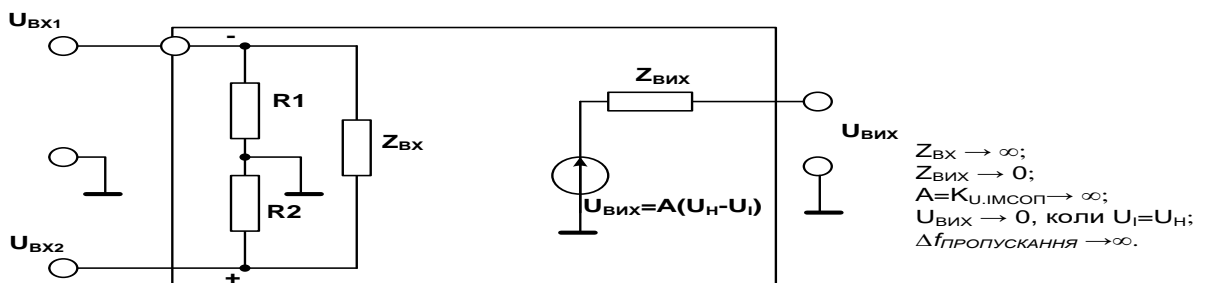


Рис. 5. Еквівалентна схема заміщення ІМС ОП

Вхідний каскад операційного підсилювача є найбільш важливим, оскільки саме завдяки йому визначається величина повного вхідного опору. В ньому також мінімізується чутливість до невеликих за величиною небажаних сигналів, що виникають всередині підсилювача і призводять до появи певної напруги зсуву на його вході ($U_{зсв}$) за нульових напругах на обох входах. Причиною їх появи є неточне узгодження напруг емітер-база вхідних транзисторів.

За вхідним каскадом, як показано на рис. 4, слідують один чи декілька проміжних каскадів. Вони забезпечують зменшення напруги спокою на виході до близької до нуля величини та підсилення за напругою і за струмом. В проміжних каскадах можуть бути використані як диференціальні, так і однополюсні схеми.

Кінцевий каскад має забезпечувати низький повний вихідний опір ОП і струм, достатній для очікуваного навантаження. Крім того, цей каскад повинен мати достатньо високий повний вхідний опір, щоб не навантажувати останній із проміжних каскадів. В якості кінцевого каскаду зазвичай використовують простий чи комплементарний емітерний повторювач.

Основні параметри ІМС ОП описано у [1].

1.2. Операційний підсилювач, що не інвертує

Схему операційного підсилювача, що не інвертує, наведено на рис. 6.

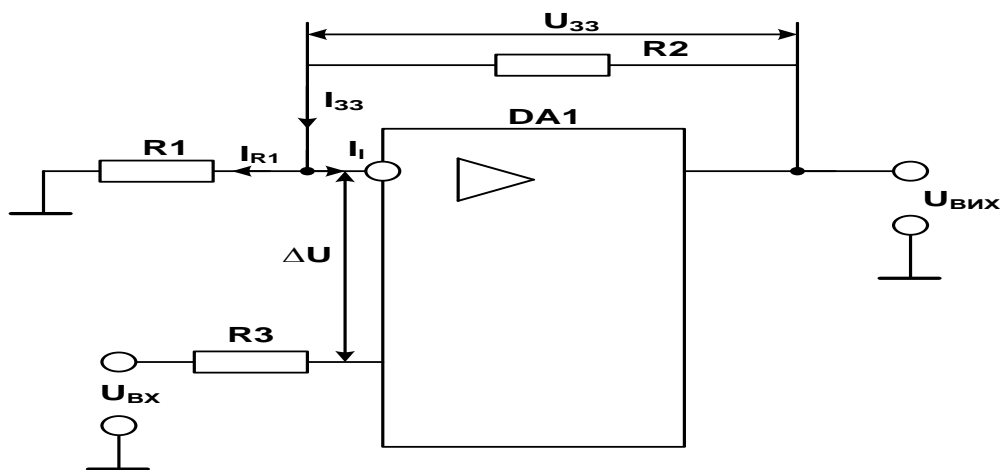


Рис. 6. Схема підсилювача, що не інвертує

Коефіцієнт підсилення цього підсилювача визначається виразом, виведення якого надане нижче.

Якщо ІМС ОП вважати ідеальною: $K_{U.ІМСОП} \rightarrow \infty, R_{ВХ} \rightarrow \infty, R_{ВІХ} \rightarrow 0$, то у разі роботи у лінійному режимі різниця потенціалів між його входами (диференціальний вхідний сигнал) прямує до нуля:

$$\Delta U = U_{ВХ1} - U_{ВХ2} = \frac{U_{ВІХ}}{K_{U.ІМСОП}} \approx 0. \quad (7)$$

Вихідна напруга підсилювача визначається виразом:

$$U_{ВИХ} = U_{33} + \Delta U + U_{ВХ} = I_{33} \cdot R2 + \Delta U + U_{ВХ} . \quad (8)$$

У разі виконання (7) та за умови, що підсилювач працює у лінійному режимі, $\Delta U \rightarrow 0$, тоді (8) матиме вигляд:

$$U_{ВИХ} = U_{33} + U_{ВХ} = I_{33} \cdot R2 + U_{ВХ} . \quad (9)$$

Оскільки під час виконання умови (6) вхідний опір ІМС ОП наближається до нескінченності, струм $I_I \rightarrow 0$, тоді $I_{33} \rightarrow I_{R1}$. Підставляючи останній в (9) отримаємо

$$U_{ВИХ} = I_{R1} \cdot R2 + U_{ВХ} . \quad (10)$$

Для визначення значення I_{R1} запишемо вираз, що пов'язує $U_{ВХ}$, ΔU та U_{R1} :

$$U_{ВХ} = \Delta U + U_{R1} = \Delta U + I_{R1} \cdot R1 . \quad (11)$$

Останнє з урахуванням (7) та за умови, що підсилювач працює у лінійному режимі, $\Delta U \rightarrow 0$, прийме вигляд:

$$U_{ВХ} = I_{R1} \cdot R1 . \quad (12)$$

Звідси отримаємо:

$$I_{R1} = \frac{U_{ВХ}}{R1} . \quad (13)$$

Підставляючи його у (10), отримаємо:

$$U_{ВИХ} = \frac{U_{ВХ}}{R1} \cdot R2 + U_{ВХ} = U_{ВХ} \left(1 + \frac{R2}{R1}\right) . \quad (14)$$

Звідси коефіцієнт підсилення:

$$K_U = \frac{U_{ВИХ}}{U_{ВХ}} = 1 + \frac{R2}{R1} . \quad (15)$$

Якщо $R2=0$, а $R1 = \infty$, тоді $K_U = 1$. У цьому разі схема, що розглядається, має вигляд, який наведено на рис. 7, та виконує функцію повторювача напруги, коли $U_{ВИХ} = U_{ВХ}$.

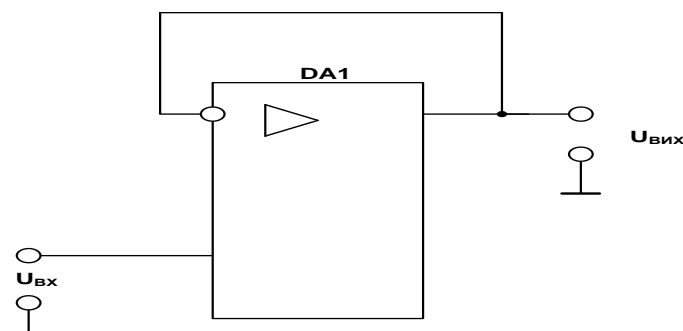


Рис. 7. Схема повторювача напруги, що не інвертує

Задаючи значення резистора $R1$, із формули (15) отримаємо вираз для розрахунку $R2$ за відомим значенням коефіцієнта підсилення K_U :

$$R2 = (K_U - 1)R1. \quad (16)$$

Значення резистора $R3$ розраховується за формулою [1]:

$$R3 = \frac{R1 \cdot R2}{R1 + R2}. \quad (17)$$

1.3. Операційний підсилювач, що інвертує

Схему операційного підсилювача, що інвертує, наведено на рис. 8.

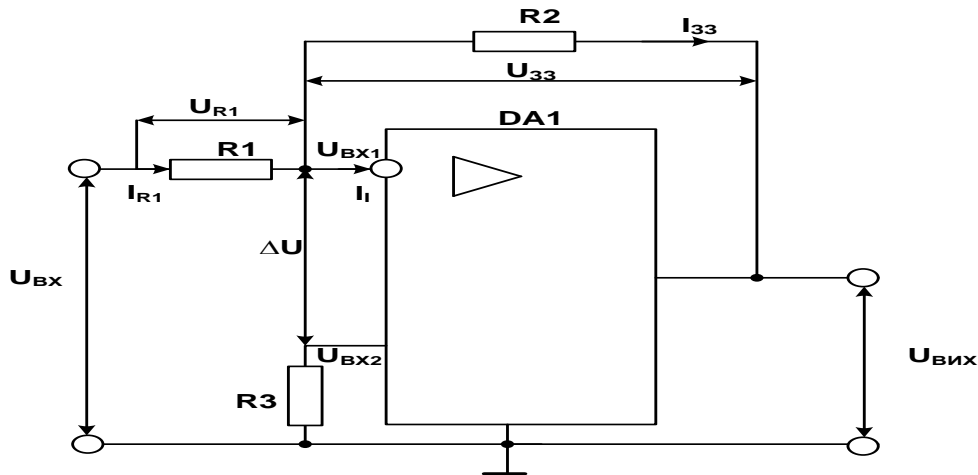


Рис. 8. Схема операційного підсилювача, що інвертує

Якщо ІМС ОП вважати ідеальною $K_{U.ІМСОП} \rightarrow \infty, R_{BX} \rightarrow \infty, R_{ВІХ} \rightarrow 0$, то у разі роботи у лінійному режимі різниця потенціалів між його входами (диференціальний вхідний сигнал) $\Delta U \rightarrow 0$.

Як показано на рис. 8, вхід, що не інвертує вхідний сигнал, з'єднано із спільною шиною (землею). Тому потенціал інвертуючого входу також близький до потенціалу спільної (нульової) шини.

Вхідну напругу U_{BX} підсилювача поєднано із напругами U_{R1} та ΔU виразом

$$U_{BX} = U_{R1} + \Delta U. \quad (18)$$

Оскільки у межах лінійної ділянки передатної характеристики ІМС ОП $\Delta U \rightarrow 0$, тоді

$$U_{BX} = U_{R1}. \quad (19)$$

Напруга U_{R1} визначається за формулою

$$U_{R1} = I_{R1} \cdot R1. \quad (20)$$

В свою чергу

$$I_{R1} = I_{33} + I_I. \quad (21)$$

Якщо вважати, що R_{BX} ІМС ОП дуже великий ($R_{BX} \rightarrow \infty$), $I_I \approx 0$, тоді

$$I_{R1} = I_{33}; \quad (22)$$

$$U_{R1} = I_{33} \cdot R1; \quad (23)$$

$$U_{BX} = I_{33} \cdot R1; \quad (24)$$

$$I_{33} = \frac{U_{33}}{R2}; \quad (25)$$

$$U_{BX} = \frac{U_{33} \cdot R1}{R2}. \quad (26)$$

Для визначення напруги зворотного зв'язку U_{33} запишемо

$$\Delta U = U_{33} + U_{BIX}. \quad (27)$$

За умови, що $\Delta U \approx 0$ ($K_{U.ІМСОП} \rightarrow \infty$), отримаємо

$$U_{33} = -U_{BIX};$$

$$U_{BX} = -\frac{U_{BIX} \cdot R1}{R2};$$

$$U_{BIX} = -\frac{U_{BX} \cdot R2}{R1} = K_U \cdot U_{BX}, \quad (28)$$

$$\text{де } K_U = -\frac{R2}{R1}. \quad (29)$$

Знак «мінус» у наведеній формулі вказує на те, що вихідна напруга U_{BIX} знаходиться у протифазі до вхідної напруги U_{BX} . Якщо $R2 = R1$, тоді $K_U = -1$, а наведена на рис. 8 схема стає повторювачем напруги, що інвертується.

1.4. Диференціальний операційний підсилювач

Схему диференціального операційного підсилювача наведено на рис. 9.

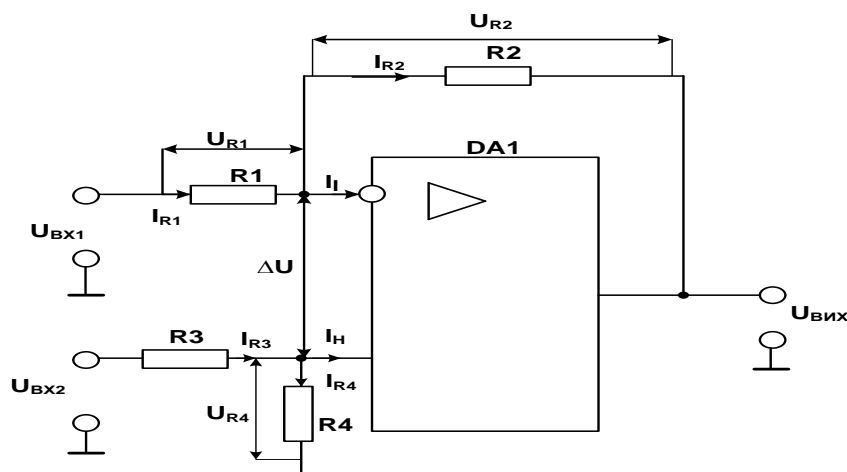


Рис. 9. Схема диференціального операційного підсилювача

Наведена схема являє собою сполучення розглянутих вище операційних підсилювачів (того, що не інвертує (підрозд. 1.2), та того, що інвертує (підрозд. 1.3)) та призначена для підсилення різниці напруг: $U_{BX2} - U_{BX1}$.

Будемо вважати, що ІМС ОП ідеальна, тобто $K_{U.ІМСОП} \rightarrow \infty; R_{BX} \rightarrow \infty; R_{BIX} \rightarrow 0$.

Тоді отримає вираз, виведення якого наведено у [1]:

$$U_{ВИХ} = \frac{U_{ВХ2} \cdot R4}{R3 + R4} \left(\frac{R1 + R2}{R1} \right) - \frac{R2}{R1} \cdot U_{ВХ1}. \quad (30)$$

Якщо $R1 = R3$; $R2 = R4$, тоді

$$U_{ВИХ} = K_U (U_{ВХ2} - U_{ВХ1}), \quad (31)$$

$$\text{де } K_U = \frac{R2}{R1}. \quad (32)$$

Якщо $U_{ВХ2} > U_{ВХ1}$, тоді $U_{ВИХ} > 0$, $U_{ВХ2} < U_{ВХ1}$, тоді $U_{ВИХ} < 0$.

Щоб отримати значення $K_U > 1$, значення резисторів $R1$, $R3$ мають бути десятки кОм, а резисторів $R2$, $R4$ – сотні кОм.

Наприклад, якщо $R1 = R3 = 20$ кОм; $R2 = R4 = 100$ кОм, тоді $K_U = \frac{R2}{R1} = \frac{100}{20} = 5$.

1.5. Підсумовуючий ОП, що інвертує

Схему операційного підсилювача, який виконує функцію суматора, що інвертує, наведено на рис. 10.

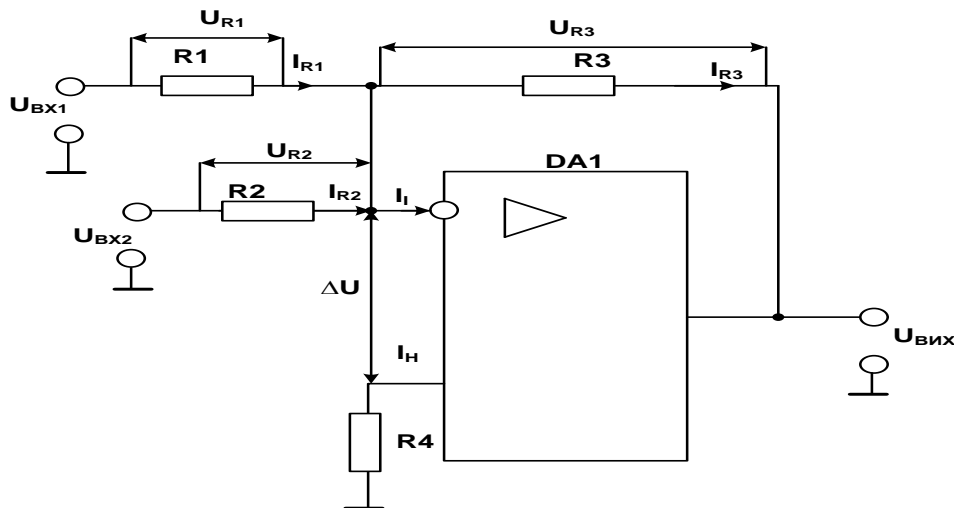


Рис. 10. Схема суматора, що інвертує

Вираз, який пов'язує вихідну напругу $U_{ВИХ}$ із вхідними напругами $U_{ВХ1}$ та $U_{ВХ2}$, отримаємо за методикою, що описана при розгляданні схем операційних підсилювачів, наведених вище.

Будемо вважати, що ІМС ОП – ідеальна: $K_{U.ІМСОП} \rightarrow \infty$; $R_{ВХ} \rightarrow \infty$; $R_{ВИХ} \rightarrow 0$, тоді отримає вираз, виведення якого наведено у [1]:

$$\frac{U_{ВХ1}}{R1} + \frac{U_{ВХ2}}{R2} = -\frac{U_{ВИХ}}{R3}. \quad (33)$$

Якщо $R1 = R2 = R$, тоді

$$U_{ВИХ} = -\frac{R3}{R} (U_{ВХ1} + U_{ВХ2}) = K_U (U_{ВХ1} + U_{ВХ2}), \quad (34)$$

де
$$K_U = -\frac{R_3}{R}. \quad (35)$$

Якщо $R_3 = R_1 = R_2 = R$, тоді

$$U_{ВНХ} = -(U_{ВХ1} + U_{ВХ2}). \quad (36)$$

Щоб отримати значення $K_U > 1$, резистори $R_1 = R_2$ повинні мати значення десятки кОм, а R_3 – сотні кОм.

Значення резистора R_4 розраховують за формулою

$$R_4 = \frac{R_3 \cdot \frac{R_1 \cdot R_2}{R_1 + R_2}}{R_3 + \frac{R_1 \cdot R_2}{R_1 + R_2}}. \quad (37)$$

Для того, щоб схема виконувала функцію усереднення вхідних напруг, необхідно виконати умову

$$\left. \begin{aligned} R_1 = R_2 = \dots = R_n \\ R_3 = \frac{R_1}{n} \end{aligned} \right\}, \quad (38)$$

де n – число входів.

Тоді

$$U_{ВНХ} = -\frac{(U_{ВХ1} + U_{ВХ2} + \dots + U_{ВХn})}{n}. \quad (39)$$

1.6. Підсумовуючий ОП, що не інвертує

Схему операційного підсилювача, який виконує функцію суматора, що не інвертує, наведено на рис. 11.

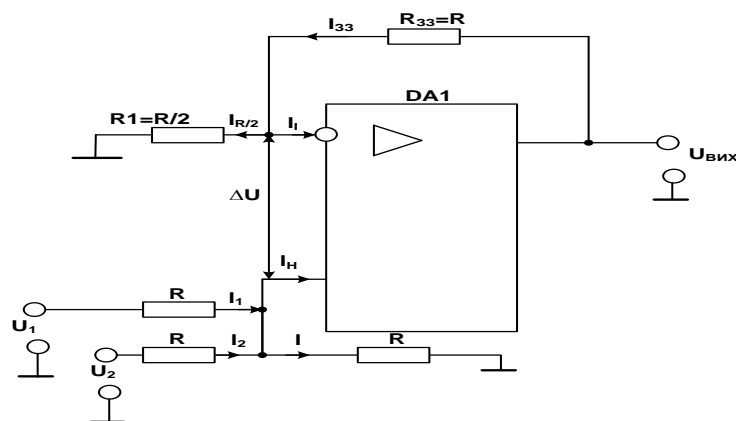


Рис. 11. Схема операційного підсилювача, який виконує функцію суматора, що не інвертує

Вираз, який пов'язує вихідну напругу $U_{ВНХ}$ із вхідними напругами U_1 та U_2 , отримаємо за методикою, що описана при розгляданні схем операційних підсилювачів, наведених вище.

Будемо вважати, що ІМС ОП ідеальна $K_{У.ІМСОП} \rightarrow \infty; R_{ВХ} \rightarrow \infty; R_{ВНХ} \rightarrow 0$, тоді отримає вираз, виведення якого наведено у [1]:

$$U_{ВНХ} = U_1 + U_2. \quad (40)$$

Якщо кількість входів дорівнює n , тоді

$$U_{ВИХ} = (U_1 + U_2 + \dots + U_n) \quad (41)$$

1.7. Операційний підсилювач, що диференціює

Схему операційного підсилювача, що диференціює, наведено на рис. 12.

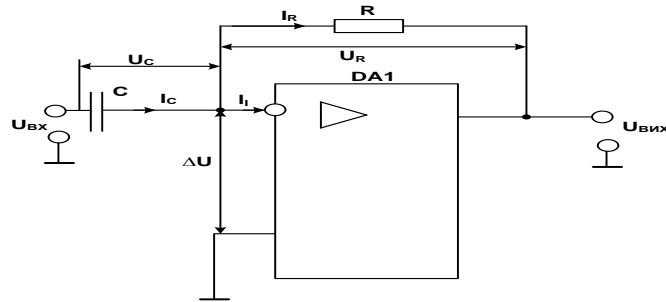


Рис. 12. Схема операційного підсилювача, що диференціює

Будемо вважати, що ІМС ОП ідеальна: $K_{U.ІМСОП} \rightarrow \infty$; $R_{ВХ} \rightarrow \infty$; $R_{ВИХ} \rightarrow 0$.

Різниця напруг між входом, який інвертує, та входом, що не інвертує, $\Delta U = U_{ВИХ} / K_{U.ІМСОП}$ у межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю. Струм, що надходить на вхід ІМС ОП, що інвертує, дорівнює нулю за умови, що $R_{ВХ} \rightarrow \infty$.

Струм, який проходить скрізь конденсатор

$$I_c = C \cdot \frac{dU_c}{dt} \quad (42)$$

Напруги ΔU , U_R та $U_{ВИХ}$ пов'язані співвідношенням

$$\Delta U = U_R + U_{ВИХ} \quad (43)$$

За $\Delta U = 0$ ($K_{U.ІМСОП} \rightarrow \infty$)

$$U_{ВИХ} = -U_R \quad (44)$$

В свою чергу

$$U_R = I_R R; \quad (45)$$

$$I_R = I_c \text{ (струм } I_i \rightarrow 0, \text{ коли } R_{ВХ} \rightarrow \infty); \quad (46)$$

$$U_R = I_c R = RC \frac{dU_c}{dt}; \quad (47)$$

$$U_{ВИХ} = -RC \frac{dU_c}{dt} = -\tau_{\text{диф}} \frac{dU_c}{dt} = -\tau_{\text{диф}} \frac{dU_{ВХ}}{dt} \quad (48)$$

де $\tau_{\text{диф}} = RC$ – стала часу; $U_{ВХ} = U_c$ за $\Delta U = 0$ ($K_{U.ІМСОП} \rightarrow \infty$).

Отже, якщо ІМС ОП є ідеальною, то розглянута схема на його основі виконує точне диференціювання вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (47) показує, що вихідна напруга протифазна вхідній.

1.8. Операційний підсилювач, що інтегрує

Як активний елемент інтегруючих кіл (ІК) широко використовуються інтегральні мікросхеми операційних підсилювачів (ІМС ОП). Принципову схему активного ІК на ІМС ОП наведено на рис. 13.

Будемо вважати, що ІМС ОП ідеальна: $K_{U.ІМСОП} \rightarrow \infty; R_{BX} \rightarrow \infty; R_{ВІХ} \rightarrow 0$.

Різниця між входом, який інвертує, та входом, що не інвертує, $\Delta U = \frac{U_{ВІХ}}{K_{U.ІМСОП}}$ у

межах лінійної ділянки передатної характеристики ІМС ОП приблизно дорівнює нулю.

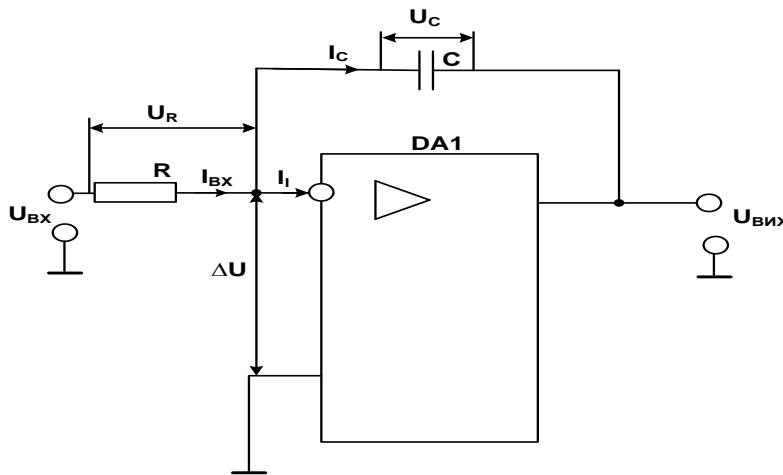


Рис. 13. Схема операційного підсилювача, що інтегрує

Струм, який надходить на вхід ІМС ОП, який інвертує, дорівнює нулю, за умови, що $R_{BX} \rightarrow \infty$.

Напруга на конденсаторі

$$U_C = \frac{1}{C} \int_0^t I_C dt \quad (49)$$

Оскільки струм $I_{BX} = I_C$, а також $I_{BX} = \frac{U_{BX} - \Delta U}{R} = \frac{U_{BX}}{R}$, то

$$U_C = \frac{1}{C} \int \frac{U_{BX}}{R} dt = \frac{1}{RC} \int U_{BX} dt. \quad (50)$$

Оскільки виконуються умови $\Delta U \approx 0$ та $U_C + U_{ВІХ} = \Delta U$, то одержимо

$$U_{ВИХ} = -U_C = -\frac{1}{RC} \int_0^t U_{ВХ} dt = -\frac{1}{\tau_{ИИТ}} \int_0^t U_{ВХ} dt, \quad (51)$$

де $\tau_{ИИТ} = RC$ – стала часу.

Отже, якщо ІМС ОП вважати ідеальною, то ІК на його основі виконує точне інтегрування вхідного сигналу і похибка дорівнює нулю. Знак «мінус» у виразі (51) вказує, що вихідна напруга протифазна вхідній, яка подається на вхід ІМС ОП, що інвертує.

Аналіз операційних підсилювачів, які логарифмують та антилогарифмують зроблено у [1].

2. Моделювання окремих пристроїв

2.1. Схема 1. Випробування розімкненого ОП, який не інвертує

Нижче наведено схему розімкненого ОП, який не інвертує. Схему зібрано у середовищі MicroCap: *oram 1.cir* (рис. 14).

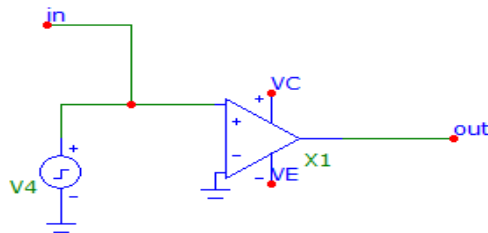


Рис. 14. Схема розімкненого ОП, який не інвертує

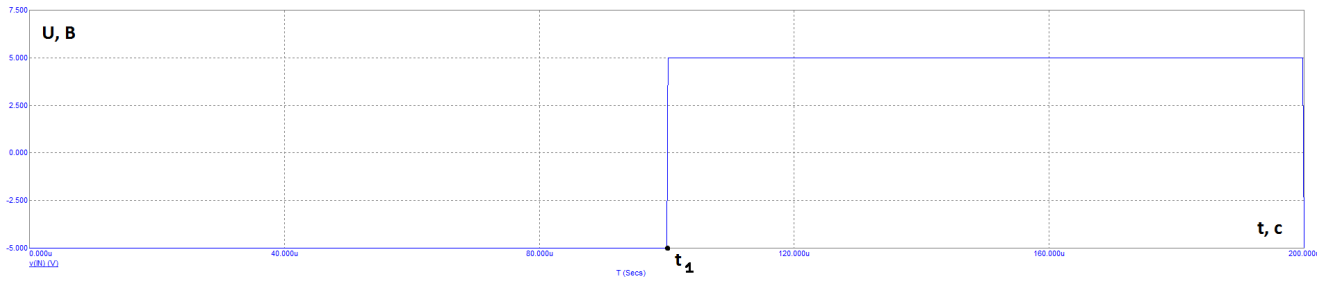
Параметри схеми:

X1 (Oramp). Для налаштування ОП (як і будь-якого іншого елемента, слід двічі натиснути на нього. У відкритому вікні у відповідні поля слід ввести значення:

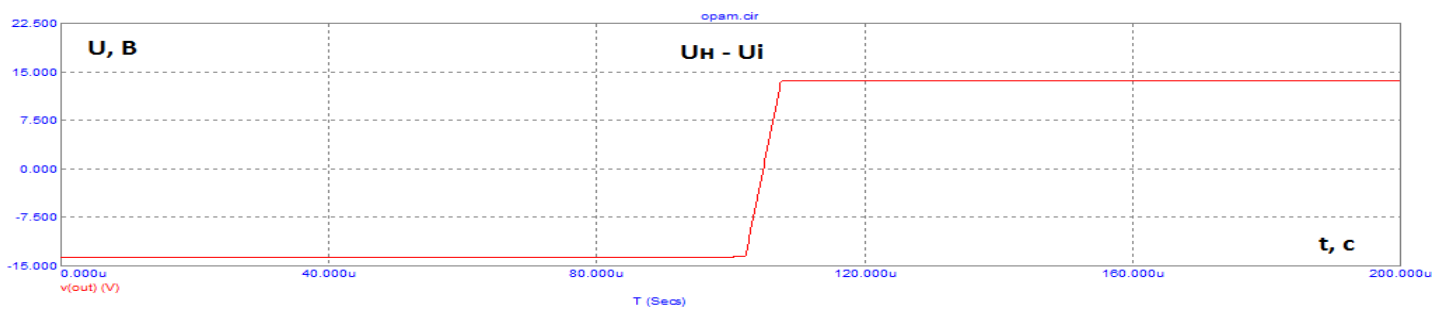
- 1) Model = \$GENERIC.
- 2) VCC – Positive power supply: Value = 15 [V]; VEE – Negative power supply: Value = -15 [V];
- 3) VNS – Negative voltage swing (від’ємна напруга насичення): Value = -13 [V];
- 4) VPS – Positive voltage swing (додатна напруга насичення): Value = 13 [V].

Результат дослідів

Нижче на рис. 15 наведено часові діаграми роботи схеми, яку зображено на рис. 14.



а



б

Рис. 15. Часові діаграми роботи схеми, яку наведено на рис. 14: а – зміна вхідної напруги; б – зміна вихідної напруги

Рівняння, що описує передатну характеристику ІМС ОП:

$$\Delta U = U_n - U_i.$$

Спочатку на вхід, який не інвертує, ІМС ОП подається вхідна напруга: -5 В . Напруга на виході дорівнює: $-U_{\text{НАС}} = -13\text{ В}$. В момент t_1 рівень вхідної напруги стрибком змінюється до $+5\text{ В}$. У відповідь вихідна напруга змінюється до значення: $+U_{\text{НАС}} = +13\text{ В}$.

2.2. Схема 2. Випробування розімкненого ОП, який інвертує

Нижче наведено схему розімкненого ОП, який інвертує. Схему зібрано у середовищі MicroCap: *opam 2.cir* (рис. 16).

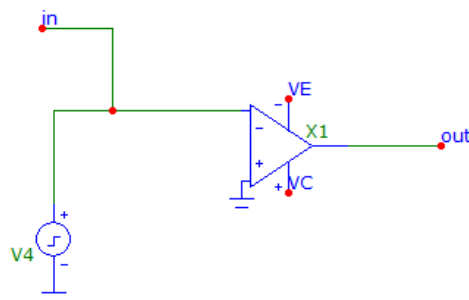


Рис.16. Схема розімкненого ОП, який інвертує

Параметри даної схеми відповідають попередній, але на цей раз ми подаємо напругу на вхід, який інвертує.

Нижче на рис. 17 наведено часові діаграми роботи схеми, яку зображено на рис. 16.

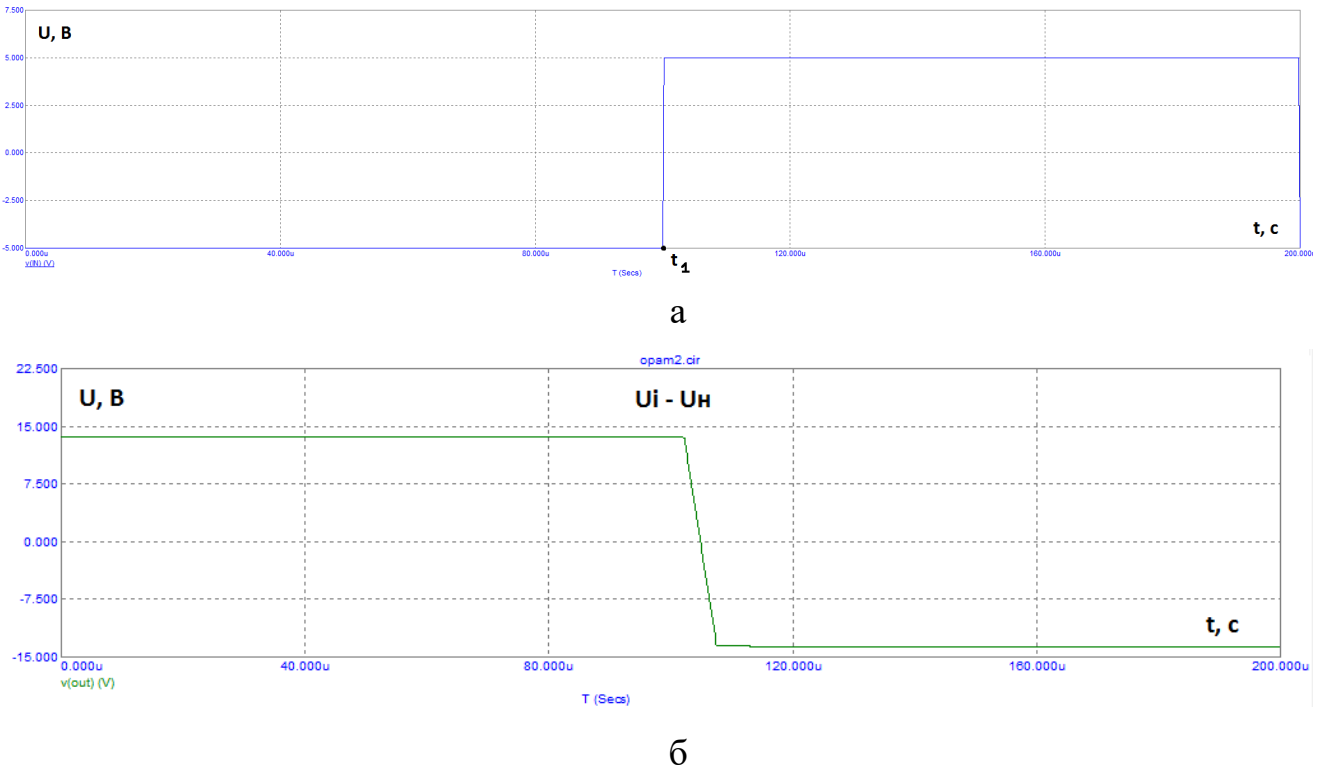


Рис. 17. Часові діаграми роботи схеми, яку наведено на рис. 16: *a* – зміна вхідної напруги; *б* – зміна вихідної напруги

На цей раз рівняння, що описує передатну характеристику ІМС ОП:

$$\Delta U = U_i - U_n.$$

Спочатку на вхід, який інвертує, ІМС ОП подається вхідна напруга: -5 В. Напруга на виході дорівнює: $+U_{\text{НАС}} = +13$ В. В момент t_1 рівень вхідної напруги стрибком змінюється до $+5$ В. У відповідь вихідна напруга змінюється до значення : $-U_{\text{НАС}} = -13$ В.

В імпульсних пристроях ΔU часто є не дуже малим числом (порядку одиниць вольт).

В цьому випадку воно буде значно більше аніж наведені на рис. 2, 3:

$$\Delta U_1 \approx |\Delta U_2| = \frac{+U_{\text{нас}}}{K_{U, \text{ІМС ОП}}},$$

які є доволі малим числом через великі розміри коефіцієнту підсилення ІМС ОП. Саме за цієї причини, якщо подивитися на рис. 15 або 17, легко побачити, що з великою ймовірністю на виході ІМС ОП буде додатна або від’ємна напруга насичення: $+13$ В/ -13 В.

2.3. Схема 3. Підсилювач на базі ІМС ОП, який інвертує

Нижче наведено схему підсилювача на базі ІМС ОП, який інвертує. Схему зібрано у середовищі MicroCap: *opamInvert.cir* (рис.18).

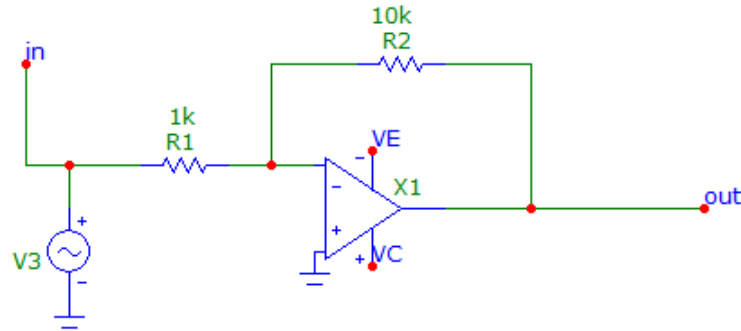


Рис. 18. Схема підсилювача на базі ІМС ОП, який інвертує

Параметри схеми:

X1 (Opamp):

1) Model = \$GENERIC;

VCC (Positive power supply):

2) Value = 15 [V];

VEE (Negative power supply):

3) Value = -15 [V];

VNS (Negative voltage swing):

4) Value = -13 [V];

VPS (Positive voltage swing):

5) Value = 13 [V];

6) K = <номер бригади>

(K – коефіцієнт підсилення – не встановлюється безпосередньо як параметр ІМС ОП, але впливає на роботу схеми)

В даному випадку нехай K=10;

R1 (Resistor):

7) Value = <Розрахувати в залежності від K. Див. формулу 28 > [Om];

Приклад: K = 10 → Припустимо R1 = 1K [Om];

R2 (Resistor):

8) Value = <Розрахувати в залежності від K. Див. формулу 28 > [Om];

Приклад: K = 10 (для варіанту №10), R1 = 1K [Om] → R2 = 10K [Om]

(у K = 10 разів більше аніж R1, за формулою 28).

V5 (Sine Source):

9) A = <Аналогічно розрахувати в залежності від K і необхідного режиму роботи> [V];

Приклад:

1) $K = 10$ (для варіанту №10), необхідний режим роботи – активний (не насичений), $U_{\text{нас}} = \sim \pm 13 \text{ [V]} \rightarrow A = 1 \text{ [V]}$;

2) $K = 10$ (для варіанту №10), необхідний режим роботи – насичений, $U_{\text{нас}} = \sim \pm 13 \text{ [V]} \rightarrow A = 10 \text{ [V]}$ (достатня, щоб після підсилення напруга перевищила значення напруги насичення).

Результат досліду

Нижче на рис. 19 наведено часові діаграми роботи схеми, яку зображено на рис.18, при не насиченому режимі роботи ОП.

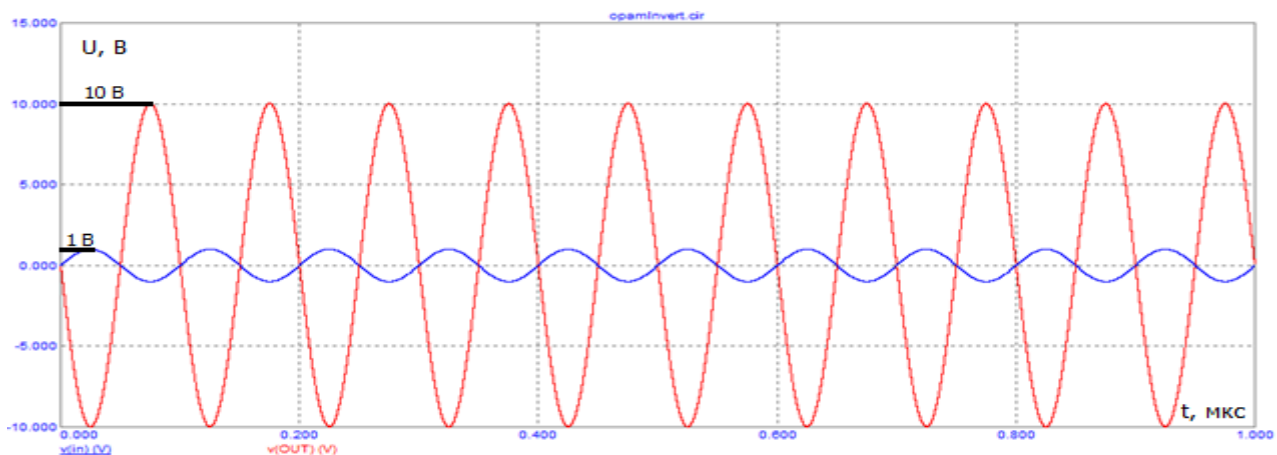


Рис 19. Часові діаграми роботи схеми, яку наведено на рис. 18, при не насиченому режимі роботи ОП

На рис. 19 бачимо різницю між амплітудами вхідної та вихідної напруг при не насиченому режимі роботи ОП. Амплітуда вихідної напруги збільшилася в 10 разів, оскільки відношення опорів резисторів R2 та R1 дорівнює 10. Це і є коефіцієнт підсилення. Також варто відмітити, що фаза вихідного сигналу протилежна фазі вхідного сигналу.

Нижче на рис. 20 наведено часові діаграми роботи схеми, яку наведено на рис. 18, при насиченому режимі роботи ОП.

Як видно, у результаті підсилення вхідної напруги, амплітуда якої дорівнює 10В, вихідна напруга: $U_{\text{вих}} = U_{\text{вх}} \cdot K = 10\text{В} \cdot 10 = 100\text{В}$ перевищила напругу насичення $U_{\text{нас}} = \pm 13\text{В}$ і була «обрізана», що видно за прямокутною формою вихідних імпульсів.

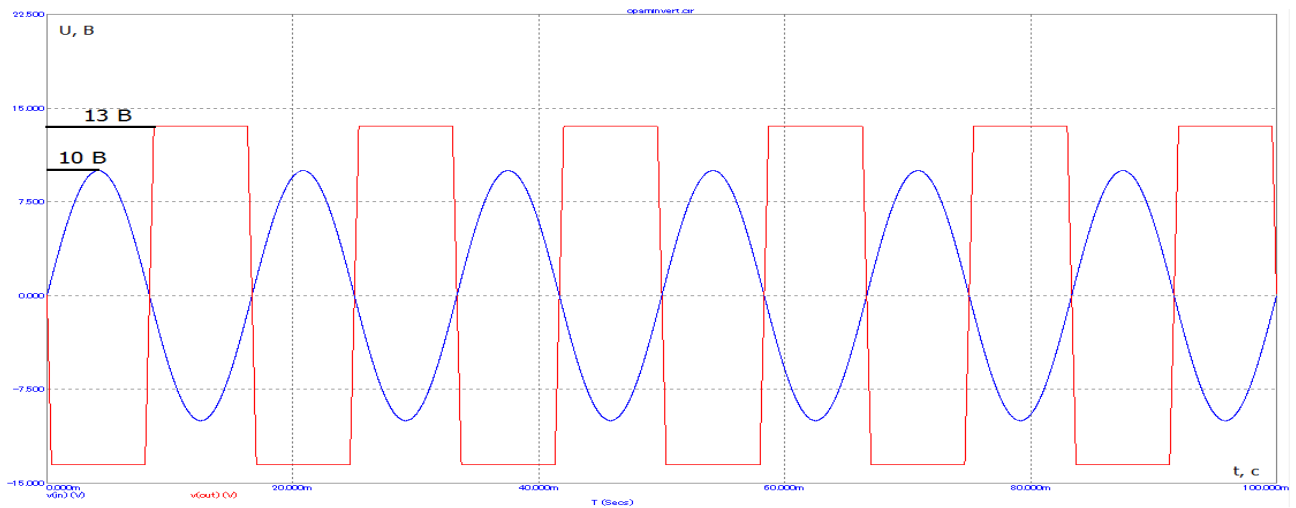


Рис. 20. Часові діаграми роботи схеми, яку наведено на рис. 18, при насиченому режимі роботи ІМС ОП

Для такої картини достатньо збільшити значення вхідної напруги вище 1,3В, щоб після підсилення у К разів вихідна напруга стала більшою за $U_{нас} = 13В$.

2.4. Схема 4. Підсилювач на базі ІМС ОП, який не інвертує

Нижче наведено схему підсилювача на базі ІМС ОП, який не інвертує. Схему зібрано у середовищі MicroCap: *oramNoinvert.cir* (рис. 21).

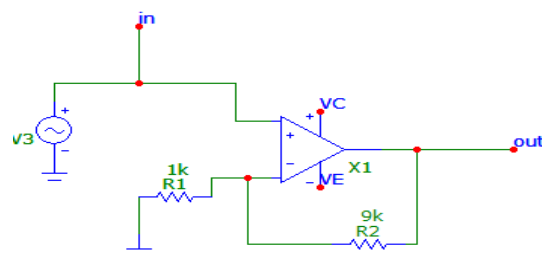


Рис. 21. Схема підсилювача на базі ОП, який не інвертує

Параметри схеми:

X1 (Opamp) :

1) Model = \$GENERIC;

VCC (Positive power supply) :

2) Value = 15 [V];

VEE (Negative power supply) :

3) Value = -15 [V];

VNS (Negative voltage swing):

4) Value = -13 [V];

VPS (Positive voltage swing):

5) Value = 13 [V];

6) K (коефіцієнт підсилювання): $K = \langle \text{номер бригади} \rangle [1]$; в даному випадку $K = 10$ (для варіанту №10); R1 (Resistor): Value = $\langle \text{Розрахувати в залежності від } K \rangle [\text{Om}]$; Приклад: $K = 10 \rightarrow R1 = 1\text{K} [\text{Om}]$; R2 (Resistor): Value = $\langle \text{Розрахувати в залежності від } K \rangle [\text{Om}]$; Приклад: $K = 10, R1 = 1\text{K} [\text{Om}] \rightarrow R2 = 9\text{K} [\text{Om}]$ (у 9 разів більше R1, за формулою 14);

7) V5 (Sine Source): A = $\langle \text{Розрахувати в залежності від } K \text{ і необхідного режиму роботи} \rangle [V]$; Приклад 1: $K = 10$, необхідний режим роботи – активний (не насичений), $U_{\text{нас}} = \sim \pm 13 [V] \rightarrow A = 1 [V]$; Приклад 2: $K = 10$, необхідний режим роботи – насичений, $U_{\text{нас}} = \sim \pm 13 [V] \rightarrow A = 10 [V]$.

Результат дослідів

Нижче на рис. 22 наведено часові діаграми роботи схеми, яку зображено на рис. 21, при не насиченому режимі роботи ІМС ОП.

Вихідна напруга збільшилася, не досягнула значення напруги насичення та не була «обрізнана».

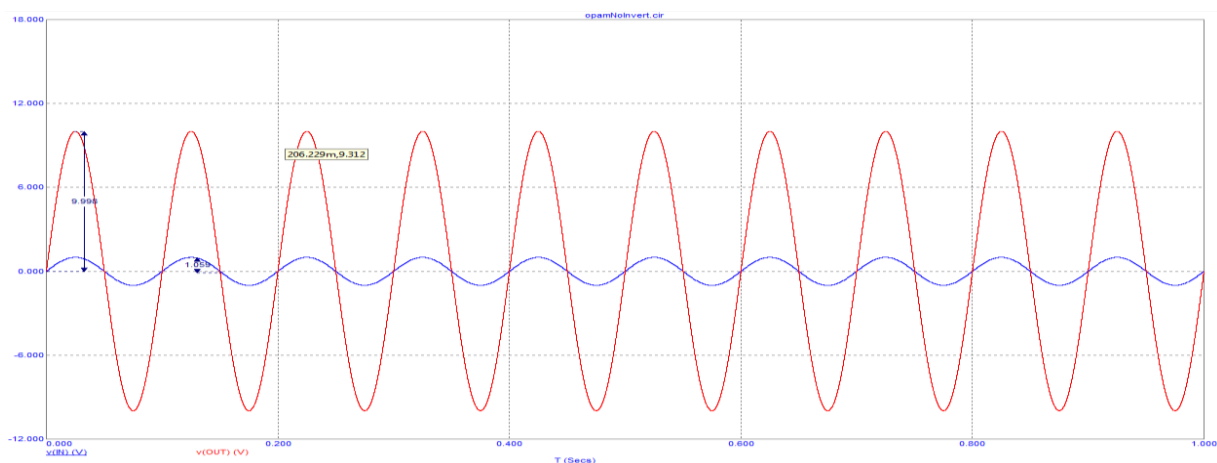


Рис. 22. Часові діаграми роботи схеми, яку наведено на рис. 21, при не насиченому режимі роботи ІМС ОП

Вихідний сигнал схеми синфазний до вхідного.

$$\text{Коефіцієнт підсилення } K = \left(\frac{R_2}{R_1} + 1 \right) = \frac{9\text{K}}{1\text{K}} + 1 = 10.$$

Нижче на рис. 23 наведено часові діаграми роботи схеми, яку зображено на рис. 21, при насиченому режимі роботи ОП.

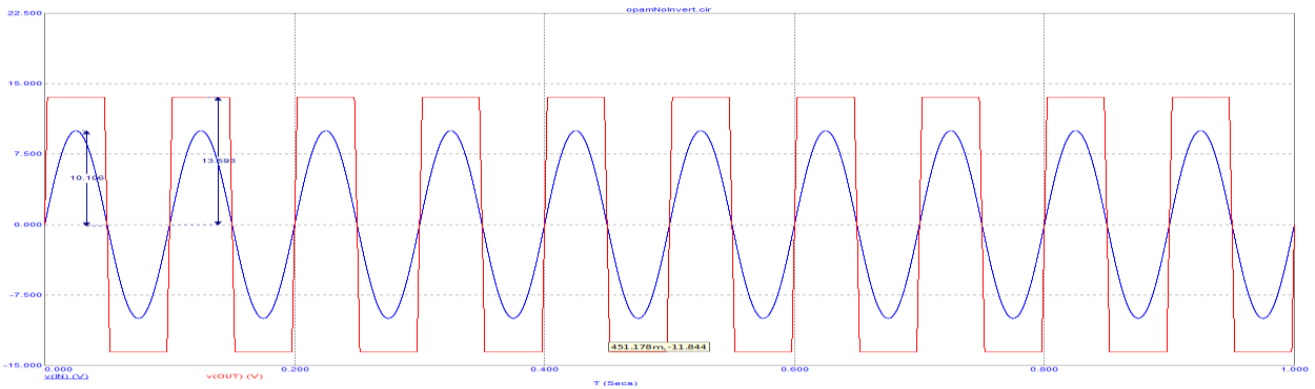


Рис. 23. Часові діаграми роботи схеми, яку наведено на рис. 23, при насиченому режимі роботи ІМС ОП

Як видно, у результаті підсилення вихідна напруга перевищила напругу насичення і була «обрізана», що видно за прямокутною формою імпульсів. Для такої картини достатньо збільшити значення вхідної напруги вище 10В, щоб після підсилення у К разів вихідна напруга стала більшою за $U_{нас} = 13В$.

2.5. Схема 5. Диференціюючий ланцюг на базі ІМС ОП

Диференціюючий ланцюг (ДЛ) здійснює диференціювання вхідних сигналів і призначений для формування на виході коротких імпульсів, відповідних фронту і зрізу більш довгих вхідних імпульсів. ДЛ виконує фіксацію моментів фронту і зрізу імпульсів, що надходять на його вхід.

Диференціюючі ланцюги виконуються з використанням або лише пасивних елементів (пасивні ДЛ), або з використанням пасивних та активних елементів (активні ДЛ). В якості частотно-залежних елементів в них можуть використовуватися конденсатори або індуктивності. Нижче будуть розглянуті ДЛ з використанням конденсаторів.

В якості активного елементу диференціюючих ланцюгів широко використовуються ІМС ОП.

Нижче наведено схему активного диференціюючого ланцюга, яку зібрано у середовищі MicroCap: *opamDifZvon.cir* (рис. 24).

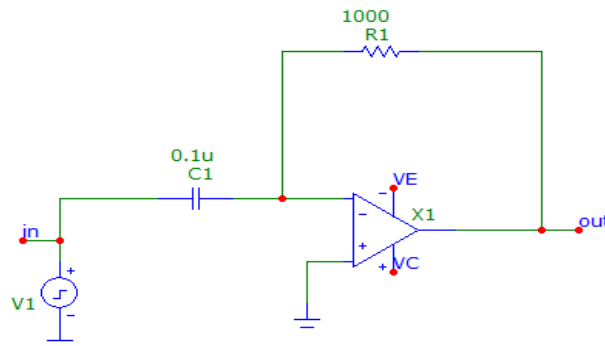


Рис. 24. Схема активного диференціюючого ланцюга

Параметри схеми:

- 1) X1 (Opamp): Model = \$GENERIC; VCC (Positive power supply): Value = 12 [V]; VEE (Negative power supply): Value = -12 [V]; VNS (Negative voltage swing): Value = -11 [V]; VPS (Positive voltage swing): Value = 11 [V];
- 2) V1 (Pulse Source): Model = PULSE; One level: Value = 5 [V], Zero level (VZERO): Value = 0 [V]; Time delay to leading edge (P1): Value = 0,001; Time delay to one level (P2): Value = 0,001, Time delay to trailing edge (P3): Value = 0,005; Time delay to zero level (P4): Value = 0,005; Repetition period (P5): Value = 0,01;
- 3) C1 (Capacity): Value = 0,1u [F];
- 4) R1 (Resistor): Value = 1000 [Om].

На рис. 25 наведено часову діаграму роботи схеми, яку зображено на рис. 24.

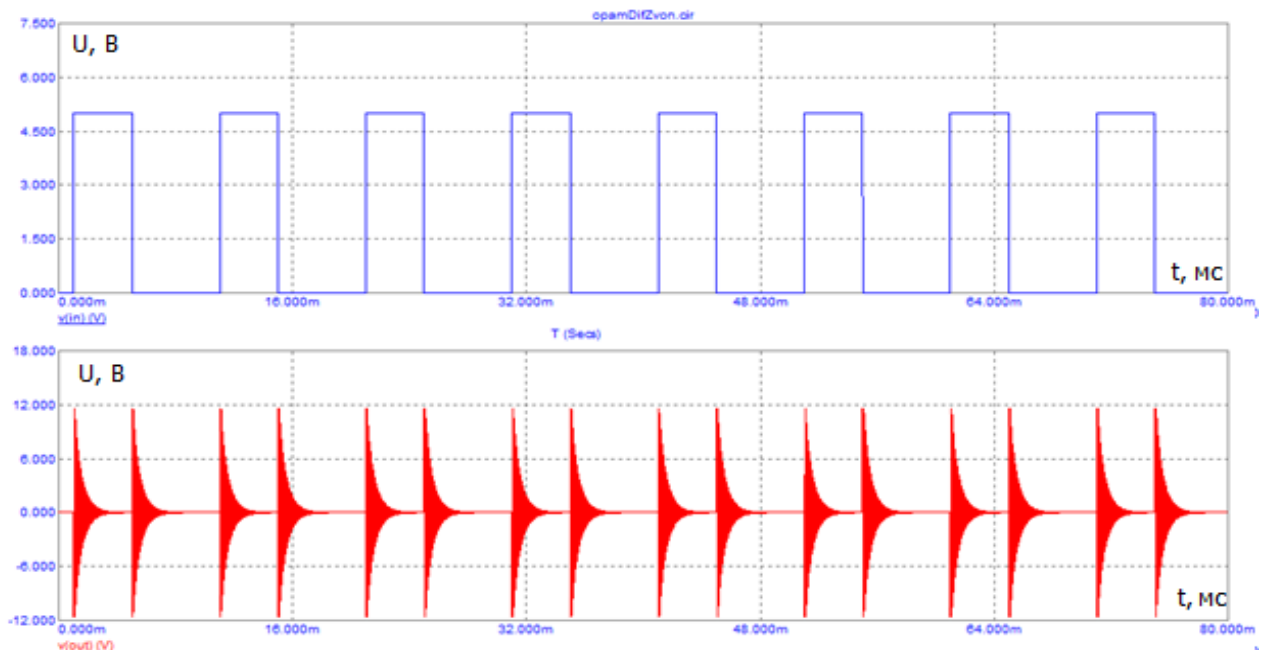


Рис. 25. Часова діаграма роботи активного ДЛ

Як видно з рис. 25, вихідний сигнал має не тільки стрибок, що співпадає за часом зі зміною вхідного сигналу, але і коливання високої частоти. Це пояснюється тим, що вихідний сигнал, який за зворотним зв'язком повертається на вхід операційного підсилювача, збігається за фазою з вхідним сигналом. Збіг за фазою вхідного і вихідного сигналів виходить через зміщення на π за рахунок використання інверсного входу ІМС ОП (від'ємного зворотного зв'язку) та зміщення на π за рахунок фазо-частотної характеристики самої схеми ІМС ОП (за високих частотах утворюється транзисторами всередині ІМС ОП). Таким чином у сумі отримуємо 2π , або 0 , що еквівалентно схемі з додатним зворотним зв'язком. Через це характеристика супроводжуватиметься «дзвоном». Даній неприємності

можна уникнути, використавши модифікований активний диференціюючий ланцюг [1].

Нижче наведено схему модифікованого диференціюючого ланцюга, яку зібрано у середовищі MicroCap: *opamDifId.cir* (рис. 26).

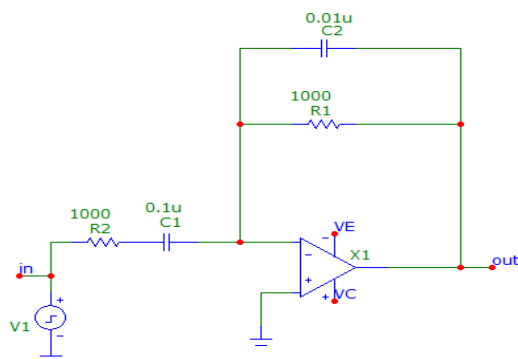


Рис. 26. Схема модифікованого активного диференціюючого ланцюга

Подібна модифікована схема виключає появу коливань високої частоти («дзвону») на виході схеми. Додаткова ємність в ланцюзі зворотного зв'язку зміщує за фазою зворотний сигнал на деякий додатковий кут відносно вхідного сигналу. У результаті на виході ми маємо майже ідеальне диференціювання вхідного сигналу. Ємність конденсатора зворотного зв'язку вибирається на порядок менше ємності на вході.

На рис. 27 наведено часову діаграму роботи схеми, яку представлено на рис. 26.

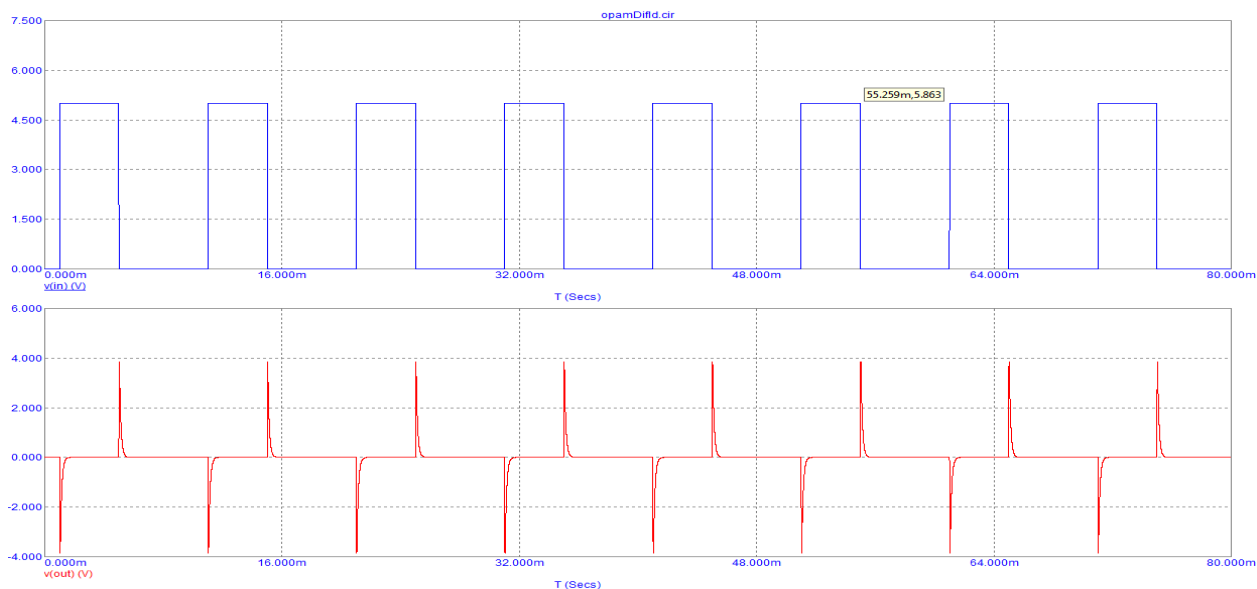


Рис. 27. Часова діаграма роботи модифікованого активного диференціюючого ланцюга

Як видно з цієї часової діаграми, на виході з'являються по два коротких різнополярні імпульси, які за часом відповідають передньому та задньому фронту вхідних імпульсів. У цьому разі додатному фронту вхідного імпульсу відповідає

короткий від'ємний вихідний імпульс, а від'ємному фронту вхідного імпульсу – короткий додатний вихідний імпульс. Зміна знаку вихідних імпульсів відносно знаку переднього та заднього фронтів вхідних імпульсів пояснюється тим, що в схемі використовується вхід ІМС ОП, який інвертує.

2.6. Схема 6. Інтегруючий ланцюг на базі ІМС ОП

Інтегруючий ланцюг (ІЛ) являє собою лінійний чотирьохполюсник, вихідний сигнал якого змінюється пропорційно інтегралу вхідного сигналу, тобто

$$U_{\text{вих}} = k \cdot \int_0^t U_{\text{вх}} dt$$

Інтегруючі ланцюги використовуються в схемах формування пилкоподібної напруги; виділення постійної складової вхідної імпульсної послідовності; селекції імпульсів за тривалістю і т. ін. В якості активного елементу активних інтегруючих ланцюгів широко використовуються ІМС ОП.

Нижче наведено схему активного інтегруючого ланцюга, яку зібрано у середовищі MicroCap: *opamIntZero.cir* (рис. 28).

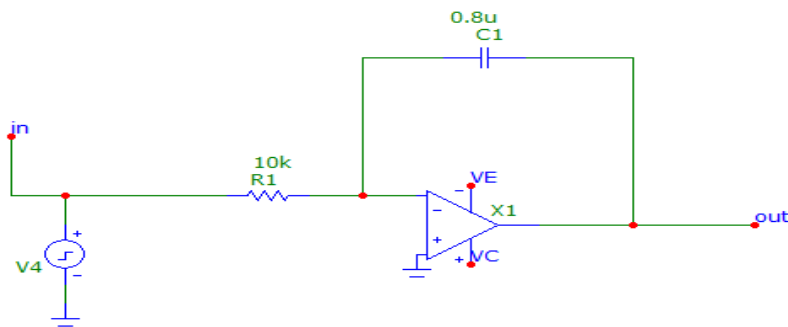


Рис. 28. Схема активного інтегруючого ланцюга

Параметри схеми:

- 1) X1 (Opamp): Model = \$GENERIC; VCC (Positive power supply): Value = 12 [V]; VEE (Negative power supply): Value = -12 [V]; VNS (Negative voltage swing): Value = -11 [V]; VPS (Positive voltage swing) Value = 11 [V];
- 2) C1 (Capacity): Value = 0.8u [F];
- 3) R1 (Resistor): Value = 10k [Om];
- 4) V4 (Pulse Source): Model = PULSE; One level (VONE): Value = 5 [V]; Zero level (VZERO): Value = 0 [V]; Time delay to leading edge (P1): Value = 0 [Sec]; Time delay to one level (P2): Value = 0 [Sec] Time delay to trailing edge (P3): Value = 1m [Sec]; Time delay to zero level (P4): Value = 1m [Sec]; Repetition period (P5): Value = 2m [Sec].

Для побудови сімейства часових діаграм під час запуску аналізу слід натиснути «Stepping...», та задати значення для крокування R1: початкове

значення, кінцеве та крок. Слід враховувати, що під час побудови характеристик Мігросар спочатку будує кожну, а вже потім робить перевірку чи не перевищує поточне значення задане кінцеве і зупиняє роботу, якщо так. Таким чином, якщо ви хочете вивести, наприклад, три характеристики, то значення мають бути на кшталт: From = 1500, To = 3500, Step = 1000.

Тоді Мігросар виведе характеристики для значень R1: 1500, 2500 та 3500. На рис. 29 і 30 задано саме такі значення. Для кожної ламаної характеристики стала часу $\tau = R \cdot C$:

$$\tau_1 = 1500 \cdot 0,8\mu = 0,0012 \text{ мс},$$

$$\tau_2 = 2500 \cdot 0,8\mu = 0,002 \text{ мс},$$

$$\tau_3 = 3500 \cdot 0,8\mu = 0,0028 \text{ мс}.$$

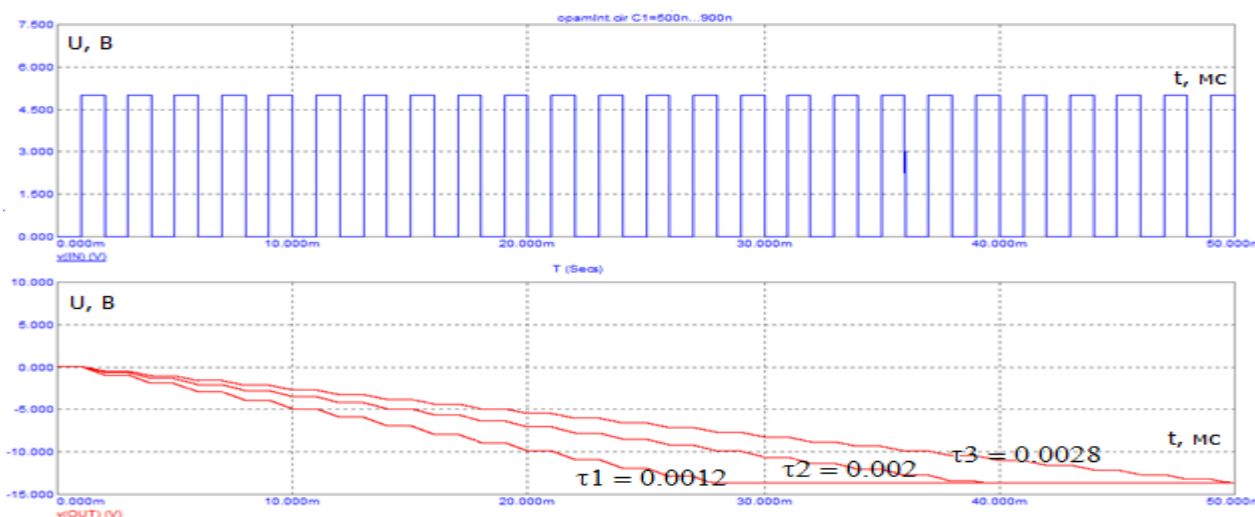


Рис. 29. Сімейство часових діаграм роботи активного ІЛ у разі зміни R1 (живлення операційного підсилювача увімкнене одночасно з подачею вхідної напруги)

Вище представлено ряд вихідних характеристик, відмінність яких одна від одної обумовлена різними значеннями сталої часу τ . Найменший кут нахилу вихідної характеристики до вісі часу відповідає найбільшому значенню опору резистора R1.

Вихідна напруга змінюється від нуля до $-U_{\text{НАС}} = -13 \text{ В}$. Під час кожного вхідного імпульсу, амплітудою $U_m = 5 \text{ В}$, вихідна напруга зменшується лінійно згідно з формулою $U_{\text{вих}} = -\frac{U_m \cdot t}{RC}$. Під час кожної паузи вхідних імпульсів вихідна напруга не змінюється. Таким чином схема реагує на постійну складову вхідної імпульсної послідовності $U_{\text{сер}} = U_0$, яка має додатний знак та подається на вхід ІМС ОП, який інвертує.

За рахунок $U_{\text{сер}}$ вихідна напруга поступово зменшується до рівня: $-U_{\text{НАС}} = -13\text{В}$.

Розглянутий випадок (рис. 29) відповідає одночасному підключенню живлення ІМС ОП і вхідної напруги.

Якщо живлення ІМС ОП підключити раніше, ніж подати вхідну напругу, то в початковий момент часу вихідна напруга буде дорівнювати: $+U_{нас}$, а потім під дією вхідного сигналу буде змінюватися до $-U_{нас}$ (орамInt.cir, рис.30).

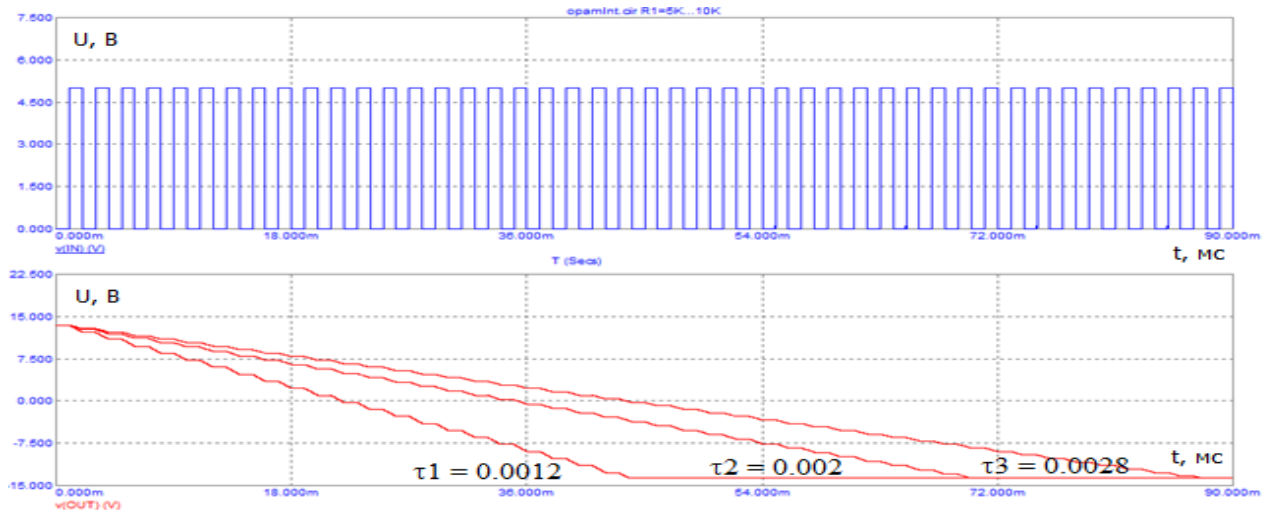


Рис. 30. Сімейство часових діаграм роботи активного ІЛ у разі зміни R1 (живлення ІМС ОП увімкнене раніше, ніж подана вхідна напруга)

Для того щоб отримати такий результат, слід зайти у параметри V4 та додати туди невелику затримку, змінивши значення на: $P1 = 1m$, $P2 = 1m$, $P3 = 2m$, $P4 = 2m$, $P5 = 2m$.

3. Порядок виконання роботи

- 1) Схема 1. Випробування розімкненого ОП:
 - а) Зняти та проаналізувати часові діаграми роботи розімкненого ІМС ОП. Приклад діаграм наведено на рис. 16, 17.
- 2) Схема 2. Дослідження підсилювача на базі ІМС ОП, який інвертує:
 - а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при не насиченому режимі роботи ІМС ОП. Приклад характеристик наведено на рис. 19;
 - б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при насиченому режимі роботи ІМС ОП. Приклад характеристик наведено на рис. 20.
- 3) Схема 3. Дослідження підсилювача на базі ІМС ОП, який не інвертує:
 - а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при не насиченому режимі роботи ІМС ОП. Приклад характеристик наведено на рис. 22;

- б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу при насиченому режимі роботи ІМС ОП. Приклад характеристик наведено на рис. 23.
- 4) Схема 4. Дослідження диференціюючого ланцюга на базі ІМС ОП:
- а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу. Приклад характеристик наведено на рис. 25;
- б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для модифікованого ДЛ з попередженням дзвону. Приклад характеристик наведено на рис. 27.
- 5) Схема 5. Дослідження інтегруючої ланки на базі ІМС ОП:
- а) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для випадку одночасно поданих живлення на ІМС ОП та вхідного сигналу. Приклад характеристик наведено на рис. 29;
- б) зняти та проаналізувати залежність вхідної/вихідної напруг від часу для випадку подачі живлення на ІМС ОП раніше вхідного сигналу. Приклад характеристик наведено на рис. 30.

4. Контрольні питання

1. Дайте визначення операційному підсилювачу та опишіть його основні параметри.
2. Наведіть умовне позначення ІМС ОП на електричних схемах.
3. Наведіть та поясніть структуру ІМС ОП.
4. Як підключаються джерела живлення до ІМС ОП?
5. Наведіть та поясніть передатну характеристику ІМС ОП.
6. Назвіть та опишіть типи ОП, які визначають їх практичне застосування.
7. Які властивості має ОП, який охоплений від'ємним ЗЗ?
8. Поясніть схему, основні параметри підсилювача, який інвертує, на основі ІМС ОП.
9. Поясніть схему, основні параметри підсилювача, який не інвертує, на основі ІМС ОП.
10. Наведіть та поясніть схеми повторювачів на основі ІМС ОП.
11. Поясніть схему, основні параметри диференціатора та інтегратора на основі ІМС ОП.
12. Вивести формули для обчислення коефіцієнта підсилення інвертуючого та неінвертуючого ОП.
13. Чому вихідний сигнал активного диференціюючого ланцюга має високочастотний «дзвін»?
14. Поясніть форму вихідного сигналу активного інтегруючого ланцюга під час подачі на його вхід послідовності прямокутних імпульсів.

ЛАБОРАТОРНА РОБОТА №3

Тема: Діодні та транзисторні ключі.

Мета: Дослідити принцип дії, основні властивості та характеристики діодних та транзисторних ключів (ДК та ТК). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Діодні ключі

1.1.1. Загальна характеристика діодних ключів

Комутуюча дія діодних ключів (ДКЛ) основана на використанні нелінійних (вентильних) властивостей діодів. Для побудови діодних ключів використовують напівпровідникові діоди, що мають у прямому напрямку дуже малий опір ($R_{VD.ПР} \approx 0$), а в зворотному – дуже великий ($R_{VD.ЗВР} \rightarrow \infty$). В залежності від способу включення діода відносно опору навантаження діодні ключі поділяють на послідовні і паралельні.

1.1.2. Послідовні ДКЛ

1.1.2.1. Аналіз роботи послідовних ДКЛ

В схемі послідовного ДКЛ (рис. 1, а) опір навантаження включено послідовно з діодом.

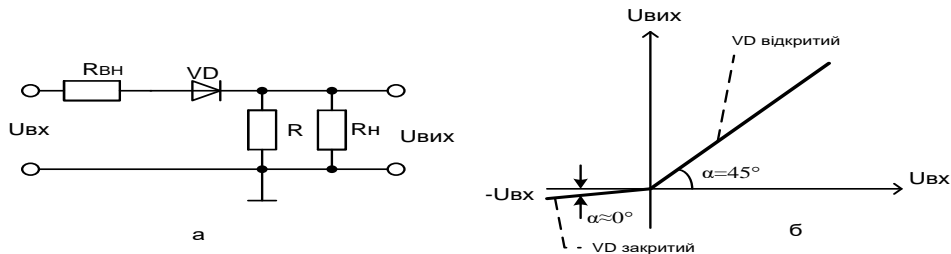


Рис. 1. Послідовний ДКЛ:

а – схема послідовного ДКЛ; б – передатна характеристика

Під час подачі на вхід ключа додатної вхідної напруги діод відкривається і, якщо знехтувати малим падінням напруги на відкритому діоді, напруга на виході стане рівною напрузі на вході. У разі дії на вході ключа від'ємної вхідної напруги діод закривається і напруга на виході близька до нуля (рис. 1, б).

Будемо вважати, що прямий опір діода $R_{VD.ПР} \approx 0$; зворотний опір діода $R_{VD.ЗВР} \approx \infty$; опір навантаження $R_H \approx \infty$, а внутрішній опір джерела вхідного сигналу $R_{ВН} = 0$. Тоді схема ДКЛ буде матиме вигляд, який наведено на рис. 2.

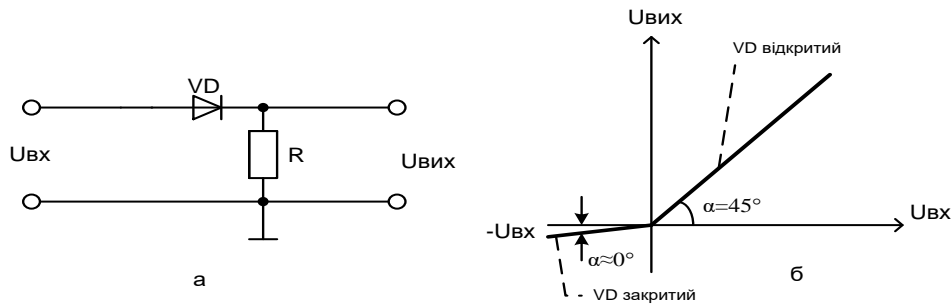


Рис. 2. Схема послідовного ДКЛ

Вихідна напруга зв'язана з вхідною як:

$$U_{\text{ВИХ}} = U_{\text{ВХ}} \cdot \frac{R}{R + R_{\text{VD}}} = U_{\text{ВХ}} \cdot \frac{1}{1 + \frac{R_{\text{VD}}}{R}}, \quad (1)$$

де

$$\frac{1}{1 + \frac{R_{\text{VD}}}{R}} = \text{tg} \alpha; \alpha = \text{arctg} \frac{1}{1 + \frac{R_{\text{VD}}}{R}}.$$

Значення кута нахилу передатної характеристики ключа до осі абсцис – α , залежить від стану діода.

Якщо VD – відкритий, то його опір $R_{\text{VD.ПР}} = 0$, $\text{tg} \alpha = 1$, а $\alpha = 45^\circ$.

Якщо VD – закритий, то його опір $R_{\text{VD.ЗБР}} \rightarrow \infty$, $\text{tg} \alpha = 0$, а $\alpha = 0^\circ$.

Якщо змінити полярність включення діода (рис. 3, а), то графік функції $U_{\text{ВИХ}} = f(U_{\text{ВХ}})$ повернеться на 180° (рис. 3, б).

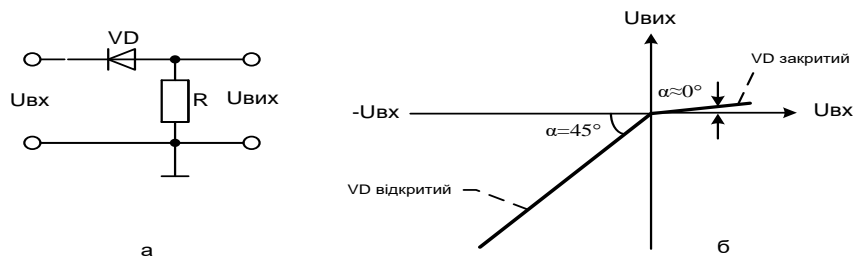


Рис. 3. Послідовний ДКЛ: а – схема ключа; б – передатна характеристика

Вхідна напруга, за якою ключ відкривається, називається пороговою $U_{\text{ПОР}}$. В розглянутих вище схемах ця напруга дорівнює нулю.

Для зміни нульового порога спрацьовування в схему вводять додаткове джерело напруги зсуву $E_{\text{ЗС}}$ (рис. 4).

Величина і полярність включення цієї напруги визначають моменти відкривання діода, а, отже, вид передатної характеристики ключа.

На рис. 4 приведено різні варіанти включення діода та $E_{\text{ЗС}}$ в схемах послідовних діодних ключів та їх передатні характеристики.

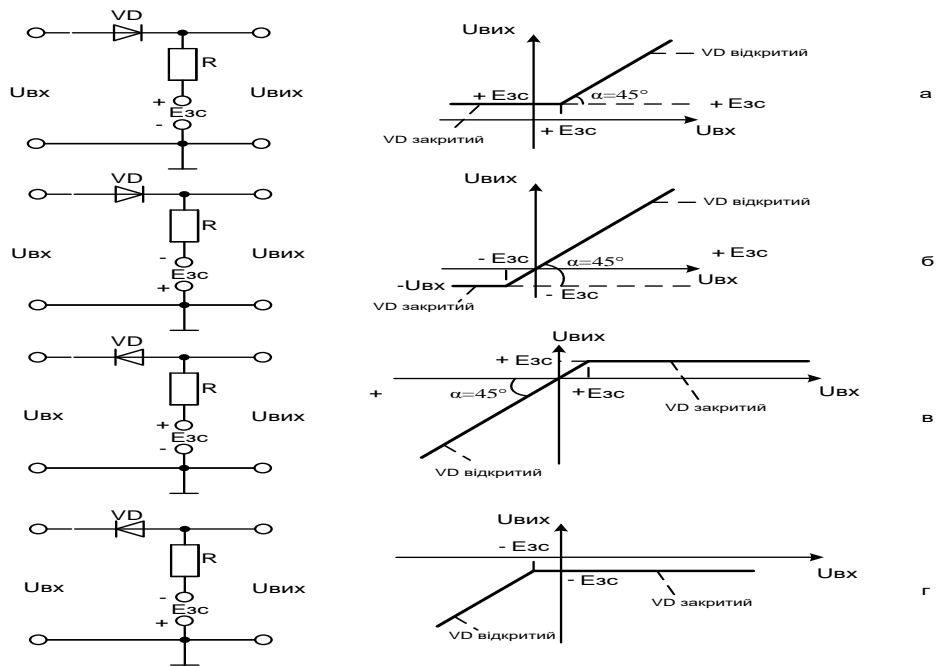


Рис. 4. Схеми послідовних ДКЛ та їх передатні характеристики

Для правильної роботи цих схем потрібно щоб виконувалися умови:

$$R \gg R_{VD.ПР} ; R_H \gg R; R_{VD.ЗБР} \gg R; R_{ВН.ВХ} \approx 0; R_{ВН.ЗС} \approx 0.$$

Розглянемо, як приклад, роботу схеми, яку наведено на рис. 4, в.

Коли вхідна напруга від'ємна, діод відкритий, тому що на його аноді напруга додатна, а на катоді – від'ємна. Падіння напруги на відкритому ідеальному діоді дорівнює нулю. Тому значення вихідної напруги дорівнює вхідній. Коли вхідна напруга стає додатною, але її значення менше значення: $+E_{зс}$, діод залишається відкритим та $U_{ВИХ} = U_{ВХ}$. Коли значення вхідної додатної напруги стає більше $+E_{зс}$ діод закривається, тому що потенціал катода стає більш додатним ніж потенціал анода. В цьому випадку $U_{ВИХ} = +E_{зс}$.

Для реального відкритого діоді на ньому буде падіння напруги в декілька десятих вольт, тому вихідна напруга буде менше вхідної на цю величину.

1.1.2.2. Оцінка впливу двох напруг на значення вихідної напруги

Розглянемо роботу послідовного ДКЛ, схему якого наведено на рис. 5.

Для оцінки спільного впливу напруг $U_{ВХ}$ і $E_{зс}$ на значення вихідної напруги скористаємося принципом *суперпозиції*, який застосовується при аналізі лінійних електронних ланцюгів. Хоча напівпровідниковий діод є нелінійним елементом, але в статичному режимі його може бути представлено активними опорами $R_{VD.ПР}$ і $R_{VD.ЗБР}$, що мають дуже мале $R_{VD.ПР} \approx 0$ (VD – відкритий) і дуже велике $R_{VD.ЗБР} \rightarrow \infty$ (VD – закритий) значення.

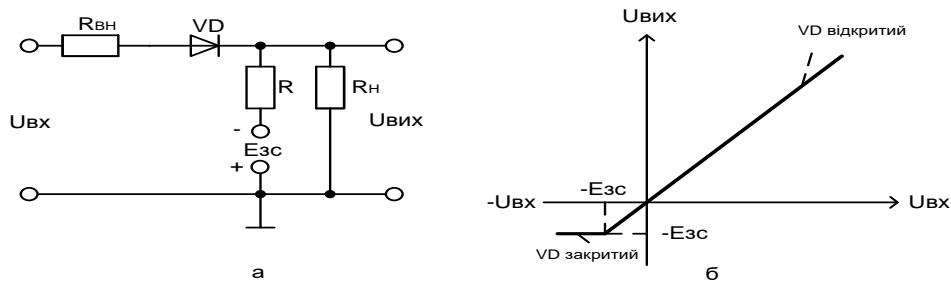


Рис. 5. Схема послідовного ДКЛ та його передатна характеристика

Відповідно до принципу суперпозиції, розглянемо спочатку роботу схеми за $U_{ВХ} \neq 0$, а $E_{ЗС} = 0$. Ключ можна замінити еквівалентною схемою (рис. 6).

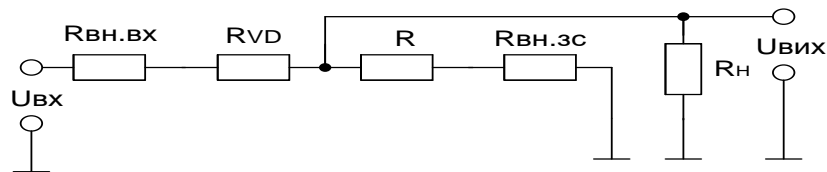


Рис. 6. Еквівалентна схема заміщення ключа за $U_{ВХ} \neq 0$, а $E_{ЗС} = 0$.

Вихідна напруга для даної схеми визначається співвідношенням

$$U_{ВІХ} = U_{ВХ} \cdot \frac{R + R_{ВН.ЗС}}{R_{ВН.ВХ} + R_{ВД} + R + R_{ВН.ЗС}}. \quad (2)$$

У формулі відсутнє значення опору навантаження $R_{Н}$, тому що $R_{Н} \gg (R + R_{ВН.ЗС})$.

Якщо VD – відкритий, його опір $R_{ВД.ПР} \approx 0$.

У схемі повинна виконуватися нерівність:

$$R \gg R_{ВН.ВХ} + R_{ВД.ПР} + R_{ВН.ЗС}. \quad (3)$$

У цьому разі вихідна напруга приблизно дорівнює вхідній ($U_{ВІХ} \approx U_{ВХ}$).

Якщо VD – закритий, його опір $R_{ВД.ЗВР} \approx \infty$.

У схемі повинно виконуватися співвідношення

$$R \ll R_{ВД.ЗВР}. \quad (4)$$

У цьому випадку вихідна напруга $U_{ВІХ} \approx 0$.

Тепер припустимо, що $E_{ЗС} \neq 0$, а $U_{ВХ} = 0$. Відповідно до еквівалентної схеми ключа для цього випадку (рис. 7) вихідна напруга

$$U_{ВІХ} = -E_{ЗС} \cdot \frac{R_{ВД} + R_{ВН.ВХ}}{R + R_{ВН.ВХ} + R_{ВД} + R_{ВН.ЗС}}. \quad (5)$$

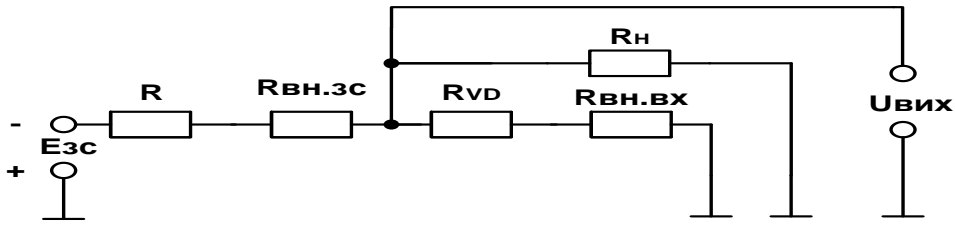


Рис. 7. Еквівалентна схема заміщення ДКЛ за $E_{зс} \neq 0$, а $U_{вх} = 0$

Якщо VD – відкритий, то з урахуванням виконання (3) $U_{вих} = 0$.

Якщо VD – закритий, то за умови виконання (4) $U_{вих} = -E_{зс}$.

Під час спільного впливу $U_{вих}$ та $E_{зс}$ вихідна напруга дорівнює:

$$U_{вих} = U_{вх}, \text{ якщо VD – відкритий,}$$

$$U_{вх} = -E_{зс}, \text{ якщо VD – закритий.}$$

Отриманий результат підтверджує вид передатної характеристики розглянутого ключа (рис. 5, б).

Аналогічним способом можна визначити напругу на виході кожної зі схем, які представлено на рис. 4.

1.1.3. Паралельні діодні ключі

У схемі паралельного ДКЛ (рис. 8) опір навантаження включається паралельно з діодом.

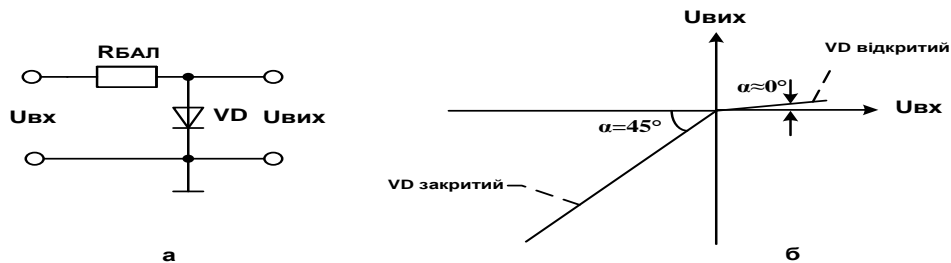


Рис. 8. Паралельний ДКЛ: а – схема ключа; б – передатна характеристика

Внутрішній опір джерела $R_{вн}$ і опір навантаження $R_{н}$ на рис. 8 не показано, тому що вважаємо, що $R_{н} \approx \infty; R_{вн} = 0$.

Під час подавання на вхід ключа додатної напруги ($U_{вх} > 0$) діод відкривається і отже напруга на виході близька до нуля.

Все збільшення вхідної напруги, що викликає зміну струму у вхідному ланцюзі, падає на баластному опорі $R_{бал}$. Під час надходження від'ємної вхідної напруги ($U_{вх} < 0$) діод закривається і напруга на виході стає рівною напрузі на вході (рис. 8, б).

Вихідна напруга ключа зв'язана з вхідною залежністю:

$$U_{\text{Вих}} = U_{\text{Вх}} \cdot \frac{R_{\text{VD}}}{R + R_{\text{VD}}} = U_{\text{Вх}} \cdot \frac{1}{\frac{R}{R_{\text{VD}}} + 1}, \quad (6)$$

$$\frac{1}{\frac{R_{\text{БАЛ}}}{R_{\text{VD}}} + 1} = \text{tg} \alpha, \alpha = \text{arctg} \frac{1}{\frac{R_{\text{БАЛ}}}{R_{\text{VD}}} + 1}.$$

де

Значення α залежить від стану діода. Якщо VD – відкритий ($R_{\text{VD.ІР}} = 0$), то $\alpha = 0^\circ$. Якщо VD – закритий $R_{\text{VD.ЗВР}} = \infty$, $\text{tg} \alpha = 1$, а $\alpha = 45^\circ$.

У разі зміни полярності включення діода, графік функції $U_{\text{Вих}} = f(U_{\text{Вх}})$ повернеться на 180° (рис. 9).

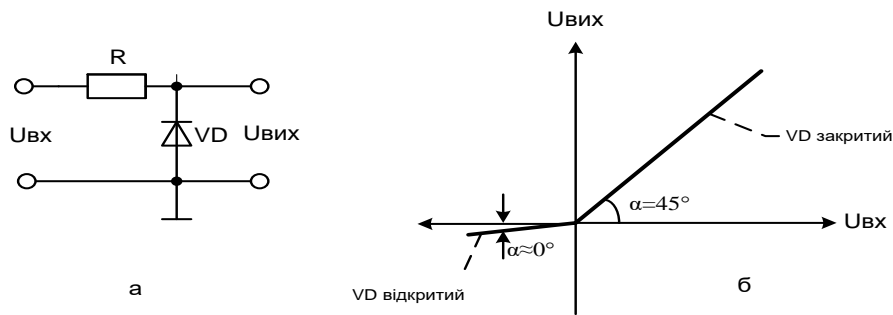


Рис. 9. Паралельний діодний ключ: а – схема ДК; б – передатна характеристика

У схемах паралельних ключів (рис. 8, 9) порогова напруга $U_{\text{ПОР}} = 0$. На рис. 10 показано різні варіанти включення діода і джерела зсуву $E_{\text{ЗС}}$, що змінює порогову напругу в паралельних ДКЛ, і їх передатні характеристики.

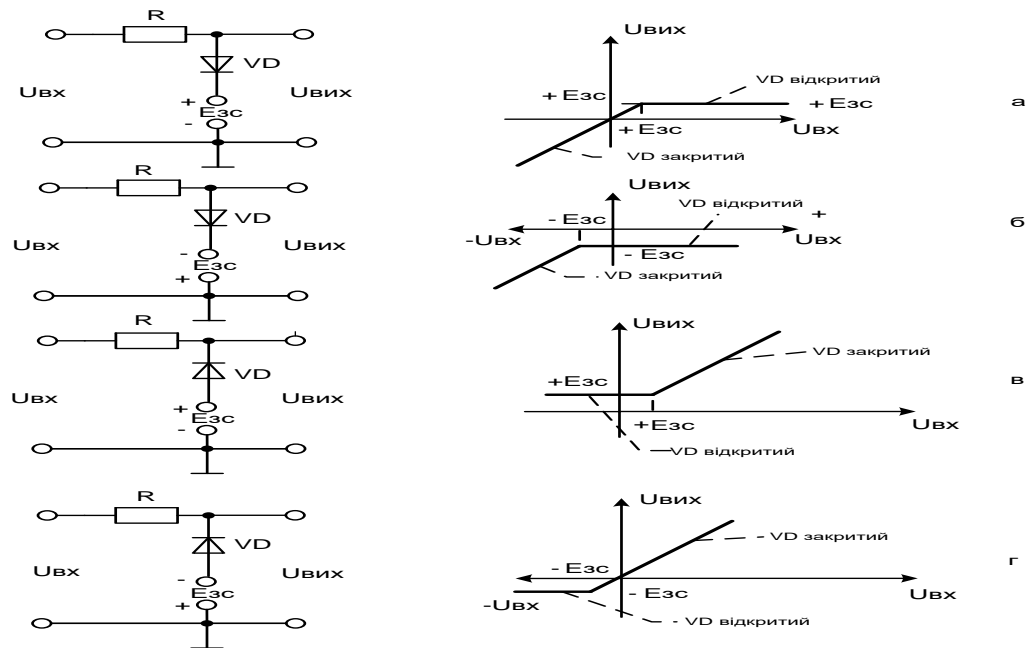


Рис. 10. Схеми паралельних ДКЛ та їх передатні характеристики

Для правильної роботи схем (рис. 10) повинно виконуватися наступне:

$$R_{\text{БАЛ}} \gg R_{\text{VD.ПР}}; R_{\text{Н}} \gg R_{\text{БАЛ}}; R_{\text{VD.ЗВР}} \gg R_{\text{БАЛ}}; R_{\text{ВН.ВХ}} \approx 0; R_{\text{ВН.ЗС}} \approx 0.$$

Вираз для визначення напруги на виході паралельних (рис. 10) можна одержати аналогічно прикладу, розглянутому вище під час аналізу послідовного діодного ключа.

1.1.4. Приклад застосування ДКЛ

Застосування послідовного ДКЛ (рис. 2, а) чи паралельного ДКЛ (рис. 9, а) ілюструє рис. 11.

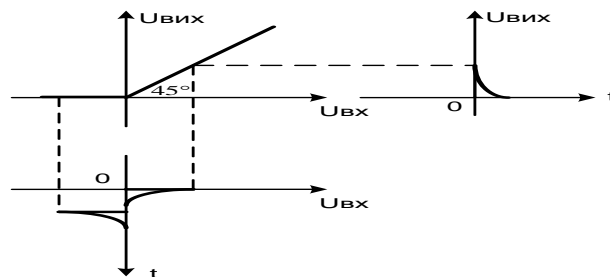


Рис. 11. Приклад застосування ДКЛ

Даний приклад показує одне з можливих застосувань діодного ключа – передачу в навантаження вхідного додатного імпульсу і блокування від’ємного.

Діодні ключі часто застосовуються в обмежувачах амплітуди імпульсів [1].

1.2. Транзисторні ключі

1.2.1. Загальна характеристика транзисторних ключів

Як електронні ключі в імпульсній техніці широко застосовуються транзисторні ключі (ТК) на біполярних і польових транзисторах. Дія транзисторних ключів основана на властивості транзистора мати малий опір в увімкненому стані і великий – у вимкненому. На відміну від транзисторів, які застосовуються в підсилювачах, транзистор у транзисторному ключі працює в *ключовому* режимі. Під час роботи схеми транзистор переходить з закритого стану (режим відсічення) у відкритий стан (режиму насичення) і навпаки. Транзистор встановлюється послідовно з комутуючою ділянкою електричного ланцюга (послідовні ТК), або паралельно йому (паралельні ТК).

1.2.2. Транзисторні ключі на біполярних транзисторах

1.2.2.1. Загальна характеристика транзисторних ключів на біполярних транзисторах

Основною схемою включення транзистора в ТК є схема зі спільним емітером (СЕ), яку зображено на рис. 12, а.

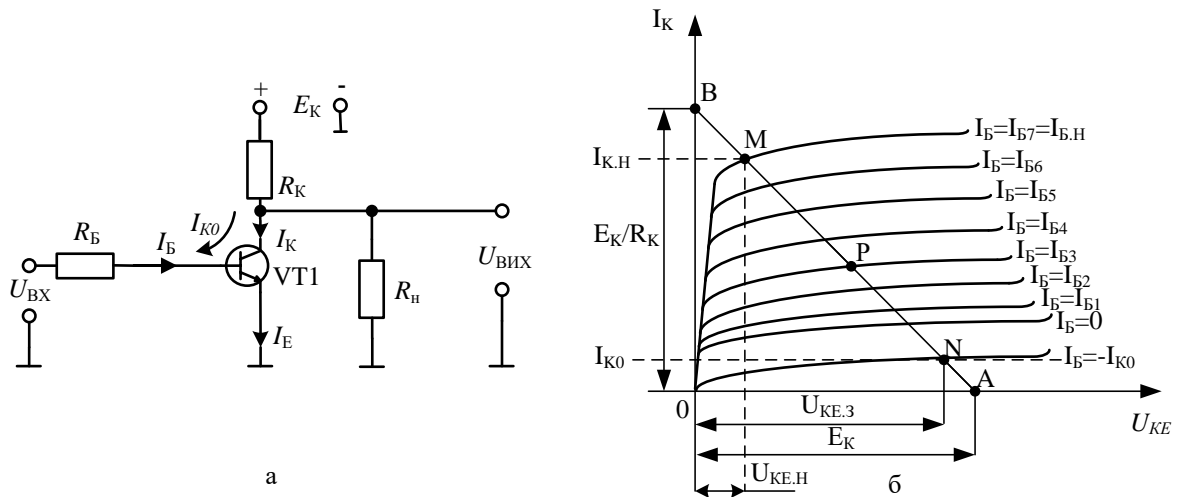


Рис. 12. ТК на біполярному транзисторі:

а – схема; б – вихідні ВАХ транзистора і динамічна характеристика

На рис. 12, б наведено статичні вихідні ВАХ транзистора і динамічна характеристика (навантажувальна пряма), що перетинає вісі координат у точках А ($U_{KE} = E_K, I_K = 0$) і В ($U_{KE} = 0, I_K = E_K/R_K$).

Під час аналізу роботи ТК розглядають статичний (стаціонарний) і динамічний (перехідний) режими.

Статичному режиму відповідають два стани ТК: вимкнутий (ключ закритий), увімкнутий (ключ відкритий). Перехідний режим полягає в переході схеми з одного статичного стану в інший.

1.2.2.2. Вимкнутий (закритий) стан транзистрального ключа

Якщо на вхід ТК, виконаного на n-p-n-транзисторі, подати від’ємний імпульс (рис. 13), то транзистор VT1 закритий і його робоча точка знаходиться в області відсічення.

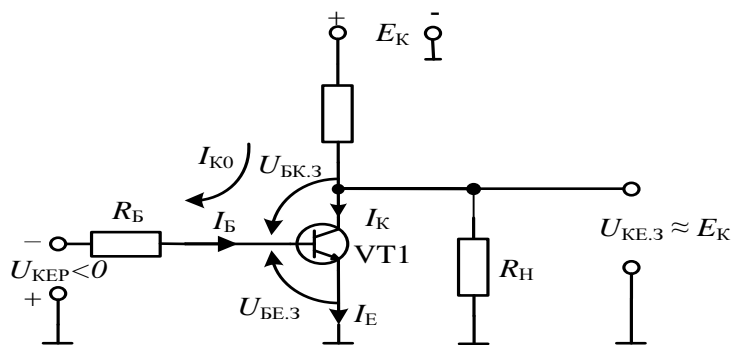


Рис. 13. Вимкнутий (закритий) стан ТК

Обидва переходи транзистора зміщені в зворотному напрямку і умова відсічення має вигляд

$$U_{BE.3} \leq 0, U_{BC.3} \leq 0. \quad (7)$$

Оскільки зсув колекторного переходу в зворотному напрямку забезпечується джерелом живлення $+E_K$, то умову (7) можна спростити:

$$U_{BE.3} \leq 0. \quad (8)$$

В режимі відсічення робоча точка транзистора знаходиться в точці N навантажувальної прямої (рис. 13, б). Через колекторний перехід проходить зворотний струм насичення (струм неосновних носіїв) I_{K0} . Струми транзистора зв'язані виразами:

$$I_K = I_{K0}, \quad I_B = -I_K, \quad I_E = I_K + I_B = 0.$$

Напруга на базі закритого транзистора

$$U_{BE.3} = -U_{KEP} + I_{K0} R_B. \quad (9)$$

Для виконання умови відсічення ключа (8) амплітуда вхідної керувальної напруги повинна відповідати виразу

$$|U_{KEP}| \geq I_{K0} R_B. \quad (10)$$

Напруга на виході закритого транзистора

$$U_{KE.3} = E_K - I_{K0} R_K \approx E_K. \quad (11)$$

1.2.2.3. Увімкнутий (відкритий) стан ключа

Якщо на вхід ключа подано додатний імпульс (рис. 14), то транзистор відкрито і його робоча точка знаходиться в області насичення.

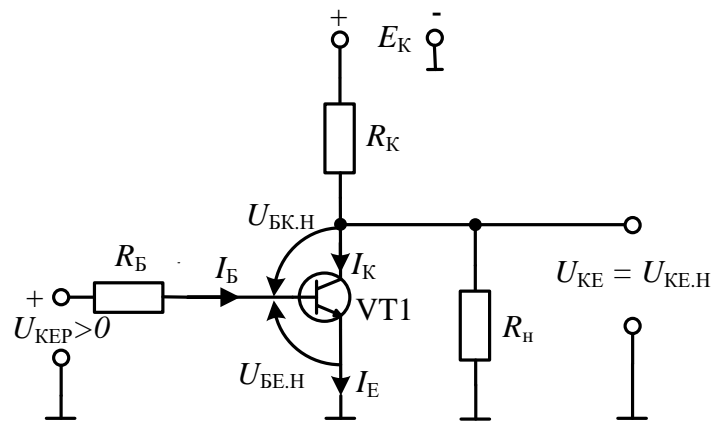


Рис. 14. Увімкнутий (відкритий) стан ключа

Обидва переходи транзистора відкрито, і умова насичення має вигляд

$$U_{BE.H} > 0, \quad U_{BC.H} > 0. \quad (12)$$

Величина струму бази, яку обумовлено вхідною додатною напругою, повинна відповідати нерівності

$$I_B \geq I_{B.H}, \quad (13)$$

де $I_{Б.Н}$ – значення струму бази, за якого робоча точка транзистора знаходиться на границі активної області й області насичення (точка M навантажувальної прямої (рис. 13, б)).

Величина базового струму насичення

$$I_{Б.Н} = \frac{I_{К.Н}}{\beta}, \quad (14)$$

де $I_{К.Н}$ – значення струму колектора, що відповідає границі області насичення; β – коефіцієнт передачі (підсилення) струму в схемі зі СЕ.

Значення струму колектора відкритого транзистора обмежено резистором R_K і визначається з формули

$$I_{К.Н} = (E_K - U_{КЕ.Н}) / R_K, \quad (15)$$

де $U_{КЕ.Н}$ – падіння напруги на відкритому транзисторі (вихідна напруга увімкненого ключа).

Як випливає з рис. 13, б, величина $U_{КЕ.Н}$ мала ($U_{КЕ.Н} \approx 0$).

Тому умову насичення можна записати у вигляді

$$I_{К.Н} = \frac{E_K}{R_K}, \quad (16)$$

$$I_B \geq I_{Б.Н} = \frac{I_{К.Н}}{\beta} = \frac{E_K}{R_K \beta}$$

Для надійного насичення транзистора необхідно, щоб умова (16) виконувалася за $\beta = \beta_{\min}$.

Для визначення положення робочої точки в області насичення введено коефіцієнт S , який визначає ступень насичення

$$S = \frac{I_K}{I_{К.Н}} = \frac{I_B}{I_{Б.Н}}. \quad (17)$$

Якщо робоча точка транзистора знаходиться в точці M навантажувальної прямої (рис. 13, б), то $I_B = I_{Б.Н}$, $S = 1$.

1.2.2.4. Перехідний (динамічний) режим роботи ключа

Перехідний режим виникає при вмиканні і вимиканні ключа і визначає його швидкодію.

Процес увімкнення ключа умовно можна розбити на *три етапи*: затримка фронту, формування фронту при відмиканні транзистора і накопичення надлишкового заряду в базі транзистора.

Затримка фронту вихідної напруги ключа відносно моменту надходження вхідного вмикаючого імпульсу зв'язана з перезарядом бар'єрних емностей транзистора C_K і C_E . Величина часу затримки невелика і під час аналізу процесу увімкнення ключа її можна не враховувати.

Розглянемо часові діаграми роботи ТК, які наведено на рис. 15.

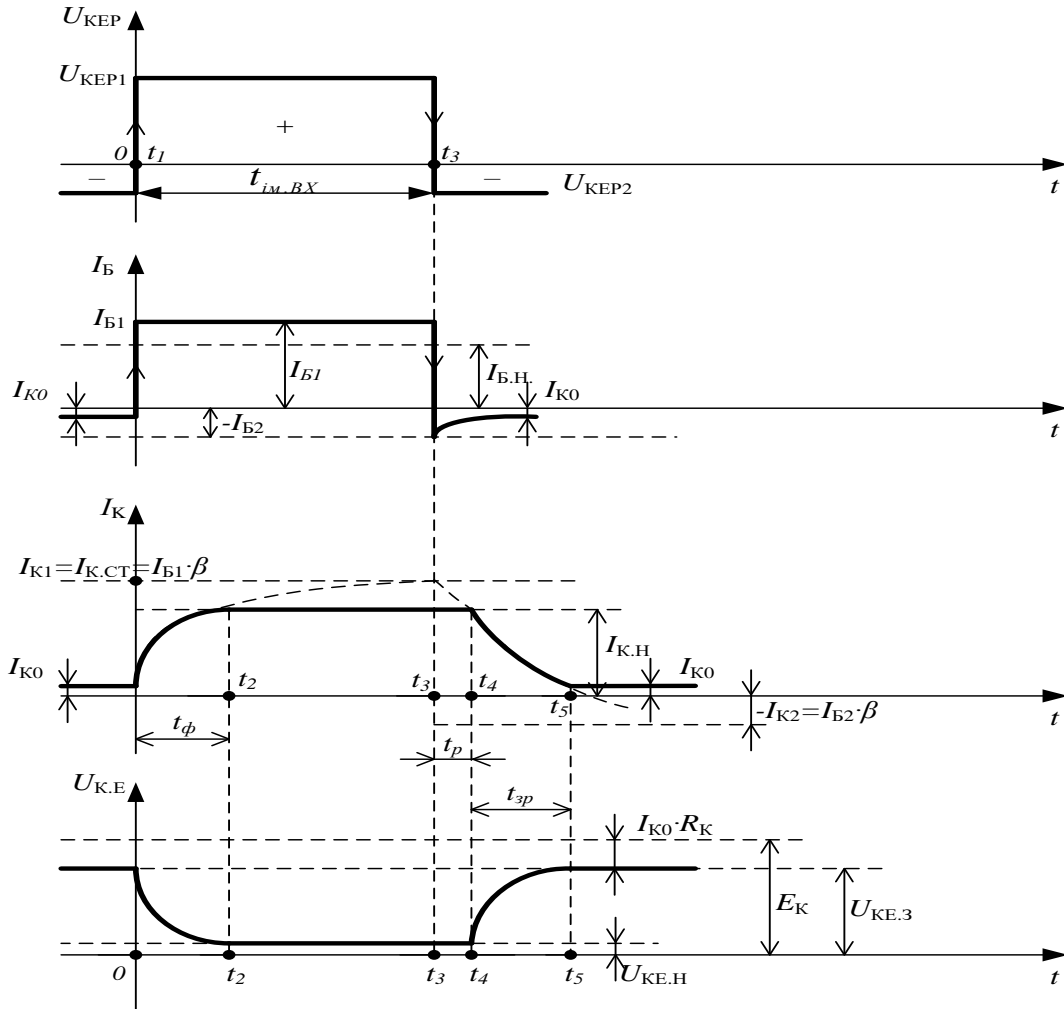


Рис. 15. Часові діаграми роботи ТК

Нехай у момент часу $t_1 = 0$ на вхід ключа подано додатний стрибок напруги U_{KEP1} , що викликає додатний стрибок базового струму, який відмикає транзистор,

$$I_{Б1} \approx \frac{U_{KEP1}}{R_B} > I_{Б.н}. \quad (18)$$

З цього моменту починається етап формування фронту, який обумовлено наростанням струму колектора за експоненціальним законом

$$I_K = \beta \cdot I_B (1 - e^{-t/\tau_\beta}), \quad (19)$$

де $\tau_\beta = \frac{1}{\omega_\beta} = \frac{1}{2\pi f_\beta}$ – стала часу перехідного процесу в транзисторі, який

включено за схемою зі СЕ; $f_\beta = f_\alpha / \beta$ – гранична частота в схемі зі СЕ; f_α – гранична частота в схемі зі СБ; β – коефіцієнт підсилення струму в схемі зі СЕ.

Колекторний струм прагне до сталого значення

$$I_{K1} = I_{K.CT} = \beta I_{B1} > I_{K.H}, \quad (20)$$

$$(I_{B1} > I_{B.H} = I_{K.H} / \beta).$$

Однак у момент часу t_2 під час струму $I_K = I_{K.H} = I_{B.H} \cdot \beta$ транзистор потрапляє в режим насичення і збільшення колекторного струму обмежується на рівні $I_{K.H} \approx E_K / R_K$. На цьому етап формування фронту закінчується і починається етап накопичення надлишкового заряду в базі транзистора. Фізично цей процес полягає у введенні в базу від джерела керувальної напруги надлишкових дірок, що викликають «удавану» зміну струму колектора до величини $I_{K1} = I_{K.CT} = I_{B1} \cdot \beta$, хоча реально цей струм дорівнює $I_{K.H}$. Графічно «удаване» збільшення струму колектора на рис. 15 показано пунктирною лінією. Через час $t = 3\tau_\beta$ «удаваний» струм досягає сталого значення $I_{K.CT}$, тому що на рис. 15 тривалість вхідного керувального імпульсу $t_{im.BX}$ приблизно дорівнює $3\tau_\beta$.

Аналіз процесу увімкнення ТК дозволяє зробити висновок, що тривалість фронту $t_\phi = t_2 - t_1$ можна зменшити, збільшуючи відмикаючий струм бази I_{B1} . З іншого боку, накопичення надлишкового заряду носіїв у базі можна зменшити, зменшуючи струм бази. Під час виконання умови $I_{B1} = I_{B.H}$ ($S = 1$) накопичення надлишкового заряду в базі відсутнє.

У момент t_3 на вхід ключа подано від'ємний стрибок напруги U_{KEP2} , що закриває транзистор. Починається процес вимикання ключа, який можна розбити на *два етапи*: розсмоктування надлишкового заряду в базі транзистора і формування зрізу під час запирання транзистора.

Від'ємний стрибок керувальної вхідної напруги U_{KEP2} викликає від'ємний стрибок базового струму: $-I_{B2} = -U_{KEP2} / R_B$, що проходить у напрямку, протилежному первісному струму бази I_{B1} .

Надлишковий заряд у базі стрибком змінитися не може, тому починає зменшуватися за експоненціальним законом з тією ж сталою часу, що і під час увімкнення ключа.

Зміна струму бази повинна викликати зменшення струму колектора від «удаваного» значення $I_{к.ст}$ до $I_{к2} = I_{Б2} \cdot \beta$. Однак до моменту часу t_4 у базі зберігається надлишковий заряд і ніякі зміни струму не відбуваються. Робоча точка транзистора протягом етапу розсмоктування знаходиться в області насичення.

Виникає затримка фронту (зрізу) вихідного імпульсу відносно моменту надходження вимикаючої напруги: $-U_{КЕР2}$. Тривалість цієї затримки представляє час розсмоктування $t_p = t_4 - t_3$. Тривалість часу розсмоктування можна зменшити, збільшуючи від'ємний струм бази: $-I_{Б2}$ і зменшуючи ступінь насичення S , а отже і відмикаючий струм бази $I_{Б1}$.

У момент часу t_4 після виходу робочої точки транзистора з області насичення починається етап формування зрізу вихідного імпульсу. Протягом проміжку часу $t_4 \dots t_5$ струм колектора зменшується за експоненціальним законом до величини $I_{к0}$, після чого залишається постійним на даному рівні.

Подальше зменшення струму колектора до величини: $-I_{к2} = -I_{Б2} \cdot \beta$ є «удаваним» і на рис. 15 показано пунктирною лінією.

Час зрізу $t_{зр} = t_5 - t_4$ можна зменшити, збільшуючи значення струму бази $I_{Б1}$ та $I_{Б2}$.

Для підвищення швидкодії ключа необхідно зменшити час вмикання $t_{ВМ} = t_\phi$ і вимикання $t_{ВИМ} = t_p + t_{зр}$. Проведений аналіз показав, що для цього необхідно виконати суперечливі вимоги: для зменшення $t_\phi, t_{зр}$ необхідно збільшувати ступінь насичення транзистора, а для зменшення t_p – зменшувати.

Оптимальну форму вхідного базового струму ТК, що враховує це протиріччя, наведено на рис. 16.

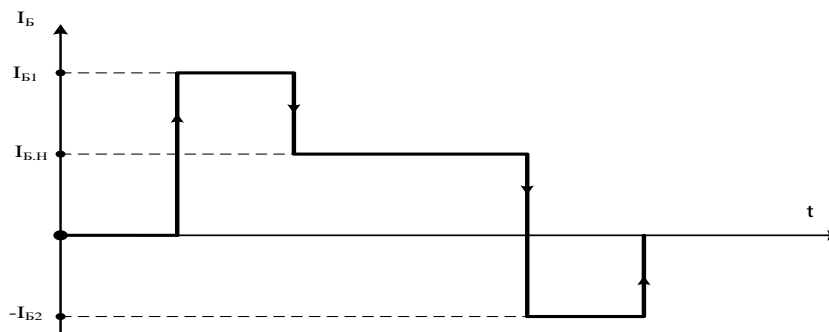


Рис. 16. Оптимальна форма вхідного базового струму ТК

Спочатку під час вмикання ключа для зменшення тривалості фронту струму бази на короткий час повинен бути значно більший струм бази насичення, а потім

він повинен приблизно дорівнювати струму бази насичення до вимикання ключа. Потім під час вимикання ключа від'ємний струм бази повинен бути значним.

Розглянутий ключ керується різнополярними імпульсами і стан схеми визначається знаком і рівнем вхідної напруги. На практиці широко застосовуються ключі, які у вихідному стані закриті чи відкриті.

Переключення ключа відбувається під дією однополярних вхідних керувальних імпульсів, що здійснюють увімкнення закритого ключа або вимикання відкритого.

1.2.2.5. Транзисторний ключ, закритий у початковому стані

Розглянемо ТК, закритий у вихідному стані (рис. 17).

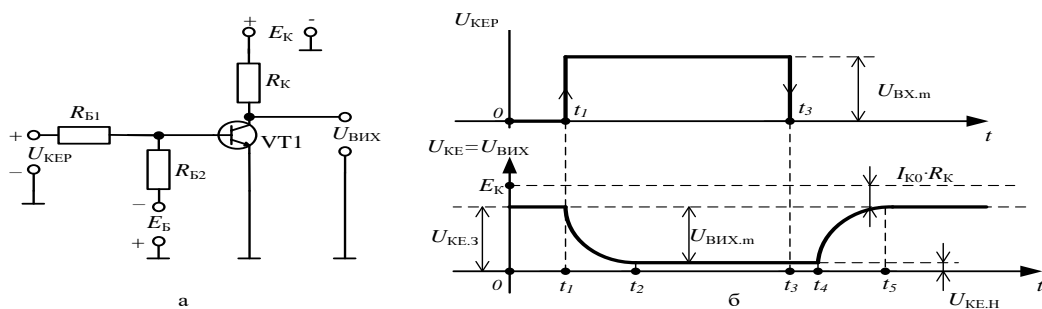


Рис. 17. ТК, закритий у вихідному стані

У початковому стані $U_{KEP} = 0$, ТК – закритий,

$$U_{ВИХ} \approx U_{KE.З} = E_K - I_{K0} \cdot R_K \approx E_K. \quad (21)$$

Під час подавання на вхід схеми в момент $t = t_1$ додатного відмикаючого імпульсу, ТК відкривається. Із затримкою $t_{\phi} = t_2 - t_1$ вихідна напруга зменшується до величини $U_{KE.Н} \approx 0$.

У момент $t = t_3$ сигнал керування знімається. З затримкою $t_{ВИМ} = t_p + t_{зр}$, де $t_p = t_4 - t_3$, а $t_{зр} = t_5 - t_4$, вихідна напруга збільшується до величини $U_{KE.З}$, тому що ключ знову закривається.

1.2.2.6. Транзисторний ключ, відкритий у початковому стані

Розглянемо ТК, відкритий у початковому стані (рис. 18).

У вихідному стані $U_{KEP} = 0$. Додатною напругою, що знімається з нижнього плеча дільника напруги $+E_K$ (резистори R_{B1}, R_{B2}), транзистор і ключ у цілому відкриті. З виходу знімається невелика напруга $U_{KE.Н}$.

У момент $t = t_1$ на вхід схеми надходить від'ємний імпульс, що викликає закривання ТК.

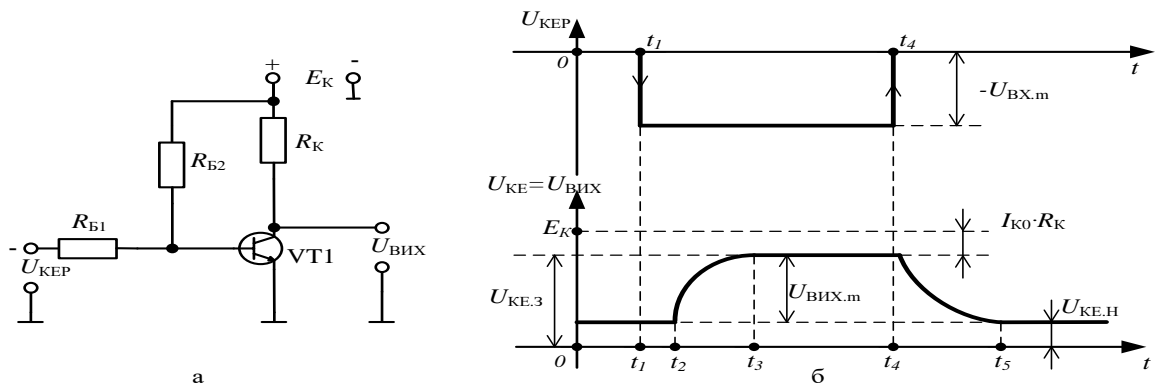


Рис. 18. ТК, відкритий у початковому стані

З затримкою $t_{ВИМ} = t_p + t_\phi$, де $t_p = t_2 - t_1$, а $t_\phi = t_3 - t_2$ вихідна напруга збільшується до величини $U_{КЕ.З}$. Наявність на часових діаграмах часу розсмоктування говорить про те, що у відкритому стані ступень насичення була більше одиниці та відбулося накопичення надлишкового заряду у базі.

У момент $t = t_4$ вхідний імпульс закінчується. ТК знову відкривається і через $t_{ВМ} = t_{зр} = t_5 - t_4$ сигнал на виході знову зменшується до величини $U_{КЕ.Н}$.

Для підвищення швидкодії ТК у схему, наприклад, можна ввести конденсатор, що прискорює, чи використовувати нелінійний ВЗЗ.

1.2.2.7. Ключ із зовнішнім зміщенням і прискорюючим конденсатором

Схему ключа із зовнішнім зміщенням і прискорюючим конденсатором наведено на рис. 19, а.

У вихідному стані такий ключ закритий джерелом зміщення: $-E_B$, а у відкритий стан переключується додатним керувальним імпульсом.

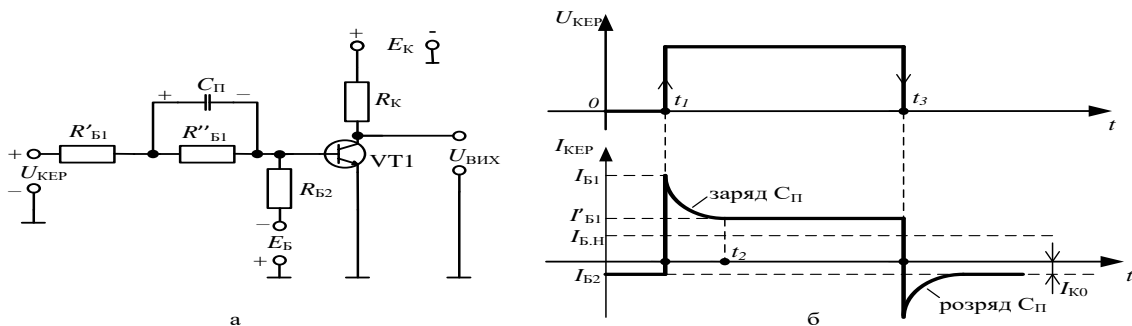


Рис. 19. Ключ із зовнішнім зміщенням і прискорюючим конденсатором:

а – схема; б – часові діаграми

Як відзначалося вище, зі збільшенням ступеня насичення ТК зменшується тривалість увімкнення, але одночасно зростає час вимикання, унаслідок збільшення часу розсмоктування надлишкового заряду в базі. Для підвищення швидкодії ТК необхідно забезпечувати форму вхідного керувального базового

струму, близьку до оптимальної (рис. 16).

Формування фронту відбувається за відмикаючим струмом бази значно перевищуючим струм бази насичення. Накопичення надлишкових носіїв відбувається за струмом бази, незначно перевищуючим струм бази насичення, а розсмоктування і формування зрізу протікають за значним закриваючим струмом бази.

Як видно з часових діаграм роботи (рис. 19, б), схема з прискорюючим конденсатором, забезпечує форму базового струму, близьку до оптимальної.

У вихідному стані ключ закритий і конденсатор $C_{\text{п}}$ розряджений. У момент часу t_1 на вхід надходить додатний імпульс, який відмикає транзистор. Відмикаючий струм бази проходить через резистор $R'_{\text{б1}}$ і конденсатор $C_{\text{п}}$, який шунтує $R''_{\text{б1}}$. Величина цього струму має значення $I_{\text{б1}}$, яке значно перевищує величину $I_{\text{б.н}}$. Під час зарядження конденсатора через відкритий транзистор $VT1$ струм бази зменшується за експонентою до величини $I'_{\text{б1}}$, яка небагато перевищує $I_{\text{б.н}}$.

Під час закінчення вхідного імпульсу ключ закривається під дією від'ємного зміщення: $-E_{\text{б}}$ і від'ємної напруги на прискорюючому конденсаторі, що прискорює закриття транзистора. Початковий струм бази під час вимикання ТК, $I_{\text{б2}}$ більше, ніж у схемі без прискорюючого конденсатора. Оскільки ступінь насичення транзистора малий, а вимикаючий струм бази великий, то час вимикання ТК зменшується.

Ємність конденсатора $C_{\text{п}}$ не може бути довільною, тому що за малого значення ємності стрибки базового струму мають невелику тривалість, а у разі занадто великого значення $C_{\text{п}}$ тривалість перехідних процесів може збільшитися.

В [1] наведено розрахунок такого ключа, згідно якого $C_{\text{п}}$ повинен мати значення десятки пікофарад.

1.2.2.8. Ненасичені ключі

Перехідний процес, який пов'язано з розсмоктуванням надлишкового заряду в базі, робить важчим застосування розглянутих ключів у швидкодіючих імпульсних схемах. Для підвищення швидкодії ТК відкритий транзистор не вводять у стан насичення. Такі ключі називають ненасиченими.

В них транзистор працює на границі активної області, а для запобігання його насичення вводять, наприклад, нелінійний ВЗЗ (рис. 20).

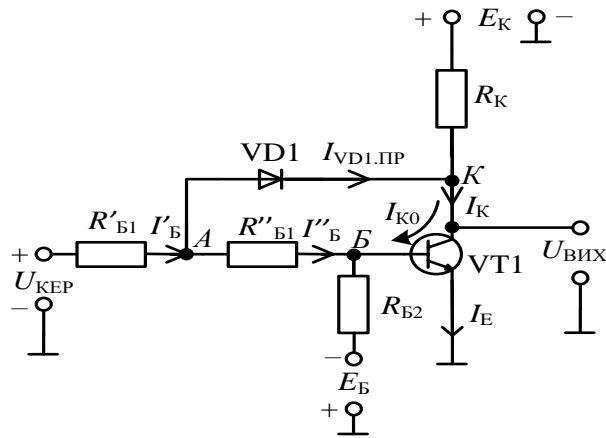


Рис. 20. Ненасичений ТК із нелінійним ВЗЗ

Основне призначення введення ВЗЗ, роль якого виконує напівпровідниковий діод (НД) VD1, складається у фіксації потенціалу колектора щодо потенціалу бази. Інакше кажучи, необхідно забезпечити, щоб цей потенціал завжди був більш додатним відносно бази ($U_{КБ} > 0$), тобто робоча точка транзистора знаходиться поблизу області насичення, але колекторний перехід не відкривається. У відсутності додатних керувальних імпульсів транзистор VT1 і діод VD1 закриті і ВЗЗ відсутній.

Під час надходження додатного керувального імпульсу транзистор відкривається, колекторний струм I_K збільшується, а потенціал колектора $U_K = E_K - I_K R_K$ зменшується. Коли потенціал точки А стане більше потенціалу колектора на величину $U_{VD1.ПР}$, VD1 відкриється і починає діяти ВЗЗ, що змінює розподіл струмів у ключі.

Струм бази $I''_Б$ транзистора обмежується на рівні, близькому до струму насичення $I_{Б.Н}$, хоча вхідний струм $I'_Б$ збільшується. Струм колектора і напруга $U_{КЕ}$ також обмежуються, тому що струм, що проходить через резистор R_K , не може змінюватися (потенціали його виводів: E_K і U_K – постійні).

Додатковий вхідний струм проходить через відкритий діод і замикається на «землю» через відкритий транзистор і ланцюги навантаження, що приєднуються до колектора.

Для того, щоб потенціал колектора завжди більш додатний, ніж потенціал бази, що відповідає вимогам, які поставлено до цієї схеми, треба виконувати умову

$$U_{R''_{Б1}} = I''_Б \cdot R''_{Б1} > U_{VD.ПР} \quad (22)$$

Недоліком схеми є те, що в самому діоді під час його прямого увімкнення має місце ефект накопичення надлишкових неосновних носіїв у базі (явище інжекції). Це негативно впливає на роботу ключа у разі його запирання. Істотного

підвищення швидкодії від даної схеми можна домогтися тільки під час використання діодів з малим часом відновлення у разі запирання, тобто застосовуючи діоди Шоттки (рис. 21).

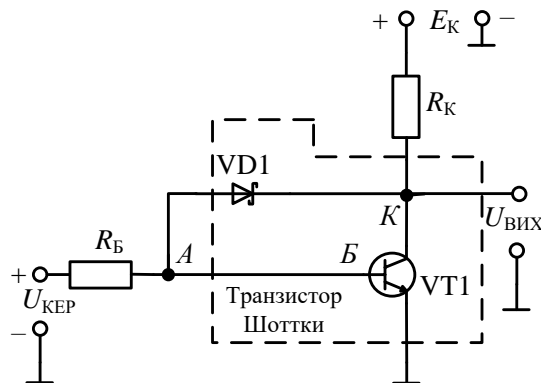


Рис. 21. Схема ТК із діодом Шоттки

Вони мають малий час переключення (не більш 0,1 нс), низьку напругу відмикання (близько 0,25 В) і малий опір у відкритому стані.

У процесі увімкнення транзистора $VT1$ діод Шоттки ($VD1$) відкривається. Хоча в цій схемі напруга U_{KB} трохи менше нуля, але цього значення недостатньо, щоб колекторно-базовий перехід транзистора змістився в прямому напрямку. Інакше кажучи, діод Шоттки відкривається раніш, ніж колекторно-базовий перехід, і не допускає насичення транзистора.

В інтегральній мікросхемі структура транзистор-діод Шоттки заміняється одним елементом – транзистором Шоттки (рис. 21).

1.2.2.9. Послідовні транзисторні ключі

Розглянуті вище схеми (рис. 12...21) є паралельними ключами, тому що навантаження включається паралельно переходу колектор-емітер транзистора. На рис. 22 наведено схему послідовного ключа на біполярному $n-p-n$ -транзисторі.

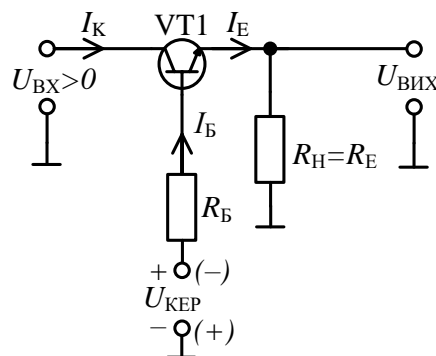


Рис. 22. Схема послідовного ключа на біполярному $n-p-n$ -транзисторі

Для нормальної роботи такого ключа необхідно, щоб виконувалася умова: $U_{BX} > 0$. Під час увімкненого транзистора ($U_{KEP} > 0$) навантаження підключається до напруги U_{BX} , а у разі вимкненого ($U_{KEP} < 0$) – цей зв'язок обривається.

1.2.3. Ключі на польових транзисторах

Як активний елемент в електронних ключах також використовуються польові транзистори.

Їхніми істотними перевагами перед ТК на біполярних транзисторах є:

- 1) Високий вхідний опір і, отже, малий струм споживання у неспровідному стані.
- 2) Мала залишкова напруга на ключі в провідному стані.
- 3) Гарна електрична розв'язка між керувальним і виконавчим ланцюгом.
- 4) Мала площа, яку займає транзистор на підкладці під час інтегрального виконання і т. ін.

Найбільш часто в таких ключах використовуються польові МДН (метал-діелектрик-напівпровідник)-транзистори. Коли функцію діелектрика виконує окис (двоокис кремнію), то їх називають МОН (метал-окис-напівпровідник)-транзисторами.

Найпростіший паралельний ключ на МДН-транзисторі з індукованим n-каналом, його стоко-затворна ВАХ, вихідні статичні ВАХ і навантажувальна пряма наведено на рис. 23.

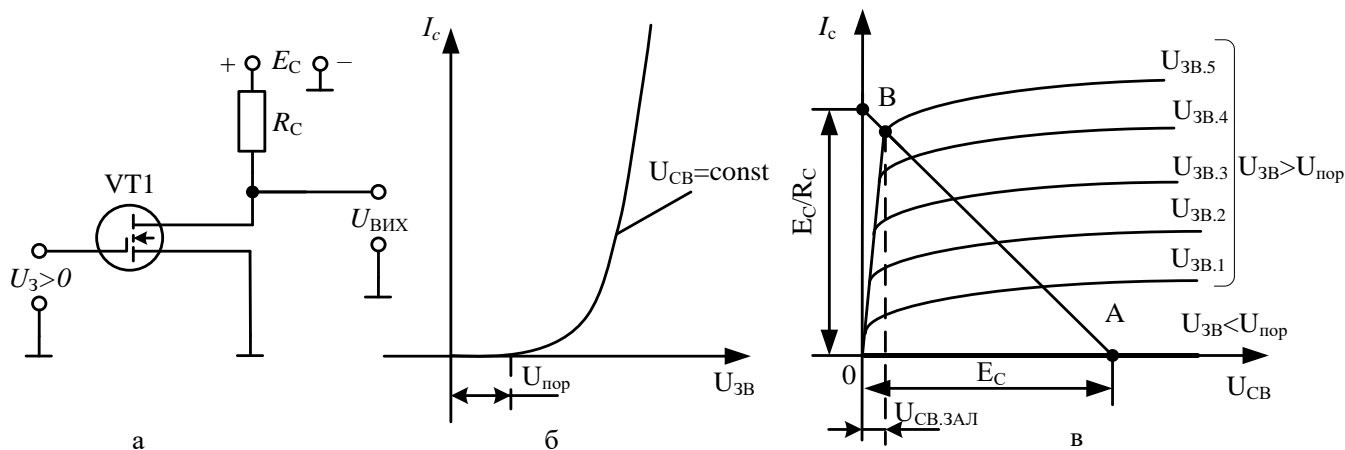


Рис. 23. ТК на МОН-транзисторі: а – схема ключа; б – стоко-затворна ВАХ; в – вихідні статичні ВАХ і навантажувальна пряма

Опір резистора R_C має значення десятки кілоом. Якщо вхідна напруга, що прикладається між затвором і витком транзистора менше порогового значення $U_{пор}$, то канал між стоком і витком відсутній і струм $I_C = I_H = 0$. Транзистор закритий і вихідна напруга $U_{ВИХ} = U_{СВ} = E_C - I_C R_C = E_C$.

Якщо на вхід надходить вхідний додатний імпульс амплітудою більшої, ніж $U_{пор}$, то між стоком і витокom індукуються канал n-типу і з'являється струм I_c , що збільшується під час наростання $U_{вх}$. Транзистор відкривається і з виходу знімається залишкова напруга $U_{св.зал} \approx 0$.

2. Моделювання окремих пристроїв

2.1. Схема 1. Послідовний діодний ключ

Робота всіх діодних ключів визначається станом діода: відкритий або закритий. Якщо потенціал анода більш додатний (менш від'ємний) ніж потенціал катода, то діод відкритий. В іншому випадку діод закритий.

Сказане відображає табл. 1.

Таблиця 1. Вплив співвідношення потенціалів анода та катода на стан діода

Значення потенціалів: φ_A – анода, φ_K – катода	Стан діода
$\varphi_A > 0; \varphi_K < 0$ ①	Відкритий
$\varphi_A < 0; \varphi_K > 0$ ②	Закритий
$\varphi_A > 0; \varphi_K > 0$ ③	
$\varphi_A > \varphi_K$ ③.1	Відкритий
$\varphi_A < \varphi_K$ ③.2	Закритий
$\varphi_A < 0; \varphi_K < 0$ ④	
$ \varphi_A < \varphi_K $ ④.1	Відкритий
$ \varphi_A > \varphi_K $ ④.2	Закритий

На рис. 24 наведено схему послідовного діодного ключа.

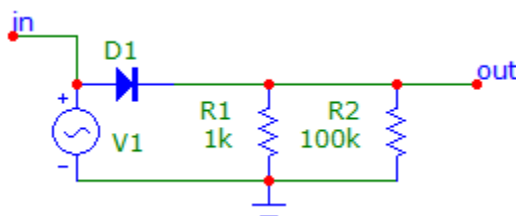


Рис. 24. Схема послідовного діодного ключа

Параметри схеми:

- 1) D1 (Diode): Model = 1N4148;

- 2) V1 (Sine Source): $F = 100$ [Hz], $A = \langle \text{Номер бригади} \rangle$ (приклад: $A = 12$ [V] для 12 варіанту);
- 3) R1 (Resistor): Value = 1k [Om];
- 4) R2 (Resistor): Value = 100k [Om].

Результат досліджу

На рис. 25 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) діодного ключа, схему якого наведено на рис. 24.

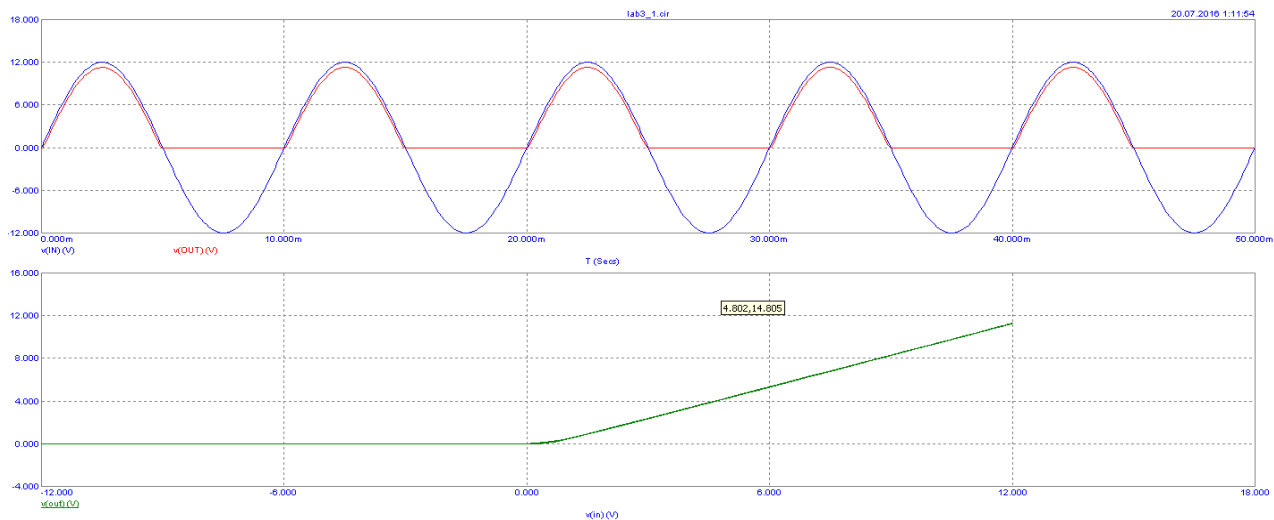


Рис. 25. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рис. 24.

Різниця між вхідною та вихідною напругами на рис. 25 (вгорі) пояснюється тим, що послідовний діодний ключ пропускає тільки додатні напруги, а при від'ємних закривається.

Деяка різниця між амплітудою вхідної та вихідної напруг для відкритого стану ключа зумовлена наявністю невеликого падіння напруги на відкритому діоді. Амплітуда графіка залежить від значення A , яку вказано в параметрах схеми.

2.2. Схема 2. Послідовний діодний ключ зі зміщенням

Нижче наведено схему послідовного діодного ключа зі зміщенням, яку зібрано у середовищі MicroCap: *lab3_2.cir* (рис. 26).

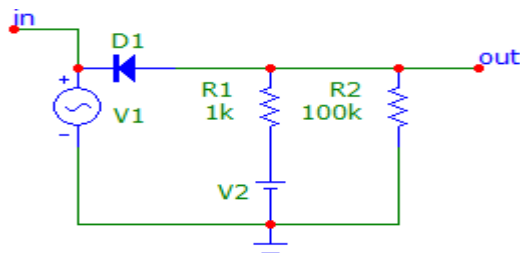


Рис. 26. Схема послідовного діодного ключа зі зміщенням

Параметри схеми:

- 1) D1 (Diode): Model = 1N4148;
- 2) V1 (Sine Source): $F = 1k$ [Hz], $A = \langle \text{Номер бригади} \rangle$ (приклад: $A = 10$ [V] для 10 варіанту);
- 3) V2 (Battery): Value = 3 [V];
- 4) R1 (Resistor): Value = 1k [Om];
- 5) R2 (Resistor): Value = 100k [Om].

Результат дослідів

На рис. 27 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) діодного ключа, схему якого наведено на рис. 26.

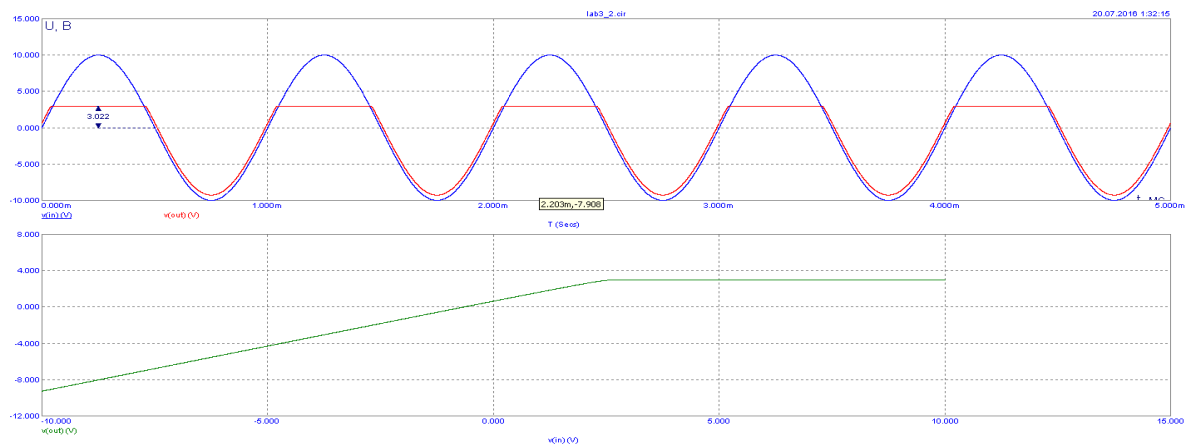


Рис. 27. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рис. 26.

На схемі наявна напруга зсуву $E_{зс} = 3$ В, через що діодний ключ закривається за додатною вхідною напругою 3В та з виходу знімається напруга $V_2 = 3$ В.

2.3. Схема 3. Паралельний діодний ключ

Нижче наведено схему паралельного діодного ключа, яку зібрано у середовищі MicroCap: *lab3_3.cir* (рис. 28).

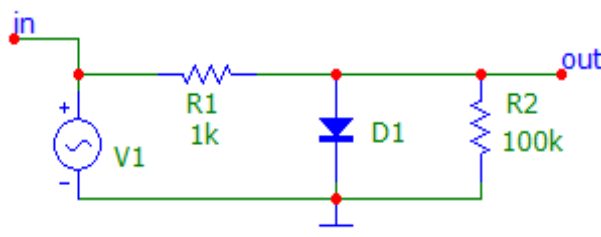


Рис. 28. Схема паралельного діодного ключа

Параметри схеми:

- 1) D1 (Diode): Model = 1N4148;
- 2) V1 (Sine Source): F = 1k [Hz], A = <Номер бригади> (приклад: A = 10 [V] для 10 варіанту);
- 3) R1 (Resistor): Value = 1k [Om];
- 4) R2 (Resistor): Value = 100k [Om].

Результат досліджу

На рис. 29 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) паралельного діодного ключа, схему якого наведено на рис. 28.

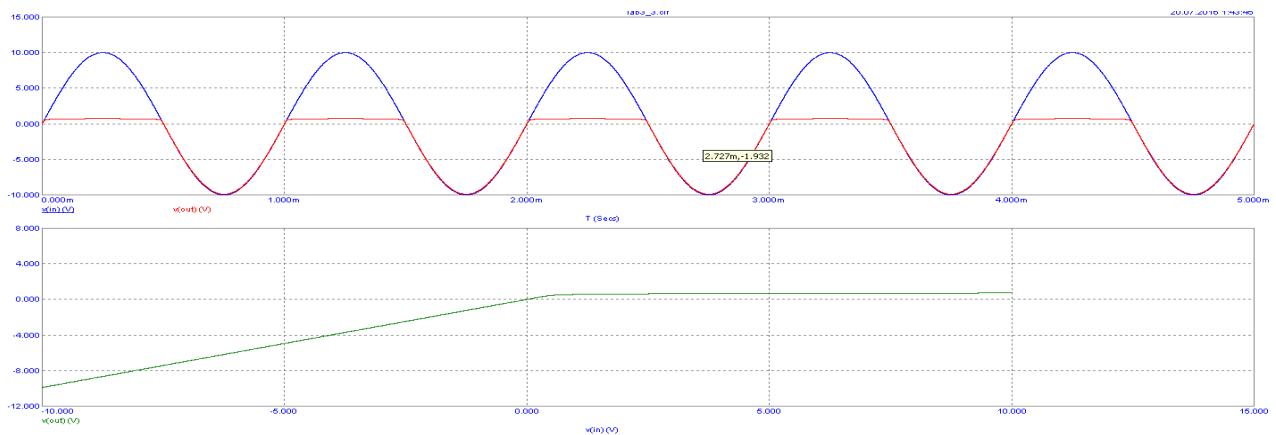


Рис. 29. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рис. 28

Під час подачі на вхід ключа додатної напруги діод відкривається і напруга на ньому, а, отже, на виході близька до нуля.

У разі надходження від'ємної вхідної напруги діод закривається і напруга на виході стає рівною напрузі на вході.

2.4. Схема 4. Паралельний діодний ключ зі зміщенням

Нижче наведено схему паралельного діодного ключа зі зміщенням, яку зібрано у середовищі MicroCap: lab3_4.cir (рис. 30).

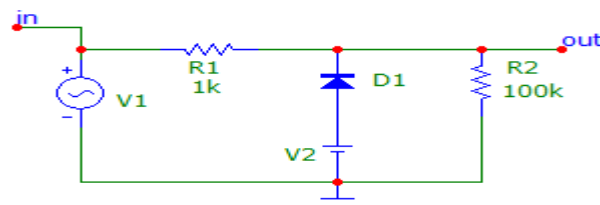


Рис. 30. Схема паралельного діодного ключа зі зміщенням

Параметри схеми:

- 1) D1 (Diode): Model = 1N4148;

- 2) V1 (Sine Source): $F = 1k$ [Hz], $A = \langle \text{Номер бригади} \rangle$ (приклад: $A = 12$ [V] для 12 варіанту);
- 3) V2 (Battery): Value = 5 [V];
- 4) R1 (Resistor): Value = 1k [Om];
- 5) R2 (Resistor): Value = 100k [Om].

Результат досліду

На рис. 31 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) паралельного діодного ключа, схему якого наведено на рис. 30.

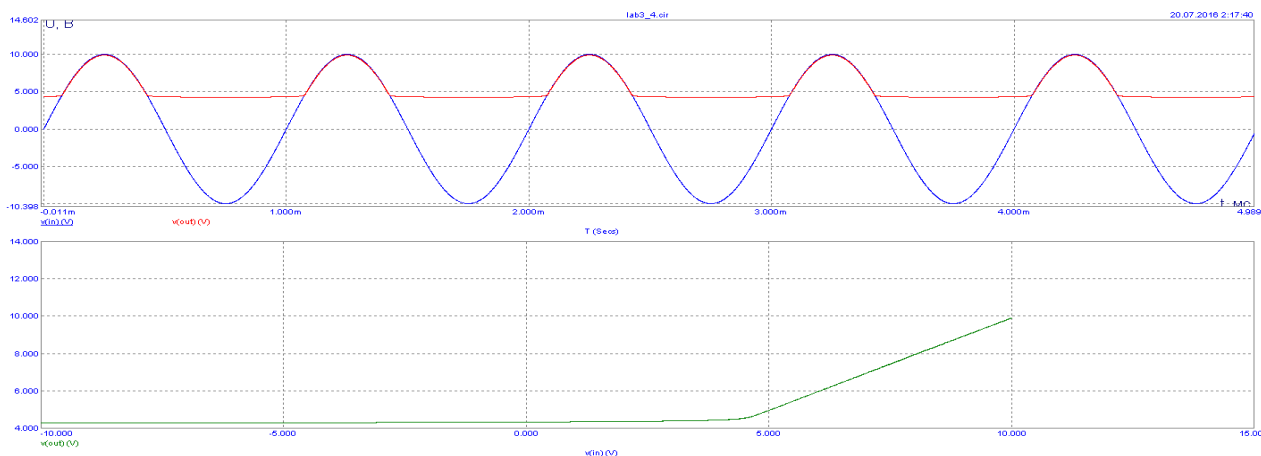


Рис. 31. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) діодного ключа, схему якого наведено на рис. 30

Вид передатної характеристики пояснюється наступним чином: вона така ж сама, як на рис. 29, але перегорнута на 180° через зворотне включення діода та піднята вгору на величину напруги зсуву E_3 , яка дорівнює 5В.

2.5. Схема 5. Транзисторний ключ на базі n-p-n-транзистора під час подачі на вхід різнополярних імпульсів

Нижче наведено схему транзисторного ключа на базі n-p-n-транзистора під час подачі на вхід різнополярних імпульсів, яку зібрано у середовищі MicroCap: *key+-.cir* (рис. 32).

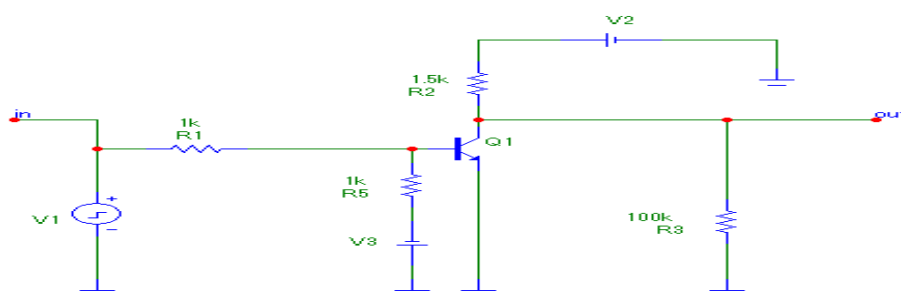


Рис. 32. Схема транзисторного ключа на базі n-p-n-транзистора у разі подачі на вхід різнополярних імпульсів

ПРИМІТКА

У джерелах пульсуючої напруги використовуються такі параметри, як VONE, VZERO, P1, P2, P3, P4, P5 (рис. 33).

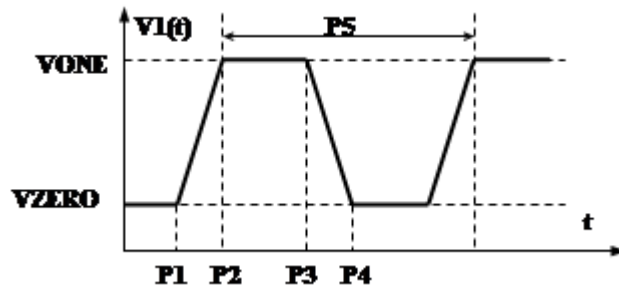


Рис. 33. Основні параметри імпульсного сигналу

Пояснення щодо їх значення:

- VZERO – початкове значення на виході генератора;
- VONE – максимальне значення на виході графіка (амплітуда відносно VZERO);
- P1 – початок переднього фронту, у секундах;
- P2 – початок плоскої вершини імпульса;
- P3 – кінець плоскої вершини імпульса;
- P4 – момент досягнення рівня VZERO (кінець заднього фронту);
- P5 – період повторення.

Параметри схеми:

- 1) Q1 (n-p-n): Model = BC547;
- 2) V1 (Pulse Source): Model = SQUARE, параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб тривалість імпульсу дорівнювала $0,1 \cdot \langle \text{номер бригади} \rangle$ [мкс] = $0,1 \cdot \langle \text{номер бригади} \rangle$ u [sec];

Приклад:

Номер бригади = 5:

P1 = 0 [sec];

P2 = 1n [sec];

P3 = $0,1 \cdot \langle \text{номер бригади} \rangle$ u = $0,1 \cdot 5$ u = $0,5$ u = 500n [sec];

P4 = P3+1 = 501n [sec];

P5 = $2 \cdot P3$ = $2 \cdot 500$ n = 1u [sec];

One level (VONE): Value = 5 [V];

Zero level (VZERO): Value = -5 [V];

3) V2 (Battery): Value = 10 [V];

4) V3 (Battery): Value = 0.5 [V];

- 5) R1 (Resistor): Value = 1k [Om];
- 6) R2 (Resistor): Value = 1.5k [Om];
- 7) R3 (Resistor): Value = 100k [Om];
- 8) R5 (Resistor): Value = 1k [Om].

Результат дослід

На рис. 34 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 32.

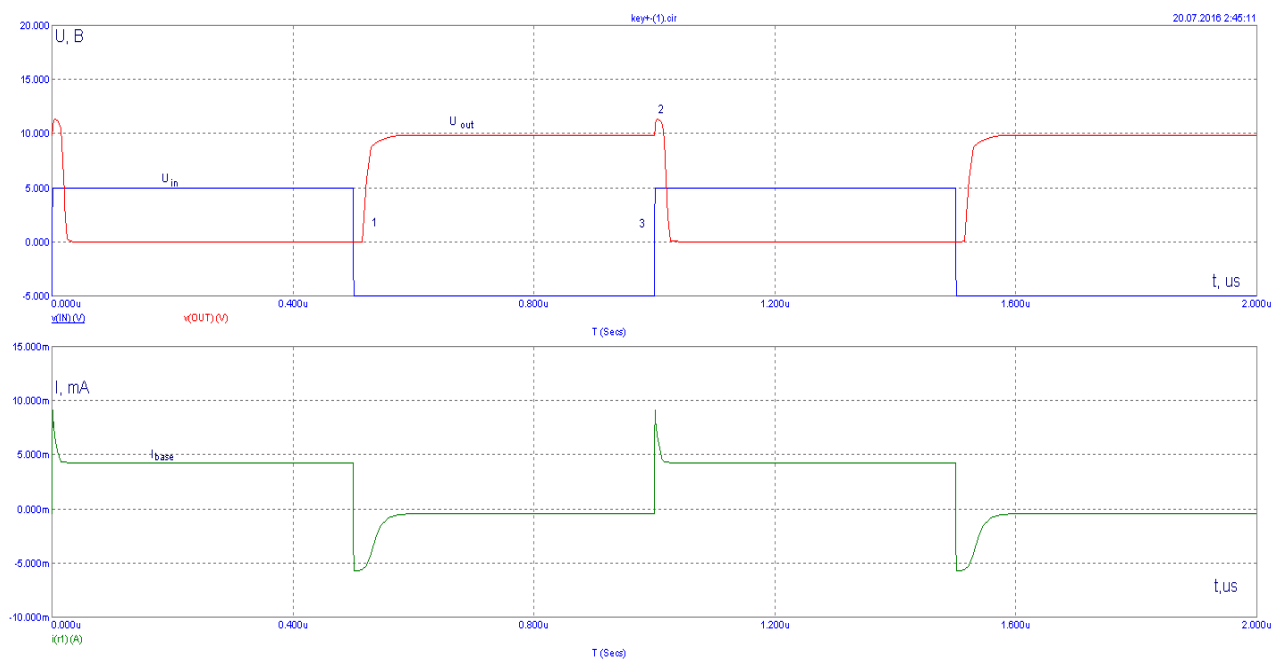


Рис. 34. Часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 32

Вигляд характеристик, які наведено на рис. 34, пов'язаний з часовими діаграмами роботи транзисторного ключа у динамічному режимі (рис. 15).

2.6. Схема 6. Транзисторний ключ на базі n-p-n-транзистора включеного за схемою із спільним емітером з прискорюючим конденсатором та без нього

Нижче наведено схему транзисторного ключа на базі n-p-n-транзистора, який включено за схемою із спільним емітером з прискорюючим конденсатором та без нього, яку зібрано у середовищі MicroCap: *keyCapacity.cir* (рис. 35).

Параметри схеми з конденсатором:

- 1) Q1 (n-p-n): Model = BC547;
- 2) V1 (Pulse Source): Model = SQUARE: P1 = 0 [sec]; P2 = 1n [sec]; P3 = 500n [sec]; P4 = 501n [sec] (розрахувати як для схеми 5); P5 = 1 μ [sec] (розрахувати як для схеми 5); vone = 5; vzero = 0;

- 3) V2 (Battery): Value = 10 [V];
- 4) V3 (Battery): Value = 0.5 [V];
- 5) C1 (Capacitor): Value = 100p [Fa].

Інші параметри схеми вказано на рис. 35.

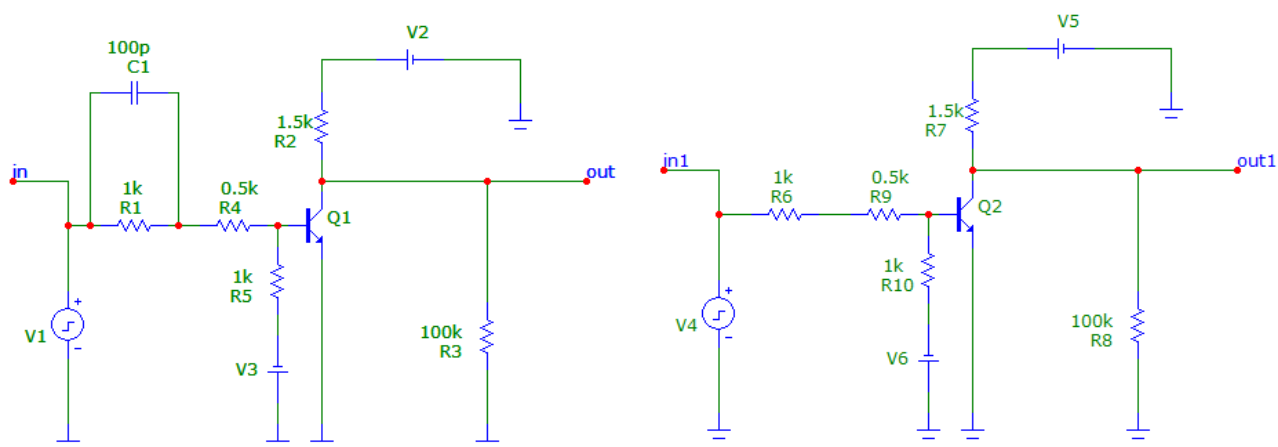


Рис. 35. Схема транзисторного ключа на базі n-p-n-транзистора, який включено за схемою із спільним емітером з прискорюючим конденсатором та без нього

Параметри схеми без конденсатора:

- 1) Q2 (n-p-n): Model = BC547;
- 2) V1 (Pulse Source): Modele = SQUARE: P1 = 0 [sec]; P2 = 1n [sec]; P3 = 500n [sec]; P4 = 501n [sec] (розрахувати як для схеми 5); P5 = 1u [sec] (розрахувати як для схеми 5); vone = 5; vzero = 0;
- 3) V5 (Battery): Value = 10 [V].
- 4) V6 (Battery): Value = 0,5 [V].

Інші параметри схеми вказано на рис. 35.

Результат дослідів

На рис. 36 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 35.

На даному рисунку зроблено порівняння характеристик вихідних сигналів для транзисторних ключів з прискорюючим конденсатором і без нього. Як видно з графіка, схема з прискорюючим конденсатором забезпечує більшу швидкодію транзисторного ключа (на графіку це видно по тому, що перехід від одного стану ТК до іншого став значно стрімкішим).

На нижньому графіку видно, що транзисторний ключ з прискорюючим конденсатором забезпечує форму базового струму близьку до ідеальної (рис. 16).

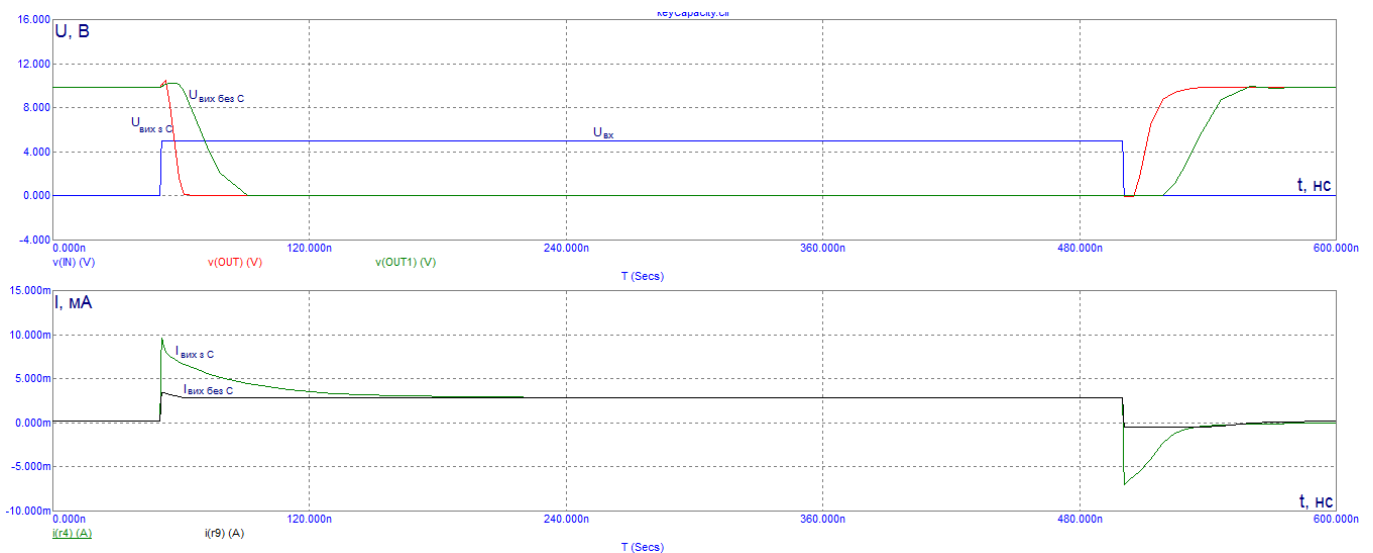


Рис. 36. Часові діаграми роботи ТК з прискорюючим конденсатором та без нього

Розглянемо роботу даної схеми детальніше. У початковий момент часу (коли ще не було керувального вхідного імпульсу) транзистор буде закритий (це забезпечується невеликим від’ємним потенціалом від батареї E_6 (V_3)), тобто вихідна напруга буде приблизно дорівнювати E_k . Під час надходження керувального сигналу значення струму бази буде визначатися лише резистором R_4 та амплітудою керувального сигналу, оскільки в початковий момент часу подачі керувального імпульсу заряд на конденсаторі дорівнює нулю, резистор R_1 буде закорочений. У цьому разі ступінь насичення $S = \frac{I_6}{I_{6H}}$ буде значно більше одиниці, що прискорює відкривання ключа. Далі в міру того, як конденсатор буде заряджатися, струм бази буде зменшуватися за експоненціальним законом до сталого значення, приблизно рівного: $U_1/(R_4 + R_1) - V_3/R_5$. Але оскільки другий доданок набагато менший першого, ним можна знехтувати. У цьому разі ступінь насичення S буде близькою до одиниці.

Після припинення подачі імпульсу відбудеться різкий стрибок струму бази у зворотному напрямку (це пов’язано з накопиченням неосновних зарядів в базі), відбудеться перезаряд конденсатора, за рахунок чого закортиться резистор R_1 , що призведе до більш швидкого закриття транзистора, тобто меншому часу розсмоктування.

На рис. 37 наведено частину часових діаграм роботи транзисторного ключа, схему якого наведено на рис. 35. Цей рисунок відображає тільки залежність вихідної напруги від вхідної.

Для зручності розіб’ємо вісь часу на інтервали. Розглянемо їх по черзі:

Інтервал $0 \div t_1$: $U_{вх} = 0$, але через наявність джерела V_3 (V_6) потенціал бази транзистора від’ємний, а оскільки на колектор подається «плюс» і емітер

заземлений, обидва переходи транзистора n-p-n-типу закриті, і напруга колектор-емітер ($U_{вх}$) велика.

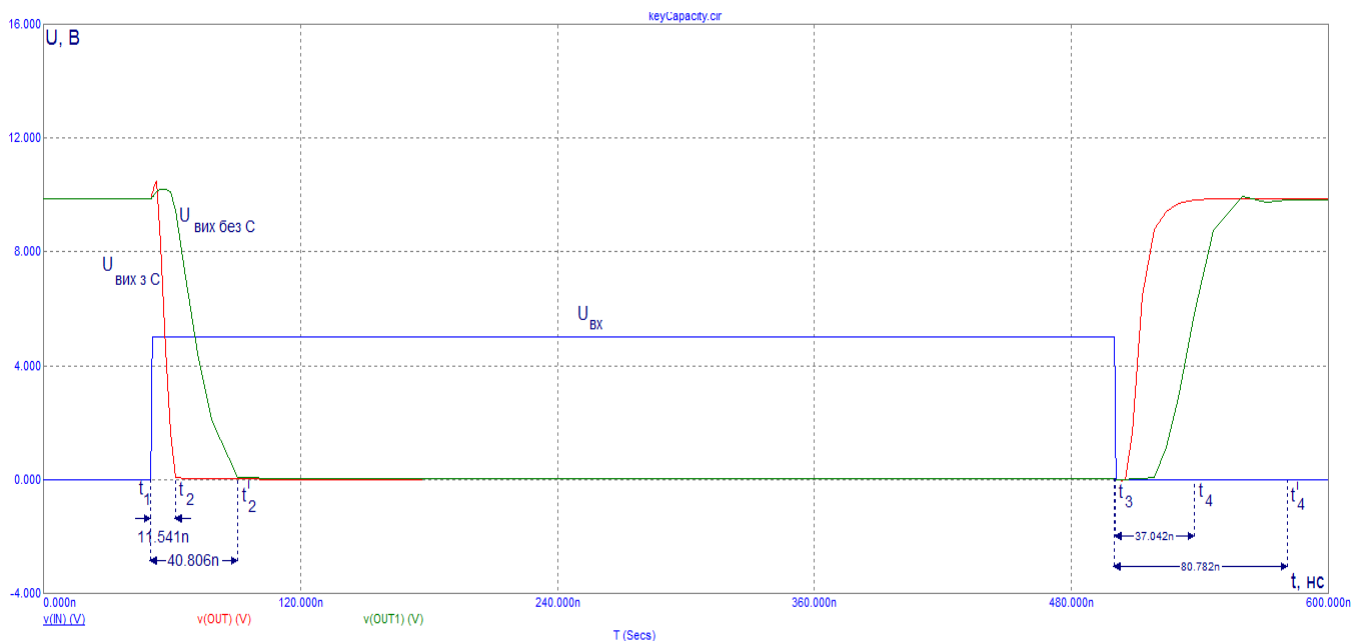


Рис. 37. Часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 35

Інтервал $t_1 \div t_2$ (період часу для схеми у разі наявності прискорюючого конденсатора): після подачі на вхід схеми напруги додатної полярності, достатньої для відмикання p-n-переходів (тобто для переміщення робочої точки транзистора в область насичення), транзистор відкривається, але це відбувається не миттєво, а лише через час $\Delta t = t_2 - t_1$, який відображає тривалість фронту. Δt буде зменшуватися під час збільшення струму бази, що відкриває транзистор.

Інтервал $t_1 \div t_2^1$ (період часу для схеми у разі відсутності прискорюючого конденсатора): як бачимо з графіку, $\Delta t^1 = t_2^1 - t_1$ для даного періоду значно більший, ніж Δt для схеми з прискорюючим конденсатором.

Інтервал $t_2 \div t_3$ і $t_2^1 \div t_3$: ТК відкритий, напруга на виході схеми дорівнює падінню напруг на відкритих переходах і є невеликою.

Інтервал $t_3 \div t_4$ (період часу для схеми у разі наявності прискорюючого конденсатора): при відключенні вхідного сигналу ($U_{вх} = 0$) для розсмоктування надлишкового заряду, який накопичився в базі за час перебування ТК у відкритому стані, необхідно час $\Delta t = t_4 - t_3$ (він буде тим більшим, чим більший струм бази протікав через транзистор у відкритому стані). За цей час переходи транзистора закриваються.

Інтервал $t_3 \div t_4^1$ (період часу для схеми у разі відсутності прискорюючого конденсатора): як бачимо з графіку, Δt^1 для даного періоду значно більший, ніж Δt для схеми з прискорюючим конденсатором.

Інтервал $t > t_4$ і $t > t_4^1$: транзистор закритий, і ТК знаходиться в своєму початковому стані.

Зауваження. Невеликий стрибок вихідної напруги в момент часу t_1 пояснюється наявністю на переходах транзистора паразитних ємностей.

2.7. Схема 7. Транзисторний ключ на базі n-p-n-транзистора відкритого у початковому стані, який включено за схемою із спільним емітером

Нижче наведено схему транзисторного ключа на базі n-p-n-транзистора, який відкритий у початковому стані та включений за схемою із спільним емітером. Схему зібрано у середовищі MicroCap: *keyOtkr.cir* (рис. 38).

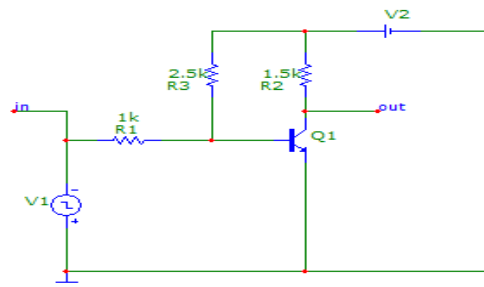


Рис. 38. Схема транзисторного ключа на базі n-p-n-транзистора відкритого у початковому стані, який включено за схемою із спільним емітером

Параметри схеми:

- 1) Q1 (n-p-n): Model = 2N2219;
- 2) V1 (Pulse Source): Model = SQUARE: P1 = 1u [sec]; P2 = 1u [sec]; P3 = 4u [sec]; P4 = 4u [sec]; P5 = 10u [sec]; vone = 2; vzero = 0;
- 3) V2 (Battery): Value = 4.

Інші параметри вказано на самій схемі.

Результат дослідів

На рис. 39 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 38.

На даному рисунку ми бачимо залежність вхідної та вихідної напруг від часу транзисторного ключа на базі n-p-n-транзистора відкритого у початковому стані, який включено за схемою із спільним емітером (синя лінія – вхідна напруга, червона – вихідна).

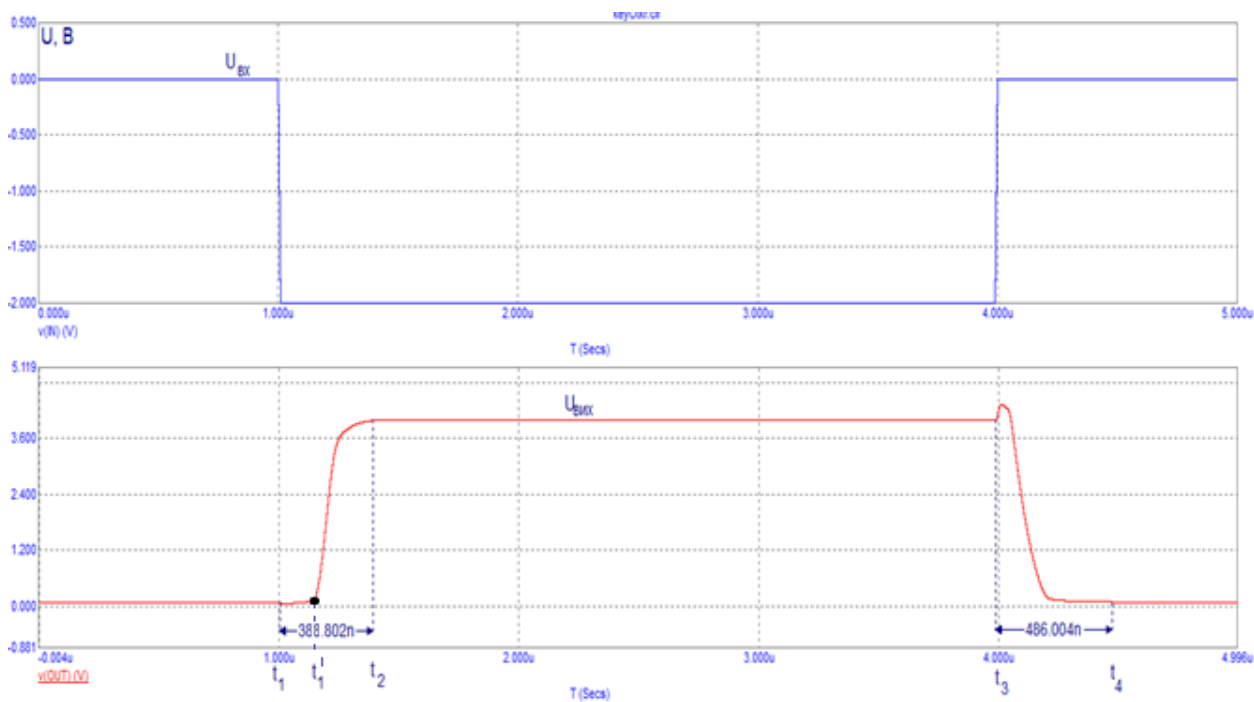


Рис. 39. Часові діаграми роботи транзисторного ключа на базі n-p-n-транзистора, відкритого у початковому стані, який включено за схемою із спільним емітером

Інтервал $0 \div t_1$: $U_{вх} = 0$, ключ відкритий тому, що на базі p-типу присутній додатний потенціал від джерела V_2 (E_k). З виходу знімається невелика напруга.

Інтервал $t_1 \div t_1^1$: після подачі на вхід схеми напруги від'ємної полярності, транзистор закривається, але це відбувається не миттєво, а лише через час $\Delta t = t_1^1 - t_1$ – час розсмоктування надлишкового заряду в базі транзистора. Наявність цієї затримки говорить про те, що у відкритому стані струм бази був більше струму бази насичення: $I_B > I_{БН}$.

Інтервал $t_1^1 \div t_2$: після закінчення часу розсмоктування ключ закривається, але це відбувається лише через час $\Delta t = t_2 - t_1^1$, який називають тривалістю фронту.

Інтервал $t_2 \div t_3$: ТК закритий, напруга на виході схеми максимальна і дорівнює: $U_{вих} = E_k - I_{к0} \cdot R_k$.

Інтервал $t_3 \div t_4$: у разі відключення вхідного сигналу ($U_{вх} = 0$) після перебування ТК у закритому стані, необхідно час $\Delta t = t_4 - t_3$. За цей час переходи транзистора відкриваються.

Інтервал $t > t_4$: транзистор відкритий, і ТК знаходиться в своєму початковому стані.

2.8. Схема 8. Транзисторний ключ на базі n-p-n-транзистора закритого у початковому стані, який включено за схемою із спільним емітером

Нижче наведено схему транзисторного ключа на базі n-p-n-транзистора закритого у початковому стані, який включено за схемою із спільним емітером. Схему зібрано у середовищі MicroCap: *keyZakr.cir* (рис. 40).

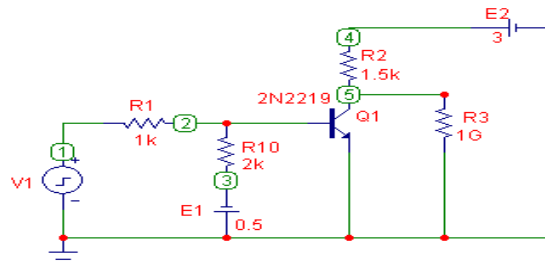


Рис. 40. Схема транзисторного ключа на базі n-p-n-транзистора закритого у початковому стані, який включено за схемою із спільним емітером
 Параметри схеми:

- 1) Q1 (n-p-n): Model = 2N2219;
- 2) V1 (Pulse Source): Model = SQUARE: P1 = 1u [sec]; P2 = 1u [sec]; P3 = 4u [sec]; P4 = 4u [sec]; P5 = 10u [sec]; vone = 2,5 [V]; vzero = 0;
- 3) E2 (Battery): Value = 3 [V];
- 4) E1 (Battery): Value = 0,5 [V].

Інші параметри вказано на самій схемі.

Результат дослідів

На рис. 41 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 40.

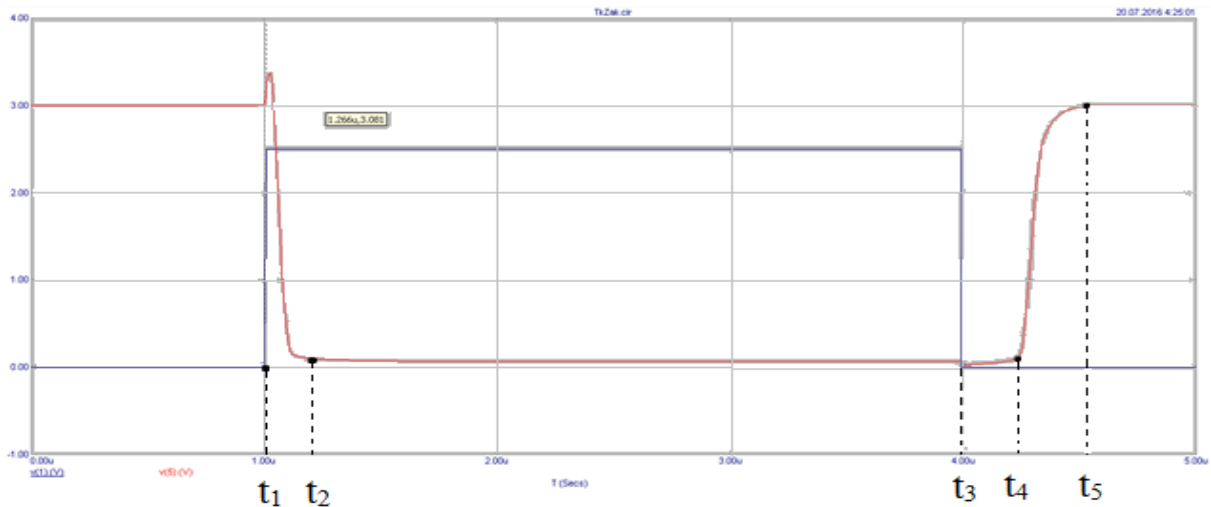


Рис. 41. Часові діаграми роботи транзисторного ключа на базі n-p-n-транзистора, закритого у початковому стані, який включено за схемою із спільним емітером

На даному рисунку ми бачимо залежність вхідної та вихідної напруг від часу закритого транзисторного ключа на базі n-p-n-транзистора, який включено за схемою із спільним емітером (синя лінія – вхідна напруга, червона – вихідна).

Інтервал $0 \div t_1$: $U_{вх} = 0$, але через наявність джерела E1 потенціал бази р-типу транзистора від'ємний, а оскільки на колектор подається «плюс» і емітер

заземлений, обидва переходи транзистора n-p-n-типу закриті, і напруга колектор-емітер ($U_{вих}$) велика.

Інтервал $t_1 \div t_2$: після подачі на вхід схеми напруги додатної полярності, достатньої для відмикання p-n-переходів, транзистор відкривається, але відбувається це не миттєво, а лише через час $\Delta t = t_2 - t_1$, який називають тривалістю фронту.

Інтервал $t_2 \div t_3$: ТК відкритий, напруга на виході схеми дорівнює падінню напруг на відкритих переходах і є невеликою.

Інтервал $t_3 \div t_4$: у разі відключення вхідного сигналу ($U_{вх} = 0$) для розсмоктування надлишкового заряду, який накопичився в базі за час перебування ТК у відкритому стані, необхідно час $\Delta t = t_4 - t_3$. За цей час переходи транзистора почмають закриватися. Наявність цього Δt говорить про те, що струм бази у відкритому стані був значно більше струму бази насичення ($I_B \gg I_{BH}$).

Інтервал $t_4 \dots t_5$ – формування заднього фронту.

Інтервал $t > t_5$: транзистор закритий і ТК знаходиться в своєму початковому стані.

2.9. Схема 9. Транзисторний ключ на базі польового транзистора

Нижче наведено схему транзисторного ключа на базі польового транзистора МОН-типу. Схему зібрано у середовищі MicroCap: *keyField.cir* (рис. 42).

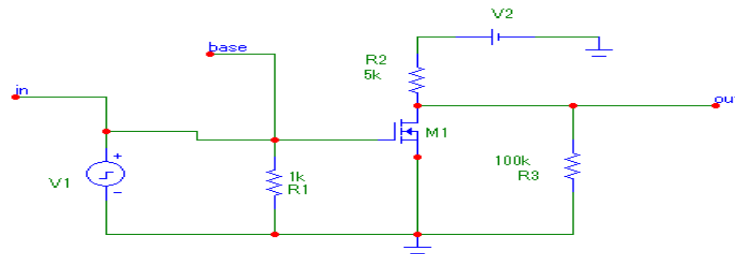


Рис. 42. Схема транзисторного ключа на базі польового транзистора МОН-типу з n-каналом, який індукується

Параметри схеми:

- 1) M1 (DNMOS): Model = BS170;
- 2) V1 (Pulse Source): Model = SQUARE: P1 = 0 [sec]; P2 = 1n [sec]; P3 = 700n [sec]; P4 = 700n [sec]; P5 = 1u [sec]; vone = 5; vzero = 0;
- 3) V2 (Battery): Value = 5.

Інші параметри вказані на самій схемі.

На рис. 42, який наведено вище, в якості польового транзистору обрано МОН-транзистор с індукованим каналом n-типу. У МОН-ПТ із каналом, що індукується, на відміну від ПТ з p-n-переходами канал між областями витоку і

стоку при виготовленні транзистора технологічно не створюється (відсутній) (рис. 43).

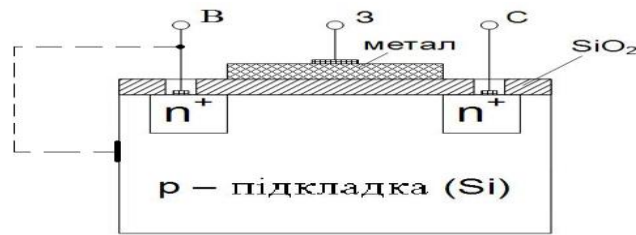


Рис. 43. Спрощена структура МДН ПТ із каналом n-типу, що індукується

Канал індукується за рахунок явища інверсії, яке виникає у системі метал-діелектрик-напівпровідник. У разі подачі на затвор напруги додатної полярності індукується канал n-типу, від'ємної полярності – p-типу.

Тобто МОН-ПТ із каналом, що індукується, керується напругою затвору лише одного знаку. На рис. 43 наведено структуру МОН-ПТ із каналом n-типу, що індукується, який керується додатною напругою на затворі. На рис. 44 зображено стоко-затворну і стокові характеристики такого транзистора.

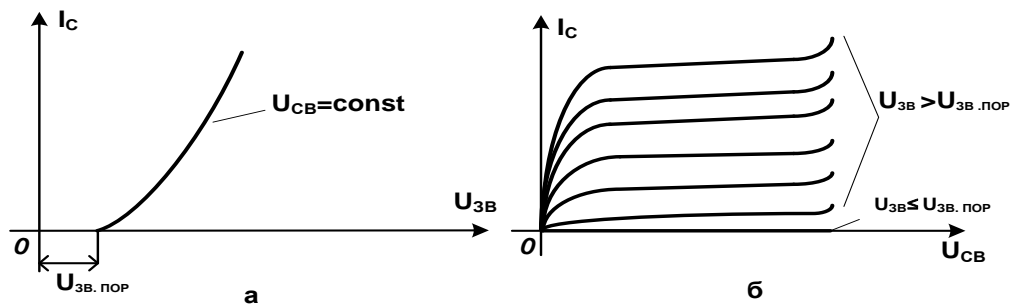


Рис. 44. Статичні ВАХ МОН ПТ із n-каналом, що індукується:
а – вхідні; б – вихідні

Подібно до біполярних транзисторів ПТ можна включати у електричний ланцюг за однією з трьох схем: СВ – спільним витоком; СЗ – спільним затвором і СС – спільним стоком. Найчастіше застосовується схема включення ПТ із спільним витоком (рис. 42).

На рис. 45 наведено часові діаграми роботи транзисторного ключа, схему якого наведено на рис. 42.

У вихідному стані, коли $U_{вх} = 0$, каналу, який проводить струм, в підкладці транзистора немає, тому ТК закритий. Це означає, що $i_c = i_b = 0$ і вся напруга джерела живлення V_2 подається на вихід схеми: $U_{вих} = V_2$. Такому стану схеми на графіку відповідає відрізок часу $t = 0 \div t_1$.

Якщо на вхід схеми подавати напругу додатної полярності, то при певному її значенні через транзистор почне протікати струм.

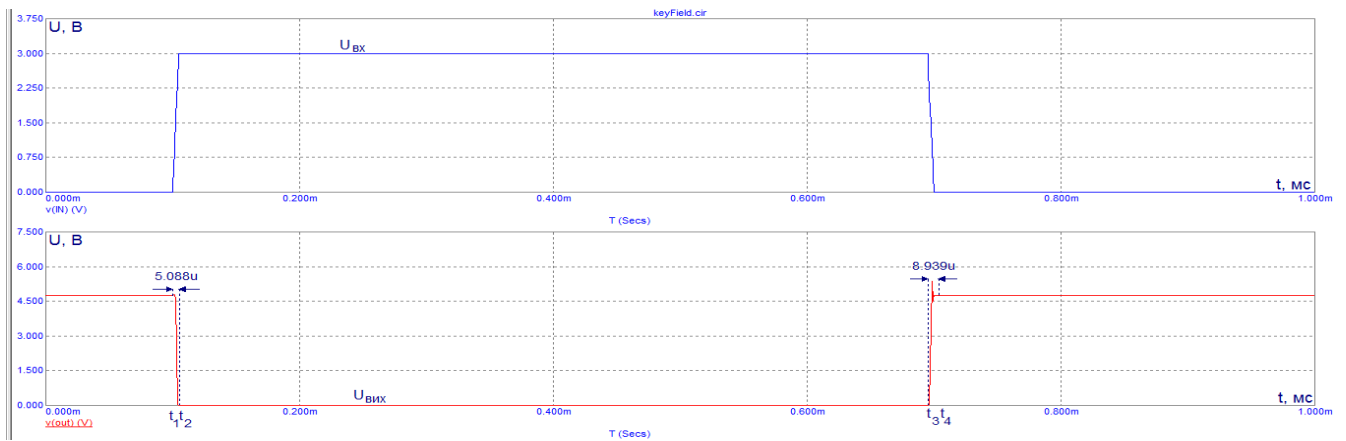


Рис. 45. Часові діаграми роботи ТК на польовому МОН-транзисторі

Це пояснюється тим, що в підкладці р-типу між витоком та стоком буде індукуватися канал (n-типу), який забезпечить електричне з'єднання електродів транзистора (вони також мають тип провідності – n). Врешті ТК відкриється і $U_{\text{вих}}$, яке дорівнює падінню напруги на опорі каналу, в цьому випадку буде невеликим (близьким до нуля), що підтверджують наведені нижче графіки. Як видно, в момент відмикання ключа ($t = t_1$) $U_{\text{вих}}$ зменшується не миттєво. Це пов'язано з обмеженістю швидкості формування провідного каналу.

Коли керувальна напруга $U_{\text{вх}}$ знову впаде до 0 (момент t_3), електрони у підкладці транзистора під дією дифузійного ефекту будуть рівномірно розподілятися за її об'ємом і канал поступово через деякий час зникне. ТК закриється, і вихідна напруга знову зросте до значення V_2 .

Нижче наведено схему для зняття стоко-затворної характеристики транзисторного ключа на базі польового МОН-транзистора. Схему зібрано у середовищі MicroCap: *keyFieldStZt.cir* (рис. 46).

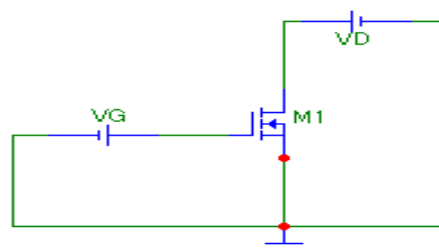


Рис. 46. Схема для зняття стоко-затворної характеристики польового МОН-транзистора

Параметри схеми:

- 1) M1 (DNMOS): Model = BS170;
- 2) VG (Battery);
- 3) VD (Battery).

На рис. 47 наведено стоко-затворну характеристику польового МОН-транзистора.

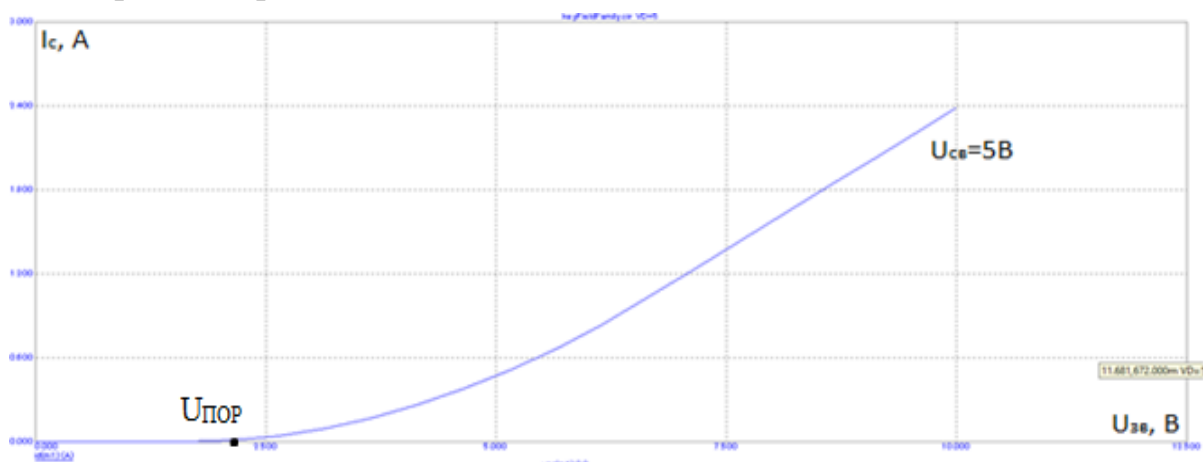


Рис. 47. Стоко-затворна характеристика польового МОН-транзистора

Ця стоко-затворна характеристика показує, що формування каналу починається лише тоді, коли $U_{вх}$ досягає значення $U_{пор}$.

Максимальне значення струму стоку в схемі на рис. 42 визначається резистором R2: $I_{c,max} \approx V2/R2$.

2.10. Схема 10. Транзисторний ключ на базі діода Шоттки

Нижче наведено схему транзисторного ключа на базі діода Шоттки. Схему зібрано у середовищі MicroCap: *key_Shotki.cir* (рис. 48).

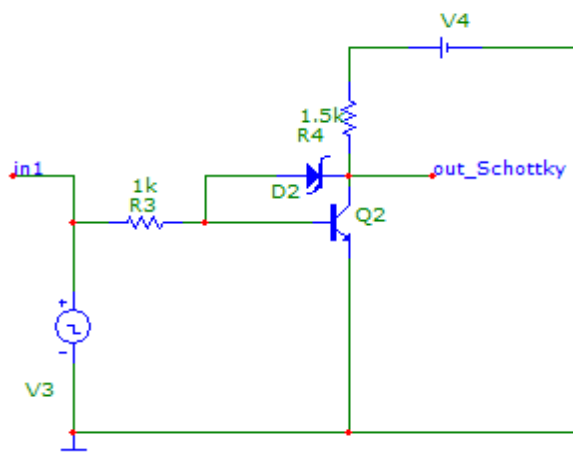


Рис. 48. Схема транзисторного ключа на базі діода Шоткі

Параметри схеми:

- 1) V3 (Pulse source): Model = SQUARE: P1 = 1u [sec]; P2 = 1u [sec]; P3 = 4u [sec]; P4 = 4u [sec]; P5 = 10u [sec]; vone = 2,5; vzero = 0;
- 2) V4 (Battery) = 4 (B);
- 3) D2 (Diode 1N5712);

- 4) $R3 = 1k$;
- 5) $R4 = 1,5k$;
- 6) Q2 (N-P-N 2N2219).

Результати досліджу

На рис. 49 наведено часові діаграми роботи ТК на біполярному n-p-n-транзисторі без та з діодом Шотткі.

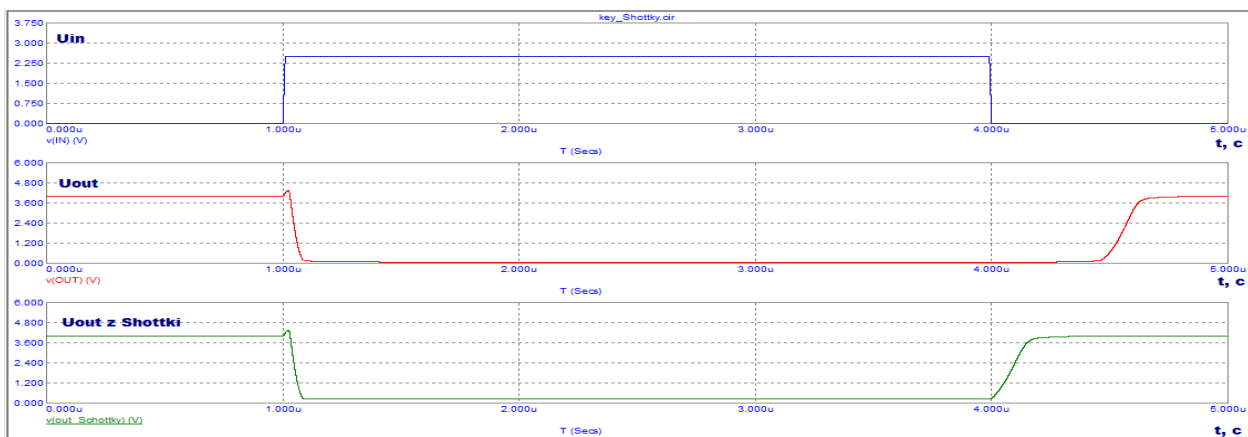


Рис. 49. Часові діаграми роботи ТК на біполярному n-p-n-транзисторі без та з діодом Шотткі

На вихідних характеристиках добре видно, що у разі подання на вхід додатного імпульсу обидва ТК змінюють стан (відкриваються) за однаковий час. Проте, ТК на базі діоду Шотткі більш швидко повертається у початковий стан (закривається) за рахунок меншого часу перехідного процесу.

3. Порядок виконання роботи

- 1) Схема 1. Дослідження передатних та часових характеристик послідовного ДК:
 - а. Зняти та проаналізувати передатну характеристику для послідовного ДК. Приклад характеристики наведено на рис. 25, внизу;
 - б. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу послідовного ДК. Приклад характеристики наведено на рис. 25, зверху.
- 2) Схема 2. Дослідження передатних та часових характеристик послідовного ДК зі зміщенням:
 - а. Зняти та проаналізувати передатну характеристику для послідовного ДК зі зміщенням. Приклад характеристики наведено на рис. 27, внизу;

- в. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу послідовного ДК зі зміщенням. Приклад характеристики наведено на рис. 27, вгорі.
- 3) Схема 3. Дослідження передатних та часових характеристик паралельного ДК:
- а. Зняти та проаналізувати передатну характеристику для паралельного ДК. Приклад характеристики наведено на рис. 29, внизу;
 - в. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу паралельного ДК. Приклад характеристики наведено на рис. 29, вгорі.
- 4) Схема 4. Дослідження передатних та часових характеристик паралельного ДК зі зміщенням:
- а. Зняти та проаналізувати передатну характеристику для паралельного ДК зі зміщенням. Приклад характеристики наведено на рис. 31, внизу;
 - в. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу паралельного ДК зі зміщенням. Приклад характеристики наведено на рис. 31, вгорі.
- 5) Схема 5. Дослідження часових характеристик ТК на базі n-p-n-транзистора, який включено за схемою зі спільним емітером, у разі подачі на вхід різнополярних імпульсів: зняти та проаналізувати залежність вхідної/вихідної напруг та струму бази від часу для зібраної схеми ТК. Приклад характеристик наведено на рис. 34.
- 6) Схема 6. Дослідження часових характеристик ТК з прискорюючим конденсатором та без нього на базі n-p-n-транзистора, який включено за схемою зі спільним емітером: зняти та проаналізувати залежність вхідної/вихідної напруг та струму бази від часу для зібраної схеми ТК з прискорюючим конденсатором та без нього. Приклад характеристик наведено на рис. 36, 37.
- 7) Схема 7. Дослідити схему транзисторного ключа відкритого у початковому стані: зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК відкритого у початковому стані. Приклад характеристик наведено на рис. 39.
- 8) Схема 8. Дослідити схему транзисторного ключа закритого у початковому стані: зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК закритого у початковому стані. Приклад характеристик наведено на рис. 41.
- 9) Схема 9.1. Дослідити схему транзисторного ключа на польовому транзисторі: зняти та проаналізувати залежність вхідної/вихідної напруг від часу для зібраної схеми ТК на польовому МОН-транзисторі. Приклад характеристик наведено на рис. 45.

- 10) Схема 9.2. Дослідити схему для зняття стоко-затворної характеристики польового транзистора: зняти та проаналізувати стоко-затворну характеристику польового транзистора. Приклад характеристик наведено на рис. 47.
- 11) Схема 10. Дослідити схему транзисторного ключа на базі діода Шоттки. Приклад характеристик наведено на рис. 49.

4. Контрольні питання

- 1) Що таке електронний ключ? Які діоди найчастіше використовують для діодних ключів?
- 2) Наведіть принципову електричну схему послідовного діодного ключа та поясніть відповідну передатну характеристику.
- 3) Яка напруга називається пороговою? Для чого в схемі вводиться джерело напруги зсуву?
- 4) Як виконати розрахунок послідовного діодного ключа з урахуванням впливу напруг $U_{вх}$ та $E_{зс}$?
- 5) Які вимоги пред'являються до співвідношення резисторів послідовного діодного ключа?
- 6) Наведіть принципову електричну схему паралельного діодного ключа та поясніть відповідну передатну характеристику.
- 7) Які вимоги пред'являються до співвідношення резисторів паралельного діодного ключа?
- 8) У чому полягає принцип роботи транзисторних ключів?
- 9) Назвіть стани, в яких перебувають ТК. Чим вони відрізняються?
- 10) Чим відрізняється ключовий режим роботи транзистора від підсилювального?
- 11) Запишіть умову відсічення для закритого стану ТК. Яким чином її можна забезпечити?
- 12) Запишіть умови насичення ТК. Яким чином її можна забезпечити?
- 13) Що таке ступінь насичення ТК?
- 14) Дайте характеристику значенням вхідних та вихідних струмів та напруг для закритого та відкритого станів ТК.
- 15) Поясніть часові діаграми роботи ТК.
- 16) Як можна підвищити швидкодію роботи ТК? Зобразіть оптимальну форму вхідного базового струму ТК.
- 17) Яким чином конденсатор, що прискорює, змінює форму базового струму?
- 18) Назвіть переваги ключів на польових транзисторах.
- 19) Що таке діод та транзистор Шоттки?

ЛАБОРАТОРНА РОБОТА №4

Тема: Дослідження імпульсних тригерів, аналогових компараторів та схем формування рівнів.

Мета: Дослідити принцип дії, основні властивості та характеристики імпульсних тригерів (ІТ), аналогових компараторів (АК) та схем формування рівнів (СФР). Ознайомитись із основними параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Імпульсні тригери

1.1.1. Загальні відомості про імпульсні тригери

Тригером називається електронний пристрій, що має два стійких стани рівноваги і здатний під дією керувальних сигналів стрибком переходити з одного стійкого стану в інший. Зазвичай тригер містить два виходи і декілька керувальних входів.

Сигнали на виходах тригера, один із яких називається прямим і позначається Q , а інший – інверсним – \bar{Q} , змінюються в протифазі.

За наявності живлення тригер має два стійких стани рівноваги: тригер відключений, або тригер включений.

Після включення живлення тригер займає випадковий стан (включений чи відключений), що необхідно враховувати в електронних схемах, де початковий стан схеми має значення. Для переведення тригера у початковий стан використовують керувальні входи, які позначаються S – Set та R – Reset.

Якщо тригер знаходиться виключеному початковому стані, то на виході \bar{Q} , присутній високий рівень напруги, а на виході Q – низький. Якщо ж тригер встановлено у протилежний включений стан, то з виходу \bar{Q} знімається низький рівень сигналу, а з виходу Q – високий.

Тригер може мати також ще один керувальний вхід, який називається рахунковим (лічильним). В такому тригері зміна стану на протилежний (переключення) відбувається під час кожного імпульсу на цьому вході.

Тригери широко застосовуються: як елементи пам'яті, які здатні зберігати 1 біт двійкової інформації (цифрові тригери); у подільниках частоти; лічильниках імпульсів; у формувачах прямокутних імпульсів із сигналів довільної форми і т. ін.

На рис. 1 наведено часові діаграми роботи тригера з лічильним Т-входом, що пояснюють його використання як подільника частоти вхідних імпульсів на два. Чотирьом імпульсам на лічильному вході Т відповідають два імпульси на виходах тригера.

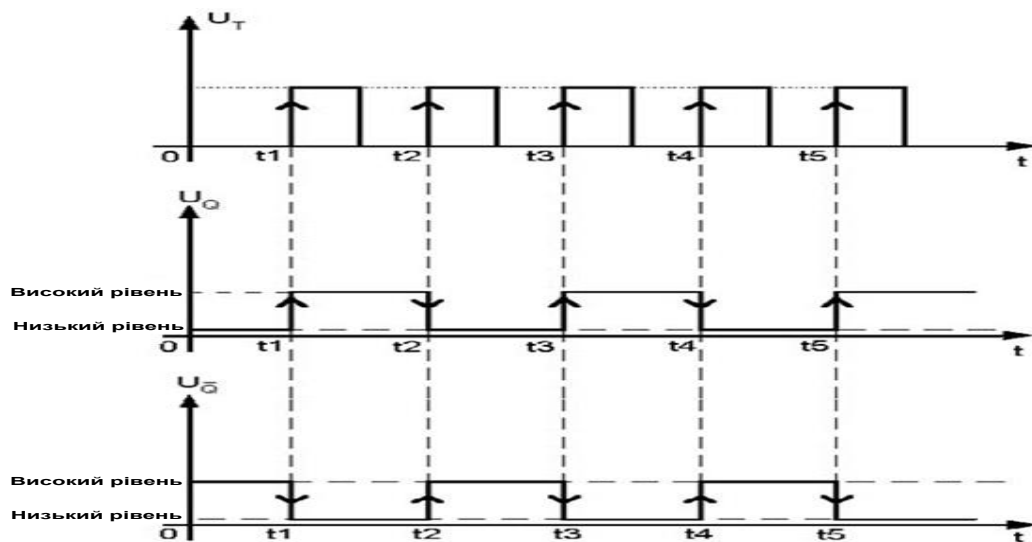


Рис. 1. Часові діаграми роботи тригера з лічильним входом

Для швидкового переключення тригера в ньому повинна виконуватися умова виникнення стрибків: баланс амплітуд і баланс фаз, під дією якої під час отримання відповідних сигналів керування схема дуже швидко (лавинopodobно) змінює свій стан.

Завдяки цьому на виходах тригера формуються прямокутні імпульси з крутими фронтами.

Є кілька варіантів виконання тригерів: на транзисторах та ІМС ОП; на логічних елементах (ЛЕ), або у вигляді спеціалізованої ІМС.

Тригери на ЛЕ і в інтегральному виконанні будуть розглянуто у лабораторній роботі №8.

Нижче зупинимося на принципах роботи і застосуванні імпульсних тригерів на дискретних компонентах (транзисторах та ІМС ОП).

До основних схем тригерів на дискретних компонентах належать: симетричні тригери та несиметричні тригери.

1.1.2. Симетричні тригери

1.1.2.1. Загальні відомості про симетричні тригери

Існують два різновиди симетричних тригерів: із зовнішнім зміщенням, або із автоматичним зміщенням.

Схему симетричного асинхронного тригера із зовнішнім зміщенням наведено на рис. 2.

Вона містить два транзисторних ключі, виконаних на біполярних транзисторах, включених за схемою зі спільним емітером. Вихід кожного ключа зв'язаний із входом іншого.

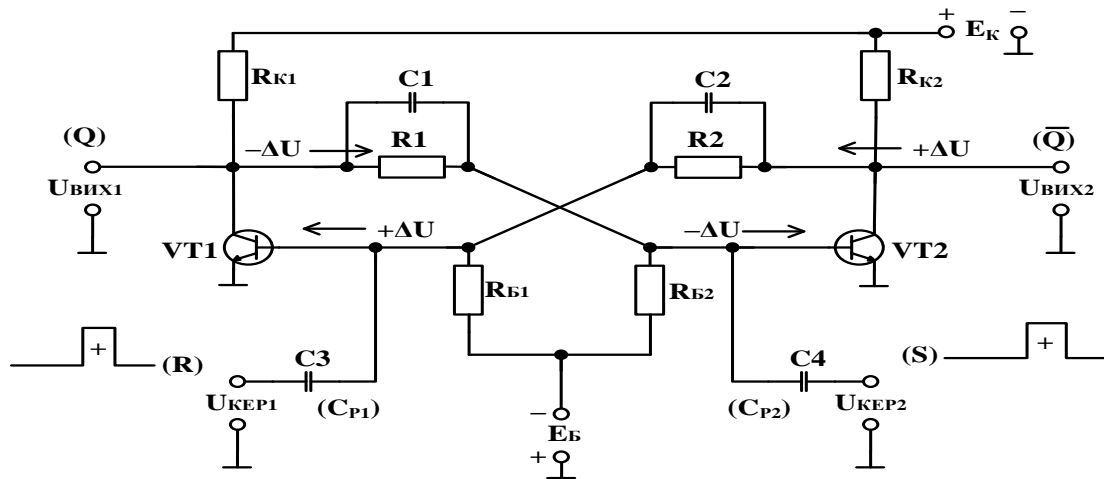


Рис. 2. Схема асинхронного симетричного тригера з зовнішнім зміщенням

Призначення окремих компонентів ТК аналогічне схемі ключа з зовнішнім зміщенням, який було розглянуто у лабораторній роботі №3: R_{K1} , R_{K2} – навантажувальні резистори транзисторів, що визначають положення навантажувальної прямої на вихідних статичних ВАХ і задають необхідне значення струму насичення транзисторів $I_{K.H}$. Резистори R_{B1} , R_{B2} забезпечують закривання одного з транзисторів від зовнішнього джерела зміщення: $-E_B$. Резистори R1 і R2 здійснюють зв'язок між ключами і забезпечують відкривання одного з транзисторів зі ступенем насичення S, близьким до одиниці. C1, C2 – прискорюючі конденсатори, призначені для прискорення переключення транзисторів. Ємності C3, C4 забезпечують передачу на бази транзисторів керувальних імпульсів, що здійснюють переключення тригерів. Симетричним даний тригер буде тоді, коли елементи схеми, що відносяться до кожного ключа, однакові: $C1 = C2 = C$; $R_{K1} = R_{K2} = R_K$; $C3 = C4$; $R1 = R2 = R$; VT1 і VT2 – одного типу.

У схемі є додатний зворотний зв'язок (ДЗЗ), тобто виконується перша умова виникнення стрибків – баланс фаз. Коли робочі точки обох транзисторів знаходяться в активній області, у тригері виконується друга умова виникнення стрибків – баланс амплітуд, що полягає в тім, що сумарне підсилення сигналів ланцюга ДЗЗ перевищує його загасання і їхній добуток більший одиниці.

Схема має два стани стійкої рівноваги:

- 1-й стан (нульовий) – VT1 – насичений (відкритий); VT2 – закритий;
- 2-й стан (одиничний) – VT1 – закритий, VT2 – відкритий (насичений).

Один з таких станів випадково встановлюється після вмикання живлення схеми, через наявність невеликої асиметрії, яка є практично навіть за однакових компонентів ключів.

Припустимо, що схема зайняла 1-й стан – VT1 відкритий, VT2 закритий. Відповідно до позначень, які наведено на рис. 2, даний стан тригера є нульовим. Протилежний йому 2-й стан є одиничним.

На колекторі правого закритого транзистора присутня напруга $U_{\text{вих2}} \approx E_{\text{к}}$, а на колекторі лівого відкритого: $U_{\text{вих1}} = E_{\text{к.н}} \approx 0$. Напруга $U_{\text{вих2}}$ через резистор R2 прикладається до бази VT1, забезпечуючи його насичення. Оскільки $U_{\text{вих1}} \approx 0$, то правий транзистор надійно закритий від джерела зміщення ($-E_{\text{б}}$). Такий стан за відсутності керувальних вхідних сигналів є стійким і за наявності живлення схеми може тривати як завгодно довго.

Для переключення тригера в протилежний одиничний стан необхідно подати додатний керувальний імпульс на вхід встановлення в одиницю S (на базу правого транзистора). Правий транзистор відкривається, на його колекторі з'являється від'ємне збільшення напруги, що через конденсатор C2, який зашунтовує резистор R2, передається на базу лівого транзистора. Під дією цього сигналу лівий транзистор призакривається, на його виході з'являється додатне збільшення напруги, що через C1 надходить на базу VT2. Коли робочі точки обох транзисторів опиняться в активній області, в схемі починає виконуватися друга умова виникнення стрибків і тригер швидко змінює свій стан (переключається). Схема переходить у другий стан рівноваги – одиничний: VT1 – закритий; VT2 – відкритий. Для повернення тригера в нульовий стан необхідно подати додатний керувальний імпульс на вхід скидання в нуль R (базу лівого транзистора). У цьому разі в схемі знову виникає регенеративний процес, який описано вище.

Таким чином, перекидання схеми відбувається в моменти надходження на її входи відповідних керувальних сигналів. В інший час схема знаходиться в стані стійкої рівноваги.

Під час використання тригерів в електронних пристроях, що переключаються, важливим параметром є їхня швидкодія, обумовлена максимальним числом переключень, що може здійснюватися за визначений проміжок часу. Швидкодія, яка вимірюється в герцах, впливає на мінімально можливий інтервал між двома керувальними імпульсами. Цей інтервал залежить від часу переходу тригера з одного стану в інший.

Процес переключення тригера умовно розділяють на три етапи:

- 1) підготовки;
- 2) лавиноподібного переключення;
- 3) відновлення.

На етапі підготовки робоча точка відкритого транзистора переміщається з області насичення в активну область, а робоча точка закритого транзистора – з області відсічення в активну. В процесі лавиноподібного переключення схема

швидко змінює свій стан. Час відновлення є найбільш тривалою частиною переходу тригера з одного стану в інший. Він в першу чергу визначається часом заряду прискорюючого конденсатора через колекторний резистор закритого транзистора. Для зменшення часу відновлення потрібно зменшувати значення прискорюючих конденсаторів і колекторних резисторів транзисторів.

Крім того, на етапі відновлення необхідний час для розрядження конденсатора, приєднаного до колектора відкритого транзистора. Наявність стадії відновлення приводить до того, що період надходження керувальних сигналів повинний бути таким, щоб до приходу чергового імпульсу напруги на конденсаторах вже установилися. Зарядження і розрядження прискорюючих конденсаторів, приводять до затягування переднього фронту вихідних імпульсів і до спотворення заднього.

Швидкодія транзисторних тригерів підвищується, якщо в них застосовуються ненасичені транзисторні ключі, в яких використовується нелінійний ВЗЗ, реалізований, наприклад, за допомогою напівпровідникових діодів, або діодів Шоттки (див. лабораторну роботу №3).

В таких ключах виключається насичення відкритого транзистора і накопичення надлишкового заряду в базі, а, отже, зменшується час розсмоктування під час вимикання ключа.

1.1.2.2. Способи переключення симетричних тригерів

Існують два способи переключення (запуску) симетричних тригерів: роздільний і лічильний.

У першому випадку, переключення тригера здійснюється керувальними імпульсами однієї полярності, які подаються по черзі на базу кожного з транзисторів (рис. 2). У другому випадку, керувальні імпульси однієї полярності одночасно подаються на бази (чи колектори) обох транзисторів (рис. 3).

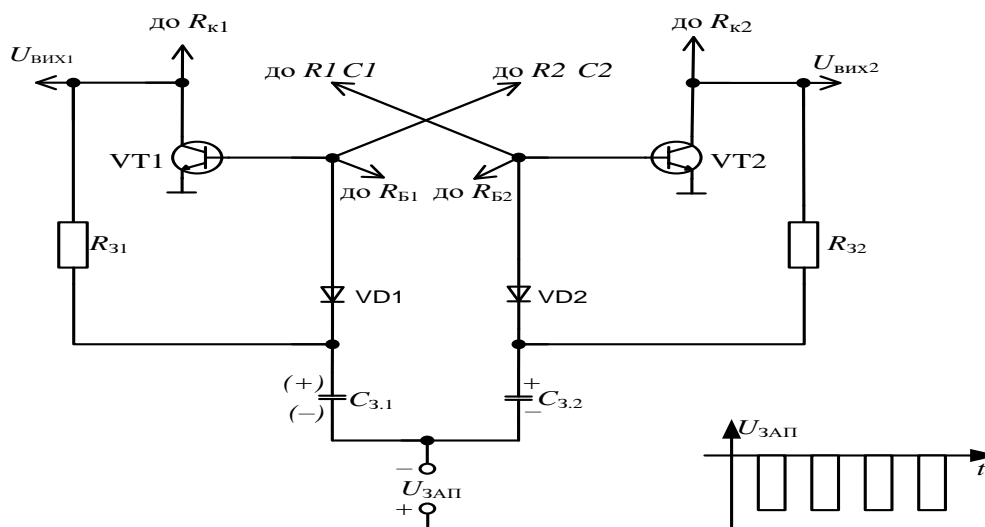


Рис. 3. Приклад тригера з лічильним запуском

Керувальні імпульси повинні бути короткими з великою крутістю переднього фронту. Як елементи ланцюгів керування використовуються роздільні конденсатори, діоди і, якщо тривалість керувальних імпульсів велика, – диференціюючі ланцюги.

Розглянемо роботу тригера, схему якого наведено на рис. 3.

Припустимо, у вихідному стані VT1 – відкритий, а VT2 – закритий. Конденсатор $C_{3.1}$ розряджений, а $C_{3.2}$ – заряджений до напруги, близького до $+E_K$. Перший від’ємний імпульс $U_{ЗАП}$ через розряджений конденсатор $C_{3.1}$ і відкритий діод VD1 (VD2 – закритий, тому що $C_{3.2}$ – заряджений і не пропускає від’ємний імпульс) надходить на базу відкритого транзистора VT1. Через виконання в схемі умови виникнення стрибків (баланс фаз і баланс амплітуд) тригер швидко (лавинopodobно) переключиться в протилежний стан: VT1 – закритий, VT2 – відкритий. Конденсатор $C_{3.2}$ не встигає швидко розрядитися, поки діє перший запускаючий імпульс, тому повторне переключення схеми не відбувається. До приходу наступного запускаючого імпульсу конденсатор $C_{3.2}$ розряджається, а $C_{3.1}$ – заряджається. Наступний імпульс знову переключить тригер у протилежний стан і т. д.

1.1.3. Несиметричні тригери (тригери Шмітта)

1.1.3.1. Загальні відомості про тригери Шмітта

Тригери Шмітта (ТШ) мають початкову схемну асиметрію і широко застосовуються як:

- порогові пристрої, у яких напруга спрацьовування $U_{СПР}$ більша за напругу відпускання $U_{ВІДП}$;
- формувачі прямокутних імпульсів із вхідних сигналів довільної форми.

Існує кілька варіантів виконання несиметричних тригерів: на дискретних компонентах; на інтегральних мікросхемах операційних підсилювачів (ІМС ОП), або у вигляді спеціалізованої інтегральної мікросхеми.

1.1.3.2. Тригери Шмітта, що не мають пам’яті

Умовно ТШ на ІМС ОП можна розділити на дві групи: ТШ, що не мають пам’яті та ТШ, що мають пам’ять.

Основним елементом тригера, що не має пам’яті, є ІМС ОП, що охоплена ДЗЗ. На рис. 4 наведено: а – схему ТШ; б – передатну характеристику ТШ, якщо ІМС ОП – ідеальна; в – передатну характеристику реальної ІМС ОП;

г – передатну характеристику ідеальної ІМС ОП; д – передатну характеристику ТШ, якщо ІМС ОП – реальна.

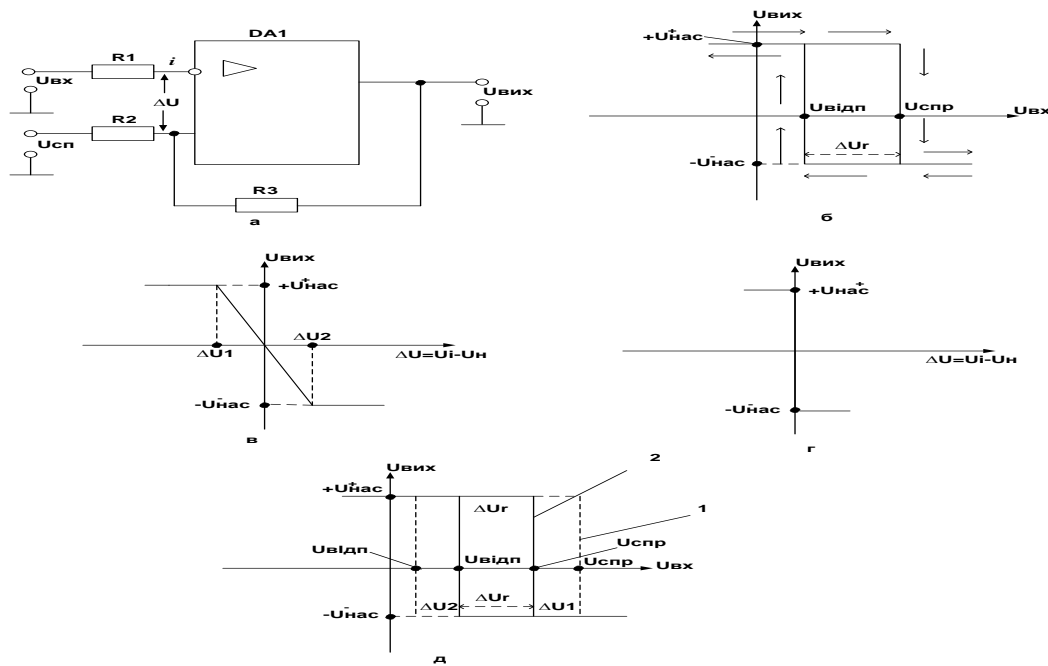


Рис. 4. ТШ на ІМС ОП, що не має пам'яті

Розглянемо роботу тригера за умови, що ІМС ОП – ідеальна. В цьому випадку $\Delta U_1 = \Delta U_2 \approx 0$ і передатна характеристика ІМС ОП має вигляд, який наведено на рис. 4, г.

$$\text{Будемо вважати, що } +U_{НАС}^+ = |-U_{НАС}^-| = U_{НАС}.$$

Для вихідного стану схеми $U_{ВХ} = 0, U_{ВИХ} = +U_{НАС}$. Напряга на вході ІМС ОП, що не інвертує, визначається двома напругами: $U_{ОП}$ та $U_{ВИХ}$.

Використовуючи принцип суперпозиції одержимо:

$$U_{Н1} = \frac{U_{ОП} \cdot R3}{R2 + R3} + \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{СПР}. \quad (1)$$

Коли на вхід тригера подається вхідний сигнал $U_{ВХ}$ і його значення менше за $U_{СПР}$, стан ТШ не змінюється. Якщо $U_{ВХ} \geq U_{СПР}$ схема швидко (лавиноподібно) переключається в другий стан, а напруга $U_{ВИХ} = -U_{НАС}$.

Напряга на вході, що не інвертує, у цьому разі дорівнює:

$$U_{Н2} = \frac{U_{ОП} \cdot R3}{R2 + R3} - \frac{U_{НАС} \cdot R2}{R2 + R3} = U_{ВДП}. \quad (2)$$

Поки вхідний сигнал більший за напругу відпускання ($U_{ВХ} > U_{ВДП}$), стан ТШ не змінюється.

Якщо $U_{\text{ВХ}} \leq U_{\text{ВІДП}}$, то тригер швидко переключиться у вихідний стан.
 $U_{\text{СПР}} \neq U_{\text{ВІДП}} (U_{\text{СПР}} > U_{\text{ВІДП}})$ і в схемі є гістерезис. Напряга гістерезису

$$\Delta U_{\Gamma} = U_{\text{СПР}} - U_{\text{ВІДП}} = 2 \cdot \frac{U_{\text{НАС}} \cdot R2}{R2 + R3}, \quad (3)$$

$$\text{якщо } +U_{\text{НАС}} = |-U_{\text{НАС}}| = U_{\text{НАС}}.$$

Розглянемо роботу тригера за умови, що ІМС ОП – реальна. У цьому випадку $\Delta U_1 \neq 0; \Delta U_2 \neq 0$ і передатна характеристика ІМС ОП має вигляд наведений на рис. 4, в.

Вирази для визначення ΔU_1 і ΔU_2 мають вигляд:

$$|\Delta U1| = \frac{U_{\text{НАС}}}{K_{U. \text{ІМС ОП}}}, \quad (4)$$

$$\Delta U2 = \frac{|-U_{\text{НАС}}|}{K_{U. \text{ІМС ОП}}}. \quad (5)$$

Останнє відбивається на формі передатної характеристики ТШ, яку наведено на рис. 4, д. Пунктиром на цьому рисунку наведено передатну характеристика тригера, якщо ІМС ОП – ідеальна. Як видно з рисунка, під час збільшення вхідної напруги тригер спрацьовує раніше і

$$U_{\text{СПР}} = U'_{\text{СПР}} - |\Delta U1|, \quad (6)$$

де $U'_{\text{СПР}}$ – напруга спрацьовування в ТШ з ідеальною ІМС ОП.

Під час зменшення $U_{\text{ВХ}}$ тригер відпускає також раніше і

$$U_{\text{ВІДП}} = U'_{\text{ВІДП}} + \Delta U2, \quad (7)$$

де $U'_{\text{ВІДП}}$ – напруга відпускання в ТШ з ідеальною ІМС ОП.

Величина гістерезису зменшується і дорівнює

$$\Delta U_{\Gamma} = \Delta U'_{\Gamma} - 2 \cdot \frac{U_{\text{НАС}}}{K_{U. \text{ІМС ОП}}}, \quad (8)$$

де $\Delta U'_{\Gamma}$ – величина гістерезису у ТШ з ідеальною ІМС ОП;

$$+U_{\text{НАС}} = |-U_{\text{НАС}}| = U_{\text{НАС}}.$$

Розглянутий тригер під час зняття вхідного сигналу повертається у вихідний стан, тобто не має пам'яті.

В основному такий ТШ застосовується як пороговий пристрій, але може використовуватися як формувач імпульсів із сигналу довільної форми (рис. 5).

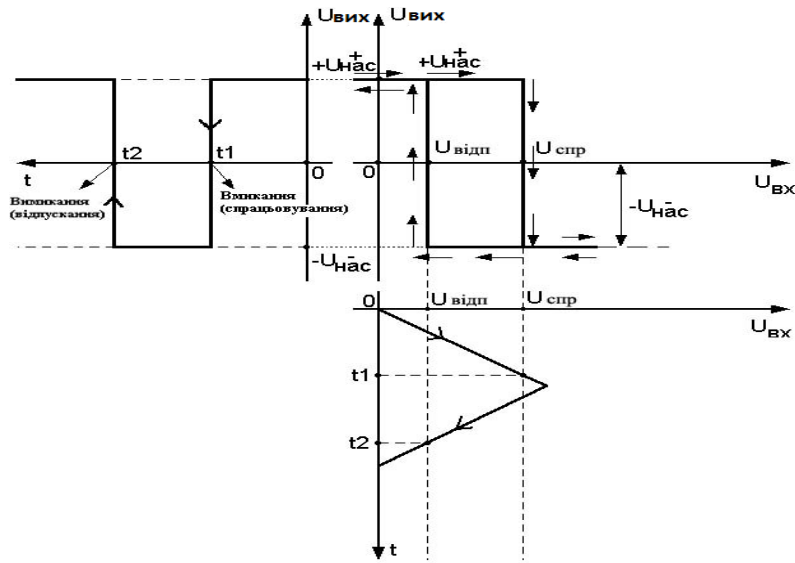


Рис. 5. Приклад використання ТШ, що не має пам'яті, на ІМС ОП в якості формувача прямокутного імпульсу з сигналу довільної форми

1.1.3.3. Тригери Шмітта, що мають пам'ять

Схему ТШ, що має пам'ять, на ІМС ОП та його передатні характеристики наведено на рис. 6.

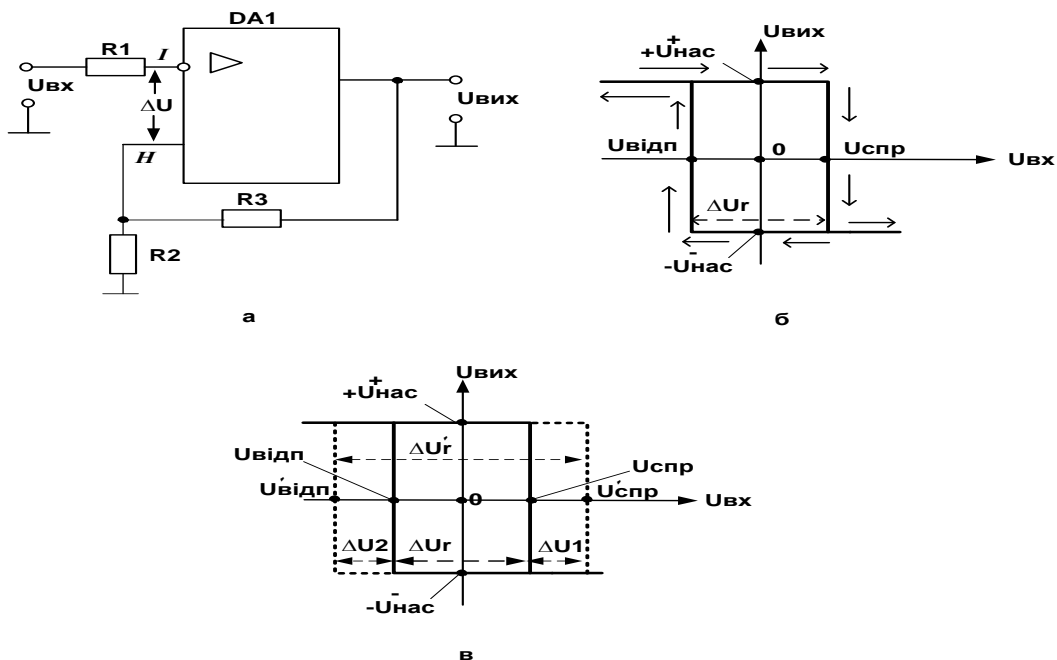


Рис. 6. ТШ, що має пам'ять, на ІМС ОП: а – схема; б – передатна характеристика ТШ, якщо ІМС ОП – ідеальна; в – передатна характеристика ТШ, якщо ІМС ОП – реальна.

Відмінність даного ТШ від попереднього, розглянутого вище, полягає в тому, що $U_{оп} = 0$ (рис. 6, а). Це змінює характеристики і роботу тригера (рис. 6, б, в).

Основні розрахункові співвідношення для цього випадку можуть бути отримано з виразів 1...8 шляхом підстановки в них $U_{оп} = 0$:

$$U'_{спр} = + \frac{U_{нас} \cdot R2}{R2 + R3}; \quad (9)$$

$$U'_{відп} = - \frac{U_{нас} \cdot R2}{R2 + R3}; \quad (10)$$

$$\Delta U'_Г = U'_{спр} - U'_{відп} = 2 \cdot \frac{U_{нас} \cdot R2}{R2 + R3}; \quad (11)$$

$$U_{спр} = \frac{U_{нас} \cdot R2}{R2 + R3} - \frac{U_{нас}}{K_{U.МСОП}}; \quad (12)$$

$$U_{відп} = - \frac{U_{нас} \cdot R2}{R2 + R3} + \frac{|-U_{нас}|}{K_{U.МСОП}}; \quad (13)$$

$$\Delta U_Г = \Delta U'_Г - 2 \cdot \frac{U_{нас}}{K_{U.МСОП}}, \quad (14)$$

де $(+U_{нас}^+ = |-U_{нас}^-| = U_{нас})$.

У разі відсутності вхідного сигналу ($U_{вх} = 0$) тригер займає довільний вихідний стан: $U_{вих} = +U_{нас}$ чи $U_{вих} = -U_{нас}$, що визначається початковою асиметрією схеми.

Щоб увімкнути вимкнений тригер ($U_{вих} = +U_{нас}$) необхідно подати вхідний сигнал $U_{вх} \geq U_{спр}$.

У цьому разі схема швидко змінює свій стан і $U_{вих} = -U_{нас}$.

Щоб вимкнути увімкнений тригер необхідно подати вхідний сигнал $|-U_{вх}| \geq |-U_{відп}|$.

Особливістю даного тригера є те, що після зняття керувального сигналу ($U_{вх} = 0$) схема залишається у увімкненому чи вимкненому стані, тобто має пам'ять.

Тригер може вмикатися додатним імпульсом, а вимикатися – від'ємним.

На рис. 7 показано застосування цього тригера як формувача різнополярних прямокутних імпульсів із вхідного синусоїдального сигналу.

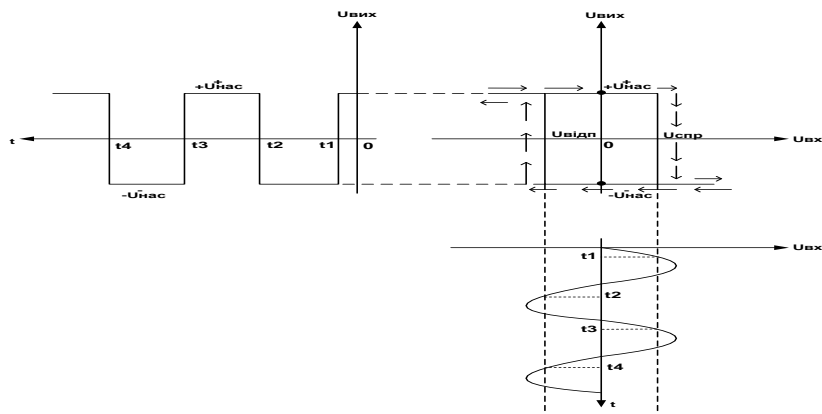


Рис. 7. Приклад використання ТШ, що має пам'ять, на ІМС ОП у якості формувача різнополярних прямокутних імпульсів з вхідного синусоїдального сигналу

1.2. Аналогові компаратори

1.2.1. Загальні відомості про аналогові компаратори

Компаратором називається електронний пристрій, призначений для порівняння двох сигналів (напруг).

В залежності від форми представлення порівнюваних сигналів компаратори поділяються на: аналогові компаратори (АК) та цифрові компаратори (ЦК). Цифрові компаратори розглянуто окремо у [1].

Нижче описуються АК, що призначено для порівняння двох аналогових напруг, одна з яких виконує функцію еталонної: $U_{ЕТ}$, а інша порівнюється з еталонною: U_X .

Звичайно АК включає власне аналоговий компаратор (ВАК) і схему формування рівнів (СФР) (рис. 8).

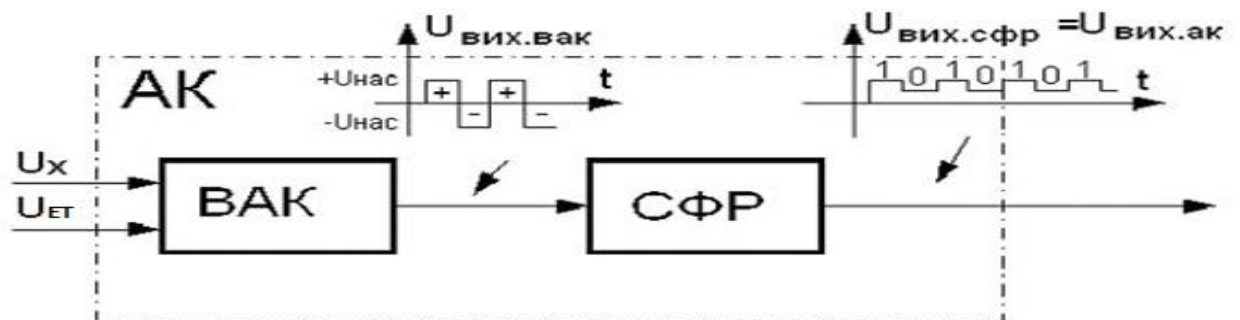


Рис. 8. Структура аналогового компаратора

Власне аналоговий компаратор виконує порівняння двох напруг: $U_{ЕТ}$ і U_X і формує на виході дискретний сигнал, що приймає одне з двох значень: $+U_{НАС}$, або $-U_{НАС}$. Схема формування рівнів перетворює значення: $+U_{НАС}/-U_{НАС}$ у рівні цифрових сигналів ТТЛШ/КМОН – схем. Звичайно значення: $+U_{НАС}$

перетворюється в рівень логічної одиниці (1), а значення $(-U_{\text{НАС}})$ – у рівень логічного нуля (0).

Найбільш широко застосовуються два варіанти схемного виконання АК: на ІМС ОП, або на спеціалізованій мікросхемі аналогового компаратора.

Найпростіший АК може бути виконаний на ІМС ОП без зворотних зв'язків. Вигляд його схеми визначається полярністю порівнюваних напруг.

1.2.2. Аналогові компаратори для порівняння однополярних напруг

Схему АК на ІМС ОП, що виконує порівняння двох додатих напруг, наведено на рис. 9, а. Одна напруга є еталонною ($U_{\text{ЕТ}} = \text{const}$), а друга (U_X) – повільно змінюється за законом, який представлено на рис. 9, в.

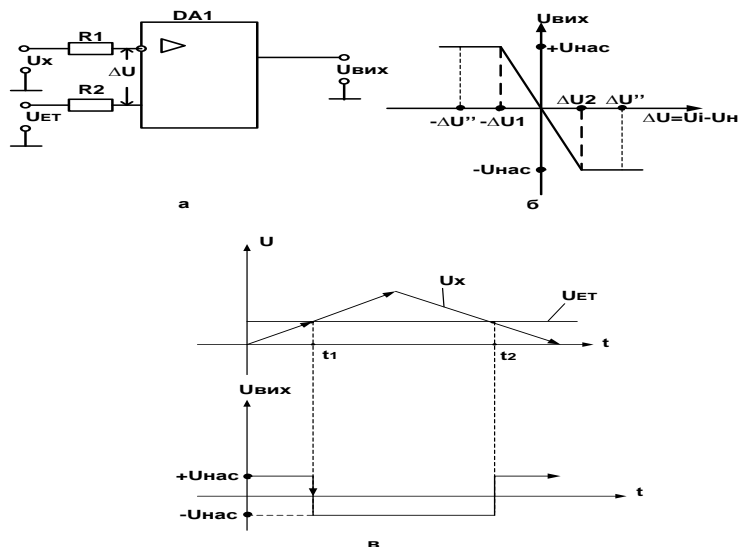


Рис. 9. АК для порівняння однополярних напруг: а – схема; б – передаточна характеристика; в – часові діаграми

До моменту часу $t = t_1$ напруга $U_X < U_{\text{ЕТ}}$. Потенціал неінвертуючого входу, ІМС ОП більш додатний, ніж потенціал інвертуючого входу.

У цьому випадку різниця напруг між входами I та H

$$|-\Delta U'| = |(U_I - U_H)| = |\Delta U_1|. \quad (15)$$

Відповідно до передаточної характеристики ІМС ОП (рис. 9, б) у цьому випадку $U_{\text{ВИХ}} = +U_{\text{НАС}}$. Після моменту часу $t = t_1$ вхідний сигнал $U_X \geq U_{\text{ЕТ}}$. З'являється різниця напруг між входами

$$\Delta U'' = (U_I - U_H) > \Delta U_2. \quad (16)$$

Відповідно до передаточної характеристики ІМС ОП (рис. 9, б) у цьому випадку $U_{\text{ВИХ}} = -U_{\text{НАС}}$.

На рис. 9, в переключення АК відбувається миттєво, що є ідеальним випадком. Реально має місце невелика затримка між моментом досягнення рівності

двох сигналів: U_X та U_{ET} і моментом, коли вихідний сигнал $U_{ВИХ}$ починає зменшуватися. Крім того, лінія, що відображає зменшення $U_{ВИХ}$, йде не перпендикулярно вісі часу, а під невеликим нахилом.

Після моменту часу $t = t_2$ напруга U_{ET} знову стає більшою ніж U_X , вихідна напруга змінюється і приймає значення: $+U_{НАС}$.

1.2.3. Аналогові компаратори для порівняння різнополярних напруг

Схему АК, що виконує порівняння різнополярних напруг, наведено на рис. 10, а. Одна напруга ($U_{ET} = const$) є додатною, а друга (U_X – від’ємна) – повільно змінюється за законом, представленим на рис. 10, б.

Значення резисторів схеми вибирається з умови

$$R1 = R2 = R; R3 = \frac{R}{2}. \quad (17)$$

До моменту часу $t = t_1$ (рис. 10, б) $U_{ET} > |-U_X|$, потенціал інвертуючого входу ІМС ОП ($\Delta U'' > \Delta U_2$) – додатний, а $U_{ВИХ} = -U_{НАС}$.

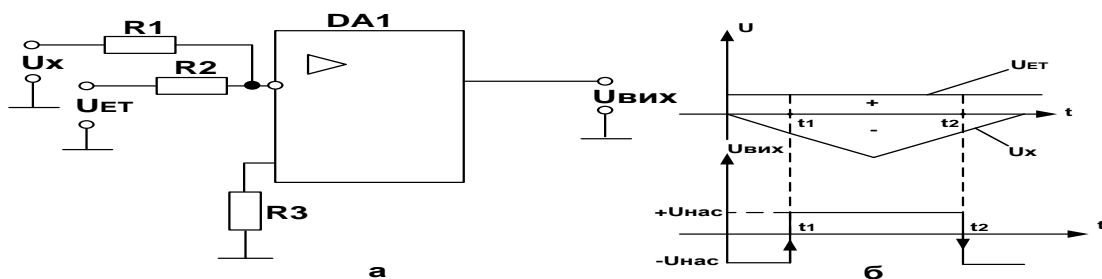


Рис. 10. АК для порівняння різнополярних напруг:
а – схема; б – часові діаграми роботи

Коли $t \geq t_1$ (рис. 10, б), то $|-U_X| > U_{ET}$. Потенціал інвертуючого входу ІМС ОП стає від’ємним ($|\Delta U'| > |\Delta U_1|$), а $U_{ВИХ} = +U_{НАС}$. Як і в попередньому випадку переключення АК (зміна $U_{ВИХ}$) відбувається з невеликою затримкою щодо моментів часу, коли U_X стає рівним U_{ET} , а також зміна $U_{ВИХ}$ відбувається з невеликим нахилом до вісі часу (на рисунках це не показано).

Якщо в схемах, які наведено на рис. 9, 10, $U_{ET} = 0$, то переключення АК відбувається за $U_X \approx 0$, а такий компаратор називають детектором нульового рівня.

Особливістю розглянутих вище схем АК є відсутність зворотних зв’язків. Від’ємний ЗЗ у компаратори не вводять, тому що він буде гальмувати процес переключення схеми.

Відсутність ДЗЗ з одного боку спрощує схему АК, а з іншого: по-перше, збільшує час переключення схеми; по-друге, в схемі АК без ДЗЗ напруга

спрацьовування $U_{\text{СПР}}$ дорівнює напрузі відпускання $U_{\text{ВІДП}}$, що може призвести до помилкових спрацьовувань, якщо на вхід компаратора надходить сигнал, спотворений завадою ($U_{\text{ВХ}} = U_{\text{Х}} + U_{\text{ЗАВ}}$).

За характером зміни $U_{\text{ВХ}}$, який показано, як приклад, на рис. 11, через вплив завади ($U_{\text{ЗАВ}}$) під час зростання вхідного сигналу замість одного правильного спрацьовування ($t = t_5$) виникають два помилкових спрацьовування ($t = t_1; t = t_3$) і два помилкових відпускання ($t = t_2; t = t_4$).

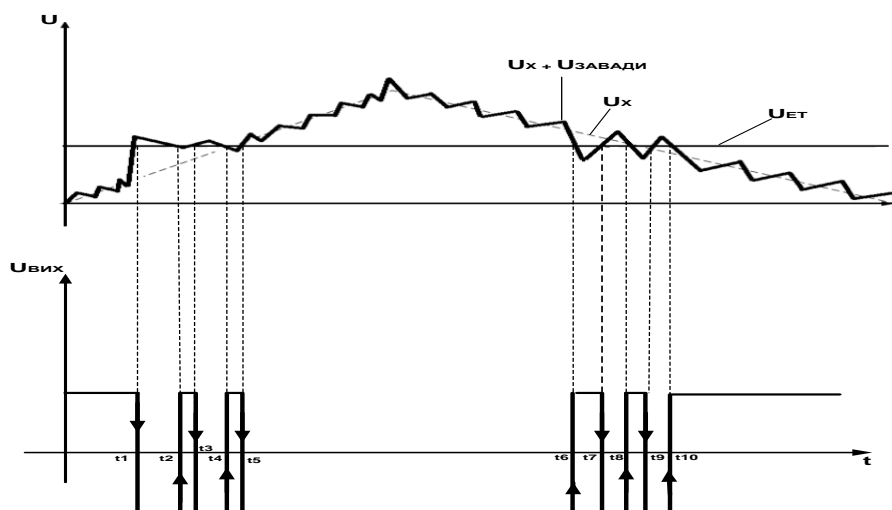


Рис. 11. Помилкові переключення АК через дію завад

У разі зменшення вхідної напруги замість одного правильного відпускання ($t = t_{10}$) виникають два помилкових відпускання ($t = t_6; t = t_8$) і два помилкових спрацьовування ($t = t_7; t = t_9$).

Помилкові переключення небезпечні в тих випадках, коли вихідний сигнал АК обробляється лічильною схемою, що фіксує кількість спрацьовувань і відпускань компаратора. Помилкові переключення будуть фіксуватися лічильною схемою і спотворювати роботу логічного пристрою, що приймає рішення за результатами обробки.

Для боротьби з завадами необхідно застосовувати АК з ДЗЗ (регенеративний компаратор).

1.2.4. Регенеративний компаратор

Для підвищення завадостійкості АК, особливо коли сигнал $U_{\text{Х}}$ змінюється з малою швидкістю, у схему АК вводять ДЗЗ (рис. 12).

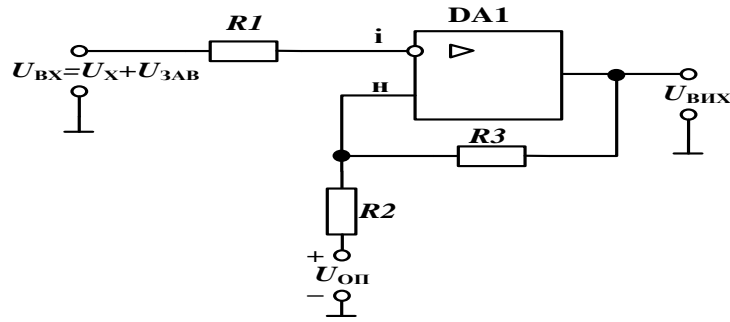


Рис. 12. Схема регенеративного АК

Елементами ДЗЗ є резистори R2, R3. Такий АК називається регенеративним, а його схема збігається з тригером Шмітта (ТШ), що не має пам'яті. Особливістю останньої схеми є те, що в ній є гістерезис:

$$\Delta U_{\Gamma} = U_{\text{СПР}} - U_{\text{ВДП}} \quad (18)$$

Компаратор спрацьовує, коли вхідний сигнал: $U_{\text{ВХ}} = U_{\text{Х}} + U_{\text{ЗAB}}$ стане більший ніж напруга спрацювання $U_{\text{СПР}}$, і відпускає (переключається у вихідний стан), коли $U_{\text{ВХ}}$ стане менше напруги відпускання $U_{\text{ВДП}}$ (рис. 13).

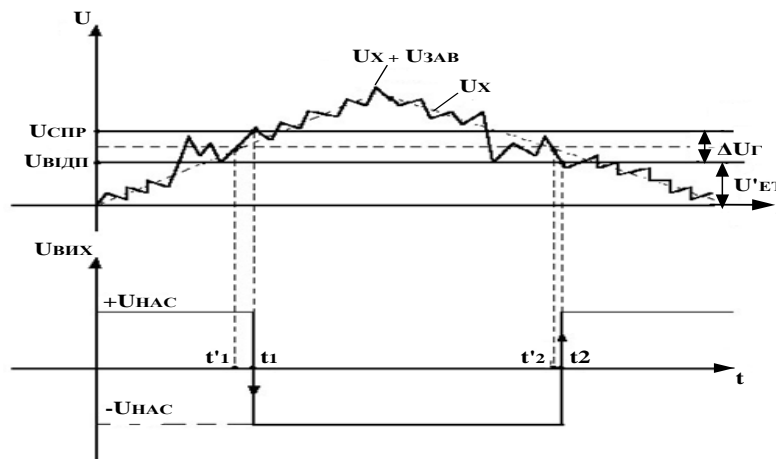


Рис. 13. Часові діаграми роботи АК

Якщо в схемі виконується умова

$$\Delta U_{\Gamma} > U_{\text{ЗAB}}, \quad (19)$$

то помилкових переключень у компараторі не виникає.

Недоліком регенеративного компаратора в порівнянні з АК без ДЗЗ є те, що погіршується точність порівняння.

Якщо порівняти часові діаграми роботи двох компараторів (рис. 11, 13), то можна помітити, що за однаковим характером зміни порівнюваного сигналу $U_{\text{Х}}$ і завади $U_{\text{ЗAB}}$ спрацювання і відпускання регенеративного компаратора відбувається трошки пізніше (у моменти: t_1 замість t'_1 та t_2 замість t'_2).

Оскільки схема регенеративного АК збігається з тригером Шмітта, що не має пам'яті, тому основні розрахункові співвідношення для нього наведено вище (1...8).

2. Моделювання окремих пристроїв

2.1. Схема 1. АК для порівняння однополярних напруг

Нижче наведено схему АК для порівняння однополярних напруг, яку зібрано у середовищі MicroCap: *OnePol.cir* (рис. 14).

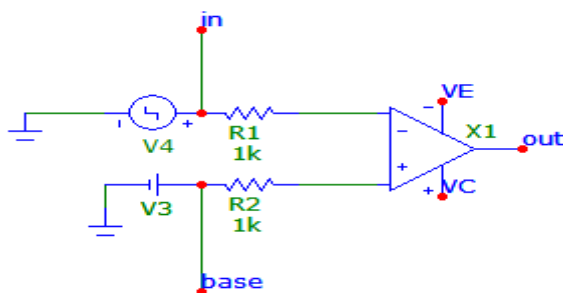


Рис. 14. Схема АК для порівняння однополярних напруг

Параметри схеми:

1) V3 (Battery): Value = 5 [V];

2) V4 (Pulsesource): Model = TRIANGLE; VONE = 10 [V]; VZERO = 0 [V];

Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала $t_i = \langle \text{номер бригади} \rangle \cdot 10 \text{ [мс]} = \langle \text{номер бригади} \rangle \cdot 10\text{m [sec]}$;

Приклад: Номер бригади = 3 \rightarrow P1 = 0m; P2 = $\langle \text{номер бригади} \rangle \cdot 10\text{m}/2 = 3 \cdot 10\text{m}/2 = 15\text{m}$; P3 = P2 = 15m; P4 = $\langle \text{номер бригади} \rangle \cdot 10\text{m} = 3 \cdot 10\text{m} = 30\text{m}$; P5 = P4 = 30m;

3) R1 (Resistor): Value = 1k [Om];

4) R2 (Resistor): Value = 1k [Om];

5) X1 (Opamp): Model = LM358;

6) VC (Battery) (вкладка PowerSupplies): Value = 15 [V];

7) VE (Battery) (вкладка PowerSupplies): Value = -15 [V].

Результат дослідів

На рис. 15 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) АК для порівняння однополярних напруг, схему якого наведено на рис. 14.

На рис. 15 (вгорі) зображено часові діаграми роботи однополярного АК, який порівнює дві додатні напруги, одна з яких є еталонною, яка не змінюється і дорівнює 5В, а друга змінюється за трикутним законом.

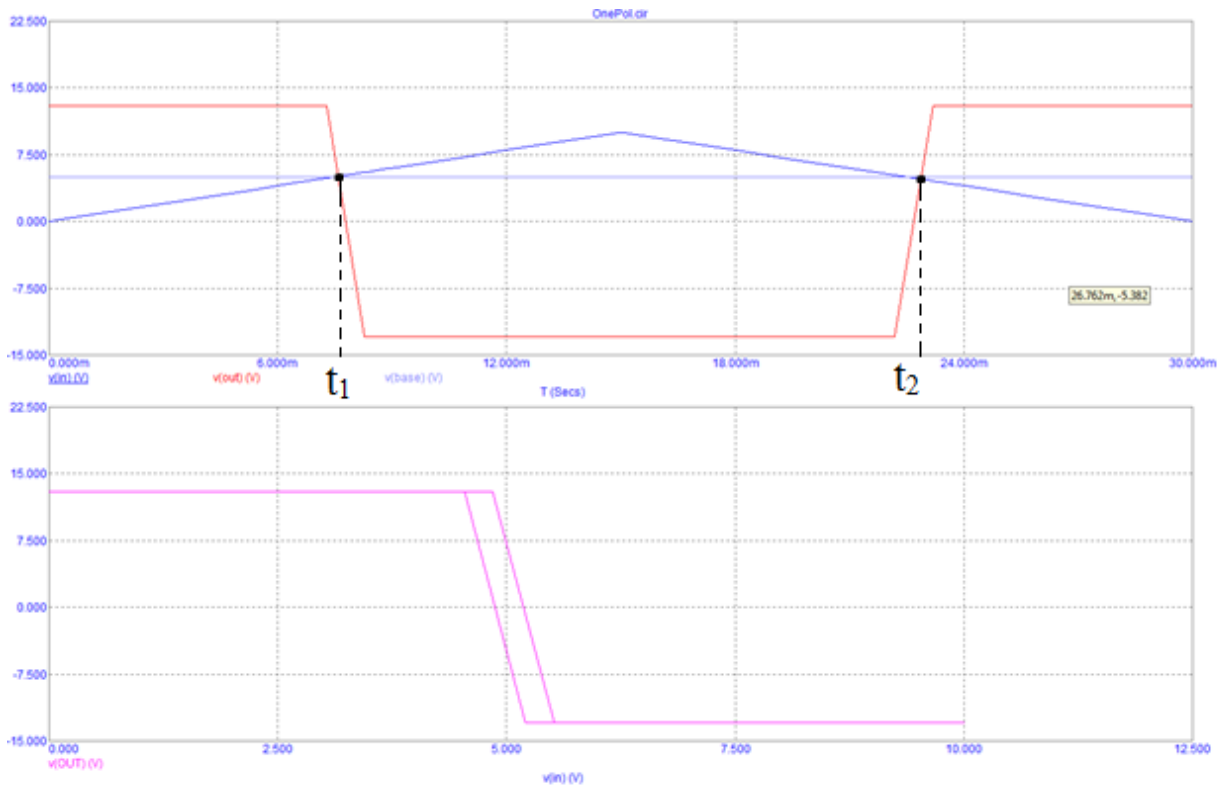


Рис. 15. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) АК для порівняння однополярних імпульсів, схему якого наведено на рис. 14.

Лінія, яка характеризує вихідну напругу, лежить в межах: $-U_{нас} \leq U_{вих} \leq +U_{нас}$. Її невеликий нахил та невідповідність $-U_{нас}$ й $+U_{нас}$ на характеристиці пояснюється наявністю затримки між досягненням $U_{вих}$ значення еталонної напруги та зміною вихідної напруги.

На схемі АК, щоб врівноважити струми при $U_{вх} = 0$ і $U_{оп} = 0$ повинно виконуватись співвідношення: $R1 = R2$. Робота цієї схеми характеризується величиною напруги $U_{оп}$ і точками, в яких $U_{вх} = U_{оп}$. Тобто в початковий момент часу, крім напруг живлення на підсилювач подаються напруги $U_{вх} = 0$ і $U_{оп} = 5В$. Оскільки потенціал на вході, який не інвертує та дорівнює $U_{оп}$, більш додатний, ніж на вході, який інвертує ($U_{вх}$), то на виході отримуємо $+U_{нас}$. В момент часу t_1 , коли потенціал $U_{вх}$ стає більш додатним, ніж $U_{оп}$, то відбувається перемикання компаратора і на виході отримуємо: $-U_{нас}$. Коли вхідний сигнал стає менш додатним, ніж $U_{оп}$ (момент часу t_2), на виході знову отримуємо $+U_{нас}$. Для побудови графіків будемо обирати час аналізу залежно від часу подачі імпульсів. Наприклад, на даному графіку обрано час 30 мілісекунд.

2.2. Схема 2. АК для порівняння однополярних напруг за умови наявності завад

Нижче наведено схему АК для порівняння однополярних напруг за умови наявності завад, яку зібрано у середовищі MicroCap: *MonoPolis.cir* (рис. 16).

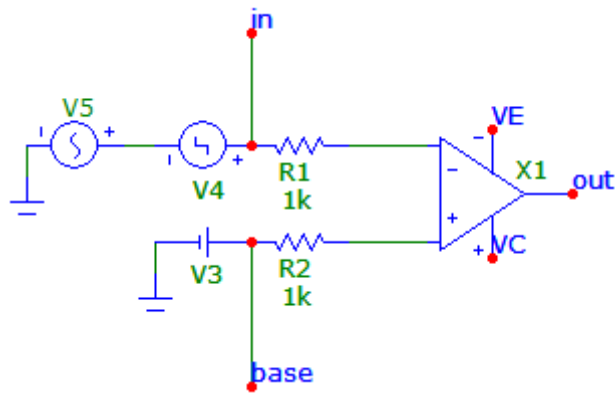


Рис. 16. Схема АК для порівняння однополярних напруг за умови наявності завад

Параметри схеми:

- 1) V3 (Battery): Value = 5 [V];
- 2) V4 (Pulsesource): Model = TRIANGLE; VONE = 10 [V]; VZERO = 0 [V]; Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала $t_i = \langle \text{номер бригади} \rangle \cdot 10 \text{ [мс]} = \langle \text{номер бригади} \rangle \cdot 10 \text{m [sec]}$;

Приклад: Номер бригади = 3 \rightarrow P1 = 0m; P2 = 15m; P3 = 15m; P4 = 30m; P5 = 30m (розраховуємо аналогічно до схеми 1);

- 3) V5 (Sinesource): Model = 60HZ; F = 1000 [Hz] = 1k [Hz]; A = 1 [V];
- 4) R1 (Resistor): Value = 1k [Om];
- 5) R2 (Resistor): Value = 1k [Om];
- 6) X1 (Opamp): Model = LM358;
- 7) VC (Battery) (вкладка PowerSupplies): Value = 15 [V];
- 8) VE (Battery) (вкладка PowerSupplies): Value = -15 [V].

Результат дослідів

На рис. 17 наведено передатну характеристику, а на рис. 18 – часові діаграми роботи АК, схему якого наведено на рис. 16.

В даному випадку розглядається синусоїдальна завада значно вищої частоти, ніж Увх. Завада накладається на вхідний трикутний сигнал.

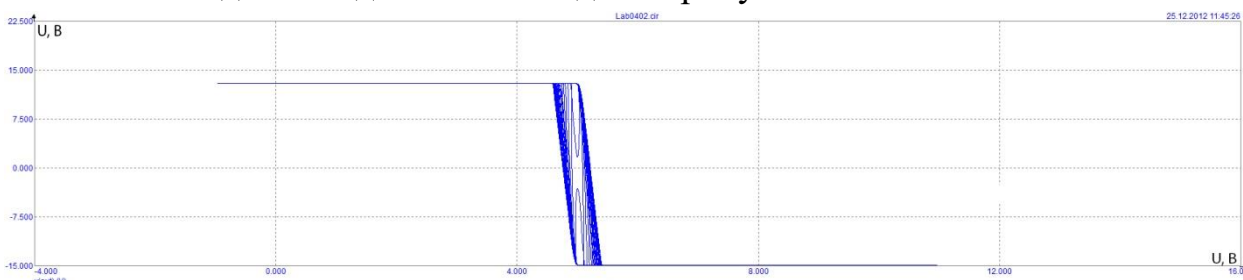


Рис. 17. Передатна характеристика компаратора

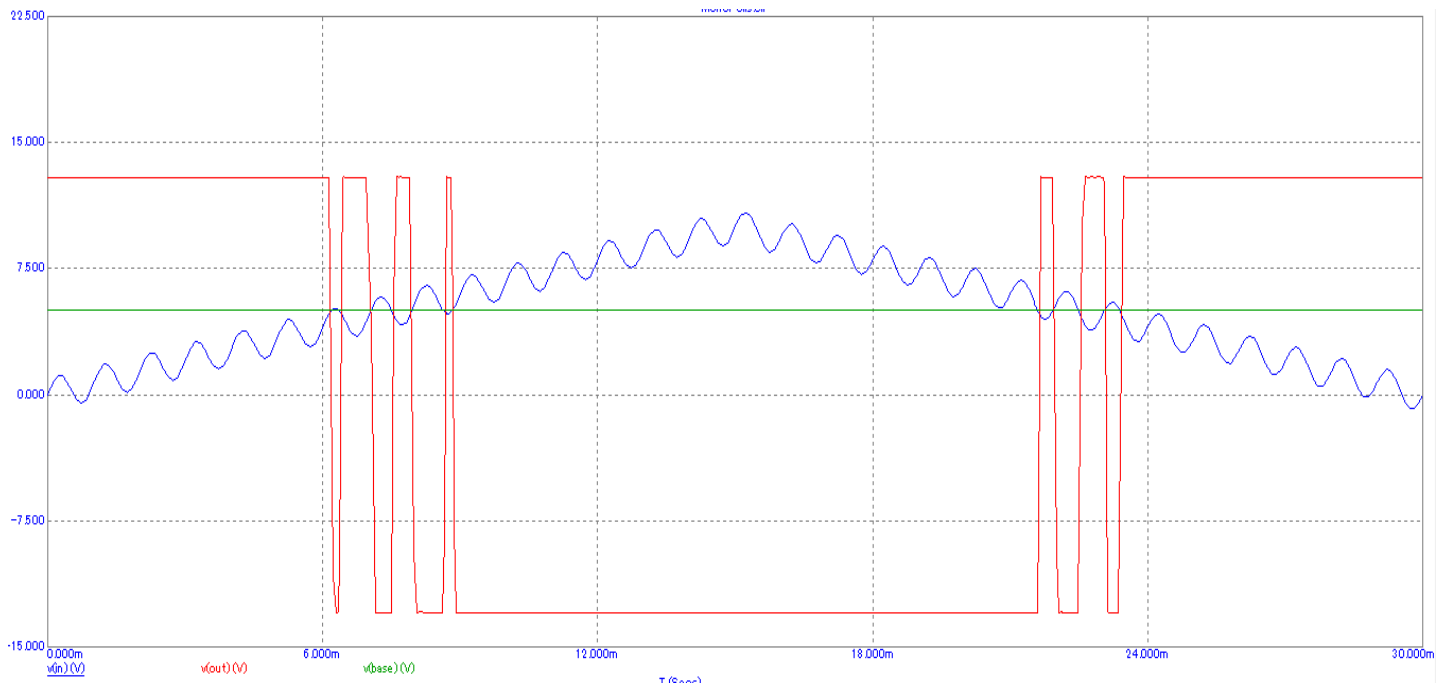


Рис. 18. Часові діаграми роботи АК

Через наявність завади у разі повільної зміни вхідної напруги можемо спостерігати швидку та часту зміну вихідної напруги (так званий «брязкіт»), що приводить до помилкових спрацьовувань логічних лічильних схем, які підраховують кількість спрацювань компаратора.

Щоб врівноважити струми за $U_{вх} = 0$ та $U_{оп} = 0$ повинно виконуватись співвідношення: $R1 = R2$.

На вході, який інвертує, відбувається підсумовування сигналів від джерел V4 та V5, тобто поки ця сума менше V3, на виході отримуємо: $+U_{нас}$. Коли ця сума стає більше V3, на виході отримуємо: $-U_{нас}$. Через наявність завади з'являються помилкові спрацювання компаратора.

Для виправлення цього використовують гістерезис (у схему вводять додатний зворотний зв'язок (ДЗЗ)), під час якого замість одного значення, за яким здійснюється спрацювання схеми, вводять певний діапазон. Це погіршує точність роботи схеми, тобто вона спрацьовує пізніше, але ми позбавляємося від «брязкоту».

2.3. Схема 3. АК з ДЗЗ для порівняння однополярних напруг за умови наявності завад (регенеративний АК)

Нижче наведено схему АК з ДЗЗ для порівняння однополярних напруг за умови наявності завад (регенеративний АК), яку зібрано у середовищі MicroCap: *MonoPolis+rev.cir* (рис. 19).

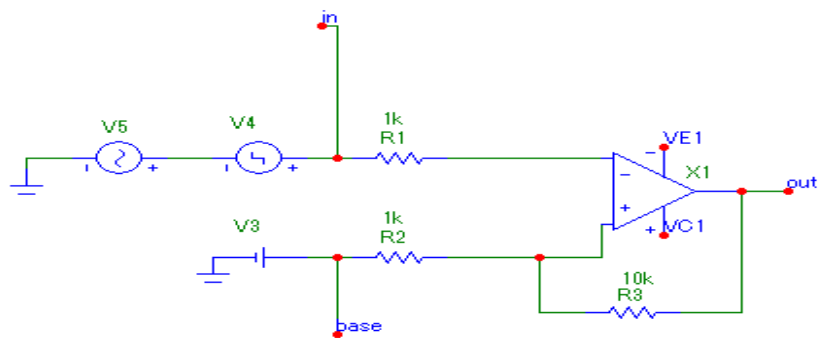


Рис. 19. Схема регенеративного АК

Параметри схеми:

1) R3 (Resistor): Value = 10k [Om].

Усі інші елементи схеми залишаються такими ж самими, як для схеми, яку наведено на рис. 16.

На рис. 20 представлено часові діаграми роботи АК, схему якого наведено на рис. 19.

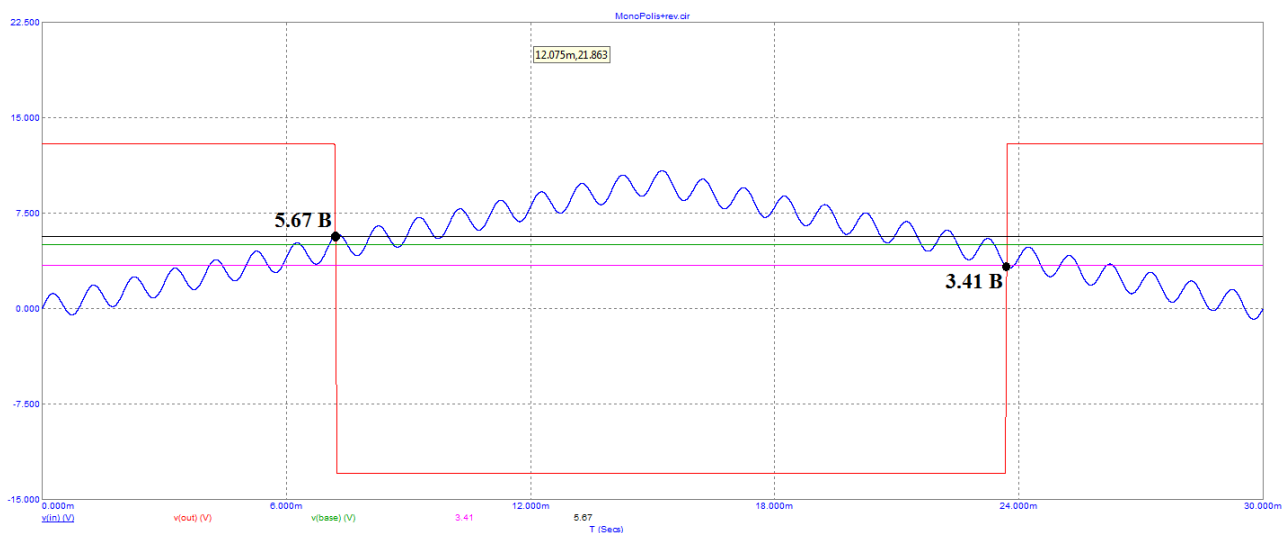


Рис. 20. Часові діаграми роботи регенеративного АК

Як видно з графіку схема спрацьовує пізніше, але ми змогли позбавитися зайвих спрацювань.

Якщо $U_{\text{вих}} = +U_{\text{нас}}$, то

$$U_{\text{Н1}} = \frac{U_{\text{оп}} \cdot R3}{R2 + R3} + \frac{U_{\text{нас}} \cdot R2}{R2 + R3} = U_{\text{спр}} = \frac{5 \cdot 10 + 12,4 \cdot 1}{10 + 1} = 5,67 \text{ В.}$$

Якщо $U_{\text{вих}} = -U_{\text{нас}}$, то

$$U_{\text{Н2}} = \frac{-U_{\text{нас}} \cdot R2}{R2 + R3} + \frac{U_{\text{оп}} \cdot R3}{R2 + R3} = U_{\text{відп}} = \frac{-12,4 \cdot 1 + 5 \cdot 10}{10 + 1} = 3,41 \text{ В.}$$

Напряга гістерезису $\Delta U_{\Gamma} = U_{H1} - U_{H2} = 5,67 - 3,41 = 2,26 \text{ V}$.

Якщо рівень завади $U_{ЗАВ}$ менший, ніж ΔU_{Γ} , то в схемі не відбувається хибних спрацювань. У разі цього дещо погіршується точність порівняння, через те що компаратор спрацьовує трохи пізніше.

2.4. Схема 4. АК для порівняння різнополярних напруг

Нижче наведено схему АК для порівняння різнополярних напруг, яку зібрано у середовищі MicroCap: *DifPol.cir* (рис. 21).

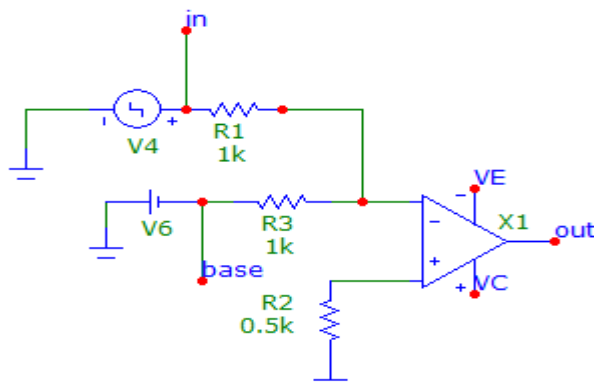


Рис. 21. Схема АК для порівняння різнополярних напруг

Параметри схеми:

1) V4 (Pulsesource): Model = TRIANGLE; VONE = 10 [V]; VZERO = 0 [V]; параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина трикутного імпульсу дорівнювала $t_i = \langle \text{номер бригади} \rangle \cdot 10 \text{ [мс]} = \langle \text{номер бригади} \rangle \cdot 10 \text{m [sec]}$; приклад: номер бригади = 3 \rightarrow P1 = 0m; P2 = 15m; P3 = 15m; P4 = 30m; P5 = 30m (розраховуємо аналогічно до схеми 1);

- 2) V6 (Battery): Value = 5 [V];
- 3) R1 (Resistor): Value = 1k [Om];
- 4) R2 (Resistor): Value = 0.5k [Om];
- 5) R3 (Resistor): Value = 1k [Om];
- 6) X1 (Opamp): Model = LM358;
- 7) VC (Battery) (вкладка PowerSupplies): Value = 15 [V];
- 8) VE (Battery) (вкладка PowerSupplies): Value = -15 [V].

Результат дослідів

На рис. 22 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) АК для порівняння різнополярних напруг, схему якого наведено на рис. 21.

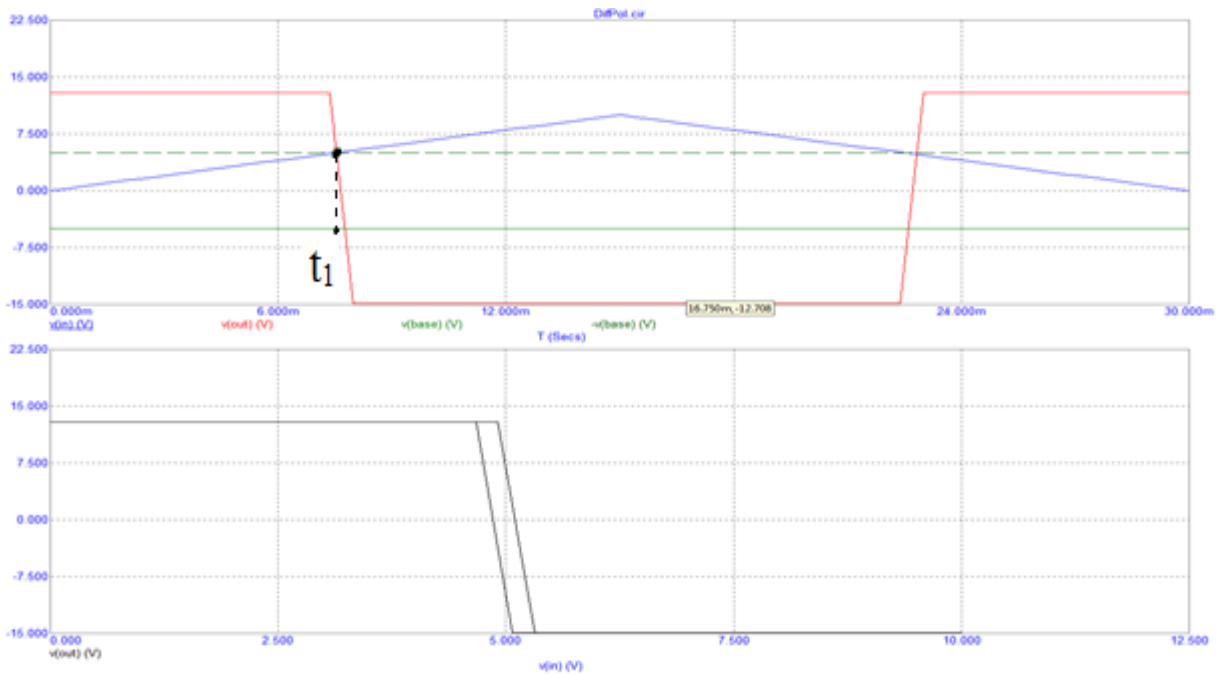


Рис. 22. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) АК для порівняння різнополярних імпульсів, схему якого наведено на рис. 21

Відмінність часових характеристик різнополярного АК без завад від однополярного АК без завад – наявність від’ємної еталонної напруги 5В та додатної вхідної трикутної напруги, які порівнюються на вході, який інвертує. До моменту t_1 потенціал входу, який інвертує, від’ємний та на виході: $+U_{\text{НАС}}$. Після моменту t_1 потенціал цього входу стає додатним та схема переключається у: $-U_{\text{НАС}}$.

2.5. Схема 5. ТШ на базі ІМС ОП з пам’яттю

Нижче наведено схему ТШ на базі ІМС ОП з пам’яттю. яку зібрано у середовищі MicroCap: *TSH Memory/cir* (рис. 23).

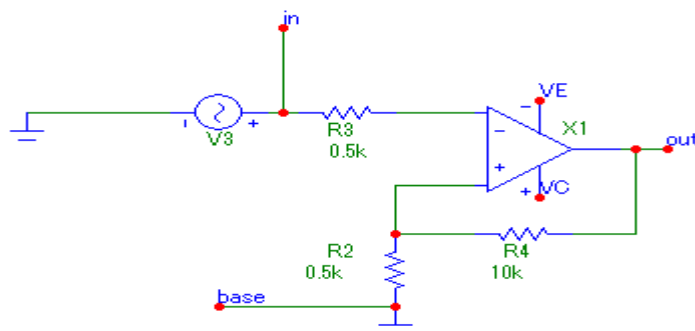


Рис. 23. Схема ТШ на базі ІМС ОП з пам’яттю

Параметри схеми:

- 1) V3 (Sinesource): Model = 60Hz; A = 10 [V]; DC = 0[V]; F = 60 [Hz]; PH = 0 [rad]; RP = 0 [sec]; RS = 1m [Om]; TAU = 0 [sec];
- 2) R2 (Resistor): Value = 0,5k [Om];

- 3) R3 (Resistor): Value = 0,5k [Om];
- 4) R4 (Resistor): Value = 10k [Om];
- 5) X1 (Opamp): Model = \$GENERIC;
- 6) VC (Battery): Value = 15 [V];
- 7) VE (Battery): Value = -15 [V];
- 8) VNS (Battery): Value = -13 [V]
- 9) VSS (Battery): Value = 13 [V].

Результат дослід

На рис. 24 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) ТШ на базі ІМС ОП з пам'яттю, схему якого наведено на рис. 23.

Згідно з передатною характеристикою за $U_{BX} = 0$ на виході схеми може випадково з'явитися напруга $+U_{НАС}$ або $-U_{НАС}$. Так, на рис. 24 (вгорі) це напруга: $-U_{НАС}$, тобто схема умовно спрацювала. Коли від'ємна напруга дорівнює: $-0,62$ В – схема відпустить, та знову спрацює, якщо $U_{BX} = +0.62$ В і т. д. За $U_{BX} = 0$ схема не змінює (запам'ятовує) свій попередній стан.

На рис. 24 (вгорі) зображено реакцію ТШ на базі ІМС ОП з пам'яттю на синусоїдальний сигнал. ТШ кожний раз після спрацьовування запам'ятовує останній стан за $U_{BX} = 0$, і починає роботу з нього, що свідчить про наявність пам'яті.

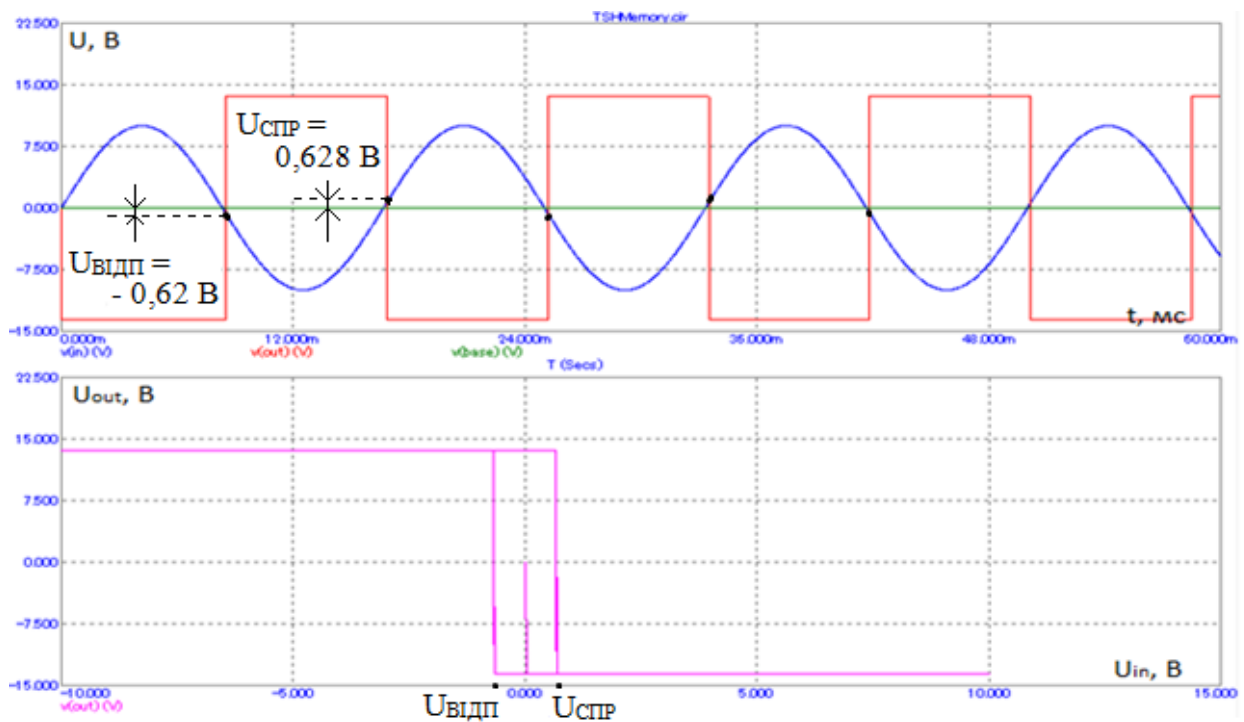


Рис. 24. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) ТШ на базі ІМС ОП з пам'яттю

$$U_{\text{СПР}} = \frac{U_{\text{НАС}} \cdot R2}{R2 + R4} - \frac{U_{\text{НАС}}}{K_{U, \text{МСОП}}} = 0,62 \text{ В},$$

$$U_{\text{ВІДП}} = -\frac{U_{\text{НАС}} \cdot R2}{R2 + R4} + \frac{|-U_{\text{НАС}}|}{K_{U, \text{МСОП}}} = -0,62 \text{ В}.$$

На рис. 24 (вгорі) нанесено лінії, що відповідають напругам: $U_{\text{СПР}} = 0,62 \text{ В}$, $U_{\text{ВІД}} = -0,62 \text{ В}$. Аналіз діаграм говорить про те, що результат співпадає з наведеними вище розрахунками.

2.6. Схема 6. ТШ на базі ІМС ОП без пам'яті

Нижче наведено схему ТШ на базі ІМС ОП без пам'яті. яку зібрано у середовищі MicroCap: *TSH No Memory. cir* (рис. 25).

Параметри схеми:

- 1) V4 (Pulse source): Model = TRIANGLE; P1 = 0 [sec]; P2 = 15m [sec]; P3 = 15m [sec]; P4 = 30m [sec]; P5 = 30m [sec]; VONE = 10 [V]; VZERO = -10 [V];
- 2) V6 (Battery): Value = 5 [V].

Інші параметри схеми не відрізняються від параметрів попередньої схеми, яку наведено на рис. 23.

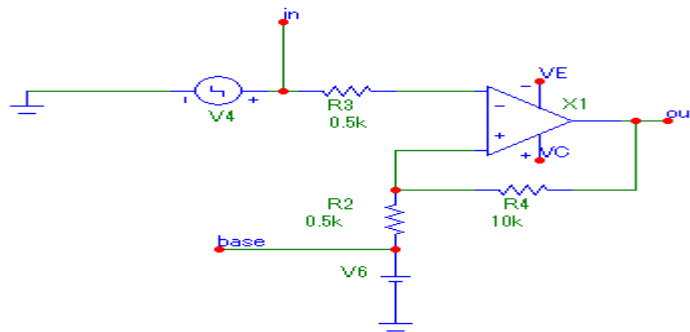


Рис. 25. Схема ТШ на базі ІМС ОП без пам'яті

Результат дослідження

На рис. 26 наведено передатну характеристику (внизу) та часові діаграми роботи (вгорі) ТШ на базі ІМС ОП без пам'яті, схему якого наведено на рис. 25.

Згідно з передатною характеристикою, за $U_{\text{ВХ}} = 0$ на виході з'являється напруга: $+U_{\text{НАС}}$. Коли $U_{\text{ВХ}} > U_{\text{СПР}}$, схема переключиться у: $-U_{\text{НАС}}$. За $U_{\text{ВХ}} < U_{\text{ВІДП}}$ схема повертається у початковий стан. Тобто, схема не має пам'яті і працює, як пороговий пристрій.

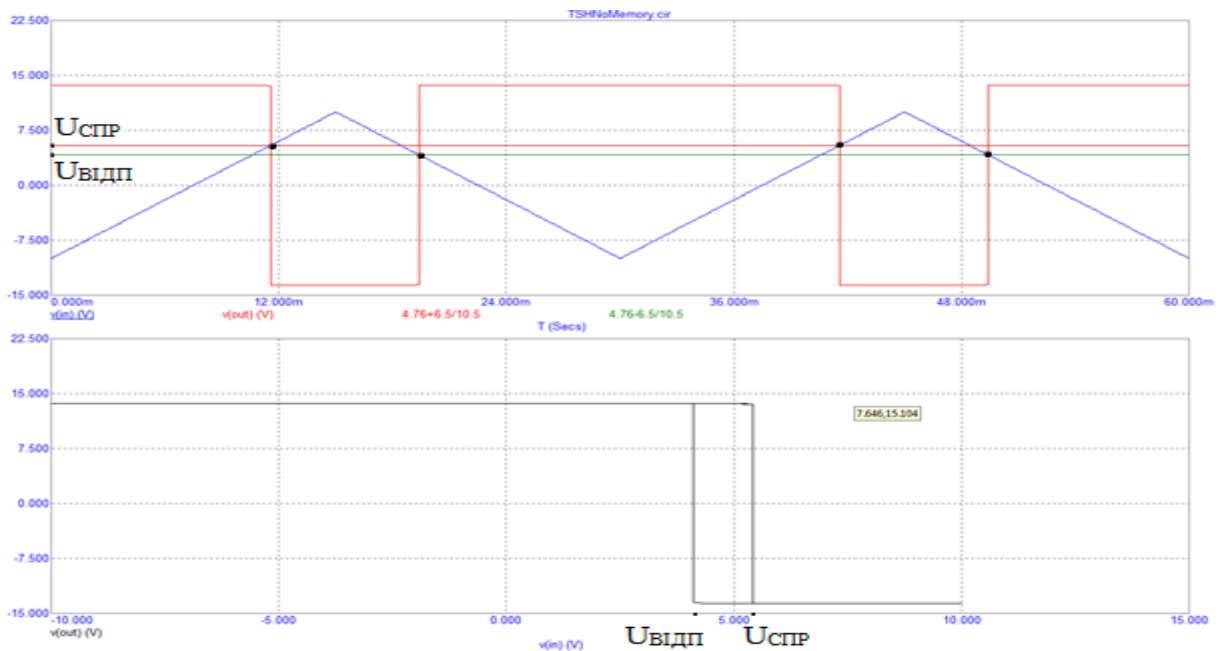


Рис. 26. Часові діаграми роботи (вгорі) та передатна характеристика (внизу) ТШ на базі ІМС ОП без пам'яті

На рис. 26 (вгорі) зображено реакцію ТШ на базі ІМС ОП без пам'яті на послідовність трикутних імпульсів. ТШ кожен раз після спрацювання, коли рівень вхідної напруги стане менше $U_{\text{ВІДП}}$, повертається у початковий стан, що свідчить про відсутність пам'яті.

Використовуючи принцип суперпозиції одержимо:

$$U_{\text{Н1}} = \frac{U_{\text{ОП}} \cdot R3}{R2 + R4} + \frac{U_{\text{НАС}} \cdot R2}{R2 + R4} = U_{\text{СПР}}.$$

$$U_{\text{СПР}} = 5 \cdot 10 / (0.5 + 10) + 13 \cdot 0.5 / (0.5 + 10) = 4,76 + 0,61 = 5,38 \text{ В.}$$

$$U_{\text{Н2}} = \frac{U_{\text{ОП}} \cdot R3}{R2 + R4} - \frac{U_{\text{НАС}} \cdot R2}{R2 + R4} = U_{\text{ВІДП}}.$$

$$U_{\text{ВІДП}} = 4,76 - 0,61 = 4,14 \text{ В.}$$

2.7. Схема 7. Формувач рівнів

Нижче наведено схему формувача рівнів, яку зібрано у середовищі MicroCap: *PFRPosl.cir* (рис. 27).

Параметри схеми:

- 1) D2 (Diode): Model = \$GENERIC;
- 2) D3 (Diode): Model = \$GENERIC;

- 3) V2 (Pulsesource): Model = SQUARE; VONE = 11 [V]; VZERO = -11 [V]; P1 = 0, P2 = 1u, P3 = 500u, P4 = 501u, P5 = 1m ;
- 4) R1 (Resistor): Value = 5k [Om];
- 5) R2 (Resistor): Value = 100k [Om];
- 6) V1 (Battery): Value = 4 [V].

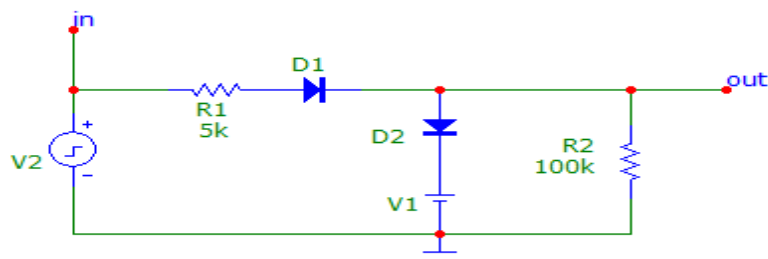


Рис. 27. Схема пристрою формувача рівнів

Результат дослід

На рис. 28 наведено часові діаграми роботи схеми формувача рівнів.

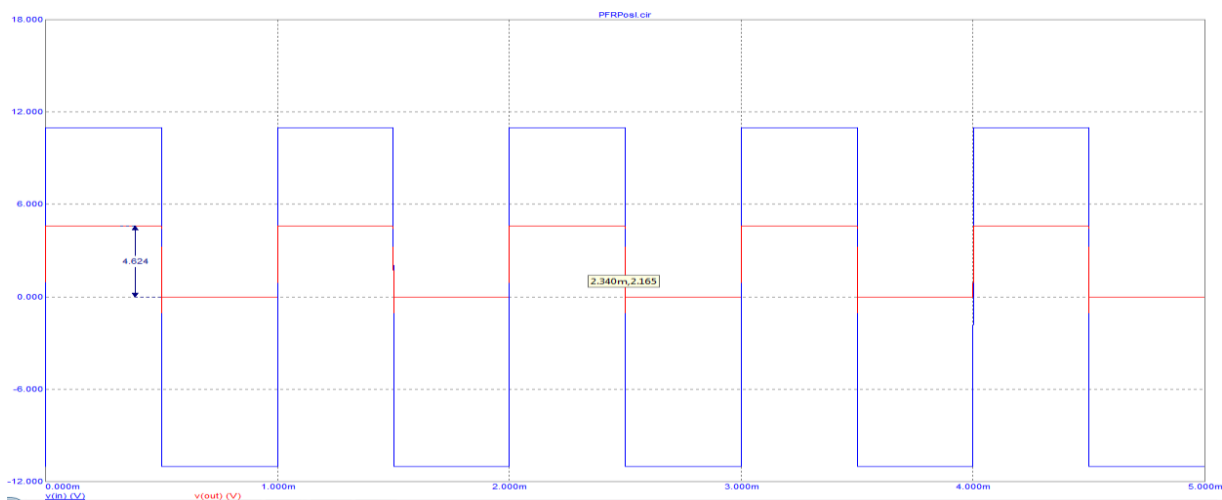


Рис. 28. Часові діаграми роботи схеми формувача рівнів, яку наведено на рис. 27

Цей пристрій перетворює:

- напругу $U_{\text{ВХ}} = +U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^1 = U_{\text{VD2,ПР}} + E_{\text{ЕТ}}; E_{\text{ЕТ}} = VI;$
 $U_{\text{ВИХ}} = 0,6 + 4 = 4,6 \text{ В};$
- напругу $U_{\text{ВХ}} = -U_{\text{НАС}}$ у напругу $U_{\text{ВИХ}} = U^0 = I_{\text{КО,VD2}} \cdot R_{\text{Н}},$
де $I_{\text{КО,VD2}}$ – зворотний струм насичення закритого діода VD2,
 $U_{\text{ВИХ}} = 0,6 \cdot 10^{-6} \cdot 10^5 = 0,06 \text{ В}.$

2.8. Схема 8. Асинхронний RS-тригер із зовнішнім зміщенням

Нижче наведено схему асинхронного RS-тригера із зовнішнім зміщенням, яку зібрано у середовищі MicroCap: *RS_Triger.cir* (рис. 29).

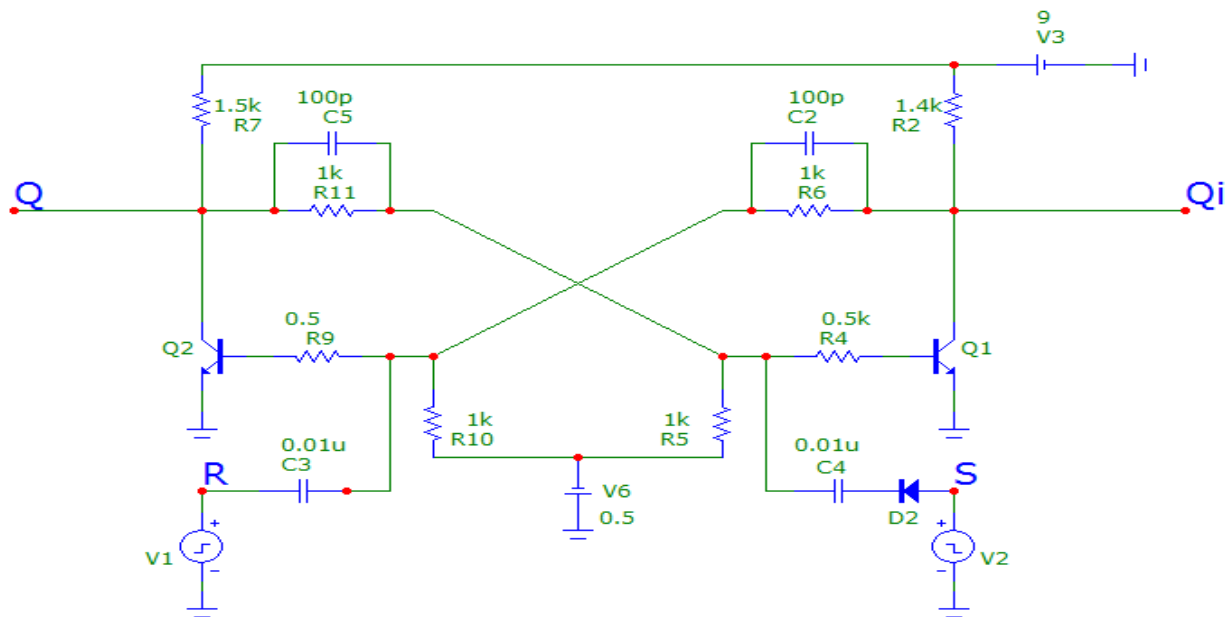


Рис. 29. Асинхронний RS-тригер із зовнішнім зміщенням

Параметри схеми:

- 1) V3 (Battery) = 9[V];
- 2) V6 (Battery) = 0,5[V];
- 3) C2, C5 (Capacitor) = 100p;
- 4) C3, C4 (Capacitor) = 0,04u;
- 5) V1 (Pulse source SQUARE): P1 = 2m [sec]; P2 = 2m [sec]; P3 = 4m [sec]; P4 = 4m [sec]; P5 = 4m [sec]; VONE = 5 [V]; VZERO = 0[V];
- 6) V2 (Pulse source Pulse): P1 = 1m [sec]; P2 = 1m [sec]; P3 = 2m [sec]; P4 = 2m [sec]; P5 = 2m [sec]; VONE = 5[V]; VZERO = 0[V];
- 7) R6, R11, R5, R10 (Resistor) = 1k;
- 8) R9, R4 (Resistor) = 0,5k;
- 9) R2 (Resistor) = 1,4k;
- 10) R7 (Resistor) = 1,5k;
- 11) D2(Diode 1N456);
- 12) Q1, Q2 (NPN BC547).

Результати дослідів

На рис. 30 наведено часові діаграми роботи асинхронного RS-тригера із зовнішнім зміщенням.

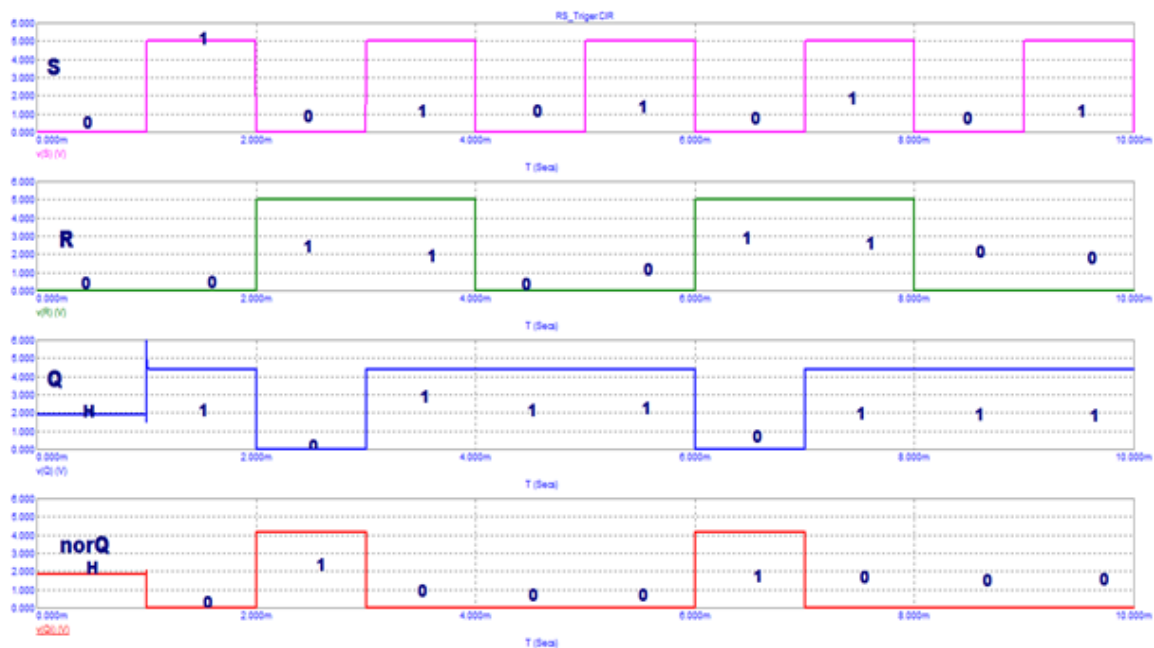


Рис. 30. Часові діаграми роботи асинхронного RS–тригера із зовнішнім зміщенням

Як добре видно на часовій діаграмі, за $S = 0$ та $R = 0$, схема займає стан нестійкої невизначеності; за $S = 1$, $R = 0$ – стан $Q = 1$, $\bar{Q} = 0$, тригер перемкнувся в одиницю; за $S = 0$, $R = 1$ – $Q = 0$, $\bar{Q} = 1$, тригер перемкнувся в нуль; за $S = 1$, $R = 1$ (забороненій комбінації) – виходи тригера інвертуються на основі попередніх значень, що є похибкою моделювання.

2.9. Схема 9. Тригер з лічильним входом

Нижче наведено схему тригера із лічильним входом, яку зібрано у середовищі MicroCap: *T_Triger.cir* (рис. 31).

Параметри схеми:

- 1) V2 (Battery) = 9[V];
- 2) V3 (Battery) = 0,5[V];
- 3) C1, C2 (Capacitor) = 100p;
- 4) C3, C4 (Capacitor) = 1n;
- 5) V1 (Pulse source SQUARE): P1 = 1m [sec]; P2 = 1m [sec]; P3 = 2m [sec]; P4 = 2m [sec]; P5 = 2m [sec]; VONE = 5 [V]; VZERO = 0[V];
- 6) R3, R4, R6, R7 (Resistor) = 1k;
- 7) R5, R8 (Resistor) = 60k;

- 8) R2 (Resistor) = 1,6k;
- 9) R1 (Resistor) = 1,5k;
- 10) D1, D2 (Diode 1N456);
- 11) Q1, Q2 (NPN BC547).

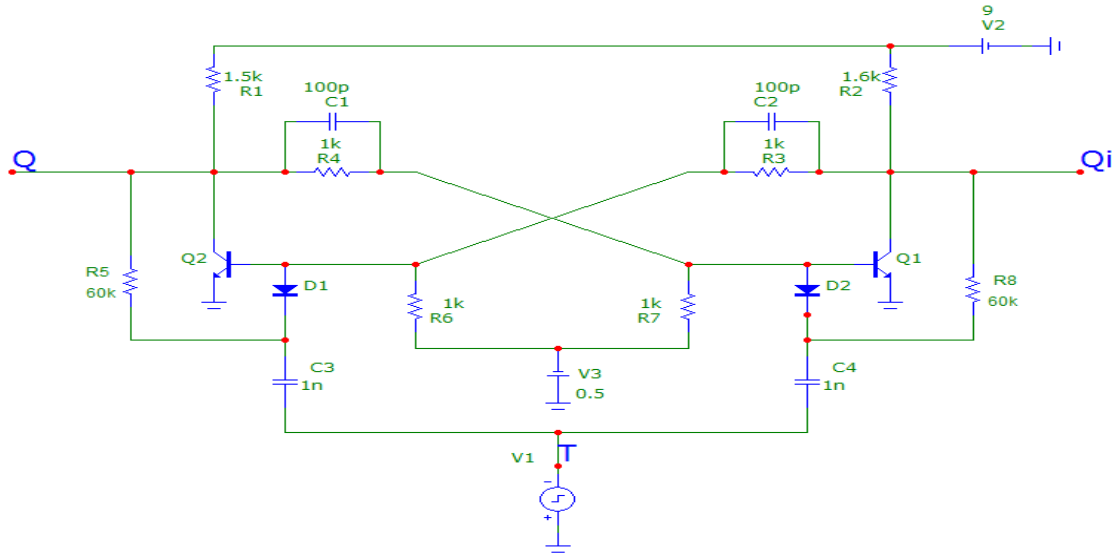


Рис. 31. Тригер з лічильним входом

Результати дослідів

Як видно з рис. 32, тригер змінює свій стан на протилежний за кожним від'ємним імпульсом на вході Т, який лічить.

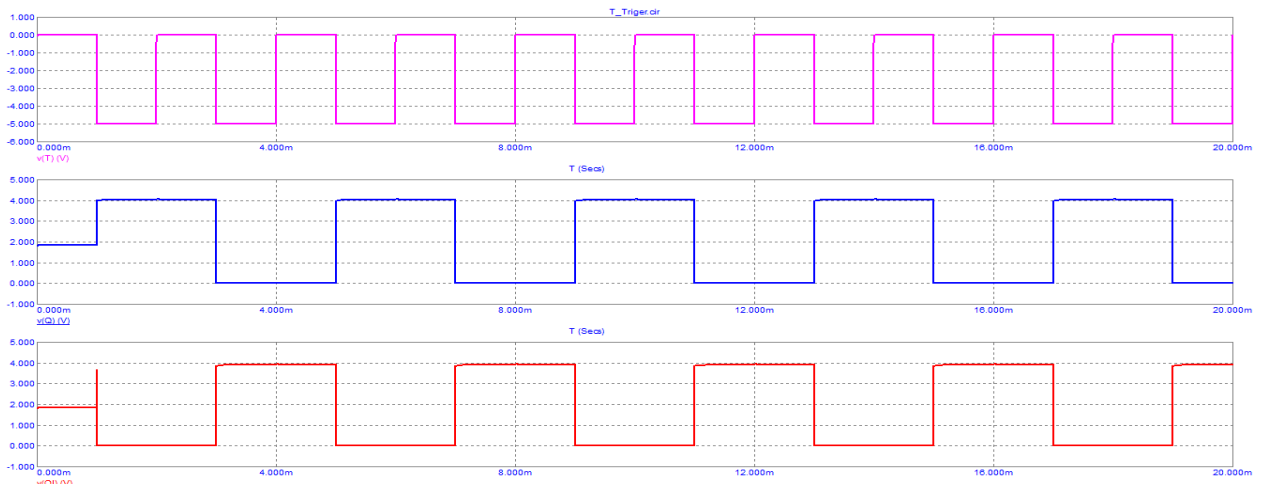


Рис. 32. Часові діаграми тригера з лічильним входом

3. Порядок виконання роботи

- 1) Схема 1. Дослідження перехідних та часових характеристик однополярного АК:

- a. Зняти та проаналізувати передатну характеристику для однополярного АК. Приклад характеристики наведено на рис. 15 (внизу);
 - b. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу однополярного АК. Приклад характеристики наведено на рис. 15 (вгорі).
- 2) Схема 2. Дослідження передатних та часових характеристик однополярного АК за наявності завад:
 - a. Зняти та проаналізувати передатну характеристику АК. Приклад характеристики наведено на рис. 17;
 - b. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу. Приклад характеристики наведено на рис. 18.
 - 3) Схема 3. АК з додатним зворотним зв'язком для порівняння однополярних імпульсів за умови наявності завад (регенеративний АК):
 - a. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу. Приклад характеристики наведено на рис. 20.
 - 4) Схема 4. Дослідження перехідних та часових характеристик АК для порівняння різнополярних імпульсів:
 - a. Зняти та проаналізувати передатну характеристику. Приклад характеристики наведений на рис. 22 (внизу);
 - b. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу різнополярного АК. Приклад характеристики наведений на рис. 22 (вгорі).
 - 5) Схеми 5, 6. Дослідження передатних та часових характеристик ТШ на базі ІМСОП із пам'яттю та без:
 - a. Зібрати схему ТШ з пам'яттю на базі ІМСОП;
 - b. Зняти та проаналізувати передатну характеристику для ТШ з пам'яттю. Приклад характеристики наведений на рис. 24 (внизу);
 - c. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу ТШ з пам'яттю. Приклад характеристик наведений на рис. 24 (вгорі);
 - d. Зняти та проаналізувати передатну характеристику для ТШ без пам'яті. Приклад характеристики наведений на рис. 26 (внизу);
 - e. Зняти та проаналізувати залежність вхідної/вихідної та опорної напруг від часу ТШ без пам'яті. Приклад характеристики наведений на рис. 26 (вгорі).
 - 6) Схема 7. Дослідження формувача рівня:
 - a. Зняти та проаналізувати залежність вхідної/вихідної напруг від часу формувача рівня. Приклад характеристики наведений на рис. 28.
 - 7) Схема 8. Дослідження асинхронного RS-тригера із зовнішнім зміщенням:
 - a. Зняти та проаналізувати часові діаграми роботи асинхронного RS-тригера із зовнішнім зміщенням. Приклад діаграм наведений на рис. 30.
 - 9) Схема 9. Дослідження тригера з лічильним входом:

а. Зняти та проаналізувати часові діаграми роботи тригера з лічильним входом. Приклад діаграм наведений на рис. 32.

4. Контрольні питання

- 1) Який прилад називається тригером? В яких станах може знаходитись тригер? Назвіть способи переключення тригера.
- 2) Поясніть процес переключення асинхронного симетричного тригера.
- 3) На які три етапи умовно розділяють процес переключення тригера?
- 4) Опишіть два види запуску (переключення) симетричних тригерів.
- 5) В який стан встановиться тригер під час підключення до нього напруги живлення?
- 6) Чим відрізняються синхронний та асинхронний RS-тригери?
- 7) Назвіть та поясніть умову швидкого переключення тригера під дією керувальних вхідних сигналів.
- 8) Який тригер називається тригером Шмітта? Назвіть дві групи, на які умовно поділяють тригери Шмітта на ІМС ОП.
- 9) Зобразіть та поясніть принципову електричну схему тригера Шмітта, що не має пам'яті, на ІМС ОП, а також реальні та ідеальні характеристики операційного підсилювача та самого тригера.
- 10) Зобразіть принципову електричну схему та передатні характеристики (ідеальну та реальну) тригера Шмітта, що має пам'ять, на ІМС ОП.
- 11) Який пристрій називається компаратором? Назвіть два види компараторів у залежності від форми представлення порівнюваних сигналів.
- 12) Опишіть структуру аналогового компаратора.
- 13) Наведіть принципову електричну схему та часові діаграми аналогового компаратора для порівняння одно, чи двополярних напруг.
- 14) Яка причина помилкових спрацювань аналогового компаратора та як з нею боротися?
- 15) Наведіть принципову електричну схему регенеративного аналогового компаратора та назвіть його переваги та недоліки.
- 16) Яку задачу вирішують схеми формування рівнів?
- 17) Наведіть принципові електричні схеми формування рівнів та поясніть їх роботу.

ЛАБОРАТОРНА РОБОТА №5

Тема: Дослідження мультівібраторів та генераторів лінійно змінюваної напруги (ГЛЗН).

Мета: Дослідити принцип дії, основні властивості та характеристики мультівібраторів та ГЛЗН.

Ознайомитись із основними параметрами та характеристиками цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Генератори прямокутних імпульсів (мультівібратори)

1.1.1. Загальні відомості про мультівібратори

Генератори прямокутних імпульсів відносяться до класу релаксаційних генераторів. Коливання, в яких повільні зміни вихідних сигналів чергуються зі стрибкоподібними, називають релаксаційними. Такими коливаннями є, зокрема, прямокутні і пилкоподібні імпульси.

Подібно генераторам синусоїдальних (гармонійних) напруг, релаксаційні генератори перетворюють енергію джерела постійного струму в енергію електричних коливань.

Генератор прямокутних імпульсів часто називають мультівібратором (МВ), тому що спектр вихідних сигналів містить багато гармонік.

Мультівібратори застосовується як задаючі генератори прямокутних імпульсів та для отримання одиночних імпульсів прямокутної форми заданої тривалості.

Мультівібратори можуть працювати в автоколивальному режимі та у режимі очікування (рис. 1).

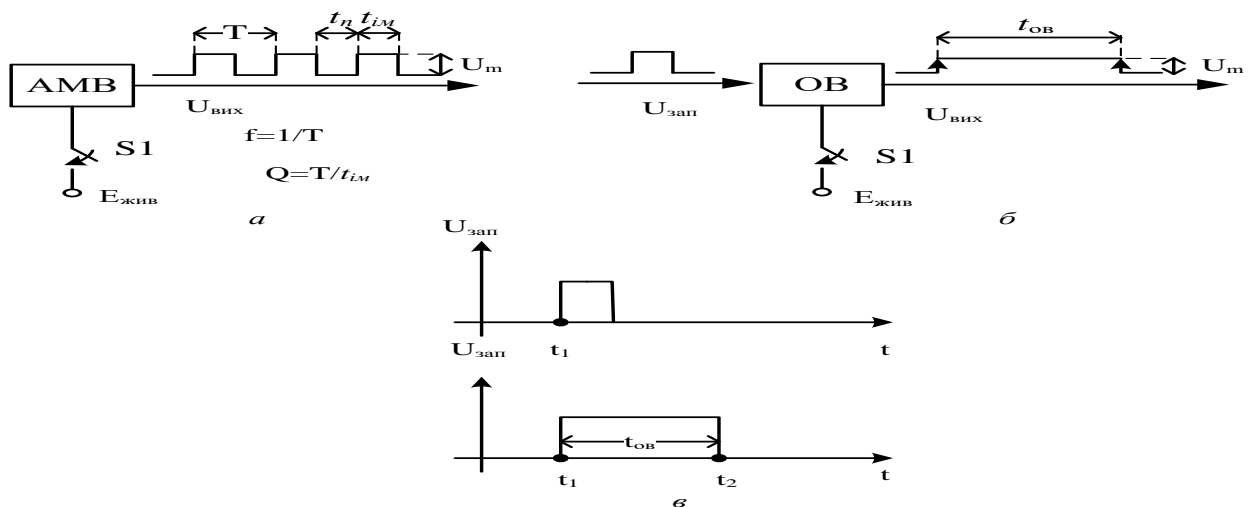


Рис. 1. Мультівібратори: а – АМВ (автоколивальний); б – одновібратор (ОВ); в – часові діаграми роботи ОВ

В автоколивальному режимі після включення живлення генератор генерує коливання безперервно (рис. 1, а).

Генератор, що чекає (загальмований, одновібратор – (ОВ)) формує на виході одиночний імпульс заданої тривалості при подачі на вхід короткого імпульсу, що запускає (рис. 1, б, в).

Існує кілька варіантів схемного виконання МВ: на дискретних елементах; на логічних елементах; на ІМС ОП; у вигляді спеціалізованої ІМС. Нижче більш докладно зупинимося на МВ, які виконано на ІМС ОП.

1.1.2. Мультивібратори на ІМС ОП

1.1.2.1. Загальні відомості про мультивібратори на ІМС ОП

Роботу найпростіших МВ на ІМС ОП засновано на спільному використанні ДЗЗ та ВЗЗ, при цьому ДЗЗ повинен бути більш сильним (глибоким), ніж ВЗЗ. Ланцюг ДЗЗ забезпечує лавиноподібний перехід МВ з одного стану квазірівноваги у другий, а ланцюг ВЗЗ – для задання тривалості квазістійких станів (тривалості вихідних імпульсів). На ІМС ОП можуть виконуватися автоколивальні МВ, та такі, що чекають.

1.1.2.2. Автоколивальний мультивібратор на ІМС ОП

Схему автоколивального МВ на ІМС ОП наведено на рис. 2.

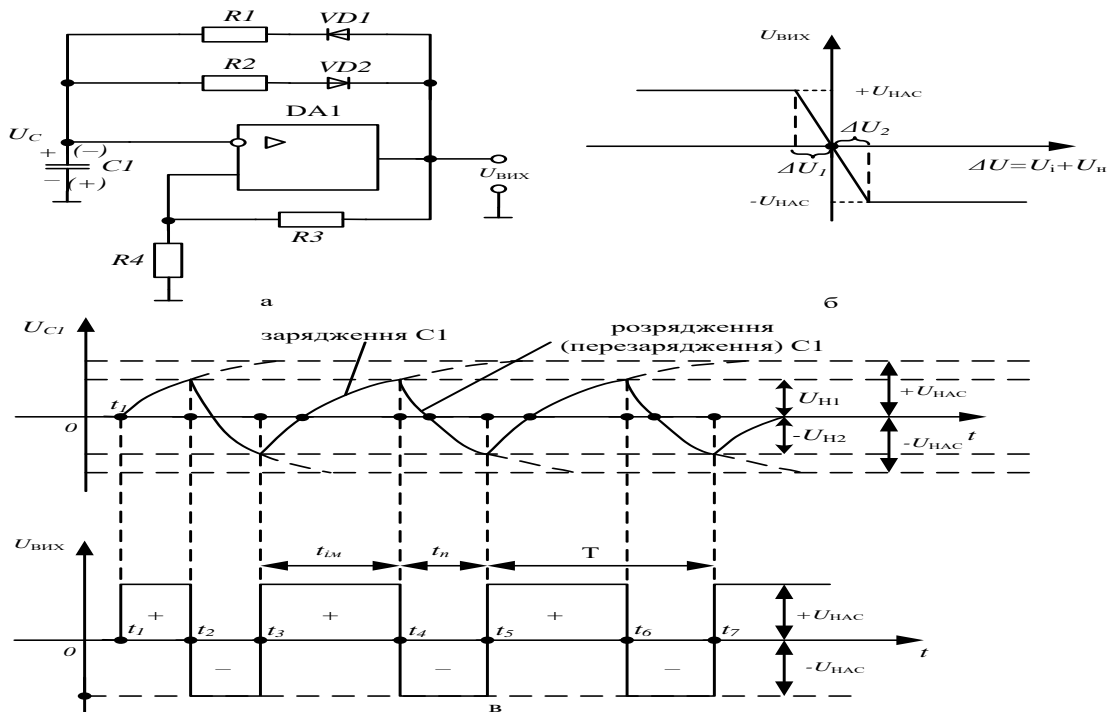


Рис. 2. Автоколивальний МВ на ІМС ОП: а – схема; б – передатна характеристика ІМС ОП; в – часові діаграми роботи

Він є автогенератором і починає працювати під час включення живлення без подачі вхідного сигналу.

Конденсатор $C1$ і резистори $R1, R2$ є ВЗЗ і утворюють інтегруючий RC -ланцюг, джерелом вхідної напруги для якого є вихідна напруга ІМС ОП – $U_{ВИХ}$.

У цій схемі ІМС ОП працює у нелінійному режимі і його вихідна напруга приймає одне з двох постійних значень: $+U_{НАС}$ чи $(-U_{НАС})$, рис. 2, б.

Якщо $U_{ВИХ} = +U_{НАС}$, відкрито діод $VD1$ і конденсатор $C1$ заряджається від цієї напруги через резистор $R1$. За $U_{ВИХ} = -U_{НАС}$ відкрито $VD2$ і конденсатор $C1$ перезаряджається через $R2$. На прямий вхід ІМС ОП, що не інвертує, надходить напруга ДЗЗ $U_{ПР}(U_H)$, що знімається з подільника вихідної напруги, який виконано на резисторах $R3, R4$.

Залежно від величини вихідної напруги ІМС ОП, напруга $U_{ПР}(U_H)$ приймає значення

$$U_{H1} = U_{ПР1} = \frac{+U_{НАС} \cdot R4}{R3 + R4}, \quad (1)$$

якщо $U_{ВИХ} = +U_{НАС}$;

$$U_{H2} = U_{ПР2} = \frac{-U_{НАС} \cdot R4}{R3 + R4}, \quad (2)$$

якщо $U_{ВИХ} = -U_{НАС}$.

У разі високого значення коефіцієнта підсилення напруги ІМС ОП ($K_{U.ІМСОП}$) величини $\Delta U_1, \Delta U_2$ (рис. 2, б) наближаються до нуля.

Тому за $\Delta U = U_I - U_H \approx 0$ вихідна напруга підсилювача за рахунок виконання умови виникнення стрибків: балансу фаз (ДЗЗ) і балансу амплітуд швидко (лавиноподібно) змінює своє значення від $+U_{НАС}$ до $-U_{НАС}$ і навпаки.

Отже, ІМС ОП порівнює напруги на вході, що інвертує (І), та на вході, що не інвертує (Н), і у разі їх приблизної рівності стрибкоподібно змінює своє вихідне значення на протилежне.

Аналіз роботи МВ

У разі відключеної напруги живлення підсилювача конденсатор $C1$ розряджений. Під час включення напруги живлення ІМС ОП ($t = t_1$) за рахунок асиметрії схеми підсилювача і наявності ДЗЗ на виході випадковим чином

встановиться значення $+U_{НАС}$ чи $-U_{НАС}$. Припустимо, $U_{ВИХ} = +U_{НАС}$. Діод VD1 відкривається, а VD2 – закритий. Конденсатор заряджається цією напругою через резистор R1. Наростаюча за експонентою напруга U_{C1} зі сталою часу $\tau_{зар} = R1 \cdot C1$ подається на вхід ІМС ОП, що інвертує. Через ланцюг R3, R4 на вхід, що не інвертує, подається напруга U_{H1} .

В момент $t = t_2$ напруга $U_{C1} = U_{H1}$, відбувається переключення підсилювача і на його виході встановлюється напруга $U_{ВИХ} = -U_{НАС}$. Діод VD2 – відкривається, а VD1 – закривається. Через резистор R2 конденсатор C1 перезаряджається напругою: $-U_{НАС}$ зі сталою часу $\tau_{пер} = R2 \cdot C1$.

В момент часу $t = t_3$ модуль від'ємної напруги U_{C1} дорівнює модулю від'ємної напруги U_{H2} . Підсилювач знову переключастся і на його виході встановлюється напруга $+U_{НАС}$. Далі описаний процес повторюється.

Інтервал $t_3 \dots t_4$ визначає тривалість вихідного імпульсу МВ (t_{iM}), а інтервал $t_4 \dots t_5$ – тривалість паузи (t_n).

Нижче наведено вирази для визначення тривалості імпульсу, паузи, періоду слідування вихідних імпульсів та шпаруватості [1]:

$$t_{iM} = \tau_{iM} \cdot \ln\left(1 + \frac{2R4}{R3}\right) = R1 \cdot C1 \cdot \ln\left(1 + \frac{2R4}{R3}\right). \quad (3)$$

$$t_n = \tau_{iM} \cdot \ln\left(1 + \frac{2R4}{R3}\right) = R2 \cdot C1 \cdot \ln\left(1 + \frac{2R4}{R3}\right). \quad (4)$$

$$T = t_{iM} + t_n = (R1 + R2) \cdot C1 \cdot \ln\left(1 + \frac{2R4}{R3}\right), \quad (5)$$

$$Q = \frac{T}{t_{iM}} = \frac{R1 + R2}{R1}. \quad (6)$$

З виразів (3...6) видно, що значення t_{iM} , t_n , T та Q не залежать від параметрів ІМС ОП, якщо остання близька до ідеальної.

Отже, стабільність частоти f і шпаруватості Q вихідних імпульсів МВ визначається стабільністю параметрів резисторів і конденсатора.

У реальних схемах МВ на ІМС ОП потрібно враховувати те, що $+U_{НАС} \neq |-U_{НАС}|$; на виході підсилювача є напруга зсуву нуля; стрибкоподібна зміна вихідного сигналу відбувається не за нульової різниці напруг між входами ІМС ОП, а трошки раніше. Усе це дещо знижує стабільність параметрів схеми.

Регулювання параметрів схеми

Для регулювання частоти слідування вихідних імпульсів за незмінної шпаруватості варто змінювати співвідношення резисторів R_3 , R_4 . Наприклад, якщо $R_3 = \text{const}$, а R_4 збільшується, то частота f зменшується (5).

Для регулювання шпаруватості вихідних імпульсів за незмінн частоті можна скористатися схемою, яку зображено на рис. 3, а.

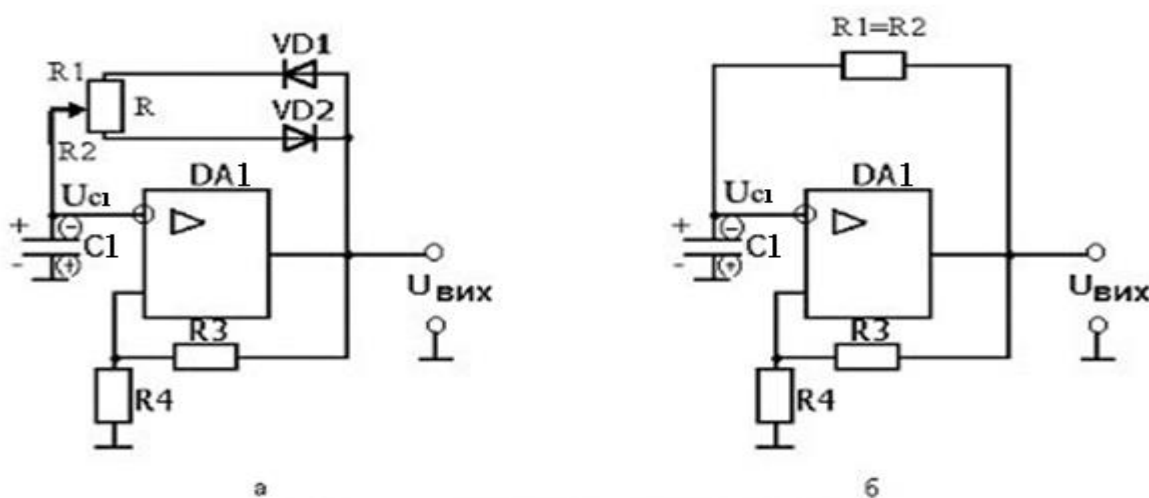


Рис. 3. Автоколивальний МВ на ІМС ОП: а – схема з резистором для регулювання шпаруватості; б – схема зі шпаруватістю $Q = 2$.

Пересуванням повзуна змінного резистора R_1 змінюється співвідношення значень R_1 та R_2 , що впливає на шпаруватість Q , а сума $R_1 + R_2 = R = \text{const}$, тобто період T і частота не змінюються (5, 6).

Для формування на виході розглянутого МВ послідовності імпульсів зі шпаруватістю $Q = 2$ значення резисторів у ланцюзі ВЗЗ повинні бути однакові ($R_1 = R_2$). У цьому випадку діоди VD_1 , VD_2 не потрібні і схема МВ має вигляд, який наведено на рис. 3, б.

1.1.2.3. Мультивібратор, що чекає, на ІМС ОП

Мультивібратор, який наведено на рис. 4, а, називається таким, що чекає.

Він формує на виході одиночний прямокутний імпульс заданої тривалості під час надходження на вхід схеми короткого імпульсу, який його запускає. На рис. 4, б наведено часові діаграми роботи пристрою під час надходження на його вхід імпульсів, що запускають.

У разі включення напруги та відсутності вхідного імпульсу, який запускає, на виході схеми встановлюється напруга $U_{\text{вих}} = -U_{\text{нас}}$.

Діод VD_1 – відкритий і напруга на конденсаторі $U_{C1} = -U_{VD1, \text{пр}}$. Такий стан схеми є стійким.

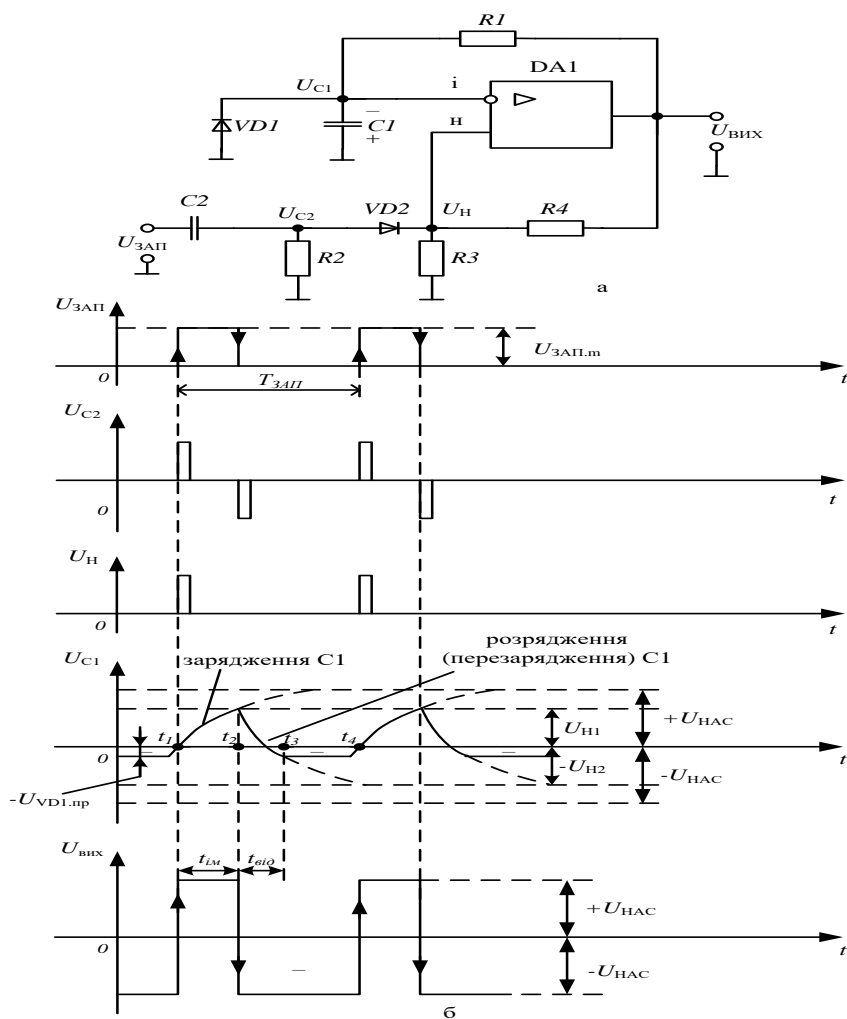


Рис. 4. Чекаючий МВ на ІМС ОП (одновібратор):

а – схема; б – часові діаграми роботи

У початковому стані $U_{зАП} = 0; U_{вих} = -U_{НАС}; U_I = -U_{VD1.пр} = -U_{C1}$.
 VD2 – відкритий, тому напруга на вході, який не інвертує:

$$U_{H2} = U_{пр2} = -U_{НАС} \cdot \frac{\frac{R2 \cdot R3}{R2 + R3}}{R4 + \frac{R2 \cdot R3}{R2 + R3}} \quad (7)$$

Під час надходження вхідного додатного імпульсу, що запускає, амплітудою $U_{зАП.m} > |U_{пр2}|$ потенціал входу ІМС ОП, який не інвертує, стає додатним. За рахунок дії ДЗЗ (резистори R3, R4) схема швидко (лавинopodobно) змінює свій стан і вихідна напруга стає рівною $+U_{НАС}$.

Діод VD2 закритий, а напруга на вході, який не інвертує:

$$U_{H1} = U_{пр1} = U_{НАС} \cdot \frac{R3}{R3 + R4} \quad (8)$$

Ємність $C1$ перезаряджається. Коли від'ємна напруга на конденсаторі за модулем стає більше, ніж $|U_{VD1.пр}|$, діод $VD1$ відкривається, зашунтовує $C1$ і його подальше перезарядження припиняється. Напруга на конденсаторі фіксується на рівні $U_{C1} = -U_{VD.пр}$ (частки вольт).

Таким чином, у відповідь на подачу вхідного короткого імпульсу, що запускає, на виході MB формується одиночний імпульс заданої тривалості: $t_{iM} = t_2 - t_1$.

Час перезарядження ємності $C1$ від величини $+U_{H1}$ до $-U_{VD1.пр}$ називається часом відновлення $t_{від} = t_3 - t_2$.

Ланцюжок $C2, R2$ (рис. 4, а) є диференціюючим. Діод $VD2$ виконує функцію вентиля та пропускає тільки додатні імпульси.

Період зовнішніх імпульсів, що запускають, $T_{зАП}$ повинен бути більше $(t_{iM} + t_{від})$:

$$T_{зАП} \geq (t_{iM} + t_{від}). \quad (9)$$

Нижче наведено вирази для визначення тривалості імпульсу та часу відновлення [1]:

$$t_{iM} = \tau_{iM} \cdot \ln\left(1 + \frac{R3}{R4}\right) = R1 \cdot C1 \cdot \ln\left(1 + \frac{R3}{R4}\right). \quad (10)$$

$$t_{від} = R1 \cdot C1 \cdot \ln\left(\frac{2R3 + R4}{R3 + R4}\right). \quad (11)$$

Регулювання тривалості імпульсу t_{iM} може здійснюватися такими способами: зміненням $R1$ чи $C1$ (останнє звичайно не застосовується, тому що конденсатор зі змінною ємністю має великі габарити і масу), при цьому змінюється швидкість зарядження конденсатора $C1$; зміною співвідношення $R3/R4$, при цьому змінюється напруга спрацьовування компаратора U_{H1} , а разом з ним і час, під час якого напруга на конденсаторі наростає до величини U_{H1} .

Під час використання OB не слід забувати, що схеми з ДЗЗ мають низьку завадостійкість. У вихідному стані напруга на прямому вході ІМС ОП $U_{пр} = U_{H2}$ повинна бути набагато більше рівня завад. Природно, що її амплітуда вхідного сигналу при цьому повинна бути великою, щоб забезпечити переключення компаратора на початку стадії формування імпульсу.

1.2. Генератори напруги, що змінюється лінійно

1.2.1. Загальні відомості про генератори напруги, що змінюється лінійно

Генератори напруги, що змінюється лінійно (ГНЗЛ), формують на виході напругу, форма якої нагадує зуби пилки (рис. 5).

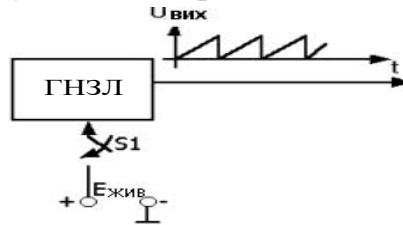


Рис. 5. Сигнал на виході автоколивального ГНЗЛ

Тому ці генератори часто називають генераторами пилкоподібної напруги (ГПН). Фронт і зріз вихідного сигналу ГНЗЛ (ГПН) змінюється за законом, близьким до лінійного. Для створення лінійної (чи близької до лінійної) залежності напруги від часу часто використовують зарядження (чи розрядження) конденсатора постійним струмом.

Просту схему ГНЗЛ наведено на рис. 6, а, часову діаграму роботи – на рис. 6, б.

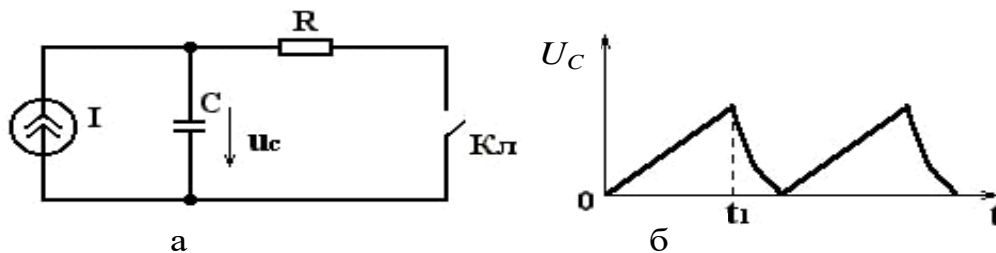


Рис. 6. Проста схема для формування напруги, що змінюється лінійно

У разі розімкнутого ключа $Kл$ конденсатор C заряджається від джерела постійного струму I і напруга на ньому наростає:

$$U_c = \frac{1}{C} \int_0^t I dt + U_c(0) = \frac{It}{C} + U_c(0), \quad (12)$$

де $t = 0$ – момент початку зарядження.

У момент $t = t_1$ замикається ключ $Kл$ і конденсатор експоненціально розряджається через ключ і резистор R , який введено у схему для обмеження розрядного струму. Після розрядження конденсатора до напруги $U_c(0) = 0$ ключ $Kл$ знову розмикається. Тоді знову почнеться процес формування напруги, що лінійно наростає і т. д.

Відомі численні варіанти реалізації схеми, яку наведено на рис. 6, що відрізняються способами побудови джерела струму I та ключового елемента [1].

1.2.2. Генератори напруги, що змінюється лінійно, на біполярному транзисторі

На рис. 7 наведено схему і часові діаграми роботи ГНЗЛ на БТ.

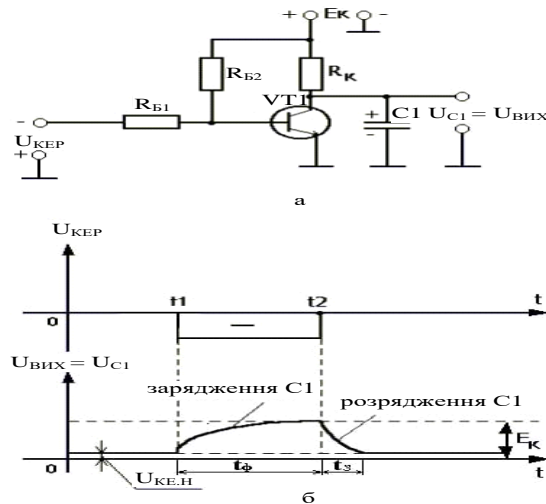


Рис. 7. ГНЗЛ із зовнішнім запуском на БТ:
а – схема; б – часові діаграми роботи

У початковому стані $U_{KEP} = 0$. Додатною напругою, що знімається з подільника напруги $+E_K(R_{B1}, R_{B2})$, транзистор VT1 відкритий.

Конденсатор $C1$ майже цілком розряджений, а з виходу схеми знімається невелика напруга $U_{C1} = U_{ВИХ} = U_{KE.Н}$.

В момент часу $t = t_1$ на вхід схеми подається від'ємний імпульс, що закриває транзистор VT1. Конденсатор $C1$ заряджається за ланцюжком: $+E_K; R_K; C1; GND$ (земля).

В момент часу $t = t_2$ вхідний імпульс закінчується, знову $U_{KEP} = 0$ і VT1 – відкривається. Конденсатор $C1$ розряджається через відкритий транзистор до напруги $U_{KE.Н}$, за величиною близькою до нуля.

З виходу знімається експоненціальний імпульс, що лише в першому наближенні можна вважати лінійним.

Тривалість фронту цього імпульсу значно більша тривалості зрізу ($t_\phi \gg t_{зр}$), тому що стала зарядження $C1$ значно більша сталої розрядження ($\tau_{зар} \gg \tau_{розр}$).

1.2.3. Генератори напруги, що змінюється лінійно, на ІМС ОП

Досить високі техніко-економічні показники мають схеми ГНЗЛ, які побудовано на інтегральних мікросхемах. Серед них широке поширення отримали схеми на ІМС ОП, які поділяються на два види: із зовнішнім запуском та автоколивальні.

1.2.3.1. Генератори напруги, що змінюється лінійно із зовнішнім запуском

Загальна характеристика генератора

Схема ГНЗЛ на ІМС ОП із зовнішнім запуском (рис. 8, а) містить аналоговий компаратор (АК) і активний інтегратор (АІ).

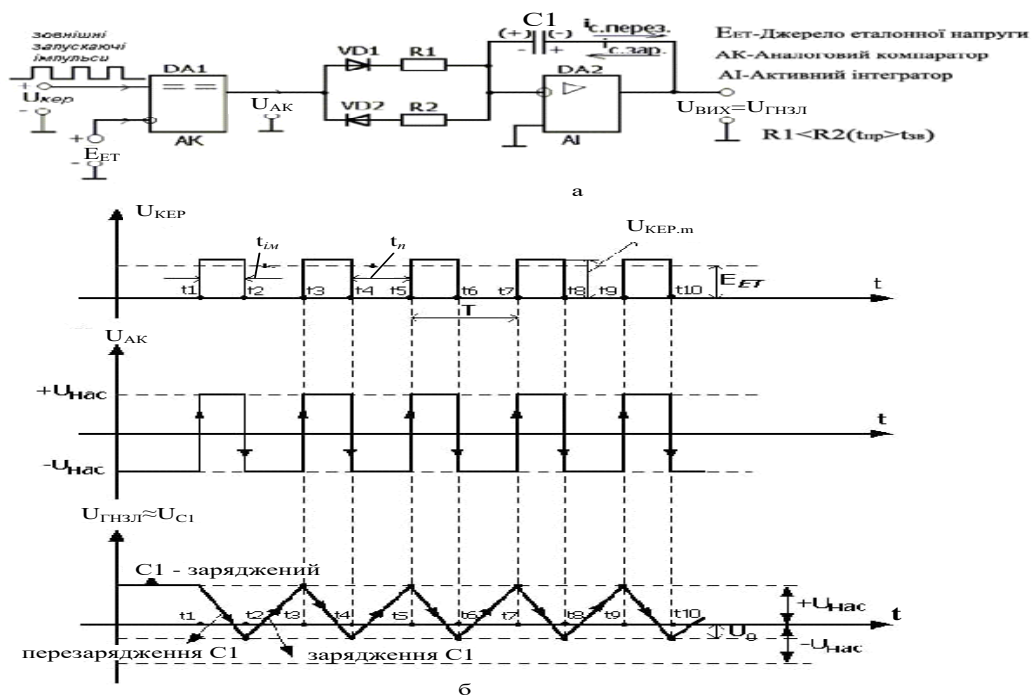


Рис. 8. ГНЗЛ, який чекає: а – схема; б – часові діаграми роботи

Зовнішні імпульси, що запускають, подаються на вхід АК, який не інвертує. Компаратор виконано на ІМС ОП (DA1). На вході АК, що інвертує, постійно присутня додатна (еталонна) напруга $+E_{ET} = const$.

Коли імпульс, що запускає, відсутній, то $U_{AK} = -U_{нас}$. Під час надходження на вхід компаратора керувального імпульсу з амплітудою $U_{Kер.m} > U_{ET}$ напруга на виході АК стрибком переключається і приймає значення $U_{AK} = +U_{нас}$. Таким чином, на вхід АІ, який виконано на ІМС ОП (DA2), надходять різнополярні імпульси, що знімаються з виходу АК.

Коли $U_{AK} = +U_{HAC}$, то діод VD1 – відкритий, а VD2 – закритий і інтегровальний ланцюг утворюють резистор R1 і конденсатор C1, який включено у ланцюг ВЗЗ мікросхеми DA2.

Якщо $U_{AK} = -U_{HAC}$, то VD1 – закритий, VD2 – відкритий і до інтегровального ланцюга входять резистор R2 і конденсатор C1.

Під час подачі на вхід АІ стрибка постійної напруги, його вихідний сигнал змінюється за законом, близьким до лінійного:

$$U_{ВИХ} = -\frac{1}{RC} \int_0^t U_{ВХ} dt + U_{ВИХ}(0) = -\frac{U_{ВХ} \cdot t}{RC} + U_{ВИХ}(0), \quad (13)$$

де $RC = \tau_{int}$ – стала часу АІ; $U_{ВХ}$ – значення постійної вхідної напруги; $U_{ВИХ}(0)$ – початкове значення постійного вихідного сигналу в момент подачі стрибка на вході.

Основні розрахункові співвідношення

Згідно (13) після закінчення вхідного імпульсу напруга на виході генератора

$$U_{ГНЗЛ} = -\frac{U_{HAC} \cdot t_{im}}{R1 \cdot C1} + U_{HAC} = U_0, \quad (14)$$

де U_0 – напруга, до якої ємність C1 перезарядиться за час вхідного імпульсу t_{im} (рис. 8, б).

Після закінчення паузи вхідного сигналу напруга на виході генератора

$$U_{ГНЗЛ} = \frac{U_{HAC} \cdot t_n}{R2 \cdot C1} + U_0. \quad (15)$$

Умова нормальної роботи схеми

Для нормального функціонування схеми необхідно, щоб зміна вихідної напруги (напруги на конденсаторі) за час вхідного керувального імпульсу ($\Delta U_{C.розр}$) дорівнювала зміні напруги на конденсаторі (вихідної напруги) за час паузи вхідного сигналу ($\Delta U_{C.зар}$):

$$\Delta U_{C.розр} (\Delta t = t_{im}) = \Delta U_{C.зар} (\Delta t = t_n). \quad (16)$$

Якщо ввести поняття швидкості зміни вихідного сигналу (крутизни)

$$S = \frac{dU_{ГНЗЛ}}{dt}, \quad (17)$$

то вираз (16) можна записати у вигляді

$$\left. \begin{aligned} -t_{im} \cdot S_{спад} &= t_n \cdot S_{нар}; \\ -t_{im} \left(-\frac{U_{НАС}}{R1 \cdot C1} \right) &= t_n \cdot \frac{U_{НАС}}{R2 \cdot C1}. \end{aligned} \right\} \quad (18)$$

Звідкіля отримаємо умову нормального функціонування схеми

$$\frac{t_{im}}{t_n} = \frac{R1}{R2}. \quad (19)$$

Два варіанти форми вихідного сигналу

Якщо забезпечити виконання співвідношень

$$t_{im} = R1 \cdot C1; t_n = R2 \cdot C1, \quad (20)$$

то з виразу (14) одержимо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = U_0 = 0. \quad (21)$$

Підставивши $t_n = R2 \cdot C1$ і $U_0 = 0$ у (15), одержимо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot R2 \cdot C1}{R2 \cdot C1} + 0 = U_{НАС}. \quad (22)$$

Перший варіант форми вихідного сигналу в цьому випадку наведено на рис. 9.



Рис. 9. Перший варіант форми вихідного сигналу

На рис. 9 прийнято позначення: $t_{пр}$ – тривалість наростаючої ділянки пили (прямого ходу); $t_{звр}$ – тривалість спадаючої ділянки пили (зворотного ходу).

Якщо згідно рис. 8, $t_{пр} = t_n$, а $t_{звр} = t_{im}$, тоді, згідно (19), $R2 > R1$, тому що $t_{пр}(t_n) > t_{звр}(t_{im})$.

Якщо забезпечити виконання співвідношень

$$t_{im} = 2R1 \cdot C1; t_n = 2R2 \cdot C1, \quad (23)$$

то з виразу (14) отримаємо

$$U_{ГНЗЛ} = -\frac{U_{НАС} \cdot 2R1 \cdot C1}{R1 \cdot C1} + U_{НАС} = -U_{НАС} = U_0. \quad (24)$$

Підставивши $t_n = 2R_2 \cdot C_1$ і $U_0 = -U_{НАС}$ у (15), отримаємо

$$U_{ГНЗЛ} = \frac{U_{НАС} \cdot 2R_2 \cdot C_1}{R_2 \cdot C_1} - U_{НАС} = U_{НАС}. \quad (25)$$

Другий варіант форми вихідного сигналу в цьому випадку наведено на рис. 10.

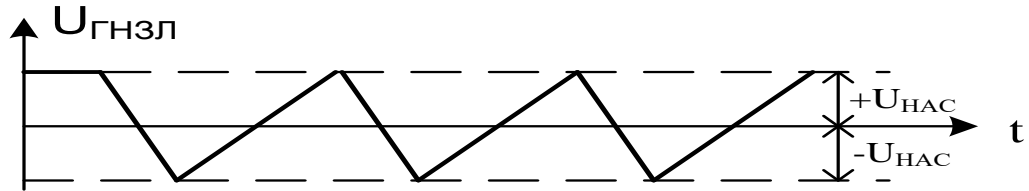


Рис. 10. Другий варіант форми вихідного сигналу

ГНЗЛ з зовнішнім запуском і стабілітронами у ланцюзі ВЗЗ

Через можливу нестабільність параметрів умова нормального функціонування схеми (19) буде порушуватись. Тому в практичних схемах максимальне і мінімальне значення вихідної напруги $U_{ГНЗЛ}$ обмежуються.

Для забезпечення цього в схему вводять, наприклад, стабілітрони VD3 і VD4 (рис. 11).

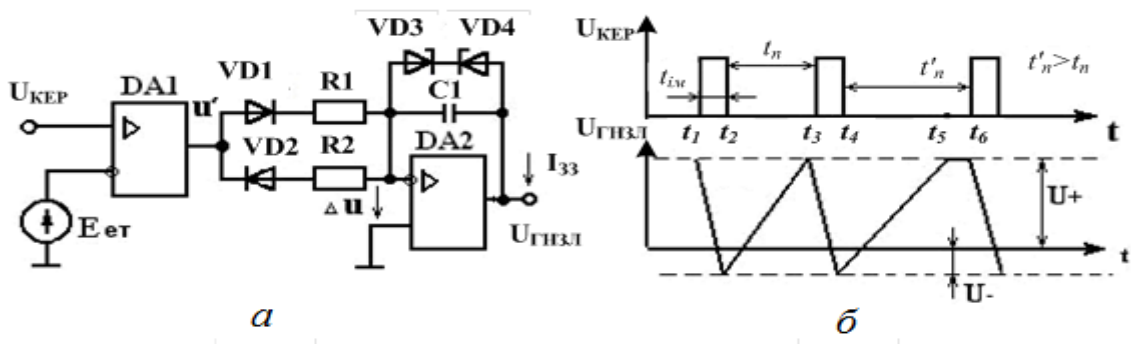


Рис. 11. ГНЗЛ із зовнішнім запуском і стабілітронами в ланцюзі ВЗЗ:

a – схема; *б* – часові діаграми роботи

Як показано раніше, напруга між входами ІМС ОП інтегратора $\Delta U \approx 0$. Якщо $0 < U_{ГНЗЛ} < U_+$, на стабілітроні VD4 діє пряма напруга ($U_{VD4} > 0$), а стабілітрон VD3 зміщено у зворотному напрямку і через ланцюг стабілітронів проходить малий струм $I_0 \approx 0$. Таким чином, стабілітрони в цьому випадку практично не впливають на процес зарядження конденсатора C1. У разі досягнення $U_{ГНЗЛ} = U_+ = |U_{СТ.VD3}|$ ($U_{СТ.VD3}$ – напруга стабілізації VD3, який працює в режимі електричного пробою), зарядження конденсатора C1 припиняється і струм

$I_{33} = U' / R2$ переходить з конденсатора на ланцюжок стабілітронів. Таким чином, напругу $U_{ГНЗЛ}$ зверху обмежено значенням U_+ . Аналогічно знизу напругу $U_{ГНЗЛ}$ обмежено значенням $U_- = |U_{CT.VD4}|$, де $U_{CT.VD4}$ – напруга стабілізації VD4.

На рис. 11, б показано роботу обмежувача на стабілітронах у момент t_5 . Інтервал паузи між імпульсами керування: $t_4 \dots t_6$ задано досить великим ($t'_n > t_n$). Тому в момент t_5 напруга ГНЗЛ досягає значення U_+ і до моменту $t = t_6$ утримується на цьому рівні. З приходом чергового імпульсу $U_{КЕР}$ починається процес формування спаду $U_{ГНЗЛ}$.

1.2.3.2. Автоколивальний генератор напруги, що змінюється лінійно, на ІМС ОП

Крім ГНЗЛ із зовнішнім керуванням існують генератори, що працюють в автоколивальному (автогенераторному) режимі, тобто без керувального сигналу (рис. 12).

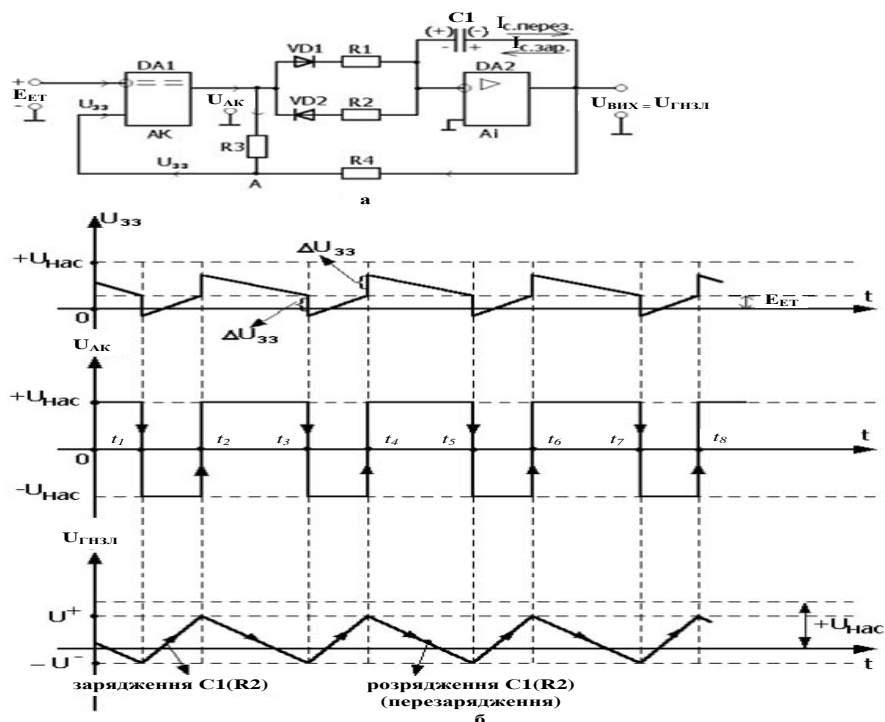


Рис. 12. Автоколивальний ГНЗЛ: а – схема; б – часові діаграми роботи

Ця схема відрізняється від розглянутого вище ГНЗЛ (рис. 8) наявністю ланцюга зворотного зв'язку (ЗЗ), що зв'язує прямий вхід компаратора з виходами компаратора та інтегратора.

Напруга зворотного зв'язку U_{33} порівнюється з еталонною напругою E_{ET} , що подається на вхід АК, який інвертує. Спрацьовування компаратора відбувається, коли $U_{33} \approx E_{ET}$ (рис. 12, б).

У цьому разі на виході АК з'являється стрибок напруги, рівний $2U_{НАС}$, що приводить до стрибка напруги на прямому вході АК:

$$U_{33} = \frac{2U_{НАС} \cdot R3}{R3 + R4}. \quad (26)$$

Оскільки напруга U_{33} залежить від двох сигналів: $U_{АК}$ і $U_{ВИХ} = U_{ГНЗЛ}$, то її значення може бути визначено за методом суперпозиції:

$$U_{33} = \frac{U_{АК} \cdot R4}{R3 + R4} + \frac{U_{ГНЗЛ} \cdot R3}{R3 + R4}. \quad (27)$$

Виведення основних розрахункових співвідношень для цієї схеми наведено у [1]. Якщо $R3=2R4$, то вихідна напруга має вигляд, який показано на рис. 13.

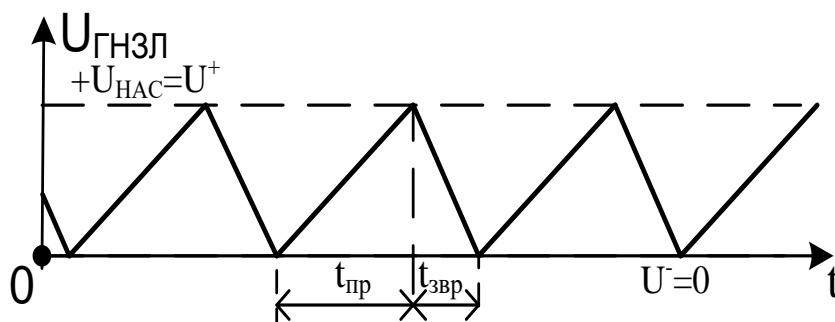


Рис. 13. Напруга на виході автоколивального ГНЗЛ

Аналогічно ГНЗЛ, який чекає, величина зміни вихідної напруги в процесі розрядження конденсатора $C1$ в автоколивальному ГНЗЛ (рис. 12) також повинна дорівнювати зміні $U_{ГНЗЛ}$ в процесі зарядження $C1$:

$$-S_{спад} \cdot t_{звр} = S_{нар} \cdot t_{пр}, \quad (27)$$

де S крутизна (швидкість зміни) вихідного сигналу.

Тоді отримаємо умову нормального функціонування схеми [1]

$$\frac{t_{ПР}}{t_{ЗВР}} = \frac{R2}{R1}. \quad (28)$$

1.2.3.3. Застосування генераторів напруги, що змінюється лінійно

На основі ГНЗЛ будуються системи розгортки електронно-променевих трубок [1]. Схему, яку наведено на рис. 8, можна використати також і як

автоколивальний МВ. У цьому випадку вихідна напруга знімається з виходу компаратора. ГНЗЛ використовуються в широтно-імпульсних тиристорних перетворювачах [1] і т. ін.

2. Моделювання окремих пристроїв

2.1. Схема 1. Автоколивальний мультивібратор. Базова схема

Нижче наведено схему автоколивального мультивібратора, яку зібрано у середовищі MicroCap: *MULTI_AV.cir* (рис. 14).

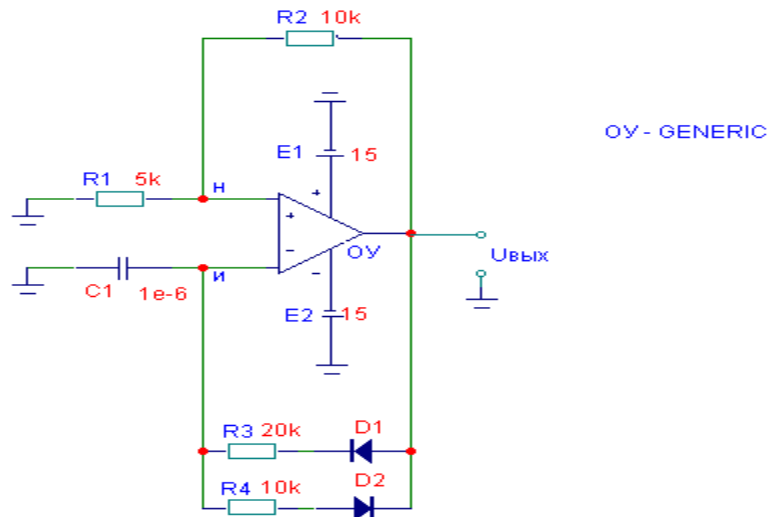


Рис. 14. Схема автоколивального мультивібратора

Параметри схеми:

- 1) R1 (Resistor): Value = 5k [Om];
- 2) R2 (Resistor): Value = 10k [Om];
- 3) R3 (Resistor): Value = 20k [Om];
- 4) R4 (Resistor): Value = 10k [Om];
- 5) C1 (Capacitor): Value = <номер бригади> [uF] (приклад: Value = 1e-6 [F], для 1 варіанту);
- 6) X1 (Opamp): Model = \$GENERIC;
- 7) E1 (Battery): Value = 15 [V];
- 8) E2 (Battery): Value = 15 [V];
- 9) D1 (Diode): Model = \$GENERIC;
- 10) D2 (Diode): Model = \$GENERIC.

Автоколивальний мультивібратор, схему якого наведено на рис. 14, формує послідовність прямокутних імпульсів зі змінюваною шпаруватістю: $Q = T/t_{IM}$, де T – період, а t_{IM} – тривалість вихідних імпульсів.

Результат дослід

На рис. 15 зображено часові діаграми роботи схеми, яку наведено на рис. 14.

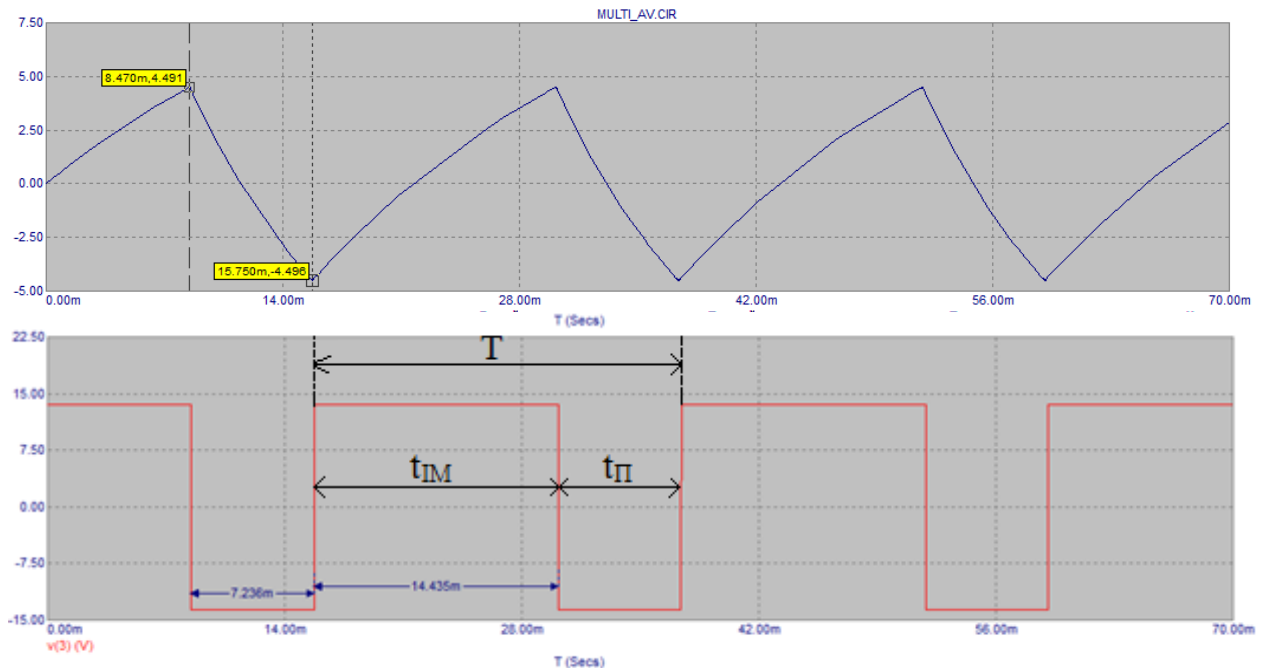


Рис. 15. Часові діаграми роботи схеми, яку наведено на рис. 14.

Шпаруватість імпульсів в цьому прикладі: $Q < 2$.

Роботу даної схеми та вивід основних розрахункових формул наведено у пп. 1.1.2.2. Згідно цих формул отримаємо:

$$U_{n1} = \frac{U_{нас}}{R_1 + R_2} R_1 = \frac{13,6}{5 + 10} * 5 = 4,53B,$$

$$U_{n2} = \frac{-U_{нас}}{R_1 + R_2} R_1 = \frac{-13,6}{5 + 10} * 5 = -4,53B.$$

Тривалість додатного та від'ємного імпульсів залежить від швидкості заряду конденсатора і від значення напруги U_H :

$$t_{IM} = f(R_3, C_1, U_{H2}) = f(R_3, C_1, R_1, R_2) = R_3 \cdot C_1 \cdot \ln\left(1 + 2 \frac{R_1}{R_2}\right);$$

$$t_{II} = f(R_4, C_1, U_{H1}) = f(R_4, C_1, R_1, R_2) = R_4 \cdot C_1 \cdot \ln\left(1 + 2 \frac{R_1}{R_2}\right).$$

$$t_{IM} = 20 \cdot 10^3 \cdot 10^{-6} \cdot \ln\left(1 + 2 \cdot \frac{5}{10}\right) = 13,863 \text{ мс},$$

$$t_{II} = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln\left(1 + 2 \cdot \frac{5}{10}\right) = 6,931 \text{ мс}.$$

Згідно цих розрахунків та результатів моделювання, які наведено на рис. 15, можемо зробити висновок, що враховуючі похибку MicroCap, схема мультівібратора виконує свої функції.

З цих формул видно, що розглянута схема дозволяє змінювати шпаруватість вихідних імпульсів.

2.2. Схема 2. Автоколивальний мультивібратор зі шпаруватістю два

Нижче наведено схему автоколивального мультивібратора зі шпаруватістю два, яку зібрано у середовищі MicroCap: *MULTI_OY.cir* (рис. 16).

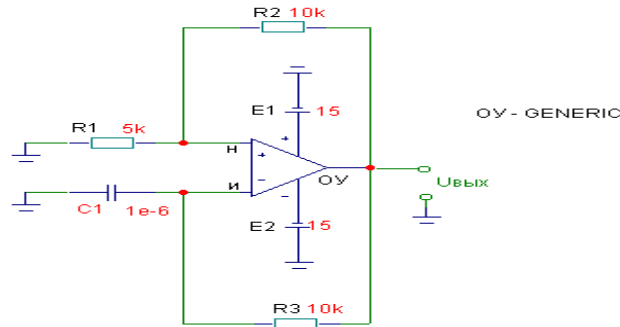


Рис. 16. Схема автоколивального мультивібратора зі шпаруватістю 2

Параметри схеми:

- 1) R1 (Resistor): Value = 5k [Om];
- 2) R2 (Resistor): Value = 10k [Om];
- 3) R3 (Resistor): Value = 10k [Om];
- 4) C1 (Capacitor): Value = <номер бригади> [uF] (приклад: Value = 1e-6 [F], для 1 варіанту);
- 5) X1 (Opamp): Model = \$GENERIC;
- 6) E1 (Battery): Value = 15 [V];
- 7) E2 (Battery): Value = 15 [V].

Ця схема є окремим випадком схеми 1 і принцип її дії в загальному є таким же. Відмінність полягає в тому, що тут зникли діоди, а два опори R3 і R4 замінено одним. Ці зміни призвели до абсолютної ідентичності кіл заряду і перезаряду конденсатора C1, а також до однакової тривалості від'ємних і додатних імпульсів. Таким чином даний мультивібратор здатний генерувати послідовності лише однією шпаруватості – два.

Аналогічно автоколивальному мультивібратору (схема 1) обчислимо очікувані значення $U_{н1}$, $U_{н2}$ та $t_{ім} = t_n$:

$$U_{н1} = \frac{U_{нас}}{R1 + R2} R1 = \frac{13,6}{5 + 10} * 5 = 4,53B,$$

$$U_{н2} = \frac{-U_{нас}}{R1 + R2} R1 = \frac{-13,6}{5 + 10} * 5 = -4,53B,$$

$$t_{ім} = t_{II} = \tau_{ім} \cdot \ln \left(1 + \frac{2R1}{R2} \right) = R3 \cdot C1 \cdot \ln \left(1 + \frac{2R1}{R2} \right).$$

$$t_{им} = t_{П} = R3 \cdot C1 \cdot \ln \left(1 + \frac{2R1}{R2} \right) = 10 \cdot 10^3 \cdot 10^{-5} \cdot \ln \left(1 + \frac{2 \cdot 5}{10} \right) = 6,931 \text{ мс.}$$

Результат дослід

На рис. 17 зображено часові діаграми роботи схеми, яку наведено на рис. 16.

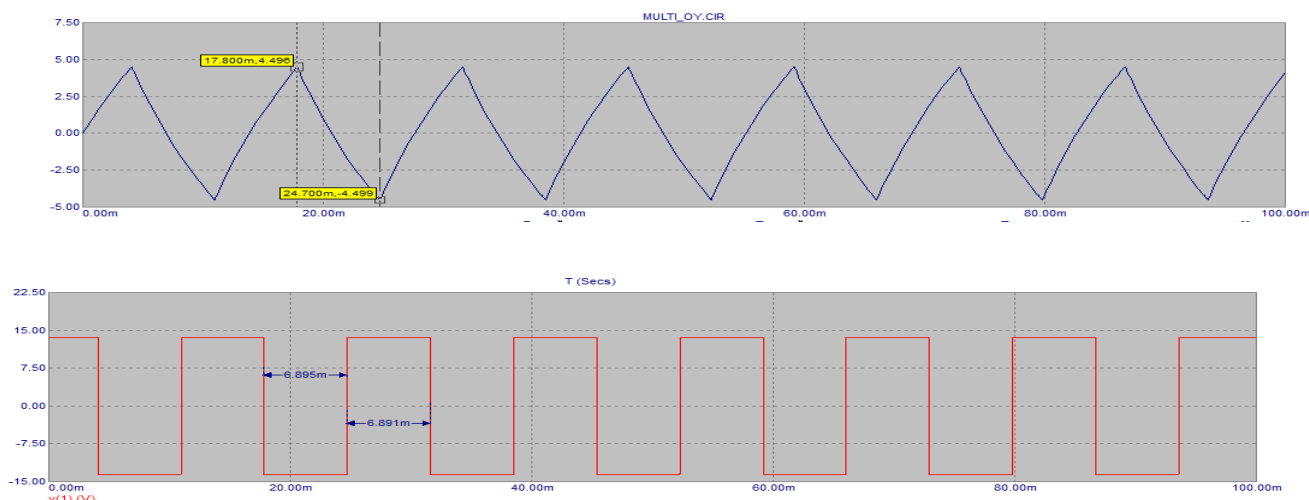


Рис. 17. Часові діаграми роботи схеми, яку наведено на рис. 16

2.3. Схема 3. Чекаючий мультивібратор

Нижче наведено схему чекаючого мультивібратора, яку зібрано у середовищі MicroCap: *MULTI_ST.cir* (рис. 18).

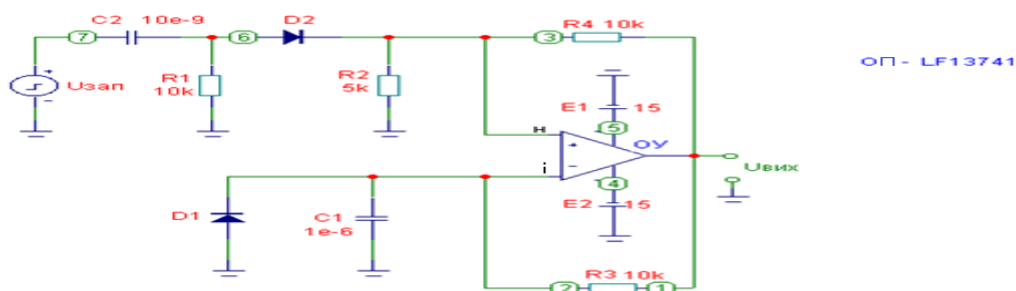


Рис. 18. Схема чекаючого мультивібратора

Параметри схеми:

- 1) $U_{ЗАП}$ (Pulsesource): Model = PULSE; VONE = 5 [V]; VZERO = 0 [V].
- 2) Параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб довжина прямокутного імпульсу дорівнювала $t_i = 10 \text{ [мс]} = 10\text{m [sec]}$, а період дорівнював $T = 10\text{мс} + \langle \text{номер бригади} \rangle \cdot 10\text{мс} = 10\text{m} + \langle \text{номер бригади} \rangle \cdot 10\text{m [sec]}$; Приклад: Номер бригади = 3 $\rightarrow P1 = 30\text{m}$; P2 = 30,01m; P3 = 30,09m; P4 = 30,1m; P5 = 40m;

- 3) C2 (Capacitor): Value = <номер бригади> · 10 [nF] (приклад: Value = 10e-9 [F], для 1 варіанту);
- 4) C1 (Capacitor): Value = <номер бригади>[uF] (приклад: Value = 1e-6 [F], для 1 варіанту);
- 5) D1 (Diode): Model = \$GENERIC;
- 6) D2 (Diode): Model = \$GENERIC;
- 7) R1 (Resistor): Value = 10k [Om];
- 8) R2 (Resistor): Value = 5k [Om];
- 9) R3 (Resistor): Value = 10k [Om];
- 10) R4 (Resistor): Value = 10k [Om];
- 11) X1 (Opamp): Model = LF13741;
- 12) E1 (Battery): Value = 15 [V];
- 13) E2 (Battery): Value = 15 [V].

Цей мультивібратор називається чекаючим, оскільки для формування на виході одиночного імпульсу на нього потрібно подавати керувальний (запускаючий) сигнал $U_{ЗАП} = U_{КЕР}$.

Результат дослідів

На рис. 19 зображено часові діаграми роботи цієї схеми.

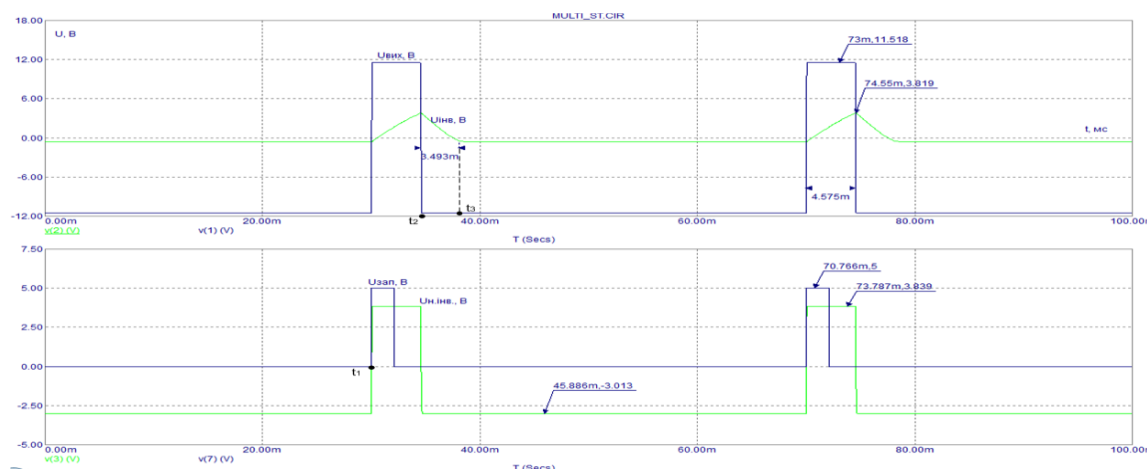


Рис. 19. Часові діаграми роботи чекаючого мультивібратора

На верхній частині рисунка зображено часові діаграми: вихідної напруги, а також напруги на інвертуючому вході ОП (на конденсаторі C1), на нижній – керувальній напруги і напруги на неінвертуючому вході.

Припустимо, що Під час подачі живлення $U_{ВИХ} = +U_{НАС}$ і $U_{ЗАП} = 0$. Тоді діод D2 буде закрито, і на неінвертуючому вході ОП буде напруга:

$$U_{н1} = \frac{U_{нас}}{R2 + R4} R2$$

$$U_{н1} = \frac{11.518}{5+10} * 5 = 3.83(B).$$

Діод D1 також буде закритий, і конденсатор C1 стане заряджатися до значення $U_{н1}$, після чого піде перемикання у стан $U_{ВИХ} = -U_{НАС}$. Діод D2 відкриється, і напруга на неінвертуючому вході прийме значення

$$U_{н2} = -\frac{U_{нас}}{R4 + \frac{R1 \cdot R2}{R1 + R2}} \cdot \frac{R1 \cdot R2}{R1 + R2} = -\frac{U_{нас}}{1 + \frac{R4}{R1} + \frac{R4}{R2}}$$

$$U_{н2} = -\frac{11.518}{1+1+2} = -2.87B.$$

Конденсатор C1 починає перезаряджатися, але коли напруга на ньому стане меншим значення: $-U_{D1.ВІДКР}$ (напруги на відкритому діоді), відкриється діод D1 і закортить собою конденсатор C1. Тому без напруги керування напруга на інвертуючому вході ОП ніколи не стане більш від'ємною, ніж на неінвертуючому, а значить схема знову не переключиться. Таким чином стан мультівібратора за $U_{ВХ} = 0$, за яким з його виходу знімається напруга: $-U_{нас}$, є стійким. Вивести пристрій з цього стану можна лише допоміжним імпульсом. Такий імпульс на вході «Н» ОП формується за допомогою пасивного диференціюючого ланцюга (ДЛ) C2, R1, на який подається сигнал від джерела $U_{зап}$. На виході ланцюга з'являються додатний та від'ємний короткі імпульси, які у часі відповідають, відповідно, додатному та від'ємному фронтам більш широкого запускаючого імпульсу. Діод D2 пропускає додатний імпульс з виходу ДЛ, що створює на неінвертуючому вході ОП таку напругу, за якою різниця $U_i - U_n$ стає від'ємною, що призводить до перемикання схеми у стан $+U_{НАС}$. У цьому разі амплітуда $U_{зап}$ повинна бути більшою, ніж $|U_{н2}|$. Стан схеми, за яким $U_{ВИХ} = +U_{нас}$, називається квазістійким.

Тривалість додатного вихідного імпульсу обчислюється за формулою

$$t_{им} = t_2 - t_1 = R_3 \cdot C_1 \cdot \ln \left(1 + \frac{R_2}{R_4} \right),$$

$$t_{им} = t_2 - t_1 = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln \left(1 + \frac{5}{10} \right) = 4,06мс,$$

а час відновлення – час перезарядки конденсатора C1 – за формулою

$$t_{від} = t_3 - t_2 = R_3 \cdot C_1 \cdot \ln \left(\frac{R_4 + 2R_2}{R_4 + R_2} \right) = 10 \cdot 10^3 \cdot 10^{-6} \cdot \ln \left(\frac{10 + 2 \cdot 5}{10 + 5} \right) = 2,9мс.$$

З часових діаграм видно, що для нормальної роботи схеми час (період) між черговими керувальними імпульсами повинен бути не меншим, ніж час: $t_{им} + t_{від}$.

2.4. Схема 4. Найпростіший ГЛЗН із зовнішнім запуском

Нижче наведено схему найпростішого генератора лінійно змінюваної напруги (ГЛЗН) із зовнішнім запуском, яку зібрано у середовищі MicroCap: *GLIN1.cir* (рис. 20).

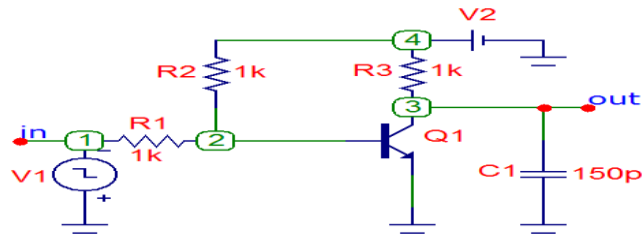


Рис. 20. Схема найпростішого ГЛЗН із зовнішнім запуском

Параметри схеми:

1. V1 (Pulsesource): Model = PULSE; VONE = 5 [V] P1 = 0,1u [sec]; P2 = 0,1u [sec]; P3 = 0,5u [sec]; P4 = 0,5u [sec]; P5 = 1u [sec]; VONE = 5 [V]; VZERO = 0 [V];
2. V2 (Battery): Value = 5 [V];
3. R1 (Resistor): Value = 1k [Om];
4. R2 (Resistor): Value = 1k [Om];
5. R3 (Resistor): Value = 1k [Om];
6. C1 (Capacitor): Value = <номер бригади> · 100 [pF] (приклад: Value = 2·100 = 200p [F], для 2 варіанту).

На рис. 21 зображено часові діаграми роботи схеми, яку наведено на рис. 20.

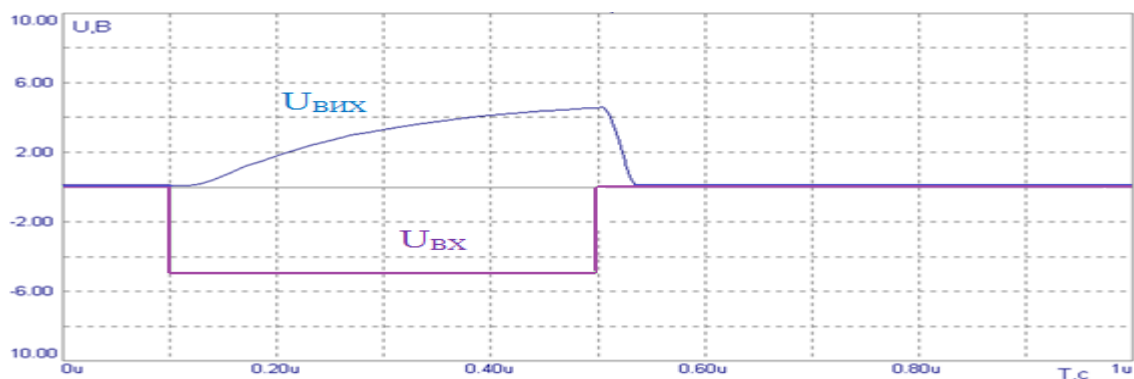


Рис. 21. Часові діаграми роботи схеми, яку наведено на рис. 20.

Дана схема являє собою транзисторний ключ з додатковим інтегруючим конденсатором C1 на виході ланцюга. У вихідному стані транзисторний ключ відкритий, що забезпечується невеликим додатним потенціалом в точці (2) батареєю V2 через резистор R2. З виходу знімається невелика додатна напруга.

У разі подачі від'ємного керувального імпульсу від V1 транзистор буде закриватися, конденсатор буде заряджатися від напруги V2 через резистор R3 за експоненціальним законом. Після припинення подачі керувального імпульсу транзистор відкриється, і конденсатор буде швидко розряджатися приблизно до нуля. Максимальне значення вихідного сигналу залежить як від тривалості керувального імпульсу, так і від ємності конденсатора (сталого часу $\tau = R3 \cdot C1$).

2.5. Схема 5. Чекаючий ГЛЗН

Нижче наведено схему чекаючого ГЛЗН, яку зібрано у середовищі MicroCap: *GLIN2_0+U, GLIN2_-U+U.cir* (рис. 22).

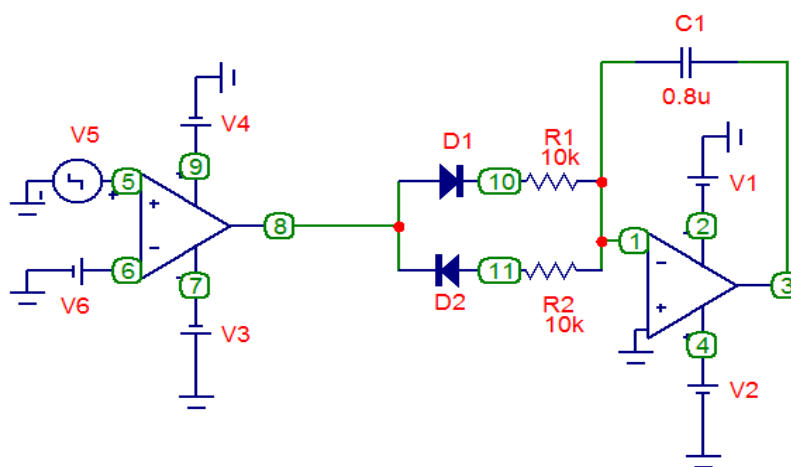


Рис. 22. Схема чекаючого ГЛЗН

Роботу даної схеми та вивід основних розрахункових формул наведено в пп. 1.2.3.1. Схема містить аналоговий компаратор (АК), який порівнює постійну напругу V6 з амплітудою імпульсного джерела V5. З виходу АК, в залежності від співвідношення цих напруг, знімається одне з двох значень: $+U_{НАС}$ або $-U_{НАС}$. Ці постійні рівні подаються на аналоговий активний інтегратор, сигнал на виході якого змінюється лінійно.

Параметри схеми:

1. V1: Value = 10 [V];
2. V2: Value = 10 [V];
3. D1 (Diode): Model = \$GENERIC;
4. D2 (Diode): Model = \$GENERIC;
5. R1 (Resistor): Value = 10k [Om];
6. R2 (Resistor): Value = 10k [Om];
7. C1 (Capacitor): Value = <номер бригади> · 100 [nF]; (приклад: Value = 8 · 100n = 800n = 0,8u [F], для 8 варіанту);
8. X1 (Opamp): Model = \$GENERIC;

9. X2 (Opamp): Model = \$GENERIC;
10. V6 (Battery): Value = 3 [V];
11. V4 (Battery) (вкладка PowerSupplies): Value = 10 [V];
12. V3 (Battery) (вкладка PowerSupplies): Value = 10 [V];
13. V5 (Pulsesource): Model = PULSE; VONE = 5 [V]; VZERO = 0[V];
P1 = 0 [sec]; P2 = 0 [sec]; P3 = 0,00352 [sec]; P4 = 0,00352 [sec];
P5 = 0,00704 [sec]; VONE = 5 [V]; VZERO = 0 [V].

ПРИМІТКА

Тут і надалі у джерелах пульсуючої напруги використовуються такі параметри, як VONE, VZERO, P1, P2, P3, P4, P5 (рис. 23). Пояснення щодо їх значення:

VZERO – початкове значення на виході генератора;

VONE – максимальне значення на виході графіка (амплітуда відносно VZERO);

P1 – початок переднього фронту, у секундах;

P2 – початок плоскої вершини імпульса;

P3 – кінець плоскої вершини імпульса;

P4 – момент досягнення рівня VZERO (кінець заднього фронту);

P5 – період повторення.

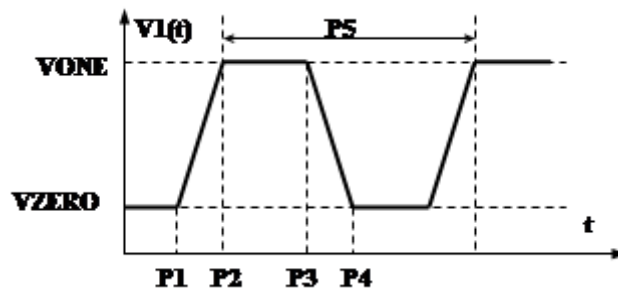


Рис. 23. Основні параметри імпульсного сигналу

Параметри P1, P2, P3, P4, P5 необхідно розрахувати відповідно для отримання двох варіантів вихідного сигналу, де він змінюватиметься від 0 до $+U_{нас}$ та від $-U_{нас}$ до $+U_{нас}$.

Згідно пп. 1.2.3.1 під час моделювання схеми ми повинні були отримати два варіанти вихідного сигналу:

- 1) Для вихідного сигналу, де він змінюватиметься від 0 до $+U_{нас}$:

$$t_{ім} = R_1 C \ln\left(1 + 2 \frac{R_1}{R_2}\right); t_{п} = R_2 C \ln\left(1 + 2 \frac{R_1}{R_2}\right),$$

Підставляємо значення елементів схеми моделювання (рис. 22) та відповідно отримуємо:

$$t_{ім} = 0,0088с; t_{п} = 0,0088с.$$

Звідси параметри генератора V5: $P1 = 0$, $P2 = 0$, $P3 = 0$, 0088 , $P4 = 0,0088$, $P5 = 0.0176$.

2) Для вихідного сигналу, де він змінюватиметься від $-U_{нас}$ до $+U_{нас}$:

$$t_{ім} = 2R_1C \ln\left(1 + 2\frac{R_1}{R_2}\right); t_{п} = 2R_2C \ln\left(1 + 2\frac{R_1}{R_2}\right).$$

Для цього випадку схема моделювання не змінюється, але змінюється значення резисторів $R1 = R2$, які дорівнюють $2k [Om]$. Підставляємо значення елементів схеми моделювання (рис. 22) та відповідно отримуємо:

$$t_{ім} = 0,00352; t_{п} = 0,00352.$$

Звідси: $P1 = 0$, $P2 = 0$, $P3 = 0,00352$, $P4 = 0,00352$, $P5 = 0,00704$.

Перевіримо умову нормального функціонування схеми:

$$\frac{t_{ім}}{t_{п}} = \frac{R_2}{R_1}.$$

Так як у нас час імпульсу та час паузи однакові, та в даній схемі номінали опорів теж однакові, то наведена вище рівність завжди буде мати місце.

Як бачимо, умова нормального функціонування схеми виконується.

Результат дослідів

На рис. 24 зображено часові діаграми роботи схеми, яку наведено на рис. 22, та в якій вихідний сигнал повинен змінюватися від 0 до $+U_{нас}$.

На рис. 25 зображено часові діаграми роботи схеми, яку наведено на рис. 22, та в якій вихідний сигнал повинен змінюватися від $-U_{нас}$ до $+U_{нас}$.

Для цього випадку схема моделювання не змінюється, але змінюється значення резисторів $R1 = R2$, які дорівнюють $2k [Om]$.

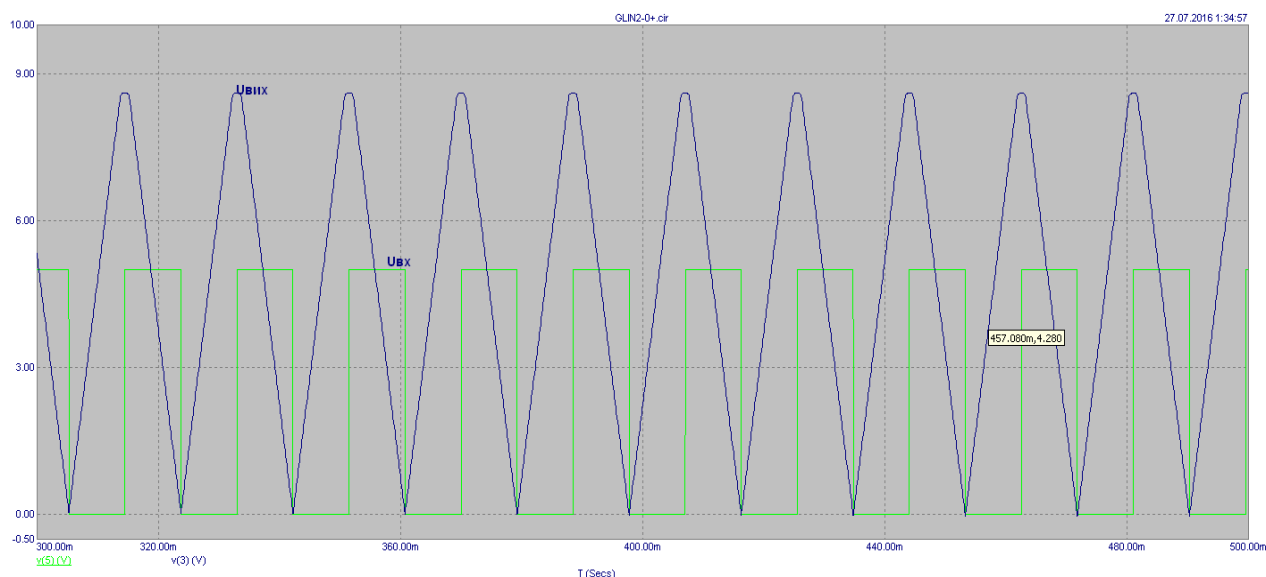


Рис. 24. Часові діаграми роботи схеми, яку наведено на рис. 22, та в якій вихідний сигнал повинен змінюватися від 0 до $+U_{нас}$

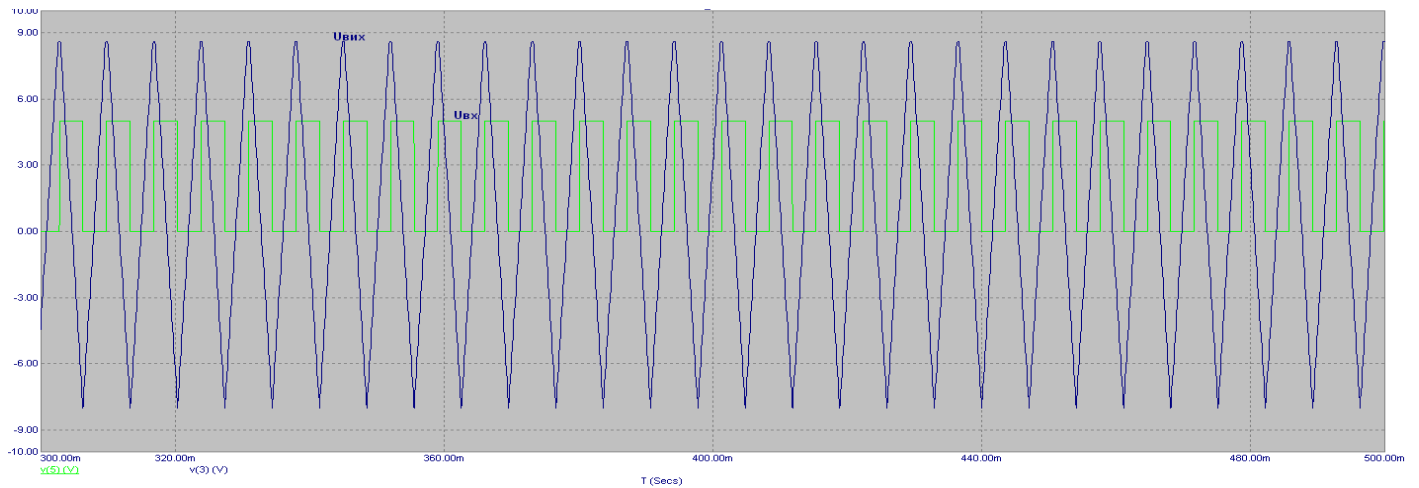


Рис. 25. Часові діаграми роботи схеми, яку наведено на рис. 22, та в якій вихідний сигнал повинен змінюватися від $-U_{нас}$ до $+U_{нас}$

2.6. Схема 6. Автоколивальний ГЛЗН

Нижче наведено схему автоколивального ГЛЗН, яку зібрано у середовищі MicroCap: *GLIN3.cir* (рис. 26).

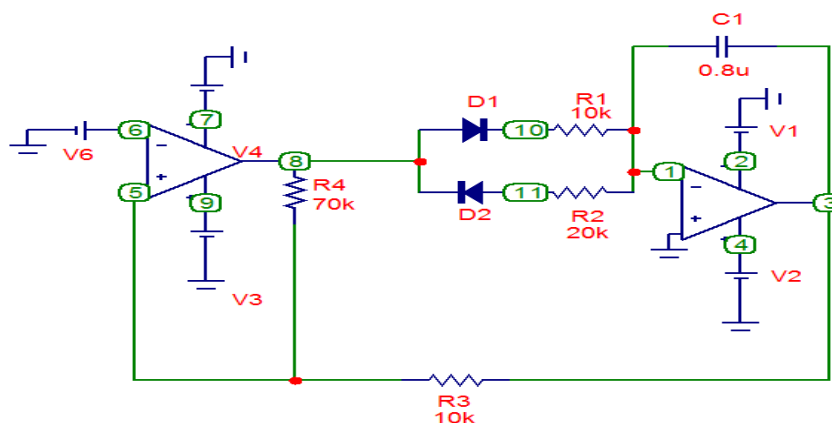


Рис. 26. Схема автоколивального ГЛЗН

Параметри схеми:

- 2) V1 (Battery): Value = 10 [V];
- 3) V2 (Battery): Value = 10 [V];
- 4) V3 (Battery): Value = 10 [V];
- 5) V4 (Battery): Value = 10 [V];
- 6) R1 (Resistor): Value = 10k [Om];
- 7) R2 (Resistor): Value = 10k [Om];
- 8) R4 (Resistor): Value = 70k [Om];
- 9) X1 (Opamp): Model = \$GENERIC;
- 10) X2 (Opamp): Model = \$GENERIC;
- 11) D1 (Diode): Model = \$GENERIC;
- 12) D2 (Diode): Model = \$GENERIC;

13) C1 (Capacitor): Value = <номер бригади> · 100[nF] (приклад:
Value = 8 · 100n = 800n = 0,8u [F], для 8 варіанту).

Роботу даної схеми та вивід основних розрахункових формул описано в пп. 1.2.3.2.

Результат досліджу

На рис. 27 зображено часові діаграми роботи схеми, яку наведено на рис. 26.

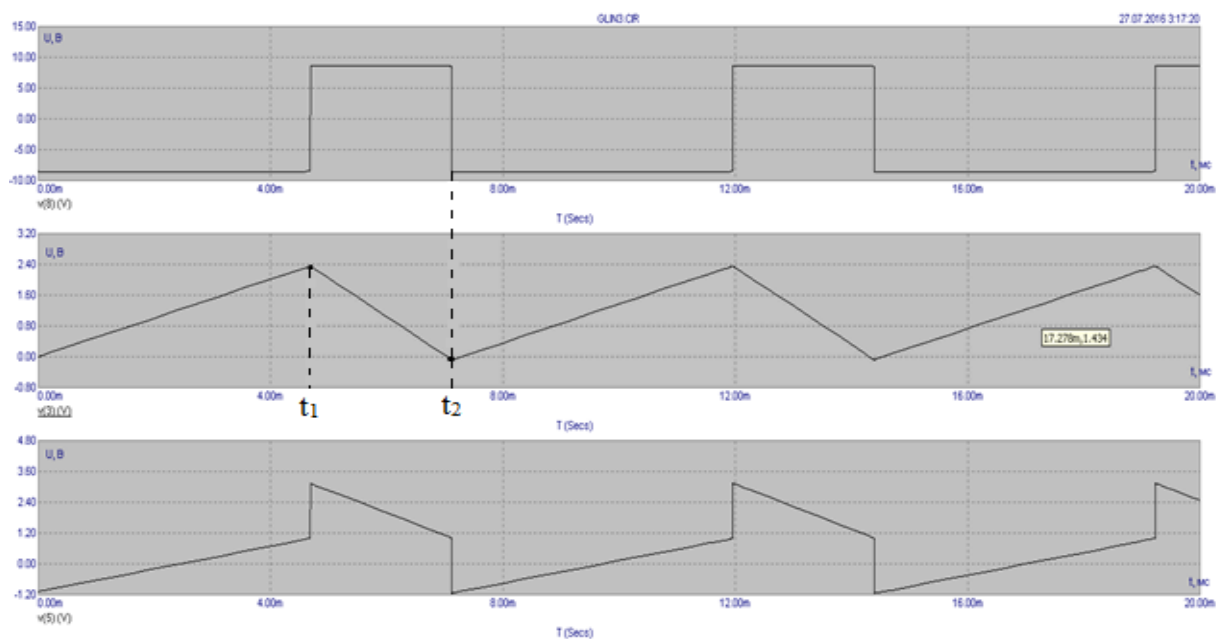


Рис. 27. Часові діаграми роботи схеми, яку наведено на рис. 26

Перевіримо умову нормального функціонування схеми із співвідношення:

$$\frac{t_{\text{ПР}}}{t_{\text{ЗВР}}} = \frac{R2}{R1},$$

де $t_{\text{ПР}}$ – час прямого ходу пили ($t_{\text{ПР}} = t_1$); $t_{\text{ЗВР}}$ – час зворотного ходу пили ($t_{\text{ЗВР}} = t_2 - t_1$).

Визначимо значення імпульсу та паузи з графіку та підставимо у рівність:

$$\frac{t_{\text{ПР}}}{t_{\text{ЗВР}}} = \frac{R2}{R1} = \frac{4,6}{2,5} = \frac{20}{10}.$$

Як бачимо, умова нормального функціонування приблизно виконується.

3. Порядок виконання роботи

- 1) Схема 1. Дослідження часових характеристик, параметрів та принципу дії автоколивального мультівібратора:

- а) зняти та проаналізувати часові діаграми роботи автоколивального мультівібратора. Приклад діаграм наведено на рис. 15;
 - б) розрахувати основні параметри імпульсного сигналу на виході мультівібратора, схему якого наведено на рис. 14. Порівняти результати розрахунків з часовими діаграмами.
- 2) Схема 2. Дослідження часових характеристик, параметрів та принципу дії автоколивального мультівібратора зі шпаруватістю 2:
- а) зняти та проаналізувати часові діаграми роботи автоколивального мультівібратора зі шпаруватістю 2. Приклад діаграм наведено на рис. 17;
 - б) розрахувати основні параметри імпульсного сигналу на виході мультівібратора зі шпаруватістю 2, схему якого наведено на рис. 16. Порівняти результати розрахунків з часовими діаграмами.
- 3) Схема 3. Дослідження часових характеристик, параметрів та принципу дії чекаючого мультівібратора:
- а) зняти та проаналізувати часові діаграми роботи чекаючого мультівібратора. Приклад діаграм наведено на рис. 19;
 - б) розрахувати основні параметри імпульсного сигналу на виході чекаючого мультівібратора, схему якого наведено на рис. 18. Порівняти результати розрахунків з часовими діаграмами.
- 4) Схема 4. Дослідження часових характеристик, параметрів та принципу дії найпростішого ГЛЗН із зовнішнім запуском:
- а) зняти та проаналізувати часові діаграми роботи найпростішого ГЛН із зовнішнім запуском. Приклад діаграм наведено на рис. 21;
- 5) Схема 5. Дослідження часових характеристик, параметрів та принципу дії чекаючого ГЛЗН:
- а) зняти та проаналізувати залежність вхідної/вихідної напруг чекаючого ГЛЗН від часу. Отримати два різні варіанти графіка за яким в першому випадку вихідна напруга змінюється від $-U_{нас}$ до $+U_{нас}$, а в іншому від нуля до $+U_{нас}$. Графіки залежностей слід рознести. Приклад характеристик наведено на рис. 24, 25;
 - б) перевірити умову нормального функціонування схеми;
- 6) Схема 6. Дослідження часових характеристик, параметрів та принципу дії автоколивального ГЛЗН:
- а) зняти та проаналізувати залежність вхідної/вихідної напруг чекаючого ГЛЗН від часу. Приклад характеристик наведено на рис. 27.
 - б) перевірити умову нормального функціонування схеми.

4. Контрольні питання

- 1) Дайте визначення мультівібратору.
- 2) Опишіть принцип роботи автоколивального та чекаючого мультівібратора на ІМС ОП.
- 3) Яким чином можна регулювати параметри автоколивального МВ на ІМС ОП?
- 4) У чому особливість роботи чекаючого мультівібратора на ІМС ОП?
- 5) Поясніть принцип формування пилкоподібної напруги.
- 6) Поясніть роботу чекаючого та автоколивального ГНЗЛ.
- 7) Як зміниться схема автоколивального МВ на ІМС ОП, якщо шпаруватість $Q = 2$?
- 8) Запишіть формулу для обчислення вихідної напруги ГНЗЛ на ІМС ОП із зовнішнім запуском.
- 9) Поясніть умову нормального функціонування чекаючого та автоколивального ГНЗЛ.
- 10) Поясніть часові діаграми роботи ГНЗЛ на біполярному транзисторі.
- 11) Наведіть вирази для визначення тривалості імпульсу та паузи автоколивального мультівібратора.
- 12) Назвіть способи зміни тривалості імпульсу одновібратора.
- 13) Як параметри схеми ГНЗЛ впливають на форму вихідної напруги?
- 14) Поясніть роботу ГНЗЛ із стабілітронами у ланцюзі ВЗЗ.
- 15) Наведіть вирази для визначення тривалості вихідного імпульсу та часу відновлення чекаючого МВ.
- 16) Які вимоги пред'являються до періоду зовнішніх запускаючих імпульсів чекаючого МВ?
- 17) Які вузли входять до складу ГНЗЛ на ІМС ОП?

ЛАБОРАТОРНА РОБОТА №6

Тема: Дослідження цифро-аналогових перетворювачів

Мета: Дослідити принцип дії, основні властивості та характеристики цифро-аналогових перетворювачів (ЦАП). Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Загальні відомості про ЦАП

Цифро-аналогові перетворювачі (ЦАП) призначено для перетворення цифрових сигналів в аналогові і служать для сполучення цифрових і аналогових пристроїв. Вони широко використовуються для керування аналоговими пристроями за допомогою мікроконтролерів у таких галузях техніки, як системи керування технологічними процесами (виконавчі пристрої програмованих верстатів, роботів і т. ін.); дискретна автоматика; вимірювальна автоматика і т. ін.

За принципом перетворення коду в напругу ЦАП поділяються на три види:

- на основі резисторної матриці R-2R з підсумовуванням струмів;
- на основі резисторної матриці R-2R з підсумовуванням напруг;
- ЦАП на конденсаторах, що переключаються.

1.2. ЦАП на основі резисторної матриці R-2R з підсумовуванням струмів

1.2.1. Опис роботи перетворювача

Серед різних схемних виконань ЦАП широке застосування знаходить перетворювач з резисторною матрицею (РМ) R-2R із підсумовуванням струмів [1]. Його спрощену структуру наведено на рис. 1.

На вході, який інвертує, операційного підсилювача (ОП) відповідно до заданого значення вхідного двійкового коду (ДВК) підсумовуються струми, зважені за двійковим законом і пропорційні значенню опорної напруги $U_{оп}$.

Вхідний струм матриці I задається джерелом зовнішньої опорної напруги і послідовно поділяється в вузлах РМ R-2R за двійковим законом.

На вході a_0, a_1, \dots, a_{n-1} надходять цифрові сигнали, що відповідають значенню відповідного і-го розряду вхідного ДВК.

Якщо на вході і-го розряду присутня логічна одиниця, то ключ $Кл_i$ переключається у верхнє положення і струм даної гілки РМ надходить на вхід, що інвертує, операційного підсилювача.

Якщо на вхід і-го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці R-2R підключається до спільної шини.

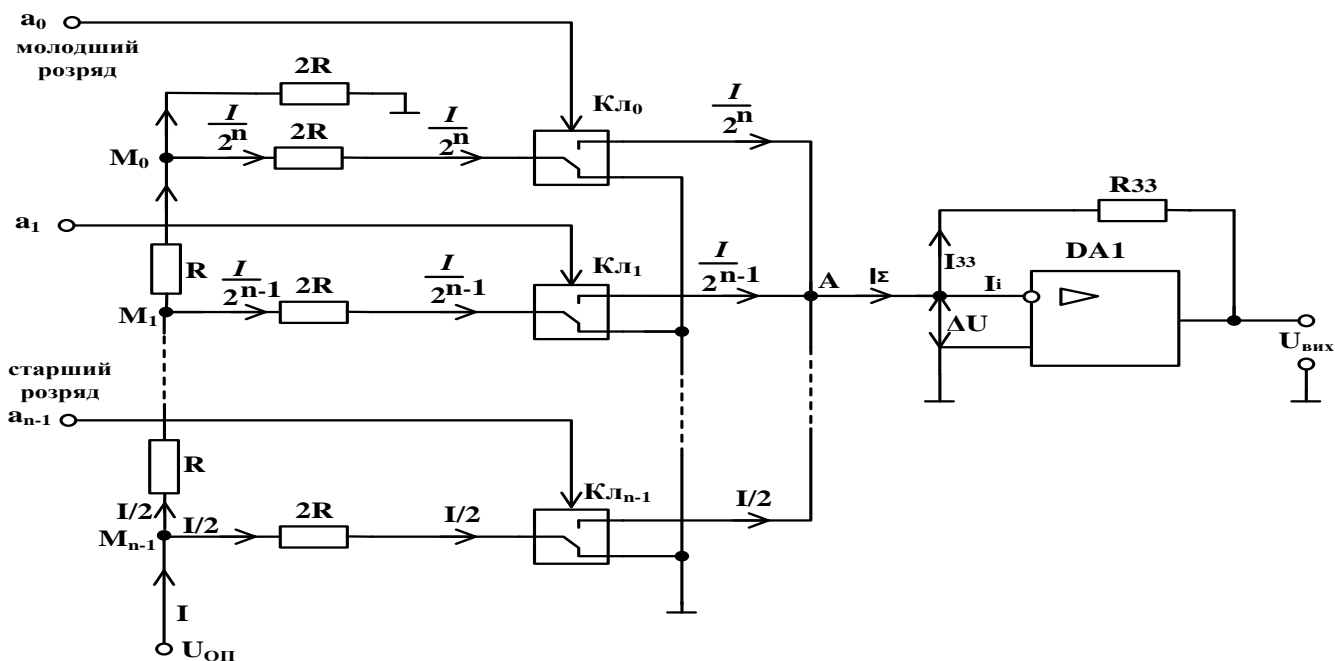


Рис. 1. Спрощена структура ЦАП з підсумовуванням струмів

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від іншого. Внески від кожного розряду підсумовуються на вході ОП і на виході з'являється результат у вигляді напруги.

1.2.2. Розрахунок перетворювача

Розглянемо роботу ЦАП, якщо в старшому розряді ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Ключ $Кл_{n-1}$ знаходиться у верхнім положенні і підключає гілку РМ із резистором $2R$ до входу ІМС ОП, а інші ключі знаходяться в нижньому положенні і підключають інші гілки матриці до спільної шини. Еквівалентну схему ЦАП для цього випадку наведено на рис. 2, а.

Еквівалентний опір РМ вище вузла M_{n-1} дорівнює $2R$. Оскільки потенціал входу, який інвертує, ІМС ОП близький до нуля, то вхідний струм I в вузлі M_{n-1} поділяється на два рівних струми $I/2$.

Для виведення виразу, що визначає вихідну напругу, прийнемо, що ІМС ОП – DA1 близька до ідеальної, тобто $K_{У.ІМС\ ОП} \rightarrow \infty; R_{ВХ} \rightarrow \infty$, тоді $\Delta U \rightarrow 0, I_i \rightarrow 0$.

Вихідна напруга

$$U_{ВІХ(n-1)} = -I_{33} R_{33} = -\frac{I}{2} R_{33}. \quad (1)$$

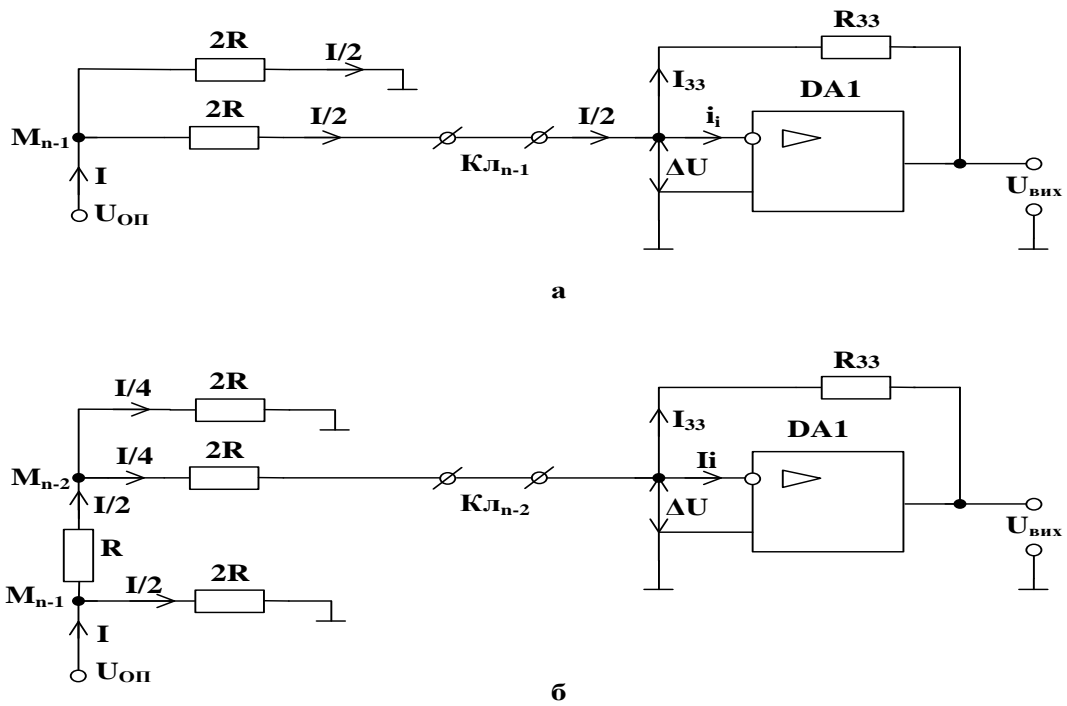


Рис. 2. Еквівалентні схеми матриці R-2R:

а – при перетворенні кода 100...00В; б – при перетворенні кода 010...00В

З огляду на те, що джерело опорної напруги $U_{\text{оп}}$ навантажене опором $R_{\text{н}} = 2R \parallel 2R = R$, то $I = \frac{U_{\text{оп}}}{R}$, а співвідношення (1) можна записати у вигляді:

$$U_{\text{вих}(n-1)} = -\left(\frac{U_{\text{оп}}}{2}\right) \cdot \left(\frac{R_{33}}{R}\right). \quad (2)$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010...00 В. У цьому випадку ключ $K_{\text{л}_{n-2}}$ переключено у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП прийме вигляд, який наведено на рис. 2, б. Струм $I/2$ у вузлі M_{n-2} знову поділяється навпіл, тому вихідна напруга, яку обумовлено розрядом $(n-2)$ дорівнює:

$$U_{\text{вих}}(n-2) = -\frac{R_{33}I}{4} = -\left(\frac{U_{\text{оп}}}{4}\right) \left(\frac{R_{33}}{R}\right). \quad (3)$$

Теж саме відбувається під час надходженні одиниці в інших розрядах ЦАП.

Вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n}\right) = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (4)$$

Якщо позначити значення i -х розрядів вхідного ДВК – a_i , де a_i дорівнює 0 чи 1, то вираз (4) прийме вигляд:

$$U_{\text{вих}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \cdot \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (5)$$

Співмножник $\sum_{i=0}^{n-1} a_i \cdot 2^i$ є десятковим еквівалентом вхідного двійкового коду (представляє значення вхідного цифрового коду).

Розглянутий перетворювач називають помножуючим (перемножуючим), тому що вихідна напруга пропорційна добутку значення опорного сигналу $U_{\text{оп}}$ на значення вхідного ДВК.

Максимальне значення вихідної напруги (напруга в кінцевій точці діапазону) за $a_i = 1$ у всіх розрядах вхідного ДВК визначається з виразу:

$$U_{\text{вихmax}} = -(1 - 2^{-n}) \cdot \left(\frac{U_{\text{оп}} \cdot R_{33}}{R} \right). \quad (6)$$

Мінімальна напруга на виході ЦАП за $a_i = 0$ у всіх розрядах коду дорівнює:

$$U_{\text{вихmin}} = 0. \quad (7)$$

Коефіцієнт передачі (значення кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги під час зміни вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = -\frac{U_{\text{оп}} R_{33}}{R \cdot 2^n}. \quad (8)$$

1.3. Опис роботи і розрахунок ЦАП на основі резисторної матриці R-2R з підсумовуванням напруг

1.3.1. Опис роботи перетворювача

Крім ЦАП з підсумовуванням струмів існують перетворювачі, що використовують операційний підсилювач, який підсумовує напруги.

ЦАП з підсумовуванням напруг, використовує зворотне включення входу і виходу матриці R-2R (рис. 3).

На входи $a_0, a_1, a_2 \dots a_{n-1}$ надходять цифрові сигнали, які відповідають значенню i -го розряду вхідного ДВК. Якщо на вході i -го розряду присутня логічна одиниця, то відповідний ключ $КЛ_i$ переключається у верхнє положення та опорна напруга $U_{\text{оп}}$ через резистори матриці R-2R з визначеним коефіцієнтом ділення подається на вхід, який не інвертує, ІМС ОП (DA1), де відбувається підсумовування напруг.

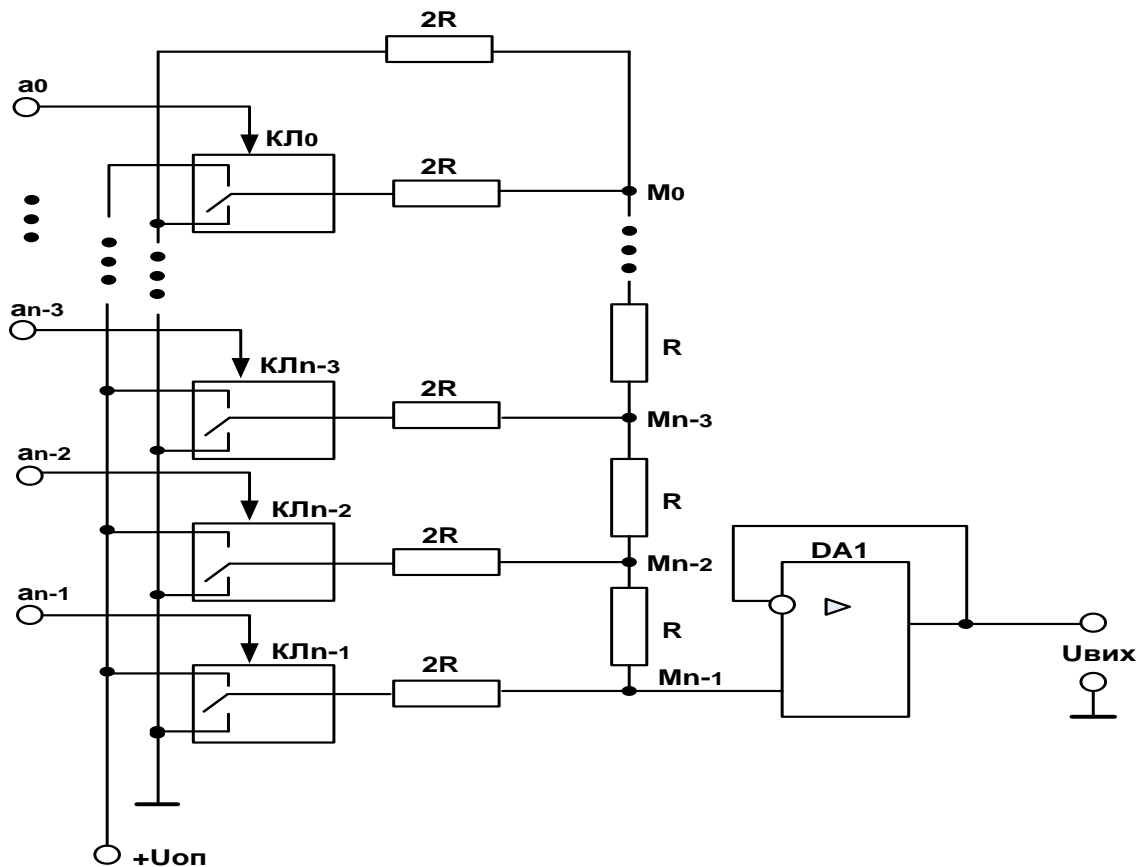


Рис. 3. n-розрядний ЦАП з матрицею R-2R та з підсумовуванням напруг

Якщо на вхід i-го розряду надходить логічний нуль, то ключ переключається в нижнє положення, і дана гілка матриці R-2R підключається до спільної шини.

Оскільки матриця резисторів є лінійним ланцюгом, її роботу можна проаналізувати методом суперпозиції, тобто внесок у вихідну напругу від кожного джерела (розряду) розрахувати незалежно один від одного. Внески від кожного розряду підсумовуються на вході, який не інвертує, ІМС ОП і на виході отримуємо результат у вигляді напруги.

1.3.2. Розрахунок перетворювача

Розглянемо роботу ЦАП, якщо в старшому розряді вхідного ДВК присутня логічна одиниця, а в інших розрядах – логічні нулі. Ключ $Кл_{n-1}$ знаходиться у верхньому положенні і підключає гілку РМ з резистором 2R до джерела опорної напруги $U_{оп}$. Інші ключі знаходяться в нижньому положенні і підключають інші гілки РМ (резистори 2R) до спільної шини. Еквівалентну схему ЦАП для цього випадку наведено на рис. 4, а.

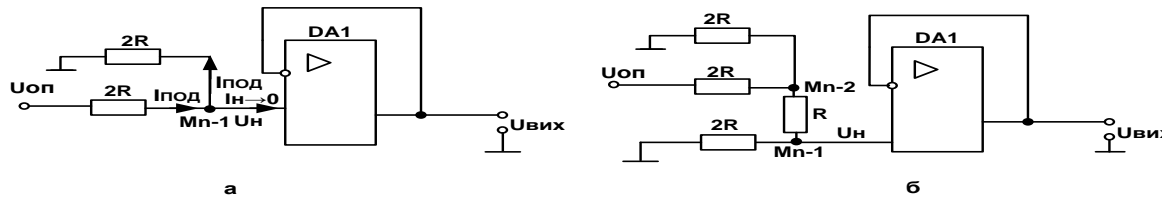


Рис. 4. Еквівалентні схеми ЦАП: а – під час перетворення коду 100...0В;
б – під час перетворення коду 010...0В

Очевидно, що еквівалентний опір РМ вище вузла M_{n-1} дорівнює $2R$. Оскільки вхідний опір ІМС ОП великий і останній працює в режимі, близькому до холостого ходу, то струм, створюваний джерелом $U_{оп}$ протікає через два однакових резистори $2R$, що утворюють подільник напруги $U_{оп}$.

У цьому випадку напруга на виході подільника визначається з виразу

$$U_{под} = U_{н} = \frac{U_{оп} \cdot 2R}{2R + 2R} = \frac{U_{оп}}{2}. \quad (9)$$

Розглянемо роботу ЦАП, якщо на вхід схеми надходить комбінація ДВК: 010...0В. У цьому випадку ключ K_{n-2} переключено у верхнє положення, а інші ключі – у нижнє. Еквівалентна схема ЦАП, прийме вигляд, який наведено на рис. 5, б.

Розглядаючи резистори R і $2R$, що розташовані нижче вузла M_{n-2} , як включені послідовно ($R_{вх.ДА1} \rightarrow \infty$), заміняємо їх еквівалентним опором

$$R + 2R = 3R. \quad (10)$$

Тоді напруга в точці M_{n-2} визначається виразом

$$U_{M_{n-2}} = \frac{U_{оп} \cdot 2R \parallel 3R}{2R + 2R \parallel 3R} = \frac{U_{оп} \cdot \frac{6}{5} \cdot R}{2R + \frac{6}{5} \cdot R} = \frac{U_{оп} \cdot 3}{8}. \quad (11)$$

Знаючи напругу в точці M_{n-2} , можна визначити сигнал у вузлі M_{n-1}

$$U_{M_{n-1}} = U_{н} = \frac{U_{M_{n-2}} \cdot 2R}{R + 2R} = \frac{U_{оп}}{4}. \quad (12)$$

Аналогічним чином можна довести, що під час подачі на вхід ЦАП ДВК: 001...0В напруга на вході, який не інвертує, ІМС ОП буде дорівнювати

$$U_{н} = \frac{U_{оп}}{8}. \quad (13)$$

Нарешті, під час надходження коду: 00...01 В, напруга

$$U_{н} = \frac{U_{оп}}{2^n}. \quad (14)$$

Оскільки коефіцієнт передачі розглянутого підсумовуючого операційного підсилювача $K_{U.МС\text{ ОП}} = 1$, то вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДК прийме вигляд

$$U_{\text{ВИХ max}} = U_{\text{ОП}} \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right) = \frac{U_{\text{ОП}}}{2^n} \sum_{i=0}^{n-1} 2^i. \quad (15)$$

Якщо позначити значення i -х розрядів вхідного ДВК як a_i , де a_i дорівнює 0 чи 1, то останній вираз перетвориться до вигляду

$$U_{\text{ВИХ}} = \frac{U_{\text{ОП}}}{2^n} \sum_{i=0}^{n-1} a_i \cdot 2^i. \quad (16)$$

Співмножник $\sum_{i=0}^{n-1} a_i \cdot 2^i$ є десятковим еквівалентом вхідного ДВК (представляє десяткове значення вхідного цифрового коду).

Розглянутий перетворювач називають помножуючим, тому що вихідна напруга пропорційна добутку значення опорного сигналу $U_{\text{ОП}}$ на значення вхідного цифрового коду.

Коефіцієнт передачі, тобто розрахункове збільшення вихідної напруги під час зміни вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = \frac{U_{\text{ОП}}}{2^n} \left[\frac{\text{В}}{\text{МЗР}} \right]. \quad (17)$$

2. Моделювання окремих пристроїв

2.1. Схема 1. ЦАП із підсумовуванням напруг

Нижче наведено приклад схеми ЦАП із підсумовуванням напруг, яку зібрано у середовищі MicroCap: *lab0601.cir* (рис. 5).

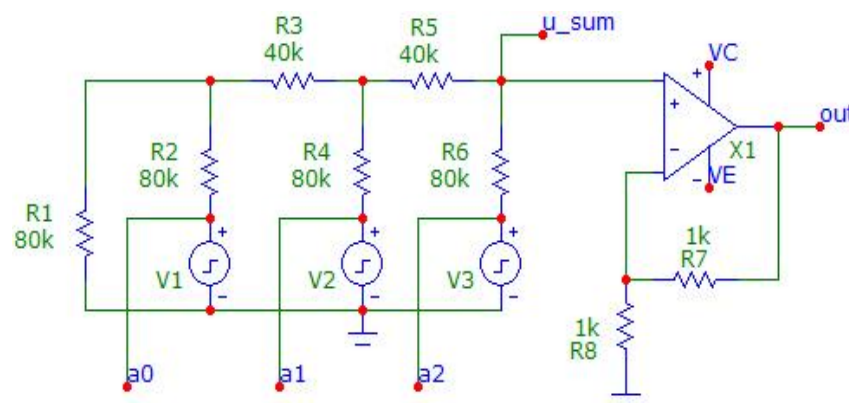


Рис. 5. Схема ЦАП із підсумовуванням напруг

ПРИМІТКА

Тут і надалі у джерелах пульсуючої напруги використовуються такі параметри, як $VONE$, $VZERO$, $P1$, $P2$, $P3$, $P4$, $P5$ (рис. 6).

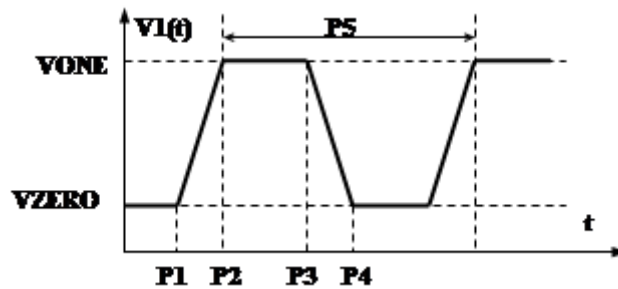


Рис. 6. Основні параметри імпульсного сигналу

Пояснення щодо їх призначення:

- $VZERO$ – початкове значення напруги на виході генератора, у вольтах;
- $VONE$ – максимальне значення напруги на виході генератора, у вольтах;
- $P1$ – початок переднього фронту, у секундах;
- $P2$ – початок плоскої вершини імпульса, у секундах;
- $P3$ – кінець плоскої вершини імпульса, у секундах;
- $P4$ – момент досягнення рівня $VZERO$ (кінець заднього фронту, у секундах;)
- $P5$ – період повторення, у секундах.

Параметри схеми:

1) $V1$ (Pulse source): Model = <номер бригади> · 100 HZ (створити нову модель); параметри $P1$, $P2$, $P3$, $P4$, $P5$ розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював: $T=1/(<номер бригади> \cdot 100)$ мс = $(1/ <номер бригади> \cdot 100)$ m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4 $\rightarrow F = 4 \cdot 100 = 400\text{Hz}$, $T = 1/400 = 2,5\text{мс}$; $P1 = T/2 = 2,5/2 = 1,25\text{м}$; $P2 = P1 = 1,25\text{м}$; $P3 = T = 2,5\text{м}$; $P4 = P3 = 2,5\text{м}$; $P5 = P4 = 2,5\text{м}$; $VONE = 8$ [V]; $VZERO = 0$ [V];

2) $V2$ (Pulse source): Model = <номер бригади> · 50 HZ (створити нову модель); параметри $P1$, $P2$, $P3$, $P4$, $P5$ розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював: $T=1/(<номер бригади> \cdot 50)$ мс = $(1/ <номер бригади> \cdot 50)$ m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4 $\rightarrow F = 4 \cdot 50 = 200\text{Hz}$, $T = 1/200 = 5\text{мс}$; $P1 = T/2 = 2,5\text{м}$; $P2 = P1 = 2,5\text{м}$; $P3 = T = 5\text{м}$; $P4 = P3 = 5\text{м}$; $P5 = P4 = 5\text{м}$; $VONE = 8$ [V]; $VZERO = 0$ [V];

3) V3 (Pulse source): Model = <номер бригади> · 25 HZ (створити нову модель); параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював: $T = 1$ (<номер бригади>·25) мс = $(1/\text{<номер бригади>} \cdot 25)$ m [sec]; а шпаруватість сигналу дорівнювала 2.

Приклад: Номер бригади = 4 → $F = 4 \cdot 25 = 100\text{Hz}$, $T = 1/100 = 10\text{мс}$; $P1 = T/2 = 5\text{m}$; $P2 = P1 = 5\text{m}$; $P3 = T = 10\text{m}$; $P4 = P3 = 10\text{m}$; $P5 = P4 = 10\text{m}$; $VONE = 8$ [V]; $VZERO = 0$ [V].

- 4) R1 (Resistor): Value = <номер бригади> · 20k [Om] (приклад: Value = 1·20k = 20k [Om], для 1 варіанту);
- 5) R2 (Resistor): Value = <номер бригади> · 20k [Om] (приклад: Value = 1·20k = 20k [Om], для 1 варіанту);
- 6) R3 (Resistor): Value = <номер бригади> · 10k [Om] (приклад: Value = 1·10k = 10k [Om], для 1 варіанту);
- 7) R4 (Resistor): Value = <номер бригади> · 20k [Om] (приклад: Value = 1·20k = 20k [Om], для 1 варіанту);
- 8) R5 (Resistor): Value = <номер бригади> · 10k [Om] (приклад: Value = 1·10k = 10k [Om], для 1 варіанту);
- 9) R6 (Resistor): Value = <номер бригади> · 20k [Om] (приклад: Value = 1·20k = 20k [Om], для 1 варіанту);
- 10) R7 (Resistor): Value = 1k [Om];
- 11) R8 (Resistor): Value = 1k [Om];
- 12) X1 (Opamp): Model = LM358;
- 13) VCC (Battery) (вкладка Power Supplies): Value = 30 [V];
- 14) VEE (Battery) (вкладка Power Supplies): Value = 0 [V].

Результат дослідження

Нижче наведено часові діаграми роботи (рис. 7) схеми, яку наведено на рис. 6.

На рис. 7 зображено зміни у часі суми напруг U_{sum} та вихідної напруги U_{out} ЦАП із підсумуванням напруг в залежності від комбінацій розрядів $a_0 \dots a_2$. Сигнали на розрядах задаються послідовністю прямокутних імпульсів. Частота меншого розряду є вдвічі більшою, ніж частота наступного. Даний ЦАП реалізує формулу 16, де $U_{\text{оп}} = 8$ В, $n = 3$. Коефіцієнт підсилення k операційного підсилювача, на неінвертуючий вхід якого поступає сума напруг U_{SUM} , дорівнює:

$$\left(\frac{R7}{R8} + 1 \right) = \frac{1k}{1k} + 1 = 2.$$

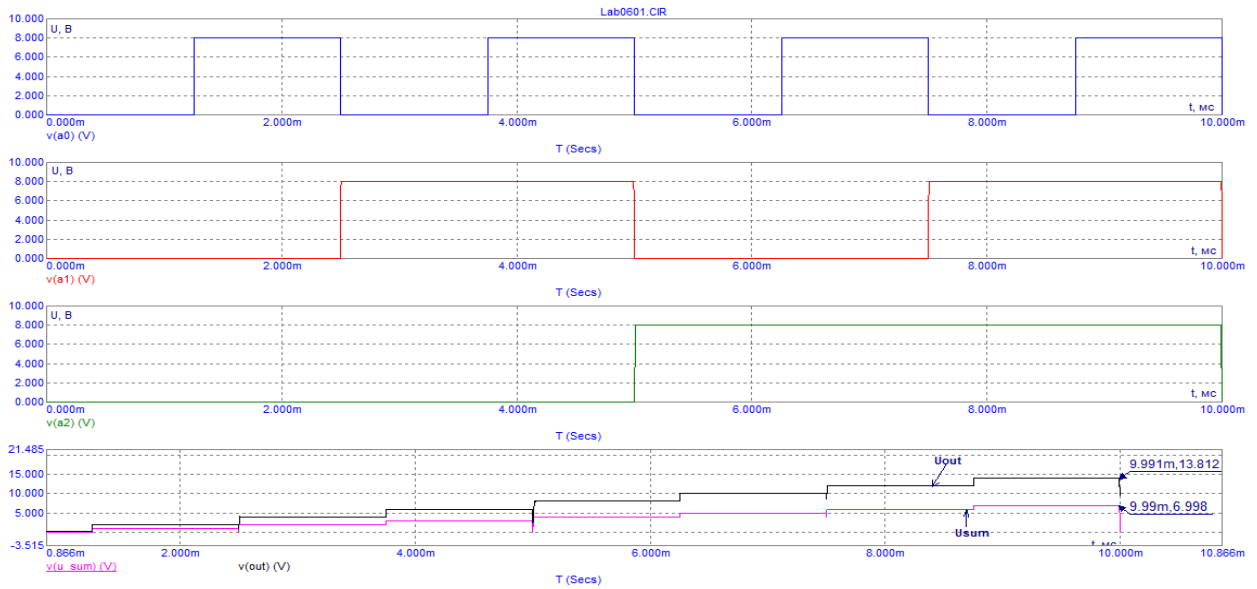


Рис. 7. Часові діаграми роботи схеми, яку наведено на рис. 6.

Максимальна вихідна напруга:

$$U_{\text{вих max}} = k \cdot U_{\text{оп}} \left(\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \dots + \frac{1}{2^n} \right) = k \cdot \frac{U_{\text{оп}}}{2^n} \sum_{i=0}^{n-1} 2^i = 2 \cdot 8 \cdot 7/8 = 14\text{В},$$

а максимальна сумарна напруга на вході ІМС ОП:

$$U_{\text{SUM.max}} = \frac{U_{\text{оп}}}{2^n} \sum_{i=0}^{n-1} 2^i = 8 \cdot \frac{7}{8} = 7$$

Коефіцієнт передачі (розмір кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги під час зміни вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = \frac{U_{\text{оп}}}{2^n} = 8/8 = 1 \left[\frac{\text{В}}{\text{МЗР}} \right].$$

Для прикладу розрахунку візьмемо ДВК: $101_{(2)} = 5_{(10)}$. $U_{\text{SUM}} = 5 \cdot 1 = 5\text{В}$. $U_{\text{ВИХ}} = 5 \cdot 2 = 10\text{В}$. На рис. 7 бачимо, що теоретичні розрахунки збігаються з експериментальними даними.

2.2. Схема 2. ЦАП із підсумовуванням струмів

Нижче наведено приклад схеми ЦАП із підсумовуванням струмів, яку зібрано у середовищі MicroCap: *lab0602.cir* (рис. 8).

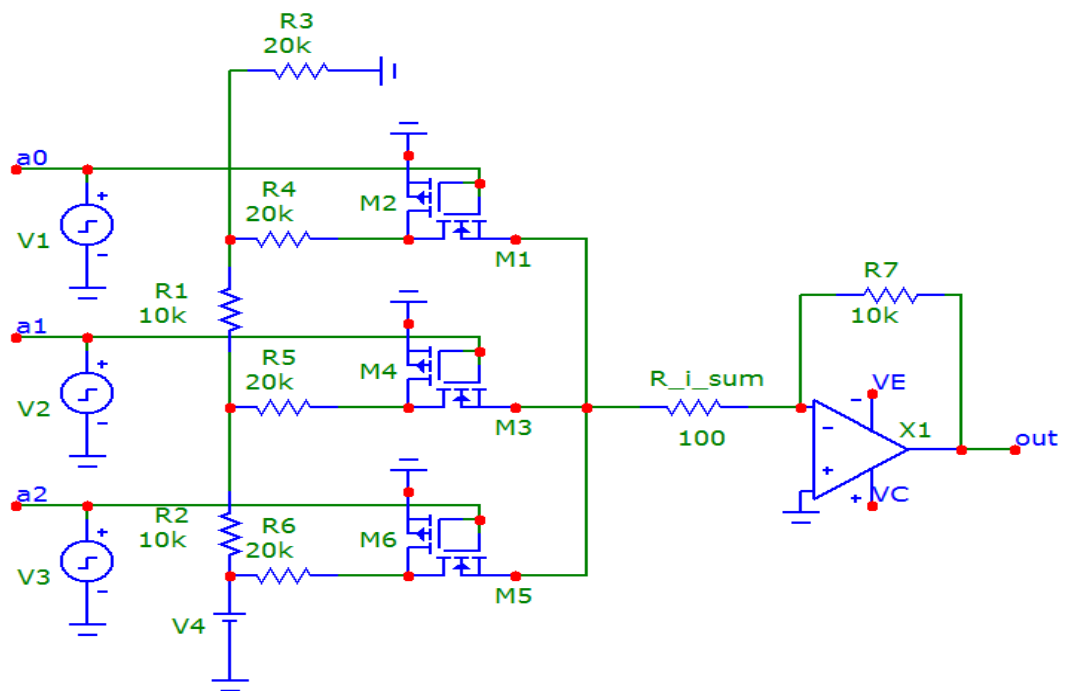


Рис. 8. Схема ЦАП із підсумовуванням струмів

Параметри схеми:

- 1) V1 (Pulse source): Model = 400 Hz (створити нову модель (<номер бригади> · 100Hz));
 P1 = 1,2m [sec];
 P2 = 1,25m [sec];
 P3 = 2,5m [sec];
 P4 = 2,6m [sec];
 P5 = 2,6m [sec] (розраховуємо аналогічно до попередньої схеми);
 VONE = 8 [V];
 VZERO = 0 [V];
- 2) V2 (Pulse source): Model = 200 Hz (створити нову модель (<номер бригади> · 100Hz)/2);
 P1 = 2,45m [sec];
 P2 = 2,5m [sec];
 P3 = 5m [sec];
 P4 = 5,1m [sec];
 P5 = 5,1m [sec] (розраховуємо аналогічно до попередньої схеми);
 VONE = 8 [V];
 VZERO = 0 [V];
- 3) V3 (Pulse source): Model = 100 HZ (створити нову модель (<номер бригади> · 100Hz)/4);
 P1 = 4,95m [sec];

P2 = 5m [sec];
P3 = 10 m [sec];
P4 = 10,1m [sec];
P5 = 10,1m [sec] (розраховуємо аналогічно до попередньої схеми);
VONE = 8 [V];
VZERO = 0 [V];

- 4) R1 (Resistor): Value = 100k [Om];
- 5) R2 (Resistor): Value = 100k [Om];
- 6) R3 (Resistor): Value = 200k [Om];
- 7) R4 (Resistor): Value = 200k [Om];
- 8) R5 (Resistor): Value = 200k [Om];
- 9) R6 (Resistor): Value = 200k [Om];
- 10) R7 (Resistor): Value = 10k [Om];
- 11) R_i_sum (Resistor): Value = 0,2 k [Om];
- 12) X1 (Opamp): Model = LF147;
- 13) M1 (DNMOS): Model = \$GENERIC_N;
- 14) M2 (DPMOS): Model = \$GENERIC_P;
- 15) M3 (DNMOS): Model = \$GENERIC_N;
- 16) M4 (DPMOS): Model = \$GENERIC_P;
- 17) M5 (DNMOS): Model = \$GENERIC_N;
- 18) M6 (DPMOS): Model = \$GENERIC_P;
- 19) VC (Battery) (вкладка Power Supplies): Value = 15 [V];
- 20) VE (Battery) (вкладка Power Supplies): Value = -15 [V].

Примітка: DNMOS та DPMOS – це МДН-транзистори (польові транзистори з ізольованим затвором) з індукованим каналом n- та p-типу відповідно.

В схемі на рис. 8 використовуються МОН-транзистори М1, М3 та М5 з каналом n-типу, та МОН-транзистори М2, М4 та М6 з каналом p-типу.

Розглянемо роботу схеми, якщо на вхід подається комбінація двійкового коду: $a_0 = 1$, $a_1 = a_2 = 0$. У цьому разі одиничним сигналом на затворі: М2 – закритий, М1 – відкритий. Нульовим сигналом на затворі: М4 та М6 – відкриті, а М3 та М5 – закриті. Резистори R5 та R6 підключаються до спільного проводу (землі), а резистор R4 через М1 підключається до інвертуючого входу ІМС ОП. Тобто, схема відповідає ЦАП, який розглянуто в п. 1.2.1.

Результат дослідів

На рис. 9 зображено часові діаграми роботи схеми, яку наведено на рис. 8, в залежності від комбінацій розрядів $a_0 \dots a_3$.

Сигнали на відповідних розрядах задаються послідовністю прямокутних імпульсів. Частота меншого розряду є вдвічі більшою, ніж частота наступного.

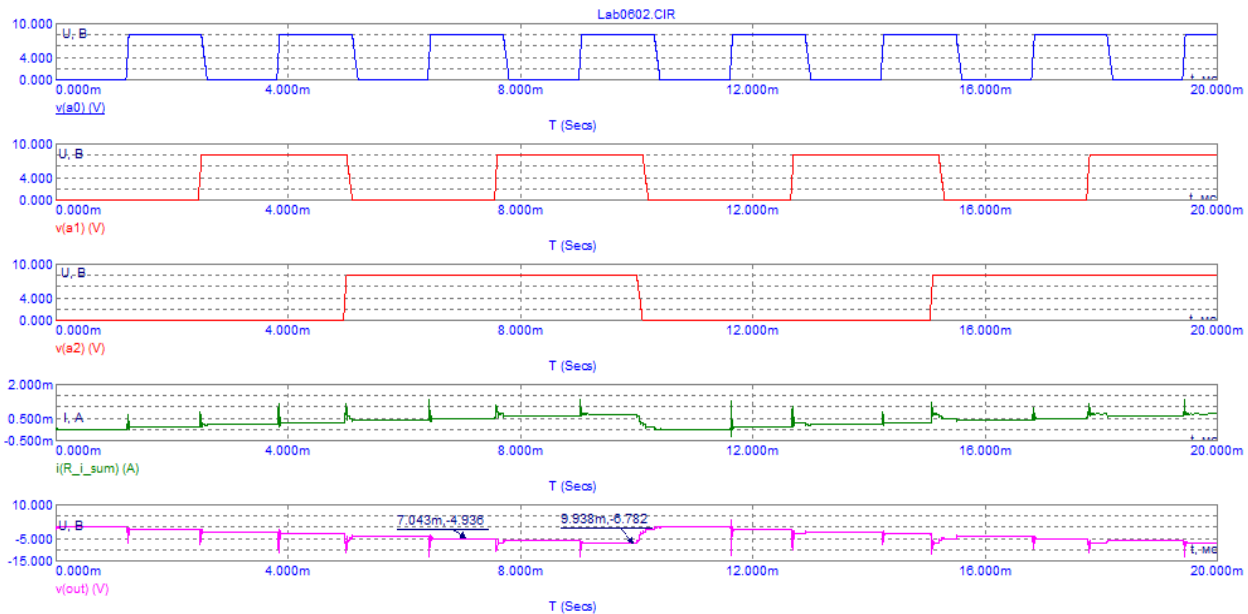


Рис. 9. Часові діаграми роботи схеми, яку наведено на рис. 8.

Якщо число розрядів вхідного двійкового коду дорівнює n , то

$$U_{\text{вих max}} = -(1 - 2^{-n}) \cdot \left(\frac{U_{\text{оп}} \cdot R_{33}}{R} \right).$$

Якщо число розрядів вхідного двійкового коду дорівнює: 3, $R_{33} = R = 10\text{K}$, $U_{\text{оп}} = 8$, то

$$U_{\text{вих max}} = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n} \right) = -U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \frac{1}{2^n} \sum_{i=0}^{n-1} 2^i = -8 \cdot 7 / 8 = -7\text{V}.$$

Коефіцієнт передачі (розмір кроку квантування за рівнем), тобто розрахункове збільшення вихідної напруги під час зміни вхідного коду на одиницю молодшого розряду (ціна молодшого значущого розряду (МЗР)) складає:

$$K_{\text{ЦАП}} = -\frac{U_{\text{оп}} R_{33}}{R \cdot 2^n} = -\frac{8 \cdot 10}{10 \cdot 8} = -1 \left[\frac{\text{В}}{\text{МЗР}} \right].$$

Для прикладу розрахунку візьмемо ДК $101_{(2)}=5_{(10)}$. Звіримо теоретичні розрахунки з експериментальними даними:

$$U_{\text{вих}} = U_{\text{оп}} \cdot \frac{R_{33}}{R} \cdot \left(\frac{1}{2} + 0 + \frac{1}{8} \right) = -8 \cdot \frac{10\text{K}}{10\text{K}} \cdot \frac{5}{8} = -5\text{V}.$$

На рис. 9 бачимо, що теоретичні розрахунки збігаються з експериментальними даними.

3. Порядок виконання роботи

1) Схема 1. Дослідження часових характеристик, принципу дії та структури ЦАП із підсумовуванням напруг (рис. 6):

зняти та проаналізувати залежність вихідної напруги, суми напруг ЦАП із підсумовуванням напруг від часу за всіх можливих комбінаціях розрядів

a0...a2. Для проходу по всім можливим комбінаціям слід використовувати генератори прямокутних імпульсів. Частота генератора меншого розряду повинна бути в 2 рази більша ніж частота генератора сусіднього старшого розряду. Частоту генератора молодшого розряду слід обрати за номером бригади. Графіки залежностей слід рознести на різні площини, але залишити на одному листі. Приклад характеристик наведений на рис. 7.

2) Схеми 2. Дослідження часових характеристик, принципу дії та структури ЦАП із підсумовуванням струмів (рис. 8):

зняти та проаналізувати залежність вихідної напруги, суми токів ЦАП із підсумовуванням струмів від часу за всіх можливих комбінаціях розрядів a0...a2. Для проходу по всім можливим комбінаціям слід використовувати генератори прямокутних імпульсів. Частота генератора меншого розряду повинна бути в 2 рази більша ніж частота генератора сусіднього старшого розряду. Частоту генератора слід обрати за номером бригади. Графіки залежностей слід рознести на різні площини, але залишити на одному листі. Приклад характеристик наведений на рис. 9.

4. Контрольні питання

- 1) Який електронний прилад називається цифро-аналоговим перетворювачем (ЦАП)?
- 2) Назвіть види ЦАП за принципом перетворення коду в напругу.
- 3) Наведіть принципову електричну схему ЦАП на матриці R-2R з підсумовуванням струмів. Поясніть принцип її роботи. Наведіть формули для розрахунку $U_{\text{вих}}$, $U_{\text{вих max}}$ та $K_{\text{пер}}$.
- 4) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного двійкового коду (ДВК) для вищевказаного ЦАП.
- 5) Наведіть принципову електричну схему ЦАП на матриці R-2R з підсумовуванням напруг. Поясніть принцип її роботи. Наведіть формули для розрахунку $U_{\text{вих}}$, $U_{\text{вих max}}$ та $K_{\text{пер}}$.
- 6) Виведіть вираз для визначення сумарної вихідної напруги від дії одиниць у всіх розрядах вхідного ДВК для ЦАП на матриці R-2R з підсумовуванням напруг.

ЛАБОРАТОРНА РОБОТА №7

Тема: Дослідження комбінаційних цифрових пристроїв (КЦП).

Мета: Ознайомитись із базисними наборами логічних елементів, їхнім взаємозв'язком, синтезувати комбінаційний цифровий пристрій (КЦП). Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Застосування булевої алгебри під час аналізу і синтезу цифрових електронних систем

1.1.1. Визначення перемикальних функцій

У цифровій електроніці існують задачі логічного змісту, особливістю яких є те, що їхні умови і рішення можуть приймати одне з двох можливих значень. Одне виражає настання тієї або іншої події, а інше – ненастання її. Настання події позначають одиницею (логічною одиницею), а ненастання – нулем (логічним нулем). Пристрої, які призначено для вирішення логічних задач називають логічними електронними пристроями (ЛЕП).

Математичним апаратом, що застосовується під час аналізу та синтезу ЛЕП є алгебра логіки, яка розроблена англійським математиком Дж. Булем і тому її називають Булевою алгеброю (БА).

Булева алгебра оперує з двійковими змінними, що приймають одне з двох значень: логічний нуль або логічну одиницю.

Функція двійкових змінних, що також дорівнює одному з двох значень (нулю або одиниці) – називається перемикальною (логічною) функцією (ПФ).

Логічні функції позначаються прописними літерами F або Y, а двійкові змінні – A, B, C, D, E, ... або малою літерою ікс з індексом, наприклад, X₁, X₂, X₃,

1.1.2. Способи опису перемикальних функцій

Перемикальна функція може бути описана (задана):

- словесно;
- алгебраїчним (булевим) виразом;
- таблицею істинності;
- діаграмою Вейча (картою Карно).

Нижче наведено приклад опису ПФ «Кон'юнкція»:

- 1) словесно – функція двох змінних приймає значення логічної одиниці, якщо обидві змінні також дорівнюють одиниці, в іншому випадку, вона дорівнює нулю;

- 2) булевим виразом: $F = A \wedge B$;
 3) таблицею істинності (табл. 1).

Таблиця 1. Таблиця істинності перемикальної функції «Кон'юнкція»

Номер набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Таблиця істинності включає набори (комбінації) логічних змінних, що повинні бути упорядковані за зростанням або зменшенням їхніх десяткових еквівалентів, а також значення функції на кожному наборі.

Якщо відповідний набір розглядати як двійкове число, то номер набору дорівнює десятковому еквіваленту двійкового числа, якщо набори упорядковані за зростанням їхніх десяткових еквівалентів. Якщо число змінних дорівнює N , то кількість наборів $N = 2^N$. Номера наборів змінюються (нумеруються) від нуля до $(2^N - 1)$. Загальна кількість ПФ

$$M = 2^{2^N}, \quad (1)$$

де N – число змінних.

Зображення ПФ діаграмою Вейча (картою Карно) буде розглянуто нижче під час вивчення питання мінімізації ПФ.

1.1.3. Перемикальні функції однієї змінної

Якщо $N = 1$, то кількість наборів $N = 2^1 = 2$, а кількість ПФ $M = 2^{2^1} = 4$ (табл. 2).

Таблиця 2. ПФ однієї змінної

N набору	A	F_0	F_1	F_2	F_3
0	0	0	1	0	1
1	1	0	0	1	1

Функція F_0 називається константою нуля, тому що на всіх наборах приймає нульове значення ($F_0 = 0$).

Функція F_3 – константа одиниці, тому що завжди дорівнює одиниці ($F_3 = 1$). Функція $F_2 = A$ і називається повторенням, а $F_1 = \bar{A}$ – інверсією (запереченням – не A).

1.1.4. Перемикальні функції двох змінних

Якщо $N = 2$, то кількість наборів $N = 2^2 = 4$, а кількість ПФ $M = 2^2 = 16$ (табл. 3).

Таблиця 3. ПФ двох змінних

N набору	B	A	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇	F ₈	F ₉	F ₁₀	F ₁₁	F ₁₂	F ₁₃	F ₁₄	F ₁₅
0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
2	1	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
3	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Відзначимо з цих шістнадцяти функцій двох змінних ті, що найбільш часто використовуються:

- F_0 – константа нуля;
- F_{15} – константа одиниці;
- $F_8 = A \wedge B = A \cdot B$ – кон'юнкція (логічне множення (логічне «І»));
- $F_{14} = A \vee B = A + B$ – диз'юнкція (логічне додавання (логічне «АБО»));
- $F_6 = A \nabla B = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B$ – «виключне АБО»/«сума за модулем два»/«нерівнозначність (нееквівалентність)»;
- $F_9 = \bar{A} \cdot \bar{B} + A \cdot B$ – «рівнозначність/еквівалентність»;
- $F_1 = \overline{A + B} = \overline{A \vee B}$ – «АБО-НЕ»;
- $F_7 = \overline{A \wedge B} = \bar{A} \cdot \bar{B}$ – «І-НЕ».

1.1.5. Базисні логічні функції

Будь-яку логічну функцію можна подати сукупністю елементарних логічних функцій: диз'юнкцією, кон'юнкцією, інверсією або їхньою суперпозицією. Набір елементарних функцій АБО, І, НЕ називають функціонально повним набором або базисним набором (базисом).

Є декілька базисних (функціонально повних) наборів ЛЕ, на яких можна реалізувати будь-яку ПФ: І, АБО, НЕ; І-НЕ та АБО-НЕ.

1.1.6. Принцип двоїстості булевої алгебри

Якщо у виразі $F_8 = A \wedge B$ кон'юнкцію замінити на диз'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\bar{F}_8 = \bar{A} \vee \bar{B}$. Аналогічно, якщо у виразі $F_{14} = A \vee B$ диз'юнкцію замінити на кон'юнкцію і проінвертувати обидві змінні, то результат виявиться інверсією старого значення функції $\bar{F}_{14} = \bar{A} \wedge \bar{B}$.

1.1.7. Основні тотожності булевої алгебри

$$\begin{aligned}A + 0 &= A; & A + 1 &= 1; & A + A &= A; \\A + \bar{A} &= 1; & A \cdot 0 &= 0; & A \cdot 1 &= A; \\A \cdot A &= A; & A \cdot \bar{A} &= 0; & \overline{\bar{A}} &= A.\end{aligned}$$

1.1.8. Основні закони та теореми булевої алгебри

Закони:

Перемісний (властивість комутативності):

$$A + B = B + A; \quad A \cdot B = B \cdot A.$$

Сполучний (властивість асоціативності):

$$(A + B) + C = A + (B + C); \quad (A \cdot B) \cdot C = A \cdot (B \cdot C).$$

Розподільний (властивість дистрибутивності):

$$A \cdot (B + C) = A \cdot B + A \cdot C; \quad A + B \cdot C = (A + B) \cdot (A + C).$$

Теореми:

Поглинання: $A + A \cdot B = A$; $A \cdot (A + B) = A$.

Склеювання: $A \cdot B + A \cdot \bar{B} = A$; $(A + B) \cdot (A + \bar{B}) = A$.

Заперечення: $\overline{A + B} = \bar{A} \cdot \bar{B}$; $\overline{A \cdot B} = \bar{A} + \bar{B}$ (форма 1);

$$A \cdot B = \overline{\bar{A} + \bar{B}}; \quad A + B = \overline{\bar{A} \cdot \bar{B}} \text{ (форма 2).}$$

Останні вирази впливають з принципу двоїстості булевої алгебри і називаються також теоремою де Моргана.

Теорема без назви:

$$A + \bar{A} \cdot B = A + B; \quad (A + \bar{B}) \cdot B = A \cdot B;$$

$$B + \bar{B} \cdot A = B + A; \quad (B + \bar{A}) \cdot A = B \cdot A.$$

Два корисних вирази:

$$A \cdot \bar{B} + \bar{A} \cdot B = \overline{A \cdot B} \cdot (A + B);$$

$$A \cdot \bar{B} + \bar{A} \cdot C = \overline{A \cdot B} \cdot (A + C).$$

1.1.9. Досконала диз'юнктивна нормальна форма

Булеві вирази простих логічних функцій можна записати за їх словесним описом. У загальному випадку для одержання аналітичної форми використовують таблиці істинності.

Припустимо, логічну функцію трьох змінних задано таблицею істинності (табл. 4). Ця функція має чотири конституенти одиниці K1, K4, K5 і K6 (конституента одиниці – це одиничне значення ПФ на одному з наборів). Усього для ПФ трьох змінних може бути вісім конститuent, якщо функція приймає одиничне значення на усіх наборах.

Таблиця 4. Таблиця істинності трьох змінних

Номер набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Для нашого прикладу

$$K_1 = \bar{C} \cdot \bar{B} \cdot A; K_4 = C \cdot \bar{B} \cdot \bar{A}; K_5 = C \cdot \bar{B} \cdot A; K_6 = C \cdot B \cdot \bar{A}.$$

Булевий вираз ПФ у досконалій диз'юнктивній нормальній формі (ДДНФ) є сумою конститuent одиниць

$$F = \bar{C} \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A}. \quad (2)$$

Оскільки конститuentи одиниць записуються у вигляді кон'юнкцій, то ДДНФ є сумою кон'юнкцій, кожна з яких містить усі змінні в прямому або інверсному вигляді не більш одного разу. Очевидно, що логічна функція має єдиний булевий вираз у ДДНФ, що впливає з методика його одержання.

ДДНФ зветься диз'юнктивною (включає суму кон'юнкцій), досконалою (всі кон'юнкції містять кожен змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує ЛЕ двох видів: кон'юнкторів і диз'юнкторів. У цьому разі вважається, що вхідні змінні задаються у прямому та інверсному вигляді, наприклад, надходять з виходів тригерів.

Диз'юнктивна нормальна форма

Якщо у виразі (2) всі кон'юнкції або деякі з них не містять всіх змінних у прямому або інверсному вигляді, а також деякі кон'юнкції взагалі відсутні, то така форма представлення булевого виразу називається диз'юнктивною нормальною формою (ДНФ).

Перемикальна функція може описуватися декількома булевими виразами в ДНФ, частина з яких є мінімальною (містить мінімум кон'юнкцій і мінімум змінних, які входять у них).

1.1.10. Досконала кон'юнктивна нормальна форма

Булевий вираз ПФ у досконалій кон'юнктивній нормальній формі (ДКНФ) є добутком конститuent нуля, що записуються у вигляді диз'юнкцій. Кожна з них

містить всі змінні в прямому або інверсному вигляді не більш одного разу. Для ПФ, яку подано у табл. 4, булевий вираз в ДКНФ має вигляд

$$F = (C + B + A) \cdot (C + \bar{B} + A) \cdot (C + \bar{B} + \bar{A}) \cdot (\bar{C} + \bar{B} + \bar{A}). \quad (3)$$

ДКНФ зветься кон'юнктивною (включає добуток диз'юнкцій), досконалою (всі диз'юнкції містять кожен змінну у прямому або інверсному вигляді) та нормальною (дворівневою) – її реалізація потребує ЛЕ двох видів: кон'юнкторів і диз'юнкторів. У цьому разі вважається, що вхідні змінні задаються у прямому та інверсному вигляді, наприклад, надходять з виходів тригерів. Логічна функція має єдиний булевий вираз у ДКНФ.

Кон'юнктивна нормальна форма

Якщо у виразі (3) всі диз'юнкції або окремі з них не містять усіх змінних у прямому або інверсному вигляді, а також деякі диз'юнкції взагалі відсутні, то така форма представлення булевого виразу називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватися декількома булевими виразами у КНФ, частина з яких є мінімальною (містить мінімум диз'юнкцій і мінімум змінних, які входять у кожен з них).

1.1.11. Мінімізація перемикальних функцій

1.1.11.1. Загальні відомості про мінімізацію

Мінімізацією називають процедуру спрощення перемикальних (логічних) функцій, спрямовану на те, щоб булевий вираз ПФ містив мінімальну кількість членів із мінімальною кількістю змінних.

Існують наступні способи мінімізації:

- алгебраїчний;
- за допомогою діаграм Вейча (карт Карно).

1.1.11.2. Алгебраїчний спосіб мінімізації ПФ

У деяких простих випадках можна здійснити мінімізацію булевого виразу ПФ, використовуючи тотожності і теореми булевої алгебри. Нижче розглянуто декілька прикладів алгебраїчної мінімізації.

Приклад 1. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + \bar{C} \cdot \bar{B} \cdot A. \quad (4)$$

Використовуючи теорему склеювання (п. 1.1.8) отримаємо булевий вираз

$$F = C \cdot \bar{A} + \bar{B} \cdot A, \quad (5)$$

який еквівалентний початковому, але значно простіше його.

Приклад 2. Початковий булевий вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + \bar{C} \cdot B \cdot A + C \cdot B \cdot A. \quad (6)$$

Використовуючи тотожність $A = A + A$ і теорему склеювання (п. 1.1.8) отримаємо більш простий вираз

$$F = C \cdot B + C \cdot A + B \cdot A. \quad (7)$$

Такі елементарні прийоми мінімізації вдається використовувати, якщо початковий булевий вираз містить малу кількість членів з невеликим числом змінних.

Більш наочною і зручною є мінімізація з використанням діаграм Вейча (карт Карно).

1.1.11.3. Мінімізація ПФ із використанням діаграм Вейча

Діаграми Вейча [1; 11] побудовані так, що їхні сусідні клітини відображають члени початкової ПФ, які відрізняються значенням однієї змінної: один член містить цю змінну в прямій формі, а інший – у інверсній.

Завдяки цьому виникає наочне уявлення про різноманітні варіанти склеювання суміжних членів.

Початковим продуктом для застосування діаграм Вейча є представлення ПФ таблицею істинності, в якій можливі набори змінних упорядковані за зростанням їхніх десяткових еквівалентів. Вигляд діаграм Вейча залежить від кількості змінних ПФ – N та від того, як упорядковані набори змінних у таблиці. Якщо набори упорядковані за зростанням їхніх десяткових еквівалентів, то діаграми Вейча для $N = 2, 3, 4$ мають вигляд, який наведено на рис. 1.

Кількість клітин діаграми дорівнює кількості наборів змінних

$$N_{\text{кл}} = N_{\text{наб}} = 2^N. \quad (8)$$

Якщо $N = 2$, то $N_{\text{кл}} = 2^2 = 4$; $N = 3$, $N_{\text{кл}} = 8$; $N = 4$, $N_{\text{кл}} = 16$.

Кожна клітина відповідає окремому набору змінних і має номер, однаковий із номером набору.

Рядки і стовпці діаграми, що помічені рисою з написом імені змінної, визначають набори, в яких ці змінні входять у прямій формі. Набори, що відповідають іншим рядкам і стовпцям, містять ті ж змінні в інверсній формі. Наприклад, для $N = 3$ (рис. 1) двом лівим стовпцям відповідає значення змінної B у прямій формі (B), а двом правим – у інверсній (\bar{B}).

В клітини діаграми з таблиці істинності записуються значення ПФ на відповідному наборі (нульове або одиничне). Якщо на якомусь наборі функція не визначена, то в клітині діаграми ставиться риска. ПФ вважається невизначеною, якщо: існуючий набір змінних у реальному логічному пристрої неможливий або значення функції на даному наборі байдуже.

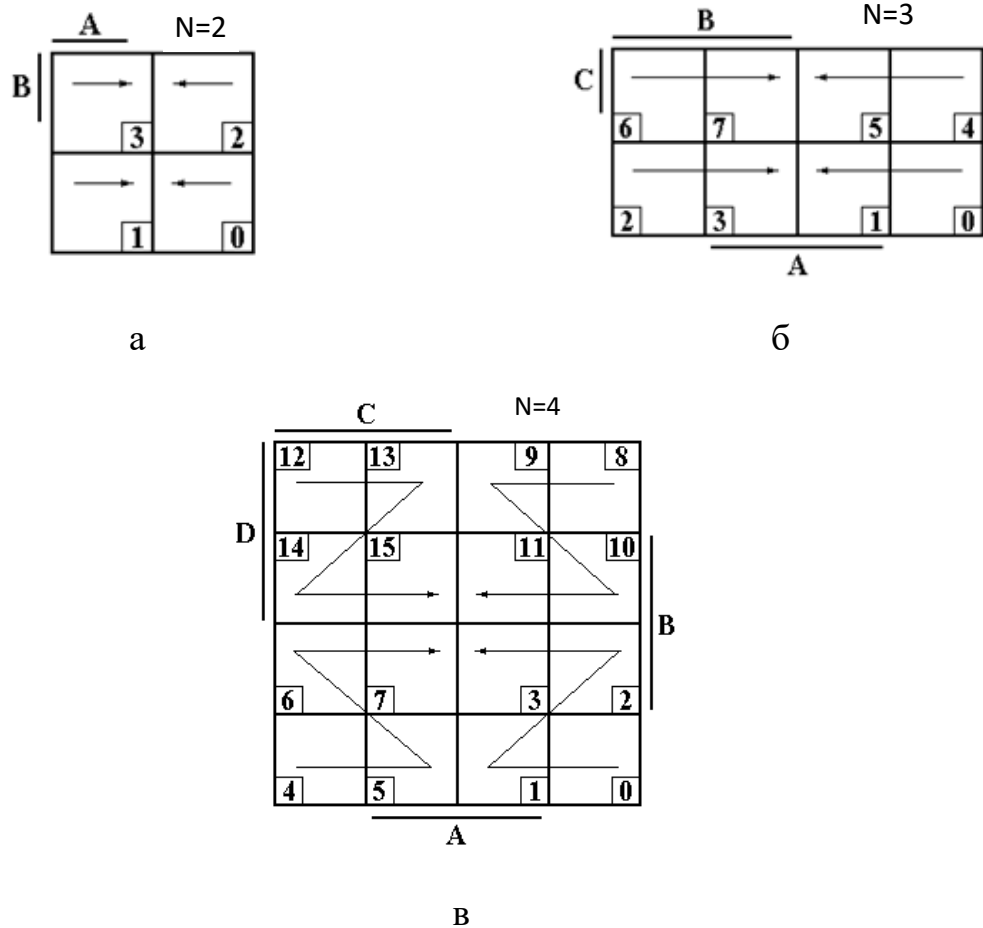


Рис. 1. Діаграми Вейча для:

а – двозмінних; б – трьохзмінних; в – чотирьохзмінних ПФ

Після заповнення діаграми можна приступити безпосередньо до мінімізації, що роблять за одиницями або нулями.

У першому випадку результатом мінімізації буде булевий вираз у ДНФ, а в другому – КНФ [1; 11].

Загальне правило мінімізації

1) Суміжні одиниці (нулі) діаграми умовно охоплюють (накривають) прямокутними контурами. Кожний контур може містити 1, 2, 4, 8, 16, ... одиниць (нулів).

2) Одним контуром (накриттям) необхідно об'єднати максимальну кількість суміжних клітин, що містять одиниці (нулі).

3) Необхідно, щоб кожна одиниця (нуль) накривалася хоча б один раз.

4) Та сама одиниця (нуль) може охоплюватися декілька разів різними контурами.

5) Верхній і нижній рядки діаграми вважаються суміжними – їх можна вважати такими, якщо умовно згорнути діаграму в горизонтальний циліндр.

6) Лівий і правий стовпці також вважаються суміжними – діаграму можна умовно згорнути у вертикальний циліндр.

7) Кутові клітини також вважаються суміжними – діаграму можна умовно згорнути в тор.

8) У клітини, що містять прочерки (на даних наборах ПФ невизначена), можна записувати додаткові одиниці (нулі), що сприяє одержанню більш простого кінцевого булевого виразу. У цьому разі варто пам'ятати, що хоча б один раз необхідно накрити лише основні одиниці (нулі). Додаткові одиниці (нулі) можуть збільшувати сумарну кількість одиниць (нулів), що входять у накриття, а отже, зменшувати кількість змінних у результуючих кон'юнкціях (диз'юнкціях).

9) Результатом мінімізації є булевий вираз у ДНФ або КНФ. Кількість кон'юнкцій у ДНФ (диз'юнкцій у КНФ) відповідає кількості контурів (накриттів).

10) У кожному кон'юнкцію (диз'юнкцію) увійдуть тільки ті змінні, значення яких у межах контуру не змінюється (змінна входить у накриття тільки в прямій або інверсній формі).

Під час мінімізації за одиницями у результуючі кон'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці діаграми помічені ризкою. Змінні, пов'язані з рядками і стовпцями не поміченими ризкою, входять у кон'юнкції в інверсній формі.

Під час мінімізації за нулями у результуючі диз'юнкції змінні входять у прямій формі, якщо відповідні їм рядки і стовпці не помічені ризкою, у протилежному випадку диз'юнкції містять змінні в інверсному вигляді.

Ціллю мінімізації є одержання мінімальної ДНФ або КНФ, що містить мінімум членів, які мають мінімальну кількість змінних. Для цього необхідно меншою кількістю контурів охопити хоча б один раз кожен основну одиницю (нуль). У цьому разі необхідно намагатися, щоб у кожне накриття входило як найбільше суміжних одиниць (нулів).

Приклад мінімізації ПФ за допомогою діаграми Вейча

Для контролю за можливою деформацією металевої конструкції через її перегрів у різноманітних критичних точках встановлено чотири термодатчики, які позначено як: ТД₁, ТД₂, ТД₃, ТД₄.

Експериментальні дослідження конструкції показали, що деформація можлива в наступних випадках:

- 1) спрацювали ТД₄, ТД₃ і не спрацювали ТД₂ і ТД₁;
- 2) спрацювали ТД₄, ТД₃, ТД₂ і ТД₁;
- 3) спрацював ТД₂ і не спрацювали ТД₄, ТД₃ і ТД₁;
- 4) спрацювали ТД₃, ТД₂ і ТД₁ і не спрацював ТД₄.

У випадках, коли:

5) спрацювали ТД₄, ТД₃, ТД₂ і не спрацював ТД₁;

6) спрацювали ТД₂, ТД₁ і не спрацювали ТД₄, ТД₃, деформація конструкції не виникала.

За умовою експлуатації конструкції інші сполучення датчиків, що спрацювали і що не спрацювали, неможливі.

Необхідно спроектувати цифровий логічний пристрій, що вмикає сигнал тривоги, якщо відбувається спрацьовування термодатчиків у небезпечному сполученні.

Позначимо цифрові сигнали на виході термодатчиків логічними змінними: ТД₄ → *D*; ТД₃ → *C*; ТД₂ → *B*; ТД₁ → *A*, а логічну функцію, яку повинен реалізувати пристрій контролю – *F*.

Складемо таблицю істинності, що відображає необхідну логічну функцію (табл. 5). Відповідну діаграму Вейча наведено на рис. 2.

Таблиця 5. Таблиця істинності для чотирьох змінних

Номер набору	<i>D</i> (ТД ₄)	<i>C</i> (ТД ₃)	<i>B</i> (ТД ₂)	<i>A</i> (ТД ₁)	<i>F</i>
0	0	0	0	0	–
1	0	0	0	1	–
2	0	0	1	0	1 (3)
3	0	0	1	1	0 (6)
4	0	1	0	0	–
5	0	1	0	1	–
6	0	1	1	0	–
7	0	1	1	1	1 (4)
8	1	0	0	0	–
9	1	0	0	1	–
10	1	0	1	0	–
11	1	0	1	1	–
12	1	1	0	0	1 (1)
13	1	1	0	1	–
14	1	1	1	0	0 (5)
15	1	1	1	1	1 (2)

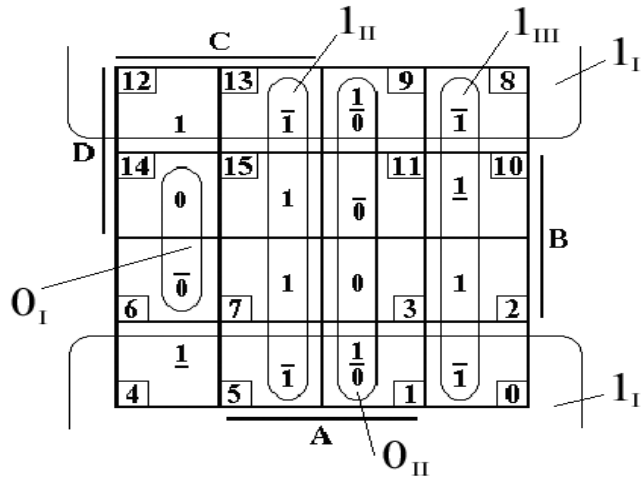


Рис. 2. Діаграма Вейча, що відповідає табл. 5

Проведемо мінімізацію за одиницями. Для цього в клітини, що містять риски ставимо додаткові одиниці. Основні одиниці накриваємо трьома контурами: 1-й контур утворюють клітини першого й останнього рядків, 2-й – клітини 2 стовпця і 3-й – 4-го стовпця.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overline{B} + \overbrace{C \cdot A}^{1_{II}} + \overbrace{C \cdot \bar{A}}^{1_{III}} \quad (9)$$

Цей вираз має бути реалізовано цифровим логічним пристроєм, що вмикає сигнал тривоги.

Проведемо мінімізацію за нулями. Для цього дописуємо у клітини з номерами 1, 6, 9 і 11 нулі і накриваємо два основних нулі двома прямокутниками, що містять два і чотири елементи (нулі). Перший прямокутник охоплює клітини з номерами 6, 14, другий – 1, 3, 11 і 9.

Підсумковий булевий вираз мінімізованої ПФ має вигляд

$$F = \overbrace{(\bar{C} + A + \bar{B})}^{0_I} \cdot \overbrace{(\bar{A} + C)}^{0_{II}} \quad (10)$$

Обидва вирази (9) та (10) еквівалентні і застосовувати можна той з них, який простіше реалізується на конкретному наборі логічних елементів (ЛЕ) – (базисі) (підрозд. 1.3)

1.1.11.4. Мінімізація ПФ за допомогою карт Карно

Карти Карно зручно використовувати, якщо ПФ задано у вигляді булевого виразу у ДДНФ. Наприклад:

$$F = D \cdot \bar{C} \cdot \bar{B} \cdot \bar{A} + \bar{D} \cdot C \cdot \bar{B} \cdot A + \bar{D} \cdot \bar{C} \cdot \bar{B} \cdot A + \bar{D} \cdot \bar{C} \cdot B \cdot A + \bar{D} \cdot C \cdot B \cdot A + D \cdot \bar{C} \cdot \bar{B} \cdot A \quad (11)$$



В картах Карно кожний рядок і стовпець позначаються значенням конкретної змінної або комбінацією змінних.

На рис. 3 показано приклад карти Карно для ПФ чотирьох змінних, яку заповнено згідно (11).

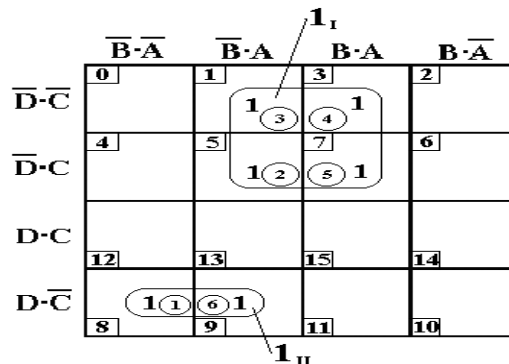


Рис. 3. Приклад карти Карно для ПФ чотирьох змінних

Правила мінімізації за допомогою карт Карно загалом аналогічні правилам, викладеним при розгляді діаграм Вейча. Відмінність складається в заповненні карти Карно одиницями.

Якщо діаграма Вейча заповнюється одиницями відповідно до номерів наборів, на яких початкова ПФ приймає одиничне значення, то в карті Карно одиниці ставлять у клітини, що лежать на перетині рядків і стовпців карти, помічених комбінаціями змінних, які під час їхнього перемножування дають запис відповідної конституенти одиниці (кон'юнкції).

Булевий вираз мінімізованої ПФ згідно рис. 3 має вигляд:

$$F = \overbrace{\overline{D} \cdot A}^{1_I} + \overbrace{D \cdot \overline{C} \cdot \overline{B}}^{1_{II}}. \quad (12)$$

Інші приклади використання діаграм Вейча і карт Карно наведено у [1; 11].

1.2. Основні типи логічних елементів

1.2.1. Загальна характеристика логічних елементів

Для апаратної реалізації булевих виразів використовується певний набір логічних елементів (ЛЕ), що випускаються у вигляді інтегральних мікросхем (ІМС). Є спеціалізовані ІМС, розроблені методами інтегральної технології спеціально для одержання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних з'єднань і мають високу надійність. Проте розробка подібних мікросхем економічно виправдана лише у разі великого обсягу випуску. Прикладом може служити масовий випуск спеціалізованих великих інтегральних схем (ВІС) для електронних годинників, мікрокалькуляторів і т. ін.

Крім спеціалізованих ВІС є універсальний набір ЛЕ у вигляді ІМС, що забезпечує реалізацію елементарних логічних функцій. До цього набору можна віднести: інвертор, кон'юнктор, диз'юнктор, повторювач, І-НЕ, АБО-НЕ, виключне АБО, додавання за модулем два (непарність), додавання за модулем два з інверсією (парність), еквівалентність, нееквівалентність, І-АБО-НЕ, заборона і т. ін.

1.2.2. Інвертор (логічний елемент «НЕ»)

Інвертор реалізує логічну функцію

$$F = \bar{A}. \quad (13)$$

Нижче наведено його позначення на електричних схемах (рис. 4, а) і принципову схему (рис. 4, б).

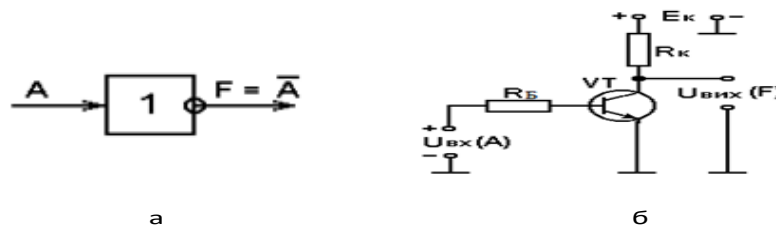


Рис. 4. Логічний елемент НЕ:

а – позначення на електричних схемах; б – принципова схема

1.2.3. Кон'юнктор (логічний елемент «І»)

Кон'юнктор реалізує логічну функцію

$$F = A \wedge B = A \cdot B. \quad (14)$$

Нижче наведено його позначення на електричних схемах (рис. 5, а), принципову схему (рис. 5, б) і таблицю істинності (табл. 6).

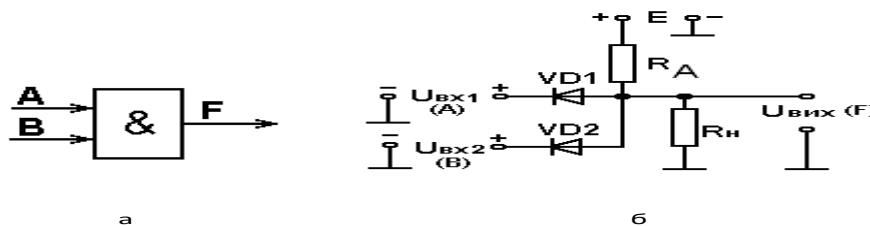


Рис. 5. Логічний елемент І:

а – позначення на електричних схемах; б – принципова схема

Термін «логічний» звичайно використовують стосовно процедури прийняття рішення. В такому випадку можна сказати, що логічний елемент – це така схема, що, базуючись на вхідних сигналах, може вирішувати, що їй відповісти на виході – «так» або «ні».

Таблиця 6. Таблиця істинності логічного елемента «І»

№ набору	В	А	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Схема кон'юнктора на рис. 5 відповідає «так» (на виході з'являється високий рівень напруги) тільки в тому випадку, коли на обидва її входи подано сигнали «так» (обидві вхідні напруги мають високий рівень).

1.2.4. Диз'юнктор (логічний елемент «АБО»)

Диз'юнктор реалізує логічну функцію

$$F=A \vee B=A+B. \quad (15)$$

Нижче наведено його позначення на електричних схемах (рис. 6, а), принципову схему (рис. 6, б) і таблицю істинності (табл. 7).

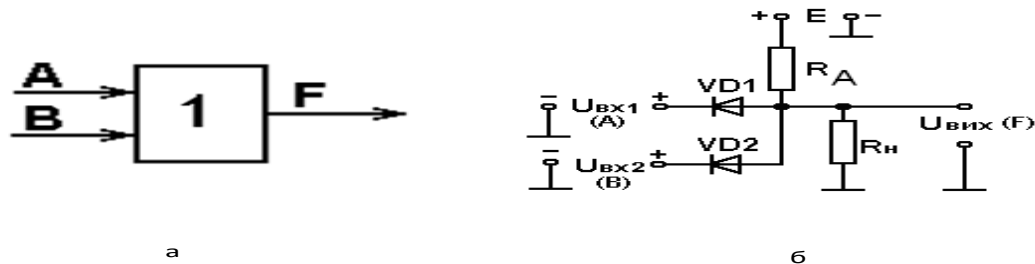


Рис. 6. Логічний елемент «АБО»:

а – позначення на електричних схемах; б – принципова схема

Відмінна властивість логічного елемента «АБО» складається в тому, що на його виході з'являється сигнал низького рівня тільки тоді, коли на всі його входи подаються також сигнали низького логічного рівня.

Таблиця 7. Таблиця істинності логічного елемента «АБО»

№ набору	В	А	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

1.2.5. Повторювач

Повторювач реалізує логічну функцію

$$F = A. \quad (16)$$

Його позначення на електричних схемах наведено на рис. 7.

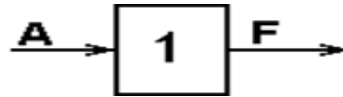


Рис. 7. Позначення «повторювача» на електричних схемах

«Повторювач» не виконує ніяких логічних перетворень і використовується для підвищення навантажувальної спроможності окремих виходів ІМС або як елемент затримки, що дорівнює часу поширення сигналу через нього.

1.2.6. Логічний елемент «І-НЕ»

Елемент «І-НЕ» реалізує логічну функцію

$$F = \overline{A \wedge B} = \overline{A} \cdot \overline{B}. \quad (17)$$

Нижче наведено його позначення на електричних схемах (рис. 8, а), функціональну схему (рис. 8, б) і таблицю істинності (табл. 8).

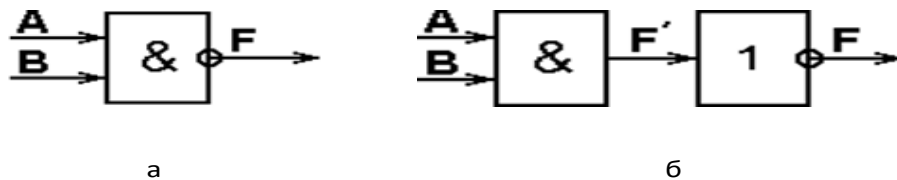


Рис. 8. Логічний елемент «І-НЕ»:

а – позначення на електричних схемах; б – функціональна схема

Таблиця 8. Таблиця істинності логічного елемента «І-НЕ»

№ набору	В	А	F
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

1.2.7. Логічний елемент «АБО-НЕ»

Логічний елемент «АБО-НЕ» реалізує логічну функцію

$$F = \overline{A + B} = \overline{A} \cdot \overline{B}. \quad (18)$$

На рис. 9 наведено його позначення на електричних схемах (рис. 9, а), функціональну схему (рис. 9, б) і таблицю істинності (табл. 9).

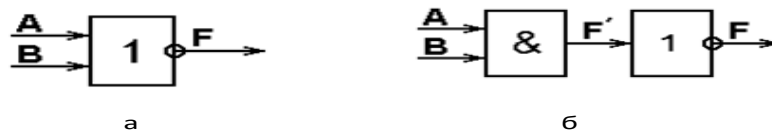


Рис. 9. Логічний елемент «АБО-НЕ»: а – позначення на електричних схемах; б – функціональна схема

Таблиця 9. Таблиця істинності логічного елемента «АБО-НЕ»

№ набору	В	А	Г
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0

1.2.8. Виключне «АБО»

Логічний елемент «Виключне АБО» реалізує логічну функцію

$$F = A \vee B. \quad (19)$$

Нижче наведено його позначення на електричних схемах (рис. 10) і таблицю істинності (табл. 10).

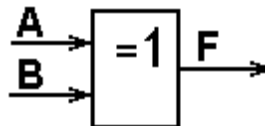


Рис. 10. Позначення логічного елемента «Виключне АБО» на електричних схемах

Елемент називається «Виключне АБО» тому, що його таблиця істинності збігається з таблицею істинності елемента АБО (п. 1.2.4) першими трьома рядками. У четвертому рядку елемента «АБО» $F=1$, а елемента «Виключне АБО» – нуль.

Таблиця 10. Таблиця істинності логічного елемента «Виключне АБО»

№ набору	В	А	Г
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

1.2.9. Додавання за модулем два (непарність)

Елемент реалізує логічну функцію

$$F = A \oplus B \oplus C. \quad (20)$$

Нижче наведено його позначення на електричних схемах (рис. 11) і таблицю істинності (табл. 11).

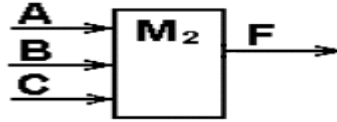


Рис. 11. Позначення на електричних схемах логічного елемента «Додавання за модулем два (непарність)»

Елемент підсумовує значення змінних за модулем два (символ \oplus (псевдоплюс)) означає сума за модулем два ($\sum \text{mod} 2$): $0 + 0 = 0$; $1 + 1 = 0$; $1 + 0 = 1$; $0 + 1 = 1$). Якщо під час підсумовування число одиниць непарне, то функція дорівнює 1, у протилежному випадку – $F = 0$.

Таблиця 11. Таблиця істинності логічного елемента «Додавання за модулем два (непарність)»

N набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

1.2.10. Додавання за модулем два із запереченням (парність)

Елемент реалізує логічну функцію:

$$F = \overline{A \oplus B \oplus C}. \quad (21)$$

Нижче наведено його позначення на електричних схемах (рис. 12) і таблицю істинності (табл. 12).

Елемент формує суму за модулем два, яка потім інвертується на виході. Якщо під час підсумовування число одиниць парне, то функція дорівнює одиниці, у протилежному випадку – $F = 0$.

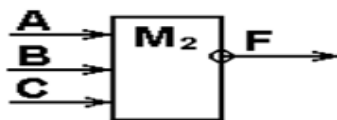


Рис. 12. Позначення на електричних схемах ЛЕ «Додавання за модулем два із запереченням (парність)»

Таблиця 12. Таблиця істинності ЛЕ «Додавання за модулем два із запереченням (парність)»

Номер набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

1.2.11. Еквівалентність

Логічний елемент реалізує логічну функцію

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C. \quad (22)$$

Нижче наведено його позначення на електричних схемах (рис. 13) і таблицю істинності (табл. 13).

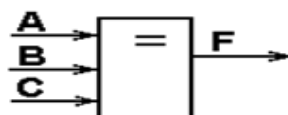


Рис. 13. Позначення на електричних схемах логічного елемента «Еквівалентність»

Таблиця 13. Таблиця істинності логічного елемента «Еквівалентність»

N набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Функція дорівнює одиниці, коли усі змінні однакові (дорівнюють одиниці або нулю). У протилежному випадку – $F = 0$.

1.2.12. Нееквівалентність

Логічний елемент реалізує логічну функцію

$$F = \overline{A \cdot B \cdot C} + A \cdot B \cdot C. \quad (23)$$

Нижче наведено його позначення на електричних схемах (рис. 14) і таблицю істинності (табл. 14).

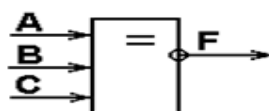


Рис. 14. Позначення на електричних схемах логічного елемента «Нееквівалентність»

Функція дорівнює одиниці, коли змінні не однакові. У протилежному випадку – $F = 0$.

Таблиця 14. Таблиця істинності логічного елемента «Нееквівалентність»

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Якщо число логічних змінних дорівнює двом, то логічна функція і елемент «Нееквівалентність» збігаються з елементами «Виключне АБО» і «Додавання за модулем два» (табл. 10, 11).

1.2.13. Логічний елемент «І-АБО-НЕ»

Елемент реалізує більш складну логічну функцію, булевий вираз якої має вигляд

$$F = \overline{A \cdot B + C \cdot D}. \quad (24)$$

Нижче показано його позначення на електричних схемах (рис. 15) і таблицю істинності (табл. 15).

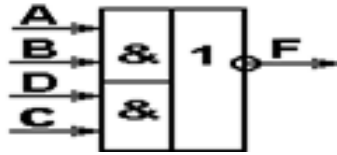


Рис. 15. Позначення на електричних схемах логічного елемента «І-АБО-НЕ»

Таблиця 15. Таблиця істинності логічного елемента «І-АБО-НЕ»

№ набору	D	C	B	A	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

1.2.14. Логічний елемент «Заборона»

Логічний елемент реалізує логічну функцію

$$F = A \cdot \bar{B}. \quad (25)$$

Нижче наведено його позначення на електричних схемах (рис. 16) і таблицю істинності (табл. 16).

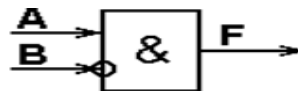


Рис. 16. Позначення на електричних схемах логічного елемента «Заборона»

Таблиця 16. Таблиця істинності логічного елемента «Заборона»

№ набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	0

На виході елемента «Заборона» логічна одиниця буде лише в тому випадку, якщо на основному вході – логічна одиниця ($A = 1$), а на вході В, що забороняє – нуль ($B = 0$).

В позначенні елемента на електричних схемах вхід, що забороняє, позначений як інверсний – кругом. Сигналом, що забороняє на цьому вході, буде логічна одиниця.

1.2.15. Логічні елементи з відкритим колектором

Під час побудови цифрових пристроїв часто виникає необхідність об'єднання виходів декількох логічних елементів з метою переходу на спільний вихідний ланцюг. Цю задачу можна вирішити за допомогою елемента «АБО» (рис. 17).

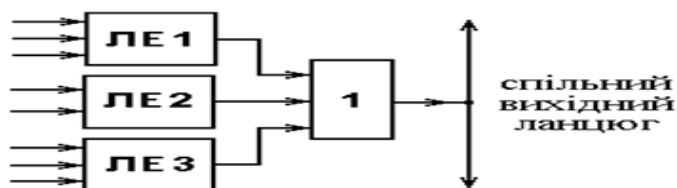


Рис. 17. Схема об'єднання виходів декількох логічних елементів на спільний вихідний ланцюг

У цьому разі доводиться миритися з додатковими схемними витратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій.

Інший спосіб вирішення описаної вище задачі заснований на застосуванні логічних елементів з відкритим колектором (стоком), в полі функціонального позначення яких є спеціальний символ « \diamond », що вказує, що колектор (стік) вихідного транзистора відкритий (обриваний, «висить в повітрі»).

На рис. 18 показано об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід.

Для нульових сигналів на виході логічних елементів «ЛЕ1...ЛЕ3» (відповідний транзистор відкритий) подана схема виконує функцію «Монтажне АБО»: якщо з'являється логічний нуль хоча б на одному із виходів логічних елементів, вихідний сигнал також буде дорівнювати нулю.

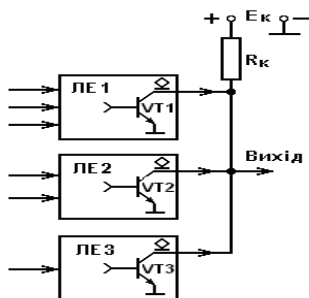


Рис. 18. Схема об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід

Для одиничних сигналів на виходах логічних елементів «ЛЕ1...ЛЕ3» (відповідний транзистор закритий) схема виконує функцію «Монтажне І»: вихідний сигнал схеми дорівнює одиниці лише під час одночасної появи логічних одиниць на виходах усіх логічних елементів.

Елементи з відкритим колектором (стоком) мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватися для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) і т. ін. (рис. 19).

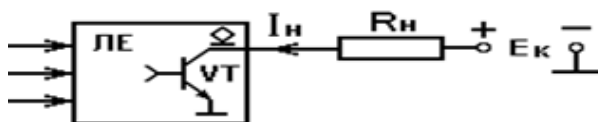


Рис. 19. Схема підключення до виходу логічного елемента із відкритим колектором зовнішнього навантаження R_n

У цьому разі необхідно забезпечити виконання умови:

$$I_n \leq I_{\text{вих}}^0, \quad (26)$$

де I_n – струм навантаження; $I_{\text{вих}}^0$ – значення максимального струму, що може протікати через відкритий вихідний транзистор логічного елемента (на виході логічний нуль).

На рис. 20 наведено приклад підключення до ЛЕ з відкритим колектором світлодіода VD1.

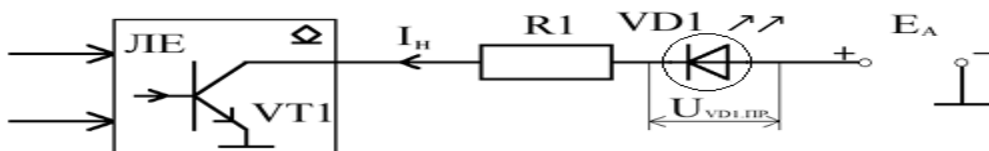


Рис. 20. Схема підключення світлодіода до ЛЕ з відкритим колектором

Коли на виході логічного елемента з'являється логічний 0 (вихідний транзистор VT1 відкритий), світлодіод буде підключений до джерела струму E_A у прямому напрямку. Коли через світлодіод VD1 протікає прямий струм, він засвічується. Струм I_n дорівнює струму запалювання світлодіода, який, наприклад, складає: $I_{\text{зап. VD1}} \leq 20 \text{ мА}$. Падіння напруги на відкритому діоді $U_{\text{VD1.пр}}$ складає, наприклад: (1,7...2) В.

Резистор R1 обмежує величину прямого струму і обчислюється за формулою:

$$R1 = (E_A - U_{\text{VD1.пр}}) / I_{\text{зап. VD1}}. \quad (27)$$

Наприклад, $E_A = 5 \text{ В}$, $U_{\text{VD1.пр}} = 2 \text{ В}$, $I_{\text{зап. VD1}} = 20 \text{ мА}$.

Тоді $R1 = (5 - 2) / (20 \cdot 10^{-3}) = 150 \text{ Ом}$.

1.2.16. Логічні елементи з третім станом

Один із широко використовуваних способів підключення виходів окремих ЛЕ на спільний вихід засновано на застосуванні в їхніх вихідних ланцюгах електричних буферних схем, спроможних під дією керувальних сигналів або підключати до навантаження вихідний логічний сигнал, що приймає значення нуль або одиницю, або відключати вихід від навантаження (переводити його в так званий третій (високоімпедансний, Z-стан)) [1].

Нижче наведено позначення на електричних схемах ЛЕ (повторювача) з трьома станами вихідного сигналу (рис. 21, а) і принципову схему його вихідного каскаду, що забезпечує три стани вихідного сигналу: логічний нуль; логічну одиницю і третій (Z)-стан.

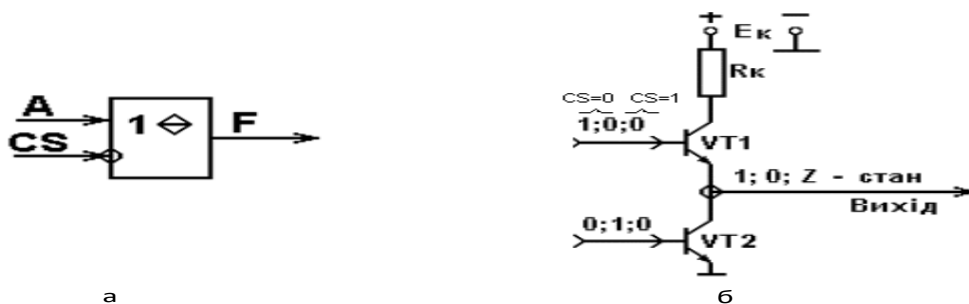


Рис. 21. Логічний елемент з трьома станами вихідного сигналу:
а – позначення на електричних схемах; б – принципова схема

В полі функціонального позначення логічних елементів з трьома станами є спеціальний символ « \diamond ».

Крім основних входів, на які подаються входні логічні змінні, подібні елементи мають керувальний вхід: «Вибір кристала» – CS, активним сигналом на якому, як правило, є логічний нуль (рис. 21, а).

Три стани вихідних сигналів забезпечуються керувальними сигналами на базах вихідних n-p-n-транзисторів VT1 і VT2 (рис. 18, б):

Одиничний стан – CS = 0, на базі VT1 – одиниця (транзистор – відкритий); на базі VT2 – нуль (транзистор – закритий), і з виходу знімається «логічна 1»;

Нульовий стан – CS = 0, на базі VT1 – нуль (транзистор закритий); на базі VT2 – одиниця (транзистор – відкритий), і з виходу знімається «логічний 0»;

Z-стан – CS = 1, на базах VT1 і VT2 – логічні нулі (обидва транзистори закриті) і вихід обірваний від спільної шини (знаходиться у високоімпедансному – «Z»-стані).

Елементи з трьома станами широко використовуються в мікропроцесорній техніці для підключення виходів різноманітних пристроїв мікропроцесорної системи до спільної шини.

1.3. Реалізація логічних функцій в різних базисах

1.3.1. Базисні набори логічних елементів і їх взаємозв'язок

Існує декілька базисних (функціонально повних) наборів ЛЕ, на яких можна реалізувати будь-яку перемикальну функцію: І, АБО, НЕ; І-НЕ та АБО-НЕ.

Для реалізації ПФ, яку подано булевим виразом у ДНФ або КНФ, достатньо трьох ЛЕ: І, АБО, НЕ, тому цей набір вважається функціонально повним або базисним (базисом).

На практиці більш широко використовуються базиси І-НЕ або АБО-НЕ.

Це пов'язано з тим, що зменшення номенклатури елементів до одного типу спрощує проектування пристрою і його ремонт. Крім того, наявність інвертора (підсилювача) підсилює сигнал та підвищує навантажувальну здатність елемента.

Використовуючи тотожності і теореми булевої алгебри можна перетворити вирази ПФ, записані у вигляді комбінації функцій І, АБО та НЕ, до вигляду, що може бути реалізований елементами базису І-НЕ та АБО-НЕ.

Сказане відбиває табл. 17, а на рис. 22 показано схемну реалізацію функцій НЕ, І та АБО в базисах І-НЕ (рис. 22, а, б, в) і АБО-НЕ (рис. 22, г, д, е).

Таблиця 17. Реалізація логічних функцій НЕ, І та АБО у базисах І-НЕ та АБО-НЕ

Базис	Логічні операції		
	НЕ	І	АБО
І-НЕ	$F_1 = \bar{A} = \overline{A \cdot A}$	$F_2 = A \cdot B = \overline{\overline{A \cdot B}}$	$F_3 = A + B = \overline{\overline{A \cdot B}}$
АБО-НЕ	$F_4 = \bar{A} = \overline{A + A}$	$F_5 = A \cdot B = \overline{\overline{A + B}}$	$F_6 = A + B = \overline{\overline{A + B}}$

В булевій алгебрі функцію І-НЕ називають функцією Шеффера (штрихом Шеффера), позначаючи її у вигляді $F = A \mid B$, а функцію АБО-НЕ – функцією Пірса (стрілкою Пірса), позначаючи її у вигляді $A \downarrow B$. Базис І-НЕ називають базисом Шеффера, а базис АБО-НЕ – базисом Пірса.

1.3.2. Реалізація елемента «Рівнозначність» («виключне АБО-НЕ»)

На виході такого елемента повинна бути логічна одиниця, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі).

Булевий вираз логічної функції, що відповідає аналізованому елементу, має вигляд

$$F = \bar{A} \cdot \bar{B} + A \cdot B. \quad (28)$$

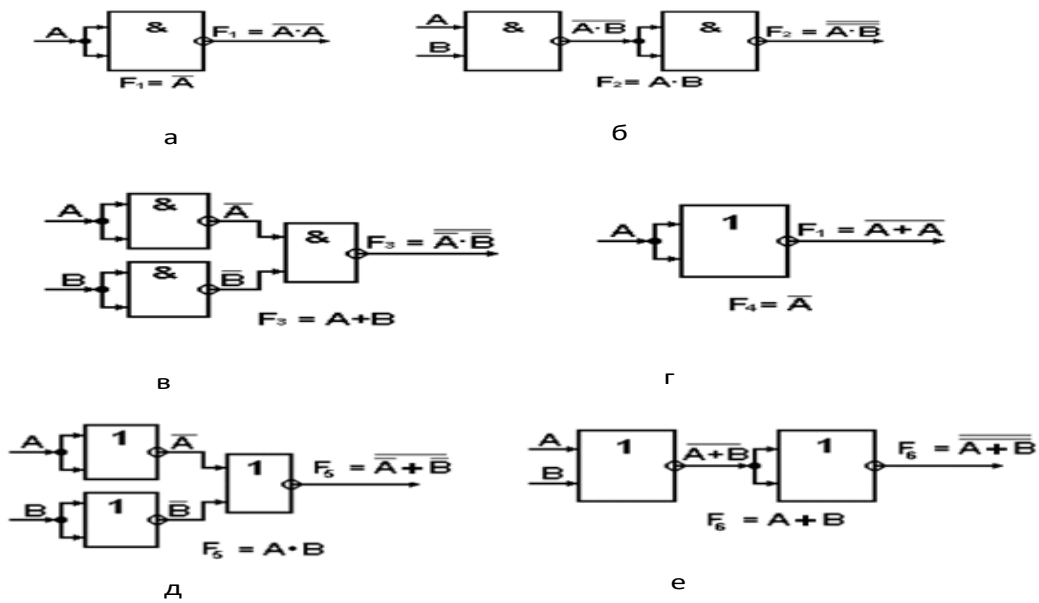


Рис. 22. Схемна реалізація функцій НЕ, І, АБО в базисах І-НЕ та АБО-НЕ

Очевидно, що даний вираз легко реалізується елементами базису І, АБО, НЕ. Використовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (28) до вигляду, що дозволяє реалізувати функцію «Рівнозначність» у базисі І-НЕ (29) і АБО-НЕ (30):

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}} \quad (29)$$

$$F = \overline{\overline{A + B} \cdot \overline{A + B}} \quad (30)$$

Нижче показано функціональні схеми елемента «Рівнозначність» на ЛЕ базисів І, АБО, НЕ (рис. 23, а); І-НЕ (рис. 23, б) і АБО-НЕ (рис. 23, в).

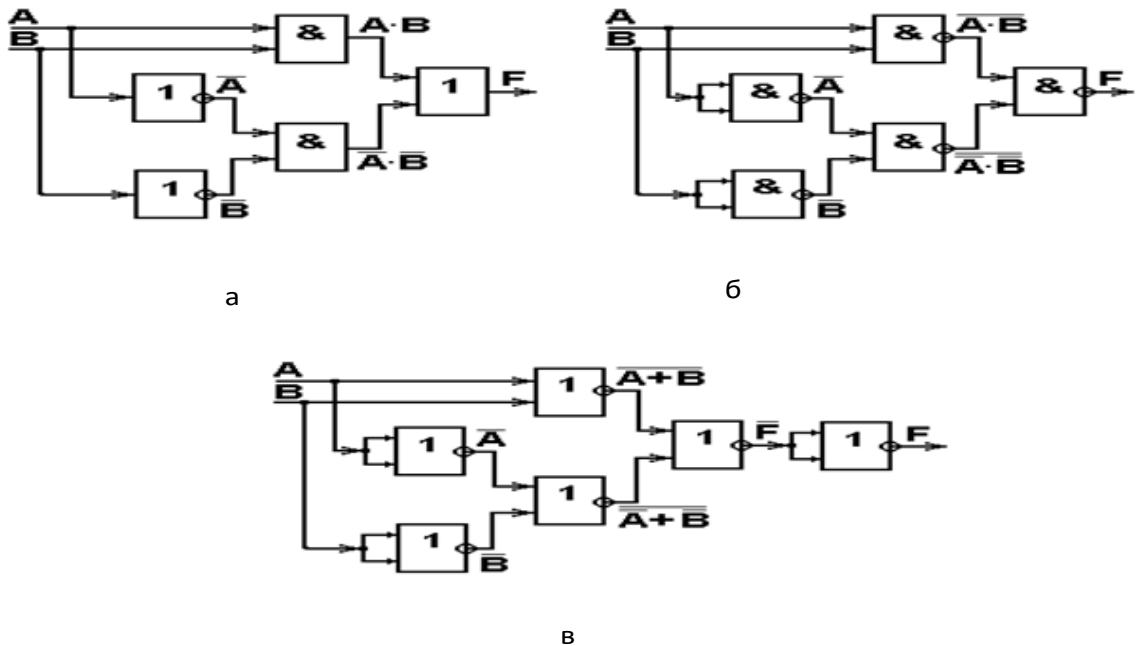


Рис. 23. Функціональні схеми елемента «Рівнозначність» на:
а – ЛЕ базису І, АБО, НЕ; б – ЛЕ базису І-НЕ; в – ЛЕ базису АБО-НЕ

1.3.3. Реалізація елемента «Нерівнозначність»

На виході такого елемента повинна бути логічна 1, якщо на входах присутні нерівнозначні логічні змінні: $F = 1$, якщо $A = 1, B = 0$ або $A = 0, B = 1$.

Булевий вираз логічної функції аналізованого елемента має вигляд

$$F = A \cdot \bar{B} + \bar{A} \cdot B. \quad (31)$$

Цей вираз може бути легко реалізований елементами базису I, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (31) до вигляду, що дозволяє реалізувати функцію «Нерівнозначність» у базисі I-НЕ (32) і АБО-НЕ (33).

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}, \quad (32)$$

$$F = \overline{\overline{A+B} + \overline{A+B}}. \quad (33)$$

Нижче наведено функціональні схеми елемента «Нерівнозначність» на ЛЕ базису I, АБО, НЕ (рис. 24, а); I-НЕ (рис. 24, б) і АБО-НЕ (рис. 24, в).

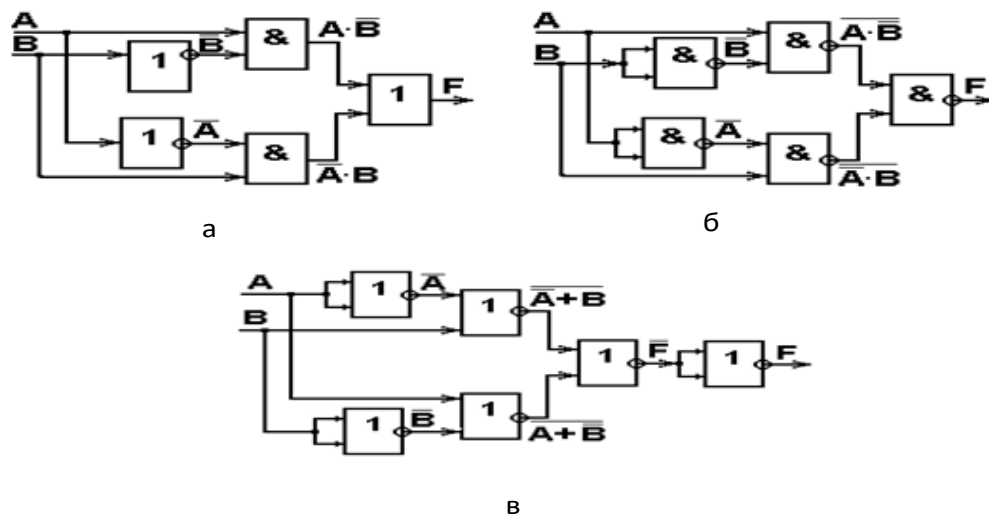


Рис. 24. Функціональні схеми елемента «Нерівнозначність» на:
 а – ЛЕ базису I, АБО, НЕ; б – ЛЕ базису I-НЕ; в – ЛЕ базису АБО-НЕ

Для двох змінних елемент «Нерівнозначність» інакше називають: «виключне АБО» – $F = A \nabla B$ або «суматор за модулем два» – сума двійкових цифр дає одиницю, якщо одна з них одиниця, а інша – нуль, у протилежному випадку, якщо обидві цифри 0 або 1, то сума дорівнює нулю.

1.3.4. Реалізація елемента «Заборона»

На виході такого елемента повинна бути логічна одиниця, якщо на основному вході присутня логічна одиниця, а на вході, що забороняє – логічний нуль.

Булевий вираз логічної функції аналізованого елемента має вигляд

$$F = A \cdot \bar{B}. \quad (34)$$

Вираз (34) може бути легко реалізовано у базисі І, АБО, НЕ. Застосовуючи теорему де Моргана і тотожності булевої алгебри перетворимо вираз (34) до вигляду, що дозволяє реалізувати функцію «Заборона» у базисі І-НЕ (35) і АБО-НЕ (36).

$$F = \overline{\overline{A \cdot B}}, \quad (35)$$

$$F = \overline{\overline{A} + \overline{B}}. \quad (36)$$

На рис. 25 наведено функціональні схеми елемента «Заборона» на ЛЕ базису І, АБО, НЕ (рис. 25, а); І-НЕ (рис. 25, б) і АБО-НЕ (рис. 25, в).

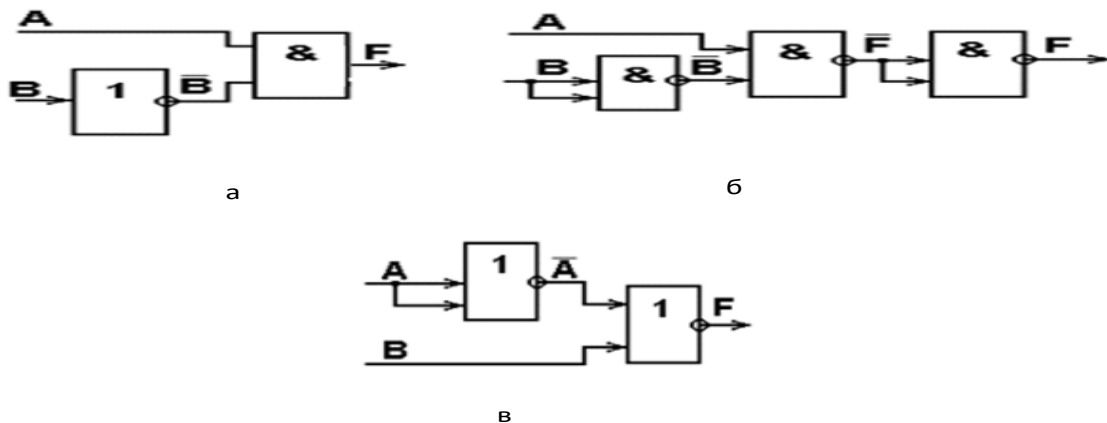


Рис. 25. Функціональні схеми елемента «Заборона» на:
а – ЛЕ базису «І, АБО, НЕ»; б – ЛЕ базису «І-НЕ»; в – ЛЕ базису «АБО-НЕ»

1.3.5. Реалізація багатолітерних логічних функцій на елементах з невеликою кількістю входів

Іноді на практиці виникає задача реалізувати логічну функцію великого числа логічних змінних (багатолітерну функцію) на елементах з невеликою кількістю входів. Як приклад на рис. 26 показано функціональну схему, що реалізує на двовходових елементах І-НЕ логічну функцію

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H. \quad (37)$$

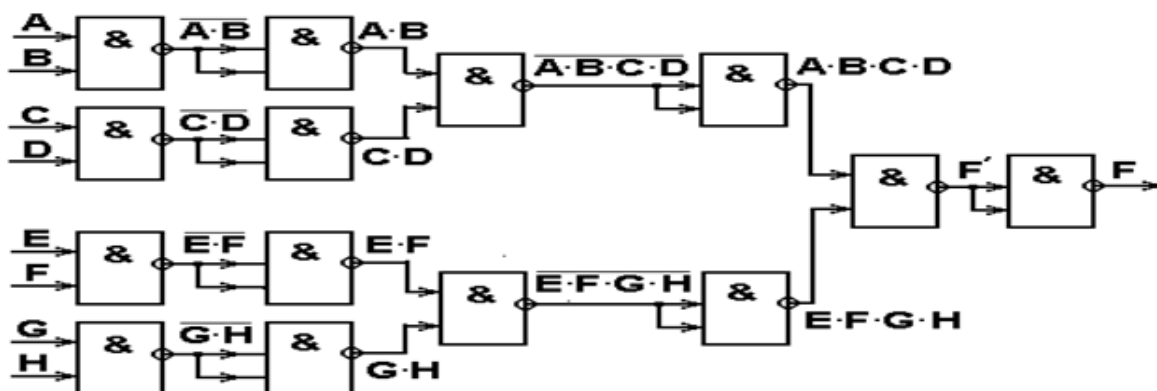


Рис. 26. Приклад реалізації на ЛЕ «І-НЕ» функції $F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H$

1.4. Аналіз і синтез КЦП

1.4.1. Визначення комбінаційних цифрових пристроїв

Логічні пристрої, вихідні функції котрих однозначно визначаються комбінацією вхідних логічних змінних в аналізованій момент часу, називаються комбінаційними (КЦП).

1.4.2. Аналіз КЦП

В процесі проектування будь-якого пристрою виконується ряд дій, що можна віднести до задач аналізу й синтезу.

Виконання задач аналізу КЦП припускає наявність готової функціональної схеми пристрою на логічних елементах заданого базису.

В процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, що виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодію; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів у результаті змагань (перегонів) та т. ін.

1.4.3. Синтез КЦП

Синтез КЦП передбачає побудову функціональної схеми пристрою, тобто визначення складу необхідних логічних елементів і з'єднань між ними, за яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умов роботи пристрою. В процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою.

Послідовність синтезу КЦП з одним виходом доцільно розбити на низку етапів:

- 1) Задання логічної функції, що визначає функціонування синтезованого КЦП. Це можна зробити словесно, за допомогою таблиць істинності або булевих виразів.
- 2) Мінімізація логічної функції, що здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча або карт Карно).
- 3) Запис булевого виразу мінімізованої перемикальної функції.
- 4) Перетворення булевого виразу мінімізованої ПФ для реалізації її у заданому базисі І-НЕ або АБО-НЕ.
- 5) Складання функціональної схеми КЦП, тобто зображення потрібних логічних елементів і зв'язків між ними.

Розглянемо особливості синтезу на прикладі КЦП з одним виходом.

Необхідно синтезувати на елементах І-НЕ КЦП на три входи, значення вихідного сигналу якого збігається зі значенням більшості вхідних сигналів.

Даний словесний опис задає логічну функцію «Мажоритарність». Її роботу відбиває таблиця істинності (табл. 18).

Таблиця 18. Таблиця істинності ЛЕ «Мажоритарність»

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Булевий вираз ПФ у ДДНФ має вигляд:

$$F = \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A} + C \cdot B \cdot A. \quad (38)$$

Мінімізуючи даний вираз, використовуючи тотожності й теореми булевої алгебри, отримаємо:

$$F = B \cdot A + C \cdot A + C \cdot B. \quad (39)$$

Перетворимо даний вираз для його реалізації у базисі І-НЕ. Застосовуючи теорему де Моргана, отримаємо

$$F = \overline{\overline{B \cdot A \cdot C \cdot A \cdot C \cdot B}}. \quad (40)$$

На рис. 27 наведено функціональну схему КЦП, що реалізує вираз (40) на елементах «І-НЕ».

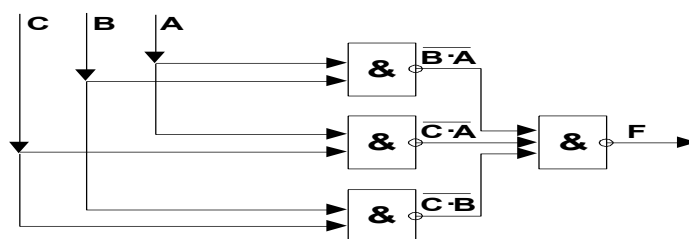


Рис. 27. Функціональна схема ЛЕ «Мажоритарність»

На практиці застосовуються КЦП, що мають декілька виходів. Під час проектування таких пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності декількох КЦП із загальними входами.

Функціонування КЦП із М-виходами задається аналогічною кількістю перемикальних функцій, над кожною з яких в процесі синтезу виконуються дії, описані вище.

2. Завдання на лабораторну роботу

Завдання на лабораторну роботу: за заданою таблицею істинності (табл. 19) синтезувати КЦП із трьома входами та одним виходом. Таблиця істинності обирається в залежності від номеру у списку групи.

Таблиця 19. Завдання на лабораторну роботу

A	B	C	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14
0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	1	1	1	1	1	1	0
0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1
0	1	1	0	0	1	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	1	0	0	0	0	0	1	0
A	B	C	F15	F16	F17	F18	F19	F20	F21	F22	F23	F24	F25	F26	F27	F28
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	0	0	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	1	1	1	0	0	0
1	0	1	0	1	0	0	0	1	0	0	1	0	0	1	1	0
1	1	0	0	0	1	0	0	0	1	0	0	1	0	1	0	1
1	1	1	0	0	0	1	0	0	0	1	0	0	1	0	1	1

3. Порядок виконання лабораторної роботи

1. За таблицею істинності (табл. 19) для цільової функції скласти ДДНФ та ДКНФ.
2. За можливістю спростити або мінімізувати отримані ДДНФ/ДКНФ.
3. Перевести ДДНФ/ДКНФ, які отримано у завданні 2, в базис І-НЕ (NAND), промоделювати схеми в MIKROCAP, подавши на входи всі можливі комбінації для перевірки правильності роботи схеми.
4. Перевести ДДНФ/ДКНФ, отримані в завданні 2, в базис АБО-НЕ (NOR), промоделювати схеми в MIKROCAP, подавши на входи всі можливі комбінації для перевірки правильності схеми.

5. Зробити відповідні висновки.

Приклад виконання роботи

1) Для студента із номером у списку групи 15 табл.19 буде мати вигляд:

A	B	C	F15
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

2) Записуємо вираз у ДДНФ:

$$F = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} \quad (41)$$

3) Спрощуємо вираз (41)

$$F = \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} = \bar{C}(\bar{A} \cdot B + A \cdot \bar{B}) \quad (42)$$

4) Переводимо вираз (42) до базису NAND:

$$F = \bar{C}(\bar{A} \cdot B + A \cdot \bar{B}) = \bar{C}(\overline{\overline{\bar{A} \cdot B + A \cdot \bar{B}}}) = \overline{\overline{\overline{\bar{C}(\bar{A} \cdot B + A \cdot \bar{B})}}} \quad (43)$$

Схему моделювання, яка реалізує вираз (43), наведено на рис. 28, а часові діаграми роботи – на рис. 29.

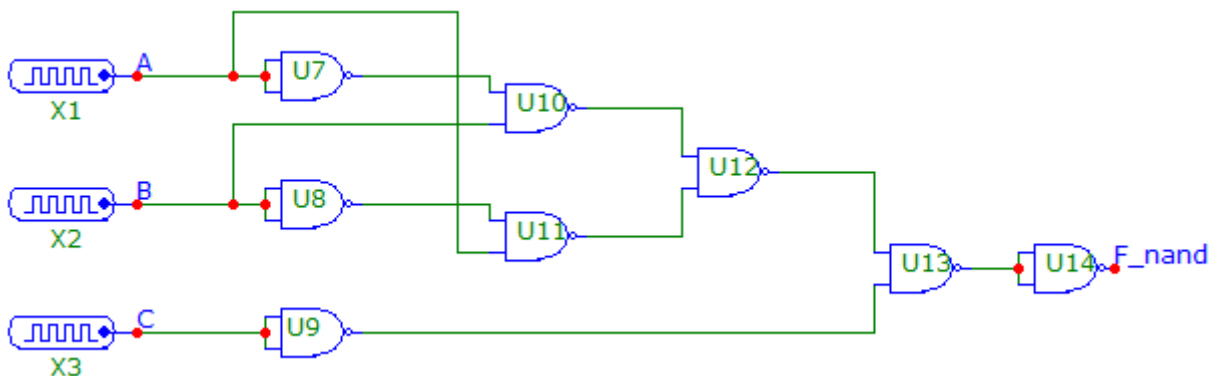


Рис. 28. Схema КЦП, яка реалізує вираз (43)

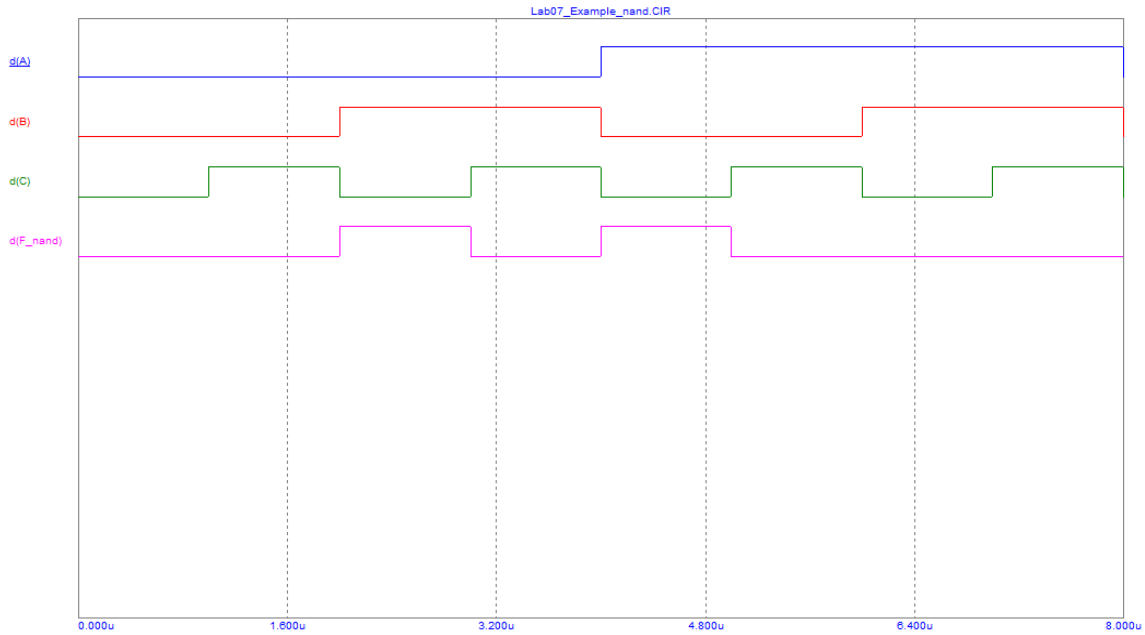


Рис. 29. Часові діаграми роботи схеми, яку наведено на рис. 28

5) Переводимо вираз (42) до базису NOR:

$$F = \overline{\overline{C}(\overline{A} \cdot B + A \cdot \overline{B})} = \overline{\overline{\overline{C}} + \overline{\overline{A} \cdot B} + \overline{\overline{A \cdot \overline{B}}}} = \overline{\overline{\overline{C}} + \overline{\overline{A} + \overline{B}} + \overline{\overline{A} + \overline{B} + \overline{C}}} = \overline{\overline{\overline{C}} + \overline{\overline{A} + \overline{B}} + \overline{\overline{A} + \overline{B} + \overline{C}}} = \overline{\overline{\overline{C}} + \overline{\overline{A} + \overline{B}} + \overline{\overline{A} + \overline{B} + \overline{C}}} \quad (44)$$

Схему, яка реалізує вираз (44) наведено на рис. 30, а часові діаграми роботи – на рис. 31.

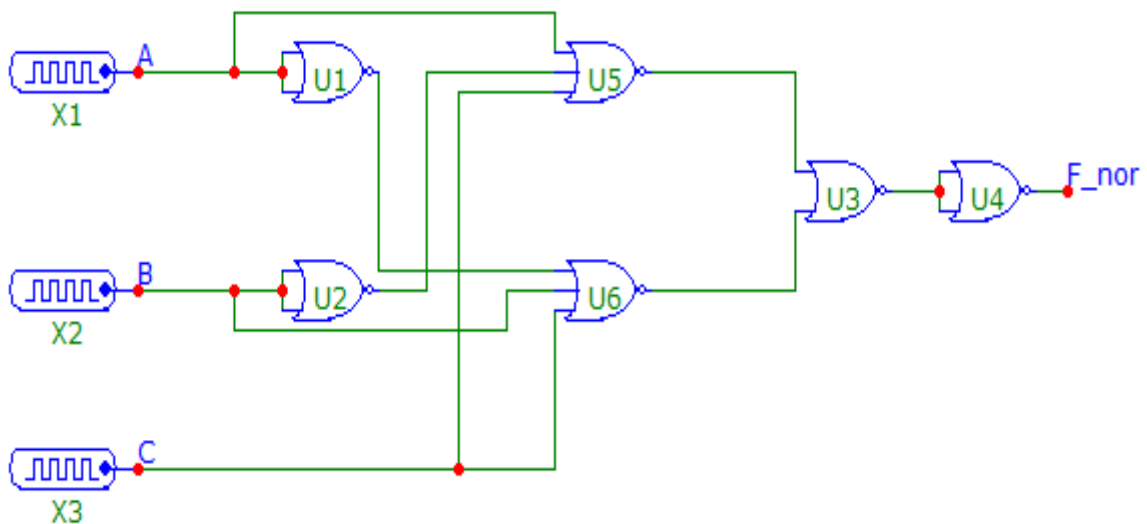


Рис. 30. Схема КЦП, яка реалізує вираз (44)

Примітка: при моделюванні в MIKROCAP схем, які наведено на рис. 28, 30, параметри: ZeroWidth і OneWidth кожного наступного генератора потрібно зменшувати вдвічі, для того, щоб збільшити частоту імпульсів в 2 рази. Як приклад, генератор X1 має значення кожного з вище вказаних параметрів 4u (4мкс), X2 – 2u, X3 – 1u.

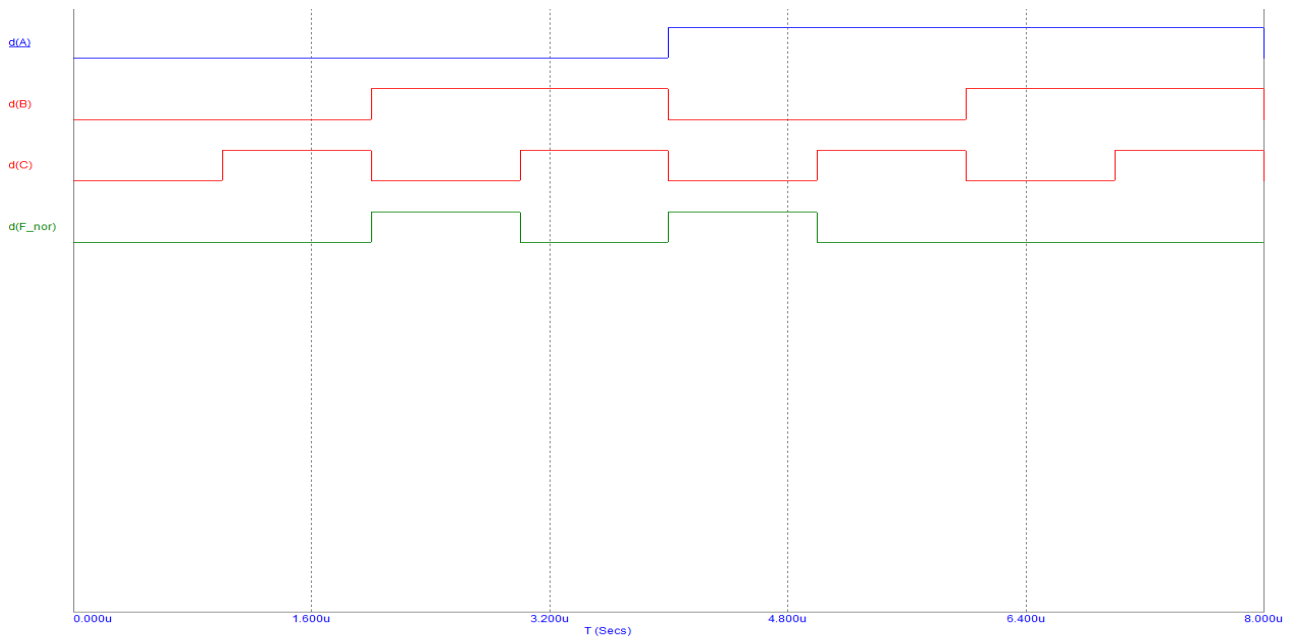


Рис. 31. Часові діаграми роботи схеми, яку наведено на рис. 30.

4. Контрольні питання

- 1) Дайте визначення поняттю перемикальна функція.
- 2) Назвіть способи задання ПФ.
- 3) Що таке мінімізація логічних функцій, які бувають види мінімізації?
- 4) Який принцип побудови діаграм Вейча (карт Карно)?
- 5) Наведіть умови, за яких ПФ вважається невизначеною.
- 6) Назвіть ціль мінімізації.
- 7) Яка основна відмінність карт Карно від діаграм Вейча?
- 8) Дайте визначення поняттю «логічний елемент».
- 9) Що таке інвертор? Яку логічну функцію він реалізує?
- 10) Яку логічну функцію виконує кон'юнктор?
- 11) Опишіть логіку роботи диз'юнктора. Яку логічну функцію він реалізує?
- 12) Яку логічну функцію реалізує повторювач? Для чого використовується повторювач?
- 13) Які логічні функції реалізують ЛЕ «І-НЕ», «АБО-НЕ»?
- 14) Чому ЛЕ «виключне АБО» має таку назву? Яку логічну функцію він реалізує?
- 15) Яка логіка роботи ЛЕ «непарність» та «парність»? Які логічні функції вони реалізують?
- 16) Які логічні функції реалізують ЛЕ «еквівалентність», «нееквівалентність», «І-АБО-НЕ», «заборона»?
- 17) Для чого використовуються ЛЕ з відкритим колектором?
- 18) Який принцип дії ЛЕ з третім станом? Для чого вони використовуються?

- 19) Назвіть базисні набори ЛЕ.
- 20) Наведіть приклади реалізації елементів «Рівнозначність», «Нерівнозначність» та «Заборона» у базисах І-НЕ та АБО-НЕ?
- 21) Який набір елементарних функцій називають базисним?
- 22) Назвіть принцип двоїстості булевої алгебри.
- 23) Назвіть основні тотожності та властивості булевої алгебри.
- 24) Дайте визначення диз'юнктивної нормальної форми, досконалої диз'юнктивної нормальної форми, кон'юнктивної нормальної форми, досконалої кон'юнктивної нормальної форми запису булевих виразів.
- 25) Наведіть та поясніть теорему де Моргана.
- 26) Які логічні пристрої називаються комбінаційними?
- 27) Опишіть коротко етапи синтезу КЦП.

ЛАБОРАТОРНА РОБОТА №8

Тема: Дослідження цифрових тригерів.

Мета: Дослідити принцип дії, основні властивості та характеристики цифрових тригерів. Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Загальна характеристика послідовних цифрових пристроїв

В цифровій електроніці існує група пристроїв, що містять елементи пам'яті. Тому їх вихідні сигнали в загальному випадку залежать не тільки від сигналів, прикладених до входів у даний момент часу, але і від сигналів, що впливають на них раніше. Оскільки наявність пам'яті дозволяє задавати послідовність виконання визначених логічних операцій, то такі логічні пристрої називаються послідовними цифровими електронними пристроями (ПЦЕП) [1; 2].

До них насамперед належать тригери, а також схеми, що виконуються на їх основі: регістри, лічильники, розподільники, напівпровідникові запам'ятовуючі пристрої (ЗП) і т. ін.

Розглянемо більш докладно основні цифрові тригери.

1.2. Цифрові тригери

1.2.1. Загальна характеристика цифрових тригерів

Тригером називається пристрій, що має два стійких стани рівноваги і може під дією керувальних сигналів швидко (стрибкоподібно) переходити з одного стану в інший. Під час вмикання напруги живлення і відсутності зовнішніх керувальних сигналів тригер довільно займає один з двох станів і може знаходитися в ньому як завгодно довго. Тригер є елементом пам'яті і може зберігати 1 біт інформації.

Існує чотири різновиди схемної реалізації (виконання) тригерів:

1. На дискретних компонентах з використанням транзисторів (напівпровідникові імпульсні тригери).
2. На ІМС ОП (тригери Шмітта).
3. На логічних елементах.
4. У вигляді спеціалізованої інтегральної мікросхеми.

Перші дві групи було розглянуто в лабораторній роботі 4. Нижче зупинимось більш докладно на двох останніх варіантах виконання тригерів – на цифрових тригерах.

В залежності від властивостей, кількості входів і функціонального призначення цифрові тригери можна розділити на декілька видів.

Насамперед, варто розрізнити не тактовані (асинхронні) і тактовані (синхронні) тригери. Зміна стану асинхронного тригера відбувається відразу ж після відповідної зміни потенціалів на його керувальних входах.

У синхронному тригері переключення під дією сигналів на керувальних входах може відбутися тільки в момент присутності відповідного сигналу на тактовому (синхро) вході.

Тактування може здійснюватися імпульсом (потенціалом) або фронтом (перепадом потенціалу). У першому випадку, сигнали на керувальних входах впливають на стан тригера тільки за дозволяючим потенціалом на тактовому вході. У другому випадку, вплив керувальних сигналів проявляється в момент переходу одиниця – нуль або нуль – одиниця на синхровході.

Існують також універсальні тригери, що можуть працювати як у синхронному, так і в асинхронному режимі.

Основними типами цифрових тригерів в залежності від функціонального призначення є: RS-тригери, T-тригери, D-тригери та JK-тригери.

1.2.2. Тригери на логічних елементах

1.2.2.1. Асинхронні RS-тригери

RS-тригери поділяються на асинхронні і синхронні.

Асинхронні RS-тригери можуть бути виконані на логічних елементах базисів «АБО-НЕ» та «І-НЕ».

Нижче наведено: принципову схему (рис. 1, а), позначення на електричних схемах (рис. 1, б) і таблицю істинності (табл. 1) асинхронного RS-тригера на логічних елементах «АБО-НЕ».

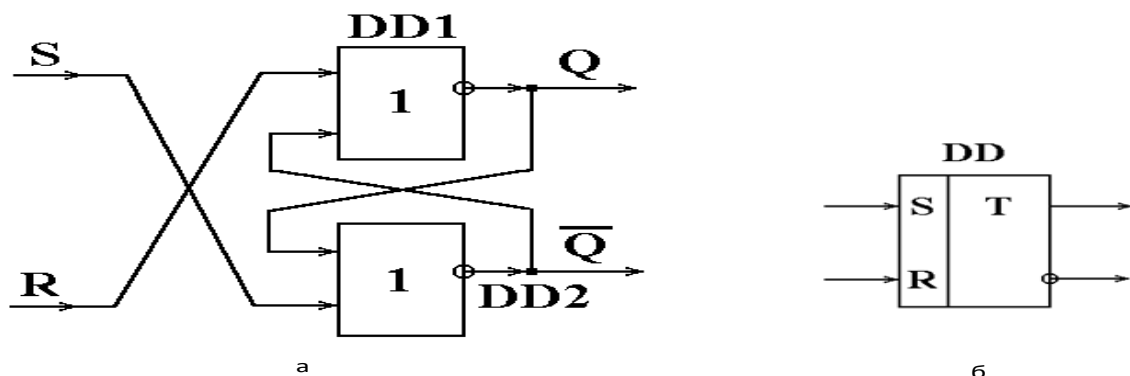


Рис. 1. Асинхронний RS-тригер:

а – схема на ЛЕ «АБО-НЕ»; б – позначення на електричних схемах

Таблиця 1. Таблиця істинності асинхронного RS-тригера на ЛЕ «АБО-НЕ»

Номер	S	R	Q^{t+1}
0	0	0	Q^t
1	0	1	0
2	1	0	1
3	1	1	Не визначене

В табл. 1 прийняті такі позначення: R і S – сигнали на входах тригера; Q^t – вихідний сигнал тригера до надходження вхідних керувальних сигналів; Q^{t+1} – вихідний сигнал після впливу керувальних сигналів.

Тригер називається асинхронним, тому що він переходить у новий стан негайно після зміни комбінації вхідних сигналів. Входи S і R названі за першими буквами англійських слів Set – встановлення і Reset – попереднє встановлення (скидання).

Тригер встановлюється в одиницю ($Q = 1$; $\bar{Q} = 0$) за комбінацією вхідних сигналів: $S = 1$; $R = 0$. Скидання в нуль ($Q = 0$; $\bar{Q} = 1$) відбувається за $S = 0$; $R = 1$. Якщо $S = R = 0$, то стан схеми не змінюється ($Q^{t+1} = Q^t$). Комбінація $S = R = 1$, заборонена, тому що становище тригера в цьому випадку не визначене.

В схемі виконується умова виникнення стрибків: баланс фаз (тригер містить ДЗЗ) і баланс амплітуд (сумарне підсилення схеми більше сумарного згасання, внесеного пасивними елементами). Тому під час зміни вхідних керувальних сигналів тригер швидко (лавиноподібно) змінює свій стан. Під час вмикання живлення і пасивного значення керувальних сигналів $R = S = 0$ схема займає довільний стан (нульовий $Q = 0$; $\bar{Q} = 1$ або одиничний – $Q = 1$; $\bar{Q} = 0$).

Для проектування RS-тригера можуть бути використані також логічні елементи базису «І-НЕ».

Нижче наведено: принципову схему (рис. 2, а), позначення на електричних схемах (рис. 2, б) і таблицю істинності (табл. 2) асинхронного RS-тригера на логічних елементах «І-НЕ».

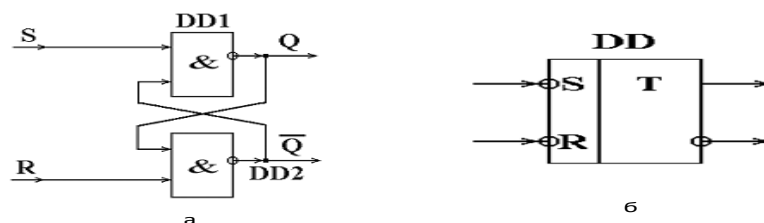


Рис. 2. Асинхронний RS-тригер: а – схема на ЛЕ «І-НЕ»; б – позначення на електричних схемах

Таблиця 2. Таблиця істинності асинхронного RS-тригера на ЛЕ «І-НЕ»

№	S	R	Q^{t+1}
0	0	0	Невизначеність
1	0	1	1
2	1	0	0
3	1	1	Q^t

Відмінність цього тригера від попереднього складається в тому, що активним значенням керувальних сигналів є логічний нуль, а пасивним – логічна одиниця.

1.2.2.2. Синхронні RS-тригери

В результаті явища «змагань» («перегонів») в цифрових пристроях на входах асинхронного RS-тригера тимчасово можуть з'являтися помилкові комбінації, що викликають помилкові спрацьовування (переключення) схеми і будуть помилково зафіксовані логічним пристроєм опрацювання вихідних сигналів тригера.

Для усунення цієї похибки використовують синхронні RS-тригери, що містять додатковий тактовий (синхро) вхід.

Синхронні RS-тригери поділяються на: одноступеневі (однотактні); двоступеневі (двотактні).

Нижче наведено: позначення на електричних схемах (рис. 3, а) і принципові схеми (рис. 3, б, в) однотактного синхронного RS-тригера.

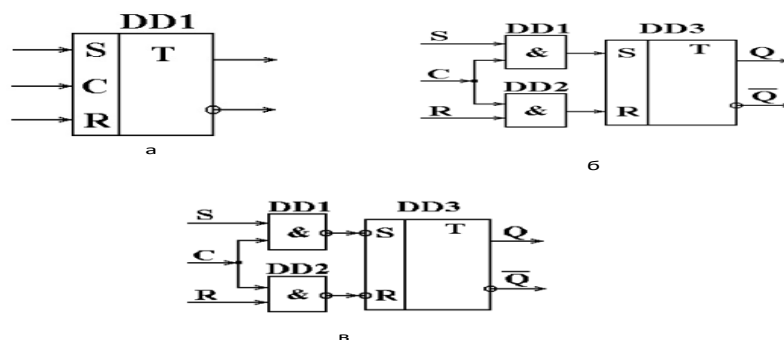


Рис. 3. Однотактний синхронний RS-тригер: а – позначення на електричних схемах;

б – схема на ЛЕ «І»; в – схема на ЛЕ «І-НЕ»

Однотактний синхронний RS-тригер (рис. 3, б, в) включає асинхронний RS-тригер DD3 і два додаткових логічних елементи DD1, DD2: «І» (рис. 3, б) або «І-НЕ» (рис. 3, в).

Більш кращою є друга схема (рис. 3, в), тому що вона містить елементи одного базису «І-НЕ».

Однотактний (одноступеневий) синхронний RS-тригер тактується (синхронізується) потенціалом або одиничним імпульсом на вході С.

Часто потрібно здійснювати переключення тригера перепадом потенціалу на його синхровході С із одиниці в нуль або з нуля в одиницю (зрізом або фронтом вхідного імпульсу). Синхронний RS-тригер, що має таку спроможність, називається двоступеневим (двотактним).

Нижче наведено: позначення на електричних схемах (рис. 4, а) і принципову схему (рис. 4, б) двотактного синхронного RS-тригера, що переключається перепадом із одиниці в нуль на динамічному тактовому (синхро) вході.

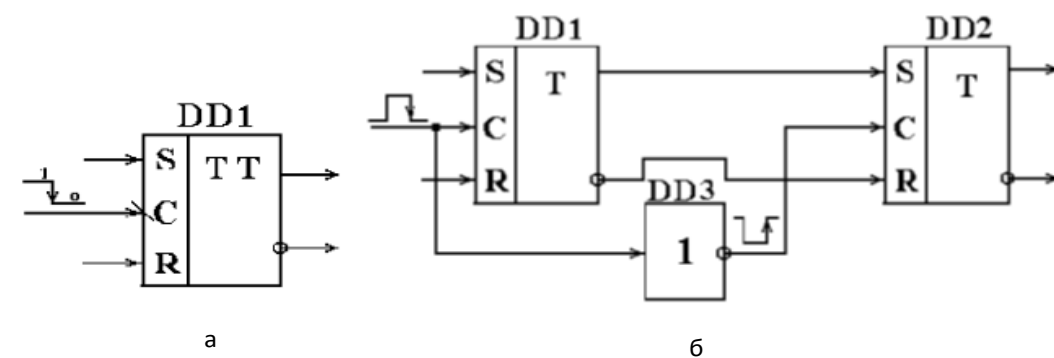


Рис. 4. Двотактний синхронний RS-тригер:
а – позначення на схемах; б – функціональна схема

Тригер виконано на двох однотактних синхронних RS-тригерах, розглянутих вище, і інверторі DD3. Вхід С (рис. 4, а) називається динамічним, тому що активним сигналом на ньому є перепад із одиниці в нуль. Переключення тригера відбувається за два такти: в першому такті вхідна інформація записується в перший тригер DD1, а стан другого тригера DD2 не змінюється, тому що на його синхровхід з виходу інвертора подається нульовий імпульс. В другому такті в момент закінчення одиничного імпульсу на вході тригера (за перепадом з одиниці в нуль) з виходу інвертора на синхровхід тригера DD2 починає надходити одиничний потенціал і інформація з першого тригера DD1 переписується в другий тригер DD2. У такий спосіб стан виходу змінюється лише в момент перепаду з одиниці в нуль вхідного синхросигналу.

Нижче наведено: позначення на електричних схемах (рис. 5, а) і принципову схему (рис. 5, б) двотактного синхронного RS-тригера, що переключається перепадом з нуля в одиницю на динамічному синхровході.

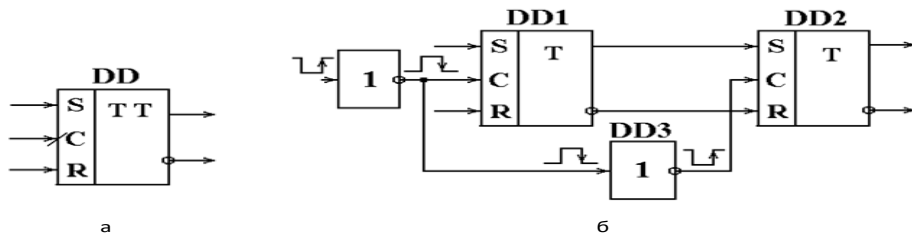


Рис. 5. Двотактний синхронний RS-тригер:
а – позначення на схемах; б – функціональна схема

1.2.2.3. Т-тригери

Такий тригер містить рахунковий (лічильний) вхід, що позначається буквою Т, і переключається кожним імпульсом на Т-вході.

Нижче наведено: позначення на електричних схемах (рис. 6, а, б) і функціональну схему (рис. 6, в) Т-тригера, що переключається перепадом із одиниці в нуль кожного вхідного імпульсу.

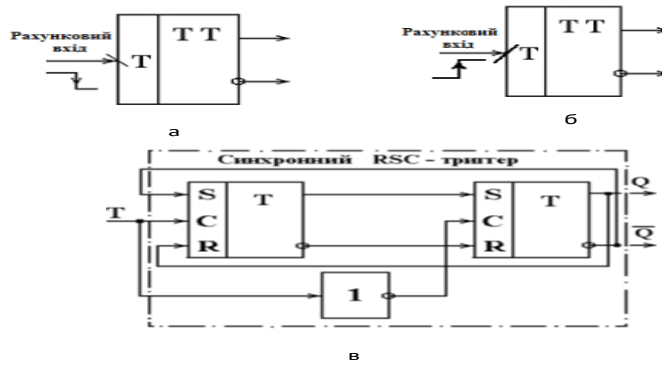


Рис. 6. Т-тригер: а, б – позначення на електричних схемах; в – функціональна схема

Тригер виконано на основі синхронного двоступеневого RSC-тригера з динамічним синхровходом, охопленого двома зворотними зв'язками.

В момент зрізу рахункових вхідних імпульсів тригер переключається в протилежний стан $Q^{t+1} = \bar{Q}^t$. На рис. 7 наведено часові діаграми, що пояснюють роботу Т-тригера.

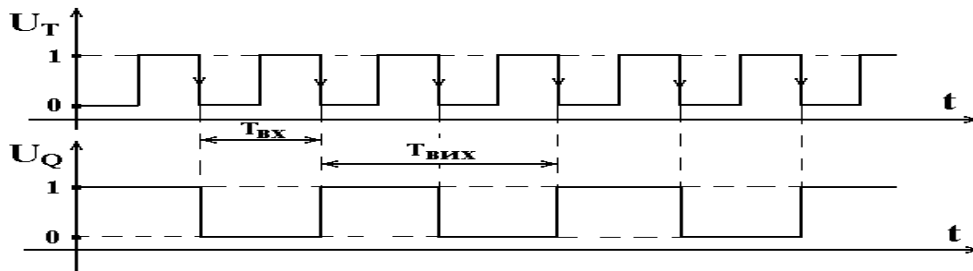


Рис. 7. Часові діаграми роботи Т-тригера

Вихідний стан схеми – одиничний ($U_Q = 1$). Зрізом кожного рахункового імпульсу вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів $T_{\text{вих}} = 2T_{\text{вх}}$, а частота $f_{\text{вих}} = f_{\text{вх}}/2$. Тобто Т-тригер ділить вхідну частоту на два.

На рис. 6, б наведено позначення на електричних схемах Т-тригера, що переключається перепадом з нуля в одиницю на лічильному вході.

1.2.2.4. D-тригери

D-тригери (тригери затримки) містять інформаційний вхід – D і тактовий вхід – C (рис. 8).

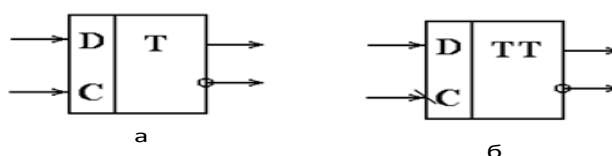


Рис. 8 – Позначення D-тригера на електричних схемах:
а – одноктактного; б – двотактного

Існують одноктактні D-тригери, що переключаються потенціалом або імпульсом на тактовому вході (рис. 8, а), і двотактні D-тригери, що переключаються динамічним синхросигналом (перепадом), наприклад, з одиниці в нуль (рис. 7, б).

Нижче наведено: принципову схему (рис. 9, а) і часові діаграми роботи (рис. 9, б) одноктактного D-тригера, виконаного на одноктактному синхронному RS-тригері (RSC-тригері – DD1) і логічному елементі DD2 (інверторі).

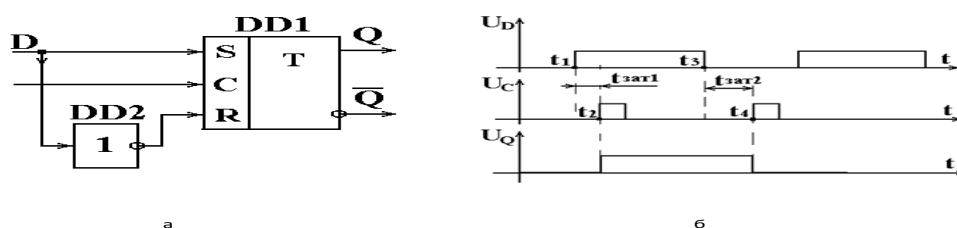


Рис. 9. Одноктактний D-тригер:
а – функціональна схема; б – часові діаграми роботи

В момент надходження тактового імпульсу D-тригер переключається в стан, обумовлений сигналом на інформаційному вході D, тобто схема запам'ятовує сигнал на вході D в момент надходження синхроімпульсу ($Q^{t+1} = D$) і зберігає його до наступного тактового імпульсу.

Затримка дорівнює інтервалу часу між моментами приходу інформаційного сигналу на D-вхід і надходженням синхросигналу на C-вхід: $t_{3AT1} = t_2 - t_1$; $t_{3AT2} = t_4 - t_3$ (рис. 9, б).

D-тригери широко застосовуються в якості елементів пам'яті, спроможних зберігати 1 біт інформації.

Нижче наведено: позначення на електричних схемах (рис. 10, а) і функціональну схему (рис. 10, б) двотактного D-тригера, що переключується перепадом з одиниці в нуль на динамічному синхровході – С.

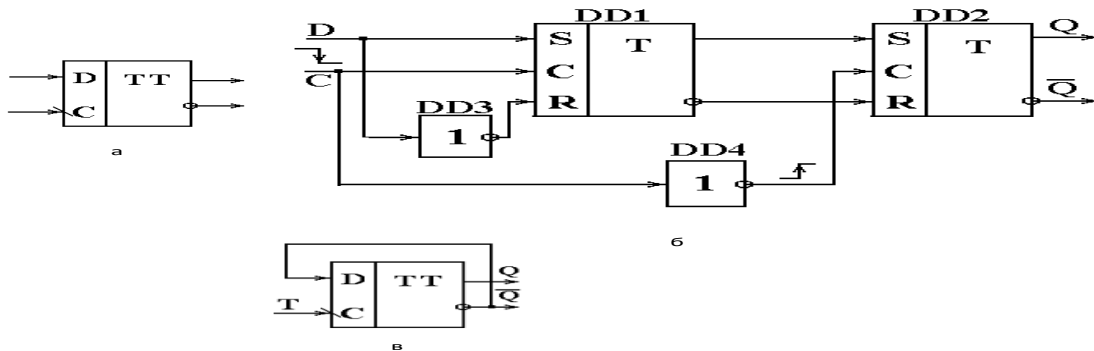


Рис. 10. Двотактний D-тригер: а – позначення на електричних схемах; б – функціональна схема; в – реалізація Т-тригера на D-тригері

Тригер виконано на основі двох одностактних RSC-тригерів (DD1, DD2) і двох інверторів (DD3, DD4).

D-тригер можна використовувати в якості тригера з рахунковим входом (Т-тригера), якщо з'єднати його виводи як показано на рис. 10, в.

1.2.2.5. JK-тригери

JK-тригери найбільш універсальні серед синхронних тригерів.

Нижче наведено: позначення на електричних схемах (рис. 11, а), принципову схему (рис. 11, б), таблицю істинності (табл. 3) і часову діаграму роботи (рис. 11, в) двотактного синхронного JK-тригера, що переключується перепадом з 1 в 0 на динамічному синхровході – С.

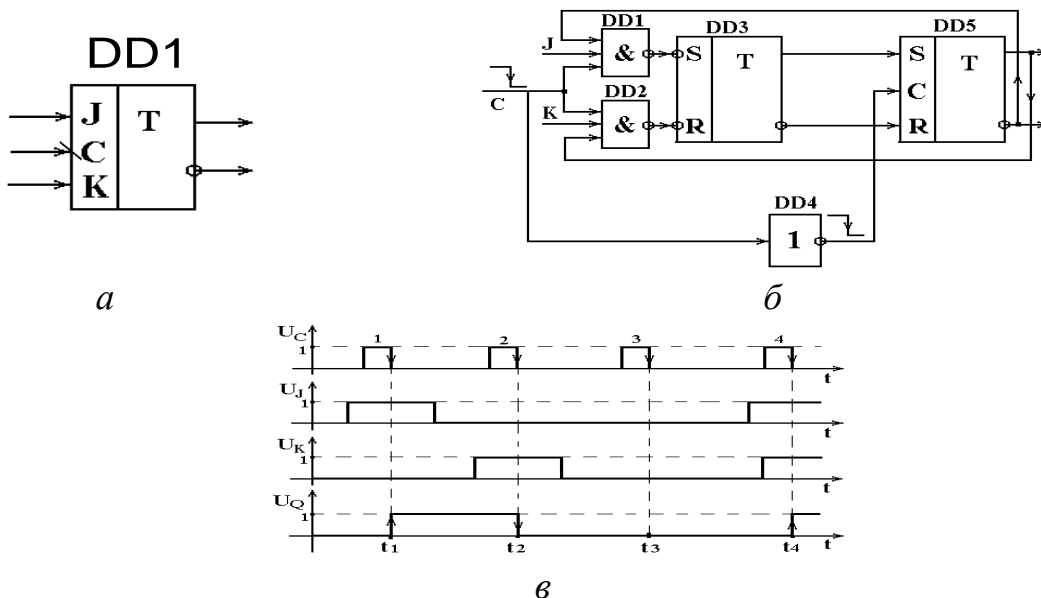


Рис. 11. Двотактний JK-тригер: а – позначення на схемах; б – функціональна схема; в – часові діаграми роботи

Таблиця 3. Таблиця істинності JK-тригера

№ набору	J	K	C	Q^{t+1}
0	0	0	\downarrow	Q^t
1	0	1	\downarrow	0
2	1	0	\downarrow	1
3	1	1	\downarrow	$\overline{Q^t}$

Розглянемо роботу JK-тригера. Початковий стан схеми – нульовий ($U_Q = 0$) (рис. 11, в). Під час надходження зрізу першого тактового імпульсу (момент t_1) сигнал на J-вході дорівнює одиниці, а на K-вході – нулю. Тому тригер переключиться в одиничний стан.

Зрізом другого тактового імпульсу схема переключиться в нульовий стан (момент t_2), тому що в цей час $J = 0$, а $K = 1$. В момент t_3 обидва керувальні сигнали $J = K = 0$, тому стан схеми не змінюється ($Q^{t+1} = Q^t$).

Під час надходження зрізу 4-го синхроімпульсу (момент t_4) $J = K = 1$, тому тригер переключиться в становище, протилежне початковому, $Q^{t+1} = \overline{Q^t}$.

На основі універсального JK-тригера може бути побудовано ряд інших тригерів.

Синхронний RS-тригер на JK-тригері. Ототожнимо $J = S$ і $K = R$. У разі заборони комбінації $J = S = 1$ і $K = R = 1$ табл. 3 зводиться до таблиці істинності RS-тригера (табл. 1). Тому розглянута схема (рис. 11) може використовуватися в якості двотактного синхронного RS-тригера.

T-тригер на JK-тригері. В ньому використовується тільки 4-й рядок табл. 3. Для цього входи J і K приєднуються до потенціалу, що відповідає логічній одиниці: $J = K = 1$ (рис. 12, а).

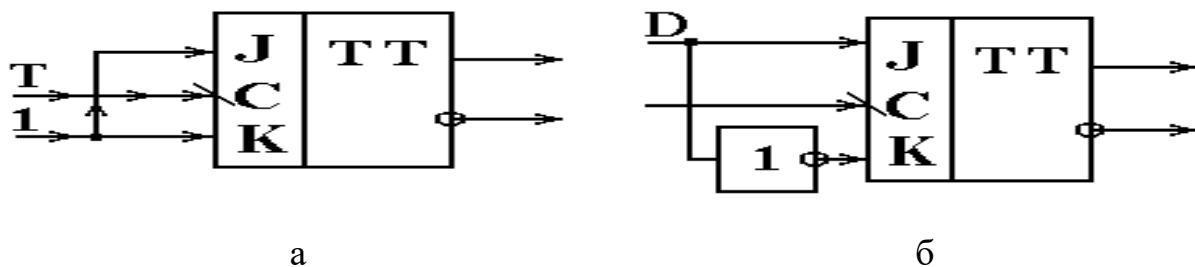


Рис. 12. Реалізація на JK-тригері: а – T-тригера; б – D-тригера

D-тригер на JK-тригері. В цьому тригері $J = \bar{K} = D$, тобто крім тактового є тільки один вхід D (рис. 12, б). З табл. 3 (2-й і 3-й рядки) видно, що в D-тригері $Q^{T+1} = D$, тобто останній запам'ятовує сигнал на вході D в момент зрізу тактового імпульсу і зберігає його до наступного синхросигналу.

1.2.3. Тригери в інтегральному виконанні

В сучасних серіях ІМС є велика кількість різноманітних тригерів [1; 11].

Нижче, як приклад, наведено позначення на електричних схемах двох тригерів, що випускаються у вигляді ІМС (рис. 13).

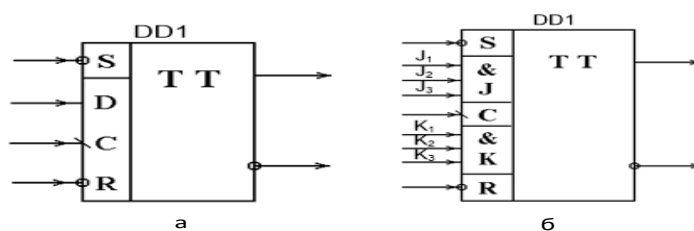


Рис. 13. Тригери у інтегральному виконанні: а – мікросхема SN74LS74N; б – мікросхема 74LS72

Мікросхема SN74LS74N включає два двотактних синхронних D-тригери з додатковими S- і R- входами для асинхронного встановлення схеми у початковий стан (рис. 13, а). Активними сигналами на S- і R-входах є низькі рівні напруг (логічні нулі).

Мікросхема 74LS72 (рис. 13, б) містить один двотактний синхронний JK-тригер, який має два асинхронних R- і S-входи для встановлення схеми у початковий стан і два додаткових тривходових кон'юнктори, які вбудовано в середину мікросхеми на J- і K-входах.

Додаткові кон'юнктори реалізують логічні функції:

$$\begin{aligned} J &= J_1 \cdot J_2 \cdot J_3, \\ K &= K_1 \cdot K_2 \cdot K_3. \end{aligned} \quad (1)$$

2. Моделювання цифрових тригерів

2.1. Схема 1. Асинхронний RS-тригер на елементній базі NOR (АБО-НЕ)

Нижче наведено схему асинхронного RS-тригера на елементній базі NOR (АБО-НЕ), яку зібрано у середовищі MicroCap: *lab0801_async RS-nor.cir* (рис. 14).

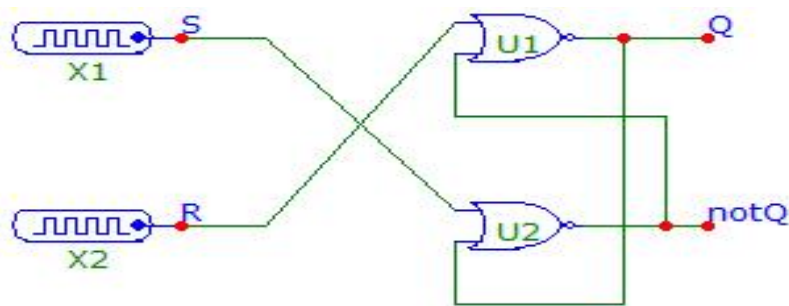


Рис. 14. Схема асинхронного RS-тригера на елементній базі NOR (АБО-НЕ)

Параметри схеми:

- 1) X1 (Digital Primitives → Stimulus Generators → DClock):
 Param: ZEROWIDTH = 1u;
 Param: ONEWIDTH = 1u;
- 2) X2 (DClock):
 Param: ZEROWIDTH = 2u;
 Param: ONEWIDTH = 2u;
- 3) U1, U2 (Digital Primitives → Standart Gates → Nor Gates → Nor2):
 TIMING MODEL = D0_GATE.

Результат досліду

Нижче на рис. 15 наведено часові діаграми роботи схеми, яку наведено на рис. 14.

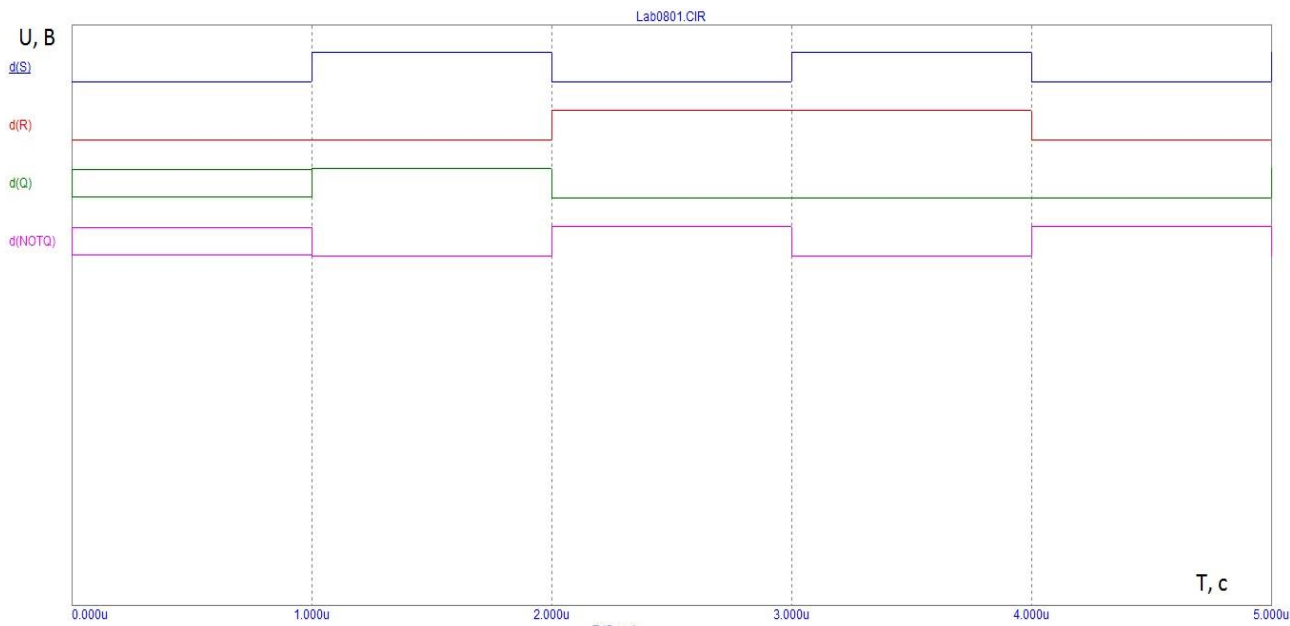


Рис. 15. Часові діаграми роботи схеми, яку наведено на рис. 14

В даному тригері активним значенням керувальних сигналів є логічна одиниця, а пасивним – логічний нуль, що ілюструє табл. 1. Початкове значення цифрових виходів $D_Q(t)$, $D_{\text{not}Q}(t)$ може бути одиниця або нуль та встановлюється випадково. Значення керувальних сигналів $R = S = 1$ для цього тригера є забороненим. Але, як видно з рис.15, за $R = S = 1$ вихідний сигнал $Q = \bar{Q} = 0$, що для робочого стану тригера є неможливим та є похибкою моделювання. Як відомо, у тригера, який працює нормально, цифрові сигнали на виходах Q та \bar{Q} повинні мати протилежні значення.

2.2. Схема 2. Асинхронний RS-тригер на елементній базі NAND (I-HE)

Нижче наведено схему асинхронного RS-тригера на елементній базі NAND (I-HE), яку зібрано у середовищі MicroCap: lab0802_async RS- nand.cir (рис. 16).

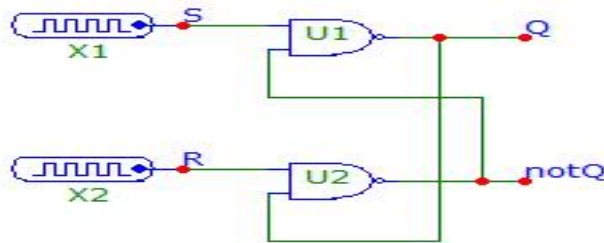


Рис. 16. Схема асинхронного RS-тригера на елементній базі NAND (I-HE)

Параметри схеми:

- 1) X1 (DClock):
 Param: ZEROWIDTH = 1u;
 Param: ONEWIDTH = 1u;
- 2) X2 (DClock):
 Param: ZEROWIDTH = 2u;
 Param: ONEWIDTH = 2u;
- 3) U1, U2 (Digital Primitives → Standart Gates → Nand Gates → Nand2):
 TIMING MODEL = D0_GATE.

Результат дослідів

Нижче на рис. 17 наведено часові діаграми роботи схеми, яку наведено на рис. 16.

В даному тригері активним значенням керувальних сигналів є логічний нуль, а пасивним – логічна одиниця, що ілюструє табл. 2.

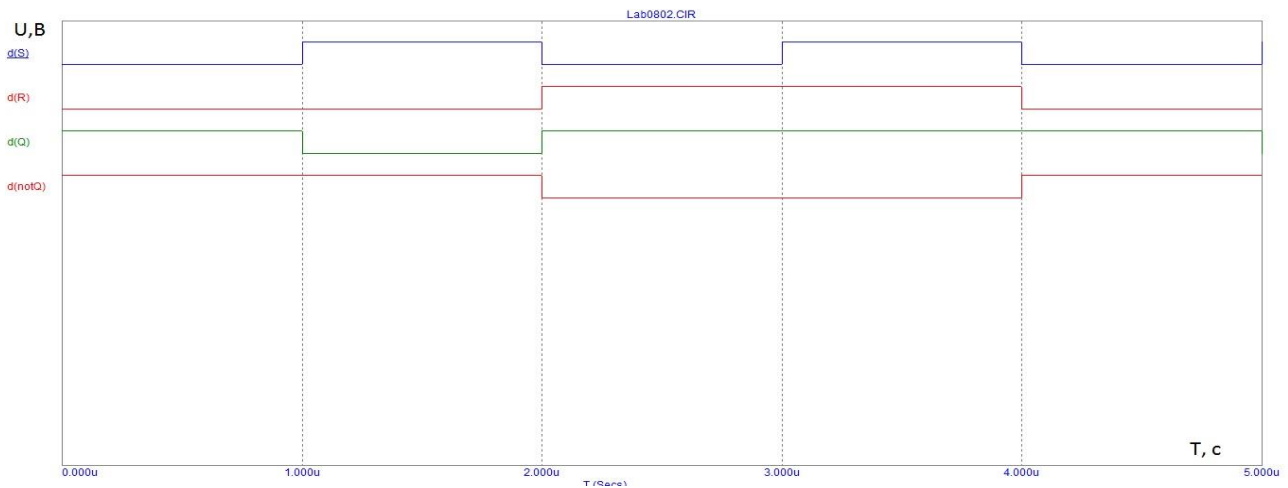


Рис. 17. Часові діаграми роботи схеми, яку наведено на рис. 16

Значення керувальних сигналів $R = S = 0$ для цього тригера є забороненим. Але, як видно з рис. 17, за $R = S = 0$ вихідний сигнал $Q = \bar{Q} = 1$, що для робочого стану тригера є неможливим та є похибкою моделювання. Як відомо, у тригера, який працює нормально, цифрові сигнали на виходах Q та \bar{Q} повинні мати протилежні значення.

2.3. Схема 3. Однотактний синхронний RSC-тригер

Нижче наведено схему однотактного синхронного RSC-тригера, яку зібрано у середовищі MicroCap: *lab0803_RSC.cir* (рис. 18).

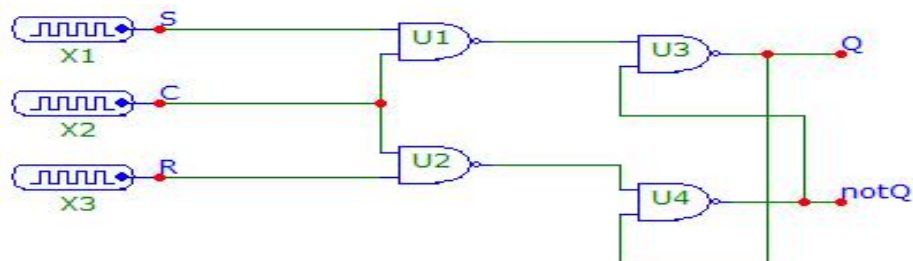


Рис. 18. Схема синхронного однотактного RS-тригера

Параметри схеми:

- 1) X1 (DClock):
 Param: ZEROWIDTH = 1u;
 Param: ONEWIDTH = 1u;
- 2) X2 (DClock):
 Param: ZEROWIDTH = 4u;
 Param: ONEWIDTH = 4u;
- 3) X3 (DClock):
 Param: ZEROWIDTH = 2u;
 Param: ONEWIDTH = 2u;

4) U1...U4 (Nand2):

TIMING MODEL = D0_GATE.

Результат дослід

Нижче на рис. 19 наведено часові діаграми роботи схеми, яку наведено на рис. 18.

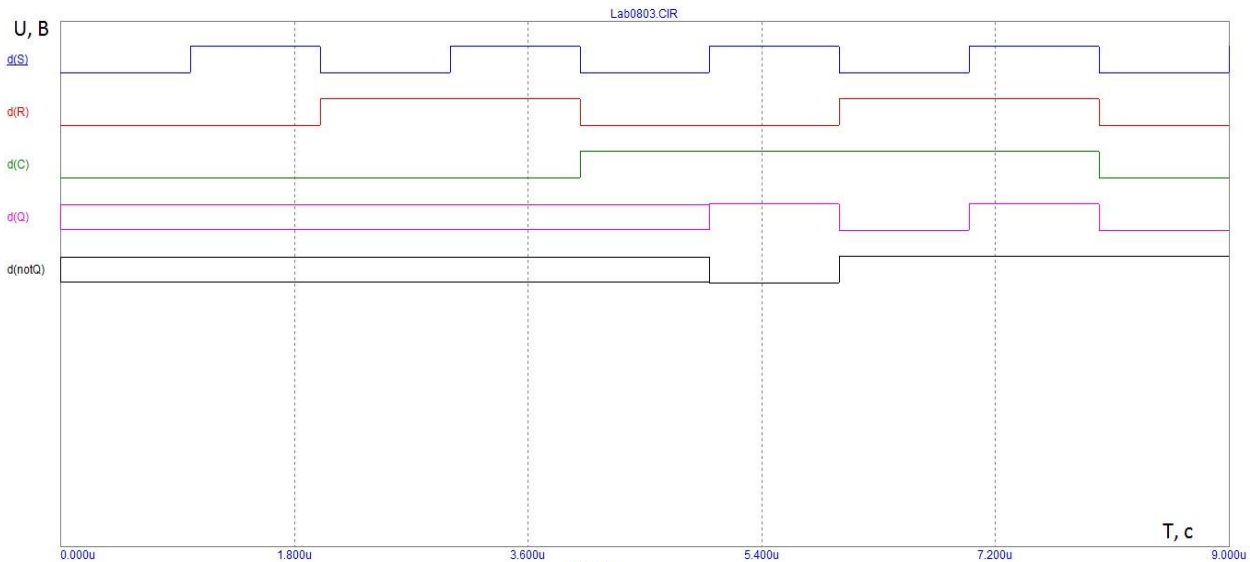


Рис. 19. Часові діаграми роботи схеми, яку наведено на рис. 18

Даний тригер тактується (синхронізується) додатним потенціалом або одиничним імпульсом на вході С (зелена характеристика). Значення цифрових виходів на певному етапі (від 0 до 4,5 с) $D_Q(t)$, $D_{notQ}(t)$ може бути одиниця або нуль та встановлюється випадково. Зміна стану тригера відбувається за одиничним сигналом на вході С та визначається керувальними сигналами на входах R та S.

2.4. Схема 4. Т-тригер (тригер з рахунковим входом)

Нижче наведено приклад схеми Т-тригера (тригера з рахунковим входом), яку зібрано у середовищі MicroCap: *lab0804_T.cir* (рис. 20).

Параметри схеми:

- 1) X2 (DClock): Param: ZEROWIDTH = 250n; Param: ONEWIDTH = 250n;
- 2) U1...U4, U6...U9 (Nand2): TIMING MODEL = D0_GATE;
- 3) U5, U21 (Inverter): TIMING MODEL = D0_GATE;
- 4) U14, U20 (And2): TIMING MODEL = D0_GATE;
- 5) U15, U19 (Or2): TIMING MODEL = D0_GATE;
- 6) U18 (1-Bit Digital Stimulus): Command = 0 0 250n 1 (перше та третє число означає час, на якому змінюється значення сигналу).

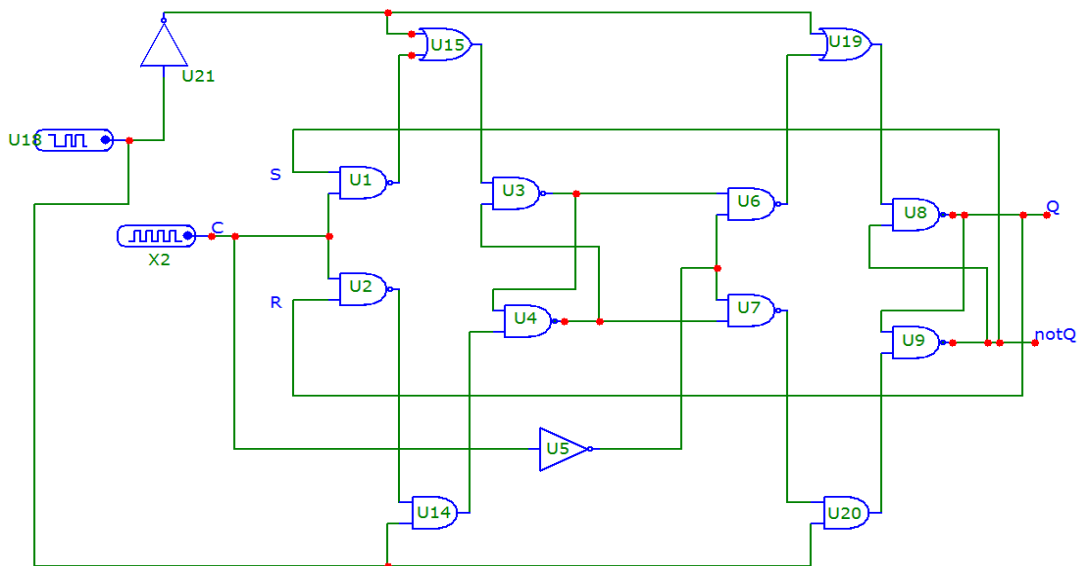


Рис. 20. Схема Т-тригера (тригера з рахунковим входом)

На рис. 21 наведено графік сигналу на виході блоку U18.

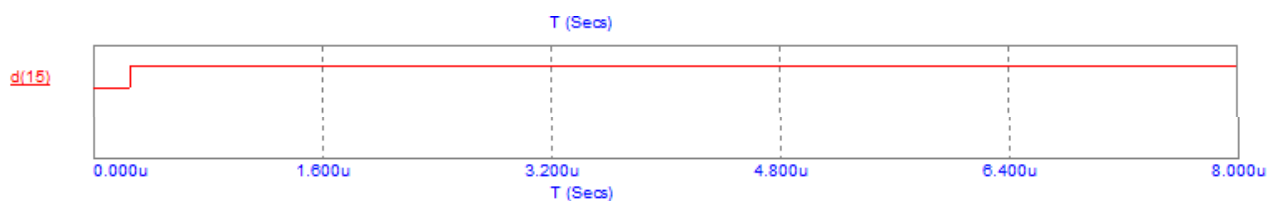


Рис. 21. Графік сигналу на виході блоку U18 (1-Bit Digital Stimulus)

Тобто від 0 до 250 мкс значення буде нуль, після – завжди одиниця. Даний тригер виконано на основі синхронного двоступінчастого RSC-тригера з динамічним синхрвходом, який охоплено двома зворотними зв'язками, що складається з двох асинхронних RS-тригерів. На початковому етапі нам необхідно задати початковий стан для двох тригерів (встановити нульовий стан). Для цього необхідно на S подати одиницю, а на R – 0.

Так як $X \& 0 = 0$; $X + 0 = X$; $X \& 1 = X$; $X + 1 = 1$, то за таким виконанням схеми не важливо 0 чи 1 приходить на U15, U19 від U1 та U6 відповідно – на виході буде завжди одиниця, якщо інший сигнал на перших двох входах – одиниця. Аналогічно не важливо нуль чи одиниця приходить на U14, U20 від U2 та U7 відповідно – на виході буде завжди нуль, якщо інший сигнал – на перших двох входах – нуль. Після того як U18 буде генерувати одиницю – значення на виходах U15, U19 будуть рівні значенням U1 та U6 відповідно, а на U14, U20 – U2 та U7 відповідно.

Результат дослідів

Нижче на рис. 22 наведено часові діаграми роботи схеми, яку наведено на рис. 20.

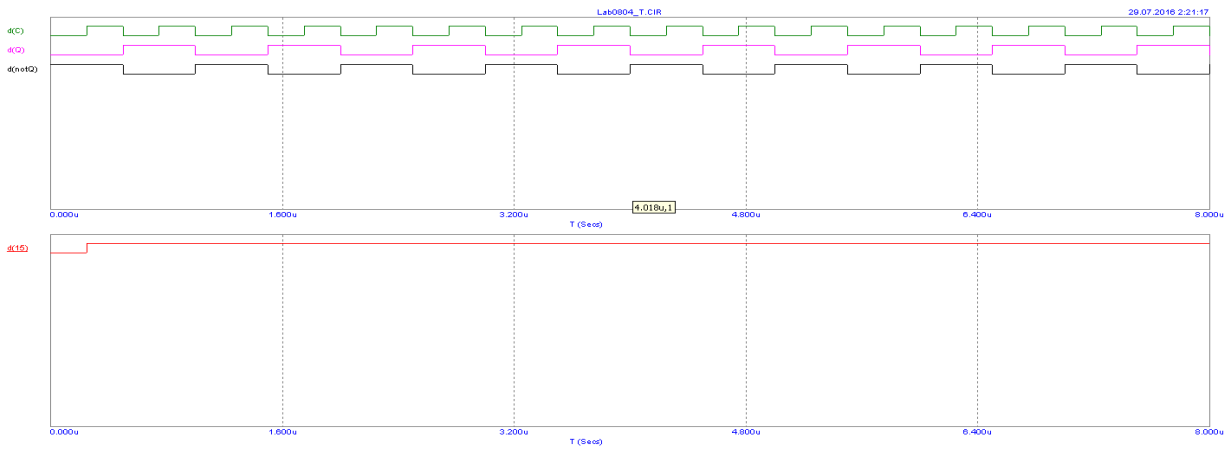


Рис. 22. Часові діаграми роботи схеми Т-тригера, яку наведено на рис. 20

Початковий стан схеми – нульовий ($U_Q = 0$). Зрізом (заднім фронтом) кожного лічильного імпульсу на вході С вихідний сигнал змінює своє значення на протилежне. Період вихідних імпульсів $T_{\text{ВИХ}} = 2 T_{\text{ВХ}}$, а частота $f_{\text{ВИХ}} = f_{\text{ВХ}}/2$, тобто Т-тригер ділить вхідну частоту на 2. Окрім використання у подільниках частоти, Т-тригери використовуються у лічильниках.

2.5. Схема 5. Однотактний синхронний D-тригер

Нижче наведено схему однотактного синхронного D-тригера, яку зібрано у середовищі MicroCap: *lab0805_D.cir* (рис. 23).

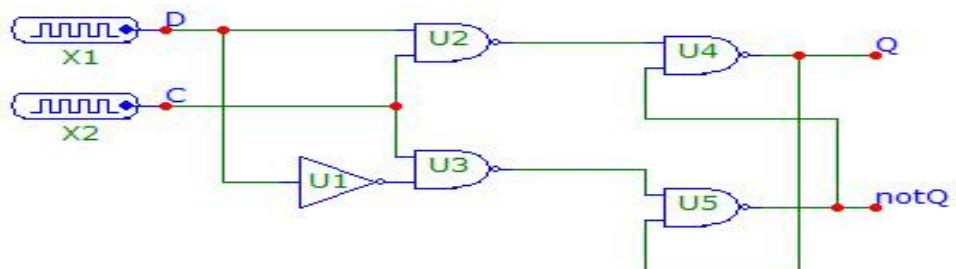


Рис. 23. Схема однотактного синхронного D-тригера

Параметри схеми:

- 1) X1 (DClock): Param: ZEROWIDTH = 1u; Param: ONEWIDTH = 1u;
- 2) X2 (DClock): Param: ZEROWIDTH = 4u; Param: ONEWIDTH = 4u;
- 3) U1 (Inverter): TIMING MODEL = D0_GATE;
- 4) U2...U5 (Nand2): TIMING MODEL = D0_GATE.

Результат дослідження

Нижче на рис. 24 наведено часові діаграми роботи схеми, яку наведено на рис. 23.

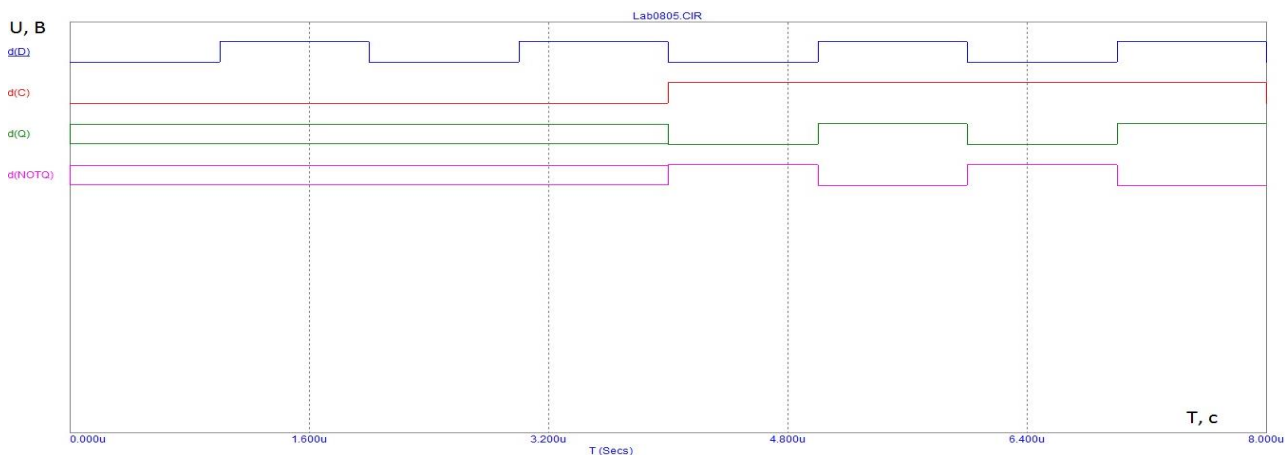


Рис. 24. Часові діаграми роботи схеми D-тригера, яку наведено на рис. 23

Даний тригер змінює свій стан під час імпульсу на тактовому вході. В момент надходження тактового імпульсу D-тригер переключється в стан, обумовлений сигналом на інформаційному вході D. Тобто схема запам'ятовує сигнал на вході D у момент надходження синхроімпульсу ($Q^{t+1} = D$) і береже його до наступного тактового імпульсу. D-тригер називають також тригером затримки. Затримка дорівнює інтервалу часу між моментами приходу інформаційного сигналу на D-вхід і надходженням синхросигналу на C-вхід. Значення цифрових виходів на певному етапі (від 0 до 4 с) $D_Q(t)$, $D_{\text{not}Q}(t)$ може бути одиниця або нуль та встановлюється випадково.

3. Порядок виконання роботи

1) Схема 1. Дослідження асинхронного RS-тригера на елементній базі NOR (АБО-НЕ):

а) зняти та проаналізувати залежність цифрових виходів Q та \bar{Q} асинхронного RS-тригера від часу за всіх можливих комбінаціях цифрових входів R та S . Приклад характеристик наведено на рис. 15.

2) Схема 2. Дослідження асинхронного RS-тригера на елементній базі NAND (І-НЕ):

а) зняти та проаналізувати залежність цифрових виходів Q та \bar{Q} асинхронного RS-тригера від часу за всіх можливих комбінаціях цифрових входів R та S . Приклад характеристик наведено на рис. 17.

3) Схема 3. Дослідження одноклапкового синхронного RSC-тригера:

а) зняти та проаналізувати залежність цифрових виходів Q та \bar{Q} одноклапкового синхронного RSC-тригера від часу за всіх можливих комбінаціях цифрових входів R , S та C . Приклад характеристик наведено на рис. 19.

4) Схема 4. Дослідження схеми Т-тригера (тригера з рахунковим входом):

а) зняти та проаналізувати залежність цифрових виходів Q та \bar{Q} Т-тригера (тригера з рахунковим входом) від часу за всіх можливих комбінаціях цифрового входу: Т. Приклад характеристик наведено на рис. 22.

5) Схема 5. Дослідження одноктактного синхронного D-тригера;

а) зняти та проаналізувати залежність цифрових виходів Q та \bar{Q} одноктактного синхронного D-тригера від часу за всіх можливих комбінаціях цифрових входів D та C . Приклад характеристик наведено на рис. 24.

4. Контрольні питання

- 1) Дайте визначення поняттю «тригер».
- 2) Які існують різновиди схемної реалізації тригерів?
- 3) Коли відбувається переключення синхронного та асинхронного тригерів?
- 4) Дайте класифікацію тригерів за функціональним призначенням.
- 5) На яких ЛЕ можуть бути виконанні асинхронні RS-тригери?
- 6) Для чого використовують синхронні RS-тригери?
- 7) Назвіть види синхронних RS-тригерів.
- 8) В чому відмінність Т-тригера в порівнянні з RS-тригером?
- 9) Яка будова D-тригера? Види D-тригерів.
- 10) У який стан переключається тригер при підключенні до нього напруги живлення?
- 11) Назвіть основні властивості двотактного тригера.
- 12) Чому D-тригер називають тригером затримки?
- 13) Для чого можна використовувати S- та R-входи у D- або JK-тригерах?

ЛАБОРАТОРНА РОБОТА №9

Тема: Дослідження аналого-цифрових перетворювачів (АЦП).

Мета: Дослідити принцип дії, основні властивості та характеристики АЦП. Ознайомитись із основними видами, параметрами цих пристроїв та областю їх застосування.

1. Короткі теоретичні відомості

1.1. Призначення та види АЦП

Аналого-цифрові перетворювачі – це пристрої, що перетворюють входні аналогові сигнали у відповідні їм цифрові сигнали, придатні для роботи з ЦОМ та іншими цифровими пристроями.

АЦП застосовуються в пристроях дискретної автоматики, цифрових системах керування для перетворення аналогових сигналів від датчиків у цифрову форму, у системах відображення інформації для цифрової індикації, у системах передачі даних і багатьох інших областях техніки [1; 2].

Різні за фізичною природою сигнали, що знімаються з датчиків, і що характеризують контрольований процес, спочатку перетворюються в електричний сигнал, а потім вже за допомогою перетворювачів «напруга-код» – у цифрові. На вході АЦП, як правило, є напруга, яка постійно чи повільно змінюється, а з виходу знімаються дані в паралельному ДВК.

Методи побудови АЦП, які орієнтовано на використання у мікропроцесорних системах, поділяються на послідовні, паралельні і послідовно-паралельні. Класифікація типів АЦП і основні принципи побудови наведено в [1].

1.2. Розрахунок похибки АЦП

В АЦП здійснюється квантування (дискретизація) за рівнем і часом (рис. 1).

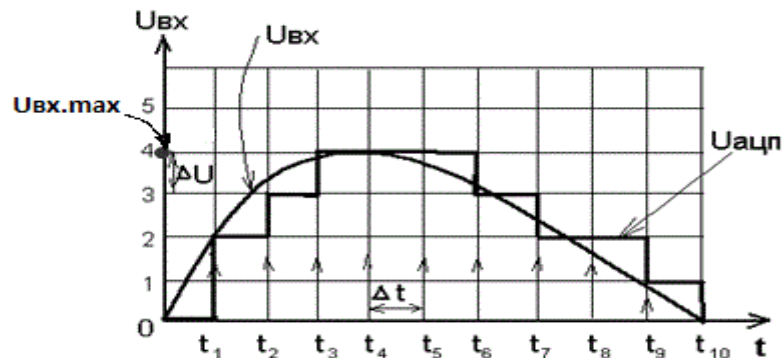


Рис. 1. Квантування аналогової величини за рівнем і часом

На вхід перетворювача надходить аналогова напруга $U_{ВХ}$, що перетворюється в дискретну величину, яка визначається у фіксовані моменти часу найближчим до безперервної (аналогової) величини рівнем квантування.

На виході АЦП кожному дискретному значенню відповідає комбінація ДВК, число розрядів якого позначимо буквою N_p . Величина N_p залежить від числа дискретних значень N_d на виході АЦП, включаючи нульове.

Вибір N_p робиться відповідно до співвідношення:

$$2^{N_p} \geq N_d. \quad (1)$$

Число дискретних значень (рівнів квантування) залежить від похибки квантування за рівнем.

Абсолютна похибка квантування за рівнем

$$\delta_{ABC} \leq \frac{\Delta U}{2}, \quad (2)$$

де ΔU – величина кроку квантування за рівнем, що дорівнює

$$\Delta U = \frac{U_{ВХ MAX} - U_{ВХ MIN}}{N_d - 1}. \quad (3)$$

З наведеного співвідношення (2) випливає, що максимальна абсолютна похибка дорівнює половині кроку квантування за рівнем.

Відносна похибка квантування за рівнем

$$\begin{aligned} \delta_{ВІД} &\leq \frac{\delta_{ABC} \cdot 100\%}{U_{ВХ MAX} - U_{ВХ MIN}} = \frac{\Delta U \cdot 100\%}{\{2 \cdot (U_{ВХ MAX} - U_{ВХ MIN})\}} = \\ &= \frac{(U_{ВХ MAX} - U_{ВХ MIN}) \cdot 100\%}{\{(N_d - 1) \cdot 2 \cdot (U_{ВХ MAX} - U_{ВХ MIN})\}} = \frac{50}{N_d - 1} [\%]. \end{aligned} \quad (4)$$

У наведеній формулі з N_d віднімається одиниця, тому що одним з дискретних значень є нульове. Звідси необхідне число дискретних значень, що відображує нашу безперервну функцію з заданою точністю, визначається як

$$N_d \geq \frac{50}{\delta_{ВІД}} + 1. \quad (5)$$

Наприклад, за $\delta_{ВІД} \leq 0,2\%$ число дискретних значень повинно бути не менше 251. Приймаючи $N_d = 256$ визначаємо, що число розрядів N_p у цьому випадку повинно бути 8 ($2^8 = 256$). Якщо вхідна безперервна величина змінюється, наприклад, у діапазоні від 0 до 2,55 В, то величина кроку квантування за рівнем за $N_d = 256$ дорівнює $\Delta U = 10$ мВ; $\delta_{ABC} \leq 5$ мВ а $\delta_{ВІД} \leq 50/255 < 0,2\%$.

У разі проектування АЦП важливе значення має вибір величини кроку квантування за часом $\Delta t = T$. Значення T визначає необхідну швидкодію АЦП і тракту обробки інформації.

За теоремою Котельникова значення $\Delta t = T$ повинне задовільняти виразу:

$$\Delta t = T \leq \frac{1}{2f_{MAX}}, \quad (6)$$

де f_{MAX} – частота вищої гармоніки спектру вхідного сигналу АЦП.

Фізично цей вираз варто трактувати в такий спосіб: на один період максимальної гармоніки спектру вхідного аналогового сигналу під час переходу від аналогової до дискретної величини необхідно взяти не менш двох відліків.

1.3. Пристрій вибірки і зберігання

1.3.1. Обґрунтування необхідності застосування ПВЗ

Під час аналого-цифрового перетворення швидко змінюваних сигналів виникають динамічні похибки, що визначаються, по-перше, частотою і часом перетворення, а, по-друге, – апертурною похибкою.

Ця похибка виникає через невідповідність вхідного сигналу перетвореному цифровому значенню, якщо зміна вхідного сигналу під час перетворення еквівалентна більш ніж одиниці молодшого значущого розряду (МЗР). У цьому випадку, під час швидко змінюваного у часі вхідного сигналу створюється невизначеність у тім, яким у дійсності було миттєве значення вхідного сигналу в момент вибірки.

Для зменшення апертурної похибки АЦП звичайно використовуються пристрої вибірки і зберігання (ПВЗ), що включаються між входом АЦП і виходом джерела аналогового сигналу [1].

ПВЗ призначено для запам'ятовування миттєвого значення вхідного аналогового сигналу в момент часової вибірки і підтримки цього значення на постійному рівні під час перетворення інформації в АЦП.

Час між моментом фіксації миттєвого значення вхідного сигналу (моментом відліку) і моментом одержання його цифрового еквівалента називається апертурним часом.

Апертурна похибка визначається збільшенням змінюваного у часі вхідного сигналу АЦП за час перетворення.

В [1] наведено виведення виразу, який визначає необхідність застосування ПВЗ за відомих параметрах: розрядності АЦП – N_p , кроку квантування за рівнем – $\Delta U_{ВХ}$, апертурному часу (часі перетворення) – t_A та частоті вхідного сигналу – f :

$$\frac{1}{2^{N_p} - 1} \geq 2\pi f \cdot t_A. \quad (7)$$

Наприклад, якщо $N_p = 8$, а час перетворення АЦП $t_{ПРТ} = 7,5$ мкс, то частота вхідного сигналу не повинна перевищувати 83 Гц. У цьому випадку апертурна

похибка не перевищує одиниці молодшого значущого розряду ДВК на виході АЦП.

1.3.2. Схема включення ПВЗ

В якості ПВЗ може бути використано, наприклад, мікросхему K1100СК2. На рис. 2 зображено позначення цієї мікросхеми на електричних схемах і пояснюється, яким чином ПВЗ пов'язаний з іншими частинами мікропроцесорної системи керування (МПСК) [16].

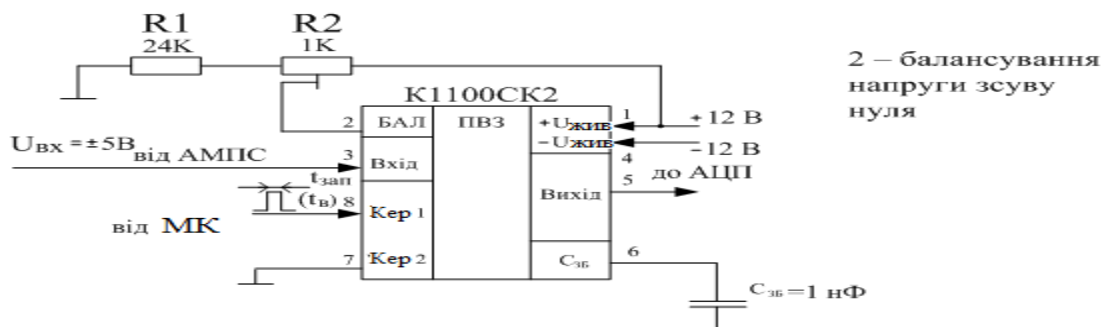


Рис. 2. Схема включення ПВЗ

Тривалість імпульсу запису інформації у ПВЗ (імпульсу вибірки) $t_{\text{зап}}$ ($t_{\text{в}}$) за значенням ємності збереження $C_{\text{зб}} = 1\text{нф}$ дорівнює 5 мкс.

Сучасні мікроконтролери, наприклад сім'ї AVR, мають модуль АЦП, в який входять: многоканальний аналоговий мультиплексор, АЦП та ПВЗ [16].

1.3.3. АЦП послідовного наближення

1.3.3.1. Загальна характеристика АЦП послідовного наближення

Різними методами побудови АЦП відповідають пристрої, що розрізняються за точністю, швидкістю, завадостійкістю, складністю реалізації і т. ін. Одним з розповсюджених є метод послідовного наближення, застосовуваний в АЦП, орієнтованих на використання в МПСК, наприклад, AD571 (K1113 ПВ1); K572 ПВ3 і т. ін. [1]. На рис. 3 наведено спрощену структурну схему АЦП послідовного наближення.

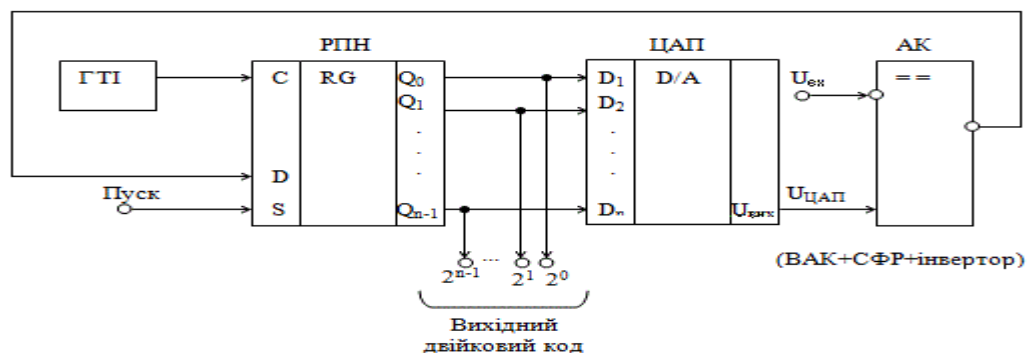


Рис. 3. Структура АЦП послідовного наближення

АЦП містить регістр послідовного наближення (РПН), цифро-аналоговий перетворювач (ЦАП), аналоговий компаратор (АК) і генератор тактових імпульсів (ГТІ).

Після надходження імпульсу ПУСК на виході старшого (N–1)-го розряду РПН з'являється напруга логічної одиниці, а на інших його виходах – логічні нулі. На виході ЦАП формується напруга $U_{\text{ЦАП}} \approx 0,5 \cdot U_{\text{ВХ.МАХ}}$, що на входах АК порівнюється з вхідною аналоговою напругою $U_{\text{ВХ}}$. Аналоговий компаратор включає власне аналоговий компаратор (ВАК) на ІМС ОП, схему формування рівнів (СФР), що перетворює різнополярні імпульси в цифровий сигнал, та інвертор.

Якщо вхідна напруга $U_{\text{ВХ}}$ більше напруги, що знімається з виходу ЦАП, то на виході ВАК з'являється від'ємний імпульс. СФР перетворює його в нульовий цифровий сигнал. У цьому разі з виходу інвертора АК знімається логічна одиниця, що подається на вхід «D» РПН. Під час надходження на вхід «С» РПН імпульсу від ГТІ зберігається логічна одиниця у старшому (N–1)-му розряді і з'являється одиниця у (N–2)-му розряді. Якщо $U_{\text{ВХ}} < U_{\text{ЦАП}}$, то з виходу АК знімається логічний нуль. Імпульсом на синхровході вміст старшого (N–1)-го розряду РПН обнуляється, а в (N–2)-й записується одиниця. Якщо після першого порівняння на виходах двох старших розрядів РПН містяться дві одиниці (при першому порівнянні $U_{\text{ВХ}} > U_{\text{ЦАП}}$), то вихідний сигнал ЦАП: $U_{\text{ЦАП}} \approx (0,5 + 0,25) \cdot U_{\text{ВХ.МАХ}}$.

Якщо після першого порівняння на виході (N–1)-розряду буде нуль, а на виході (N–2)-розряду – одиниця, то вихідний сигнал ЦАП: $U_{\text{ЦАП}} \approx 0,25 \cdot U_{\text{ВХ.МАХ}}$. На компараторі $U_{\text{ВХ}}$ він знову порівнюється з цією напругою і т. д. Так установлюються всі розряди на виході РПН до самого молодшого. Після виконання останнього N_p -го порівняння, де N_p – число розрядів вихідного коду АЦП, цикл формування вихідного коду закінчується. Стан виходів РПН відповідає цифровому еквіваленту вхідної напруги.

Якщо, наприклад, $U_{\text{ВХ}} = U_{\text{ВХ.МАХ}}$, то комбінація вихідного коду дорівнює 111...11 (всі одиниці).

У розглянутому АЦП час перетворення визначається числом розрядів N_p вихідного ДВК і тактовою частотою $f_{\text{ГТІ}} = 1/T_{\text{ГТІ}}$:

$$t_{\text{ПРТ}} \approx N_p \cdot T_{\text{ГТІ}}. \quad (8)$$

Розглянуті АЦП мають досить високу швидкість за відносно простою структурою, тому знаходять широке застосування.

1.3.3.2. Опис та розрахунок мікросхеми АЦП AD571

Мікросхема AD571 (K1113 ПВ1) (рис. 4) являє собою функціонально-закінчений АЦП послідовного наближення з часом перетворення:

≤ 30 мкс, розрахований на вхідні напруги (0...10,23)В (уніполярний сигнал) чи (-5,12...+5,11) В (біполярний сигнал) [1; 2].

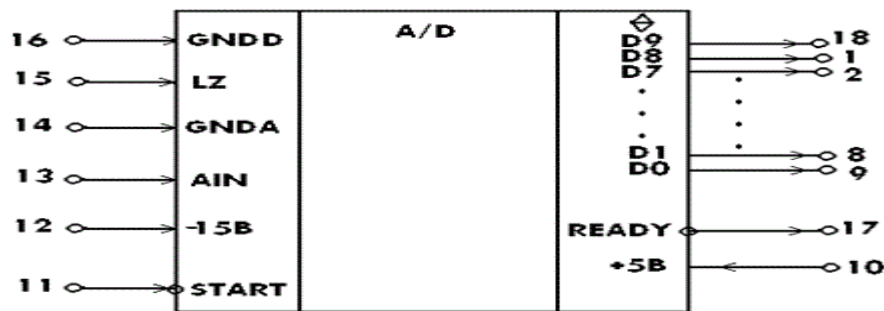


Рис. 4. Умовне позначення і нумерація виводів мікросхеми AD571 (К1113 ПВ1)

Для переключення діапазонів вхідних напруг використовується вхід LZ. Якщо $LZ = 0$, то перетворюються уніполярні вхідні сигнали від 0 до 10,23В, якщо ж $LZ = 1$, то перетворювач працює в двополярному режимі ($U_{ВХ} = -5,12...+5,11$)В. Коефіцієнт передачі АЦП: $K_{ПЕР} = \frac{1}{10} \left[\frac{МЗР}{мВ} \right]$.

Якщо використовувати не всі десять розрядів вихідного ДВК розглянутого АЦП, то існує кілька варіантів його підключення.

Наприклад, якщо $N_p = 8$, то можна підключити вісім виходів АЦП, що відповідають молодшим розрядам. Інші два розряди не підключаються.

У цьому випадку коефіцієнт передачі $K_{ПЕР} = \frac{1}{10} \left[\frac{МЗР}{мВ} \right]$, а $U_{ВХ.МАХ} = 10 \cdot 255 = 2550 мВ = 2,55В$. Якщо, наприклад, використовувати вісім виходів АЦП, що відповідають старшим розрядам, то $K_{ПЕР} = \frac{1}{40} \left[\frac{МЗР}{мВ} \right]$, а $U_{ВХ.МАХ} = 40 \cdot 255 = 10,2В$.

Якщо $N_p = 7$, і вихідний двійковий код, наприклад, знімається з семи старших виходів, то $K_{ПЕР} = \frac{1}{80} \left[\frac{МЗР}{мВ} \right]$, а $U_{ВХ.МАХ} = 80 \cdot 127 = 10,16В$.

Наведені приклади говорять про те, що змінюючи кількість розрядів вихідного ДВК та виходи, з яких знімається код, можна змінювати діапазон вхідної напруги. Але в цьому випадку змінюється похибка від квантування за рівнем.

На рис. 5 наведено позначення цієї мікросхеми на електричних схемах і пояснюється яким чином АЦП пов'язано з іншими частинами МПСК [16].

Особливості взаємодії АЦП і мікроконтролера мікропроцесорної системи керування (МПСК) пояснює часова діаграма роботи АЦП (рис. 6).

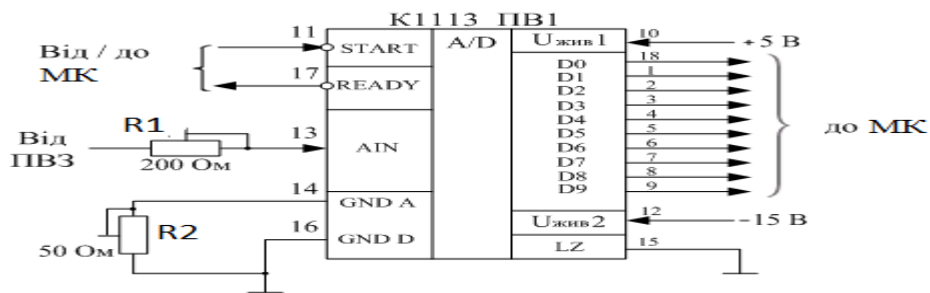


Рис. 5 – Схема включення АЦП

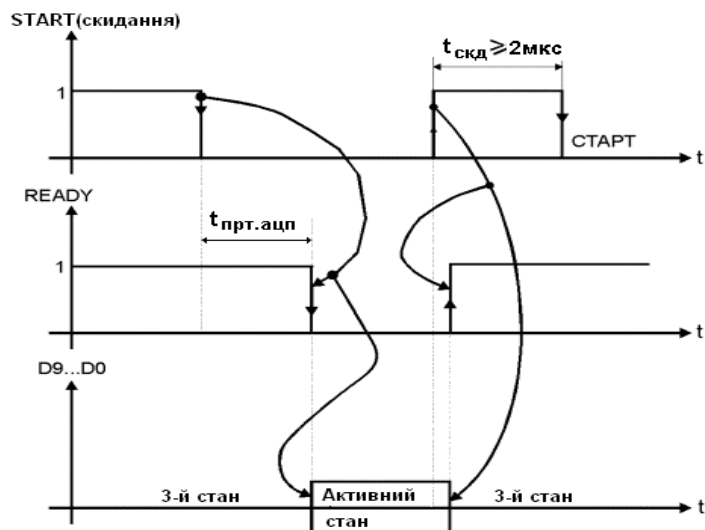


Рис. 6. Часова діаграма роботи АЦП

Запуск АЦП відбувається за переключенням сигналу на вході «START» (СТАРТ) з логічної одиниці в нуль. Під час перетворення на виході «READY» (ГОТОВНІСТЬ) присутня логічна одиниця, а шина даних знаходиться у третьому (високоімпедансному) стані. Після закінчення перетворення вихідні сигнали на виводах даних D0...D9 переходять в активний стан, а сигнал на виході «READY» переключується з одиниці у нуль. Одержавши сигнал готовності, МК зчитує (вводить) дані від АЦП і переводить сигнал на вході «START» у стан одиниці на час, не менший 2 мкс. Цим здійснюється «скидання» АЦП, після якого може вироблятися наступний «запуск» АЦП і т. д.

Виконаємо розрахунок абсолютної і відносної похибок перетворення, а також максимально припустимої частоти вищої гармоніки спектра вхідного сигналу для АЦП AD571 (K1113 PB1). Кількість розрядів вихідного коду в цій мікросхемі дорівнює десяти ($N_p = 10$), діапазон значень вхідної напруги $U_{вх.макс} - U_{вх.мін} = 10,23$ В. Тому з виразів (1, 3) отримаємо:

$$N_d \leq 2^{10} = 1024; \Delta U = 10230 / 1023 = 10 \text{ мВ.}$$

Згідно (2, 4) абсолютна похибка перетворення такого АЦП буде не більше, ніж 5 мВ, тобто $\delta_{\text{АБС}} \leq 5 \text{ мВ}$, а відносна – не більше, ніж (50/1023) %, тобто $\delta_{\text{ВІД}} \leq (50/1023) \approx 0,049 \%$.

Величина кроку квантування за часом, відповідно до рис. 6, повинна бути не менша, ніж $(t_{\text{ПРТАЦП}} + t_{\text{СКД}})$, де $t_{\text{ПРТАЦП}} \leq 30 \text{ мкс}$ – час перетворення АЦП; $t_{\text{СКД}} \geq 2 \text{ мкс}$ – час скидання АЦП, тобто не менша 32 мкс. Максимально припустима частота вищої гармоніки спектра вхідного сигналу для АЦП К1113 ПВ1, як впливає з (6), буде дорівнювати:

$$F_{\text{МАХ}} = 1/[2 \cdot (t_{\text{ПРТАЦП}} + t_{\text{СКД}})] \approx 15,6 \text{ кГц.} \quad (9)$$

1.3.4. Паралельно-послідовні АЦП

1.3.4.1. Опис та розрахунок мікросхеми АЦП МАХ154

На сучасному ринку мікросхем представлено широкий спектр надвеликих інтегральних схем (НВІС) АЦП, наприклад, мікросхеми фірми «МАХІМ».

Нижче розглянуто одну з таких мікросхем – МАХ154, яку виконано за КМОН-технологією. Мікросхема являє собою високошвидкісний чотириканальний паралельно-послідовний АЦП та має вбудований пристрій вибірки-зберігання, мультиплексор та внутрішній формувач опорної напруги – 2,5В.

Опис виводів мікросхеми наведено у табл. 1.

Нижче наведено основні параметри мікросхеми:

- 1) Діапазон аналогового входу: від 0В до 5В.
- 2) Напруга живлення: +5В.
- 3) Час перетворення разом із часом скидання на кожен канал: 2,5 мкс.
- 4) Похибка: 1/2 МЗР.
- 5) Вхідний струм, що споживається: 15мА.
- 6) Припустимий діапазон робочих температур: – 40°C до +85°C.

Інтерфейс із мікропроцесором спрощений можливістю адресації мікросхеми як області пам'яті чи порту введення/виведення без використання зовнішньої логіки. В якості виходу використовується регістр-защівка з третім станом, що дозволяє прямо підключити мікросхему до шини даних або портів введення.

Мікросхема МАХ154 використовує тільки два керувальних виводи: читання – RD і вибір кристала – CS. Операції читання і перетворення ініціюються низькими рівнями CS і RD, які защівують сигнали на адресних входах мультиплексора.

Функціональну схему МАХ154 наведено на рис. 7.

Таблиця 1. Опис виводів мікросхеми MAX154

Номер виводу	Назва	Призначення
1	AIN4	Аналоговий вхід 4
2	AIN3	Аналоговий вхід 3
3	AIN2	Аналоговий вхід 2
4	AIN1	Аналоговий вхід 1
5	REF OUT	Вихід внутрішньої опорної напруги: +2.5В
6	DB0	Біт 0 виходу
7	DB1	Біт 1 виходу
8	DB2	Біт 2 виходу
9	DB3	Біт 3 виходу
10	RD	Керувальний біт доступу до даних і початку перетворення
11	INT	Сигнал індикації завершення перетворення
12	GND	Земля
13	Vref-	Нижня границя вхідного сигналу
14	Vref+	Верхня границя вхідного сигналу
15	RDY	Вихідний сигнал готовності для мікропроцесора. Приймає значення логічного нуля, коли CS активний, і переходить у третій стан по закінченню перетворення
16	CS	Вибір мікросхеми (кристала)

17	DB4	Біт 4 виходу
18	DB5	Біт 5 виходу
19	DB6	Біт 6 виходу
20	DB7	Біт 7 виходу
21	A1	Біт 1 номеру вхідного каналу
22	A0	Біт 0 номеру вхідного каналу
23	NC	Не використовується
24	Vdd	Живлення +5В

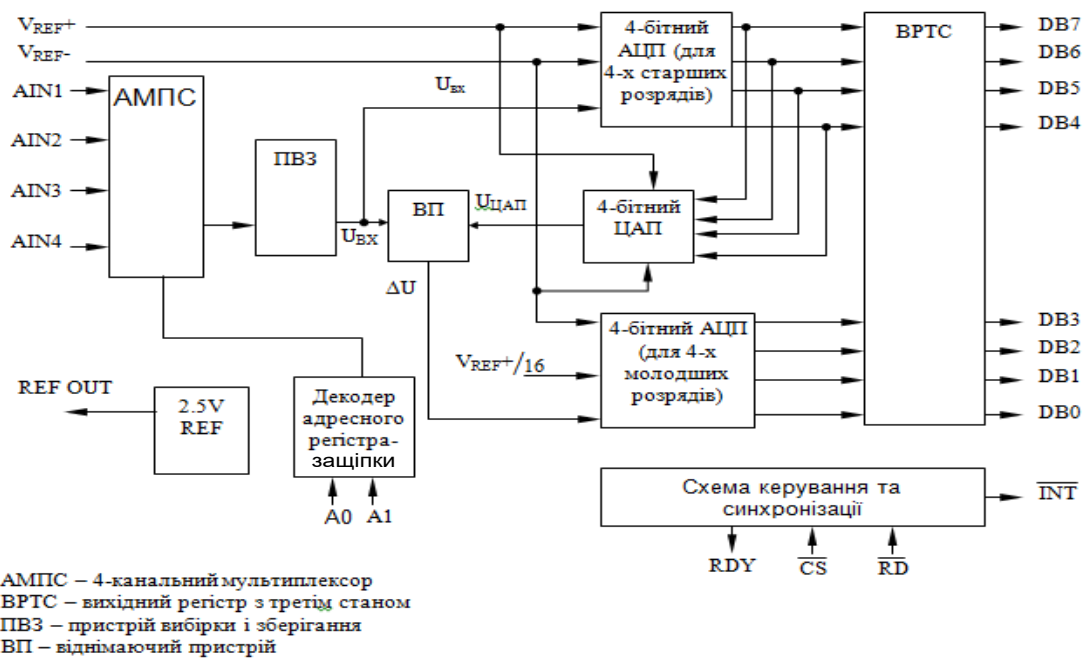


Рис. 7. Функціональна схема MAX154

На вході схеми стоїть чотириканальний аналоговий мультиплексор, що в залежності від комбінації сигналів на адресних входах A0, A1 з'єднує (комутує) один з аналогових входів із пристроєм вибірки-зберігання, який запам'ятовує вхідний сигнал і підтримує його практично незмінним під час перетворення АЦП. Вибір вхідного каналу адресними сигналами A1 і A0 відображає табл. 2.

Таблиця 2. Вибір вхідного каналу

A1	A0	Вхідний канал
0	0	AIN1
0	1	AIN2
1	0	AIN3
1	1	AIN4

В АЦП використано «паралельно-послідовний» принцип перетворення.

Два чотирирозрядних паралельних АЦП служать для одержання вихідного 8-бітного результату. Кожен з чотирирозрядних АЦП містить по п'ятнадцять компараторів, що здійснюють порівняння поточного значення вхідного сигналу з нормованими постійними еталонними напругами. Величини цих напруг залежать від значень опорних напруг: V_{REF+} і V_{REF-} , і відрізняються один від одного на величину ΔU , що відповідає зміні вихідного 4-розрядного ДВК кожного АЦП на: $\pm 1\text{МЗР}$. На початку перетворення верхній 4-бітний АЦП старших 4-х розрядів, використовуючи 15 компараторів, порівнює значення вхідної напруги з еталонними напругами і подає на вихід 4-ри старших біти. Одночасно значення цих старших біт надходять на вхід ЦАП, що формує аналогову напругу, пропорційну цьому коду. Ця напруга віднімається з вхідного аналогового сигналу та отримана різниця ΔU надходить на вхід нижнього 4-бітного АЦП, де порівнюється з еталонними напругами 15 компараторів для одержання значень 4-х молодших розрядів вихідного ДВК.

На виході MAX154 знаходиться регістр-защипка з третім станом, що дозволяє прямо підключати мікросхему до шини даних або портів введення.

Існує два режими роботи мікросхеми, що визначаються тривалістю сигналу на вході RD. В [1] наведено часові діаграми роботи в цих режимах.

Режим 0 призначено для мікропроцесорів, що можуть бути переведені в стан чекання доки АЦП не закінчить перетворення [1].

На рис. 8 наведено передатну характеристику мікросхеми MAX154.

В [1] наведено розрахунок АЦП на базі мікросхеми MAX154. При використанні чотирьох каналів перетворення максимальна частота дискретизації на один канал дорівнює 100кГц.

Коефіцієнт передачі АЦП можна розрахувати за формулою

$$K_{ПЕР} = 256 / (V_{REF+} - V_{REF-}) \text{ [МЗР/мВ]}. \quad (10)$$



Рис. 8. Передатна характеристика MAX154

Якщо, наприклад, $V_{REF+} = 5,12\text{В}$, а $V_{REF-} = 0\text{В}$, тоді

$$K_{ПЕР} = 256 / (5,12 - 0) = 256 / 5120 = 1/20 [\text{МЗР/мВ}].$$

1.3.4.2. Опис роботи паралельного чотирирозрядного АЦП

Спрощену функціональну схему паралельного чотирирозрядного АЦП наведено на рис. 9.

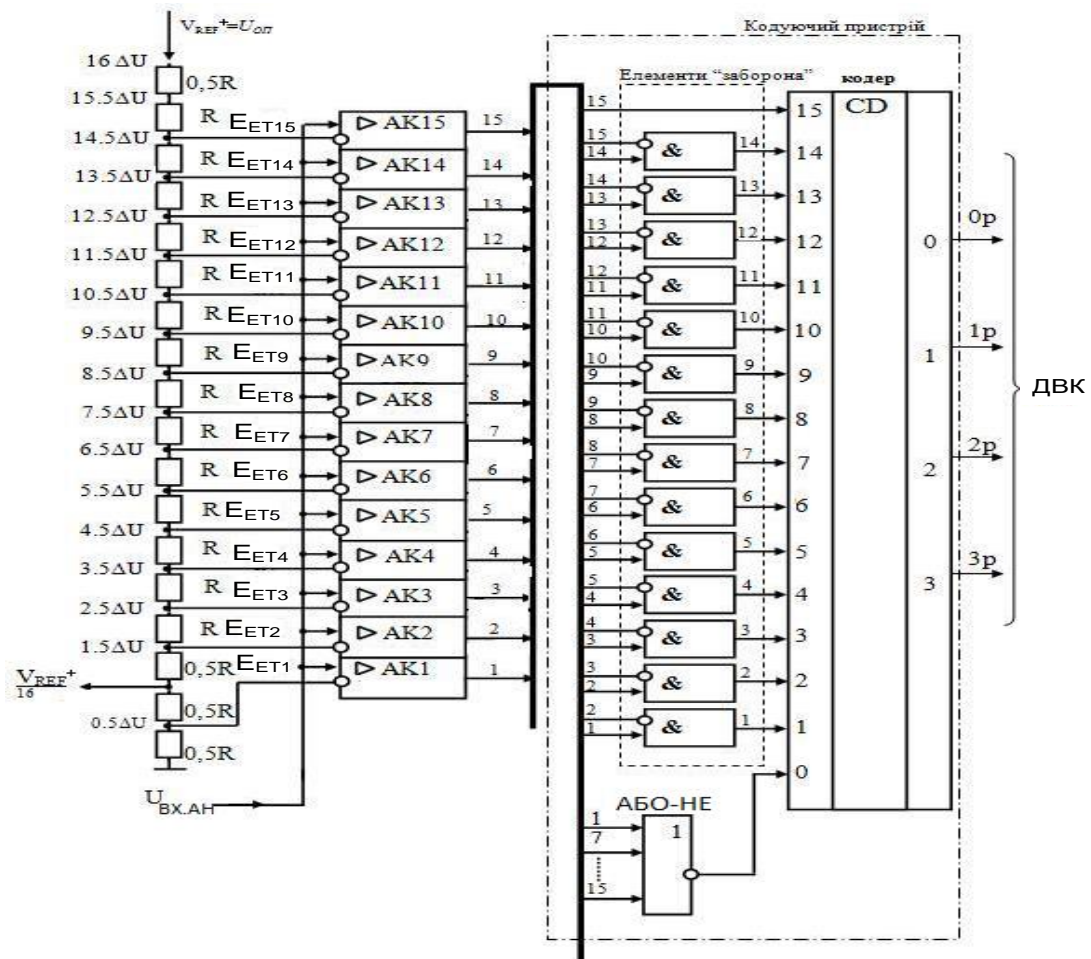


Рис. 9. Функціональна схема паралельного АЦП

АЦП цього типу здійснюють одночасне квантування сигналу за допомогою набору компараторів, включених паралельно джерелу вхідного сигналу $U_{ВХ.АН}$. Порогові рівні компараторів встановлюються за допомогою резистивного діляника, підключеного до джерела опорної напруги $U_{ОП}$ відповідно до шкали квантування, що використовується.

Число рівнів квантування, а відповідно і число компараторів для N -розрядного АЦП дорівнює: $2^N - 1$.

Під час подачі на такий набір компараторів сигналу $U_{ВХ.АН}$ на їхніх виходах має місце дискретний сигнал, що відображає спрацювання окремих компараторів.

Так, наприклад, (рис. 9), якщо вхідна напруга не виходить за межі діапазону від $2,5\Delta U$ до $3,5\Delta U$ (ΔU – крок квантування), то компаратори з першого по третій встановлюються у стан одиниця, а компаратори з четвертого по п'ятнадцятий – у стан нуль.

Для перетворення числа компараторів, що спрацювали, у ДВК використовується відповідний пристрій, що кодує (рис. 9).

Цей пристрій має один 15-ти входовий ЛЕ «АБО-НЕ»; чотирнадцять елементів «Заборона» та кодер (шифратор), який перетворює вхідний шістнадцятипозиційний унітарний код з активними одиничними рівнями вхідного сигналу в паралельний чотирирозрядний двійковий код.

Роботу пристрою, що кодує, показує табл. 3.

Наприклад, якщо вхідна напруга перевищує рівень $2,5\Delta U$, але менше рівня $3,5\Delta U$, то вихідний ДВК повинен мати значення 0011, що відповідає рівню з номером 3.

За вказаного значення рівня вхідної напруги спрацювають нижні три АК (АК1...АК3) і на їхніх виходах з'являються логічні одиниці. Інші компаратори не спрацювають і на їхніх виходах будуть логічні нулі. Для цього стану вихідних сигналів компараторів логічна одиниця з'являється на виході третього елемента «заборона». На виходах інших елементів «заборона» будуть присутні логічні нулі.

На виході пристрою, що кодує, після елементів «заборона» стоїть кодер (шифратор) шістнадцятипозиційного унітарного коду з активним одиничним рівнем в чотирирозрядний паралельний ДВК.

Цей ДВК відповідає десятковому номеру входу, на якому присутня активна одиниця. У нашому прикладі це вхід з номером 3, тому вихідний ДВК становить 0011.

Таблиця 3. Стани пристрою, що кодує, для чотирирозрядного АЦП

Вхідна напруга	Стан компараторів															Вихідний двійковий код				
	$U_{вх}^*$	AK15	AK14	AK13	AK12	AK11	AK10	AK9	AK8	AK7	AK6	AK5	AK4	AK3	AK2	AK1	a_3	a_2	a_1	a_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
4	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1	1
6	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0	0
7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1	1
8	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
9	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1	1
10	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	0	0
11	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
12	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0
13	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

*Вхідна напруга дана в умовних одиницях: цифрами від 0 до 15 пронумеровані рівні квантування аналогового вхідного сигналу.

Якщо вхідна напруга менша рівня $0,5 \Delta U$, то не спрацює жоден компаратор, на виході елемента «АБО-НЕ» буде логічна одиниця, а ДВК буде мати значення 0000. Якщо вхідна напруга перевищує рівень $14,5 \Delta U$, то логічна одиниця з'являється на виході п'ятнадцятого компаратора, на виходах всіх чотирнадцяти елементів «заборона» будуть логічні нулі, що відповідає вихідному ДВК: 1111.

Схему пристрою, що кодує, можна спростити, використовуючи пріоритетний шифратор, що дозволить не використовувати елементи «заборона» [1; 2].

2. Моделювання окремих пристроїв

2.1. Схеми паралельних АЦП

Нижче наведено схему паралельного АЦП, яку зібрано у середовищі MicroCap: *lab0901.cir* (рис. 10). Даний АЦП – 3-розрядний (кількість виходів шифратора дорівнює 3). Загальна кількість рівнів, включаючи нульовий рівень, дорівнює: $N_d = 8$. Згідно (3) крок квантування за рівнем визначається як:

$$\Delta U = \frac{U_{BX_{max}} - U_{BX_{min}}}{N_d - 1}.$$

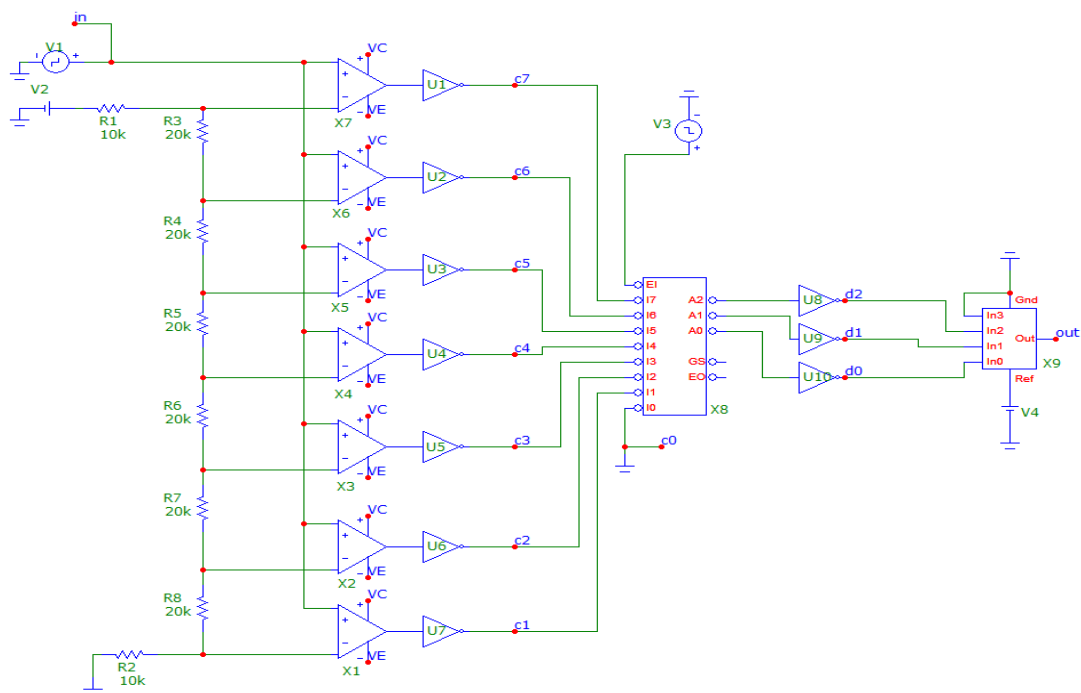


Рис. 10. Схема паралельного АЦП

В даному випадку $\Delta U = (5 - 0)/(8 - 1) = 0,714\text{В}$.

Резистори R1...R8 утворюють подільник напруги для створення опорних величин для компараторів: X1...X7, що виконують порівняння вхідної напруги з частинами опорної. Мікросхеми U1...U7 – інвертори, які необхідні для інверсії вихідних сигналів компараторів через те, що мікросхема – кодер (X8) має низькі активні рівні вхідних сигналів (входи помічені «кружечками»). Через те, що виходи мікросхеми – кодера теж інвертовані, то використано мікросхеми – інвертори: U8...U10, щоб повторно інвертувати вихідні сигнали кодера. Далі ці сигнали поступають на 4-розрядний ЦАП (X9) і на виході матимемо дискретний імпульсний сигнал, частота якого визначається генератором V3. Амплітуда вихідних імпульсів ЦАП визначається комбінацією ДВК на його вході. Сигнал від генератора V3 подається на інверсний керувальний вхід кодера: E1. Нульові значення імпульсного сигналу дозволяють роботу кодера. За одиничних значеннях на всіх виходах кодера з'являються одиниці. Компаратори, що спрацьовують, сигнали на їхніх інверсних виходах та результуючий цифровий сигнал d0, d1, d2 залежать від рівня напруги, що подається на вхід АЦП (V1). Дану залежність наведено у табл. 4.

Як видно з табл. 4, вихідний цифровий сигнал показує номер входу шифратора з найвищим пріоритетом, на якому присутній нульовий сигнал. Джерело живлення V4 забезпечує опорну напругу для ЦАП (X9). Для нормального відтворення (перетворення) цифрового сигналу в аналоговий сигнал (амплітуду вихідних імпульсів) коефіцієнт передачі ЦАП має бути: $K_{\text{цап}} = \Delta U = 0,714 \left[\frac{\text{В}}{\text{МЗР}} \right]$.

Таблиця 4. Зв'язок рівня вхідної напруги $U_{\text{вх}}$ з сигналами: на виході компараторів, що спрацьовують; інверторів: $c_1 \dots c_7$ та результуючим цифровим сигналом на виході АЦП: d_0, d_1, d_2

$U_{\text{вх}}$	Компаратори, що спрацьовують	C_0	C_1	C_2	C_3	C_4	C_5	C_6	C_7	Результуючий цифровий сигнал
$U_{\text{вх}} \leq 0,5\Delta U$	—	0	1	1	1	1	1	1	1	000
$U_{\text{вх}} > 0,5\Delta U$	X1	0	0	1	1	1	1	1	1	001
$U_{\text{вх}} > 1,5\Delta U$	X1...X2	0	0	0	1	1	1	1	1	010
$U_{\text{вх}} > 2,5\Delta U$	X1...X3	0	0	0	0	1	1	1	1	011
$U_{\text{вх}} > 3,5\Delta U$	X1...X4	0	0	0	0	0	1	1	1	100
$U_{\text{вх}} > 4,5\Delta U$	X1...X5	0	0	0	0	0	0	1	1	101
$U_{\text{вх}} > 5,5\Delta U$	X1...X6	0	0	0	0	0	0	0	1	110
$U_{\text{вх}} > 6,5\Delta U$	X1...X7	0	0	0	0	0	0	0	0	111

Опорна напруга ЦАП розраховується як:

$$U_{\text{оп}} = K_{\text{цап}} \cdot 2^N = 0,714 \cdot 16 = 11,424 \text{ В,}$$

де $N = 4$ – кількість розрядів ЦАП.

Параметри схеми (рис. 10):

1) V1 (Pulse source): Model = TRIANGLE; параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період трикутного імпульсу дорівнював: $T = \langle \text{номер бригади} \rangle \cdot 200 \text{ мс} = \langle \text{номер бригади} \rangle \cdot 200 \text{m[sec]}$.

Приклад: номер бригади = 3; P1 = 0; P2 = 300m; P3 = 300m; P4 = 600m; P5 = 600m; VONE = 5 [V];

2) V2 (Battery): Value = 5 [V];

3) V3 (Pulse source): Model = PULSE; параметри P1, P2, P3, P4, P5 розрахувати в залежності від номеру бригади так, щоб період прямокутного імпульсу дорівнював: $T = \langle \text{номер бригади} \rangle \text{ [mili sec]}$; а шпаруватість сигналу дорівнювала 2.

Приклад: номер бригади = 4 \rightarrow P1 = 0; P2 = 0; P3 = $4/2 = 2\text{m}$; P4 = P3 = 2m; P5 = T = 4m; VONE = 5 [V];

4) R1, R2 (Resistor): Value = 10k [Om];

5) R3...R8 (Resistor): Value = 20k [Om];

- 6) X1...X7 (Opamp): Model = \$GENERIC;
- 7) U1...U10 (Inverter): TIMING MODEL = D0_GATE;
- 8) X8 (Digital Library → 74xx120 → 148 → 74LS148, 8-Line To 3-Line priority encoder);
- 9) X9 (Digital Primitives → DtoA Converters → DtoA4, 4-Bit DtoA Converter):
TIMING MODLE = T1 (створити нову); TSWMN = 10n;
TSWMX = 10n; TSWTY = 10n;
- 10) V4 (Battery): Value = $K_{\text{цалп}} \cdot 2^4 = \Delta U \cdot 2^4 = 0,714 \cdot 16 = 11,424$ [V].

Результат дослід

Нижче на рис. 11 наведено часові діаграми роботи схеми, яку зображено на рис. 10.

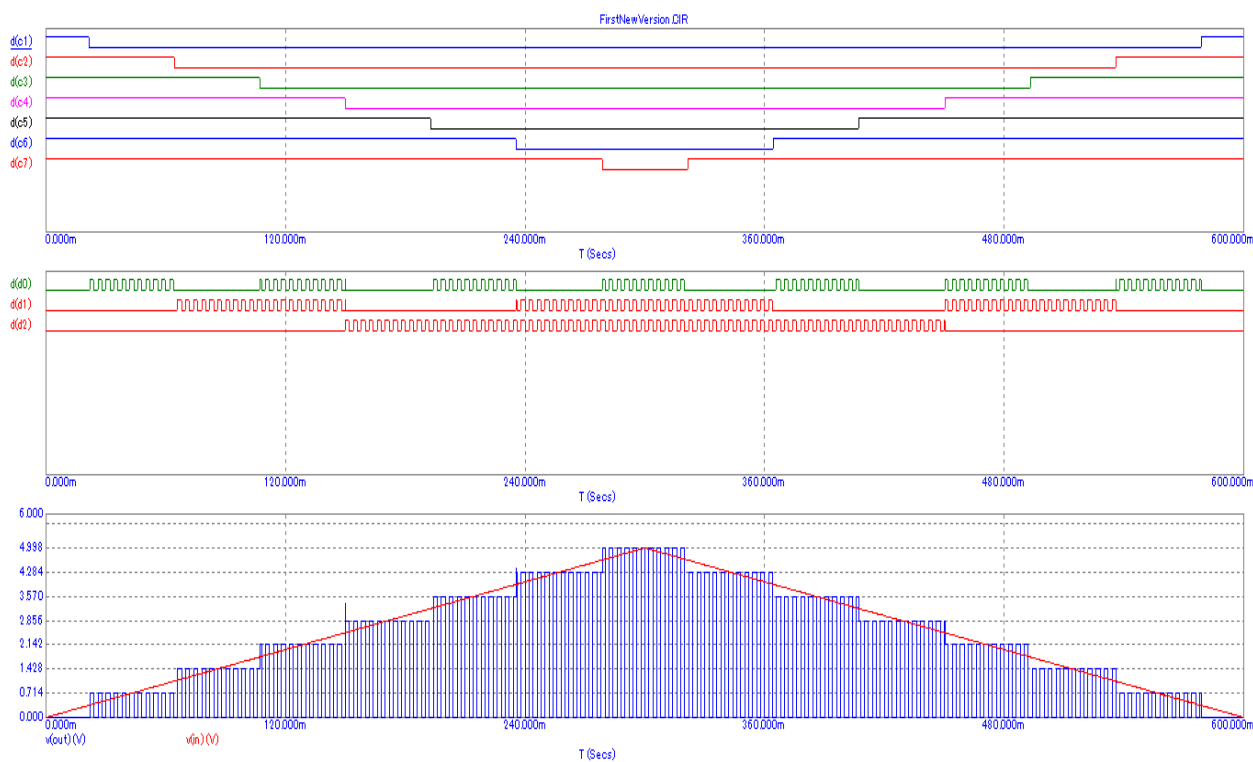


Рис. 11. Часові діаграми роботи схеми, яку наведено на рис. 10

На рис. 11 зображено залежності вхідної, вихідної напруг, а також цифрових розрядів від часу. На першій характеристиці бачимо інвертований стан компараторів (c1...c7) в залежності від вхідної напруги, яка змінюється за трикутним законом. На другій характеристиці наведено інвертовані цифрові сигнали на виході кодера. Високий рівень відповідає одиниці, тобто спрацювали певні комбінації компараторів, низький – нулю. Оскільки на керувальний вхід кодера (X8) подається імпульсний сигнал (V3), нульові значення якого дозволяють роботу мікросхеми X8, то інвертований цифровий сигнал d0, d1, d2 має високочастотне заповнення з частотою V3.

На нижній характеристиці часових діаграм схеми, яку наведено на рис. 10, зображено порівняння вхідного та вихідного сигналів. Вхідна напруга схеми являє собою трикутний аналоговий сигнал, а вихідна – квантований аналоговий сигнал (змінюється амплітуда вихідних імпульсів в залежності від амплітуди вхідного трикутного сигналу).

Наприклад, якщо рівень вхідної напруги став більше

$$\frac{\Delta U}{2} = \frac{0,714}{2} = 0,357,$$

то спрацьовує компаратор X1, на його виході з'являється логічна одиниця, а на виході інвертора V7 з'являється логічний нуль (C1 = 0). На виходах пріоритетного кодера з'являється інвертований цифровий сигнал: A0 = 0; A1 = A2 = 1 із високочастотним заповненням. Після інверторів V8...V10 з'являється цифровий сигнал: d0 = 1; d1 = d2 = 0 з високочастотним заповненням.

Якщо рівень вхідної напруги став більше

$$U = 4,284 + \frac{\Delta U}{2} = 4,284 + +0,357 = 4,641,$$

то спрацьовують всі сім компараторів. На всіх входах кодера I1...I7 з'являються логічні нулі. На виходах пріоритетного кодера з'являється інвертований цифровий сигнал: A0 = A1 = A2 = 0 із високочастотним заповненням. Після інверторів V8...V10 з'являється цифровий сигнал: d0 = d1 = d2 = 1 із високочастотним заповненням. Цей сигнал подається на входи мікрохеми ЦАП (X9). Як було зазначено вище, її коефіцієнт передачі $K_{\text{ЦАП}} = 0,714 \left[\frac{\text{В}}{\text{МЗР}} \right]$. Тоді на виході ЦАП з'являється імпульсний сигнал з амплітудою: $0,714 \cdot 7 = 4,998 \text{ В}$.

2.2. Схема 2. Схема з використанням мікросхем АЦП та ЦАП

Нижче наведено схему з використанням мікросхем АЦП та ЦАП, яку зібрано у середовищі MicroCap: *lab0902.cir* (рис. 12).

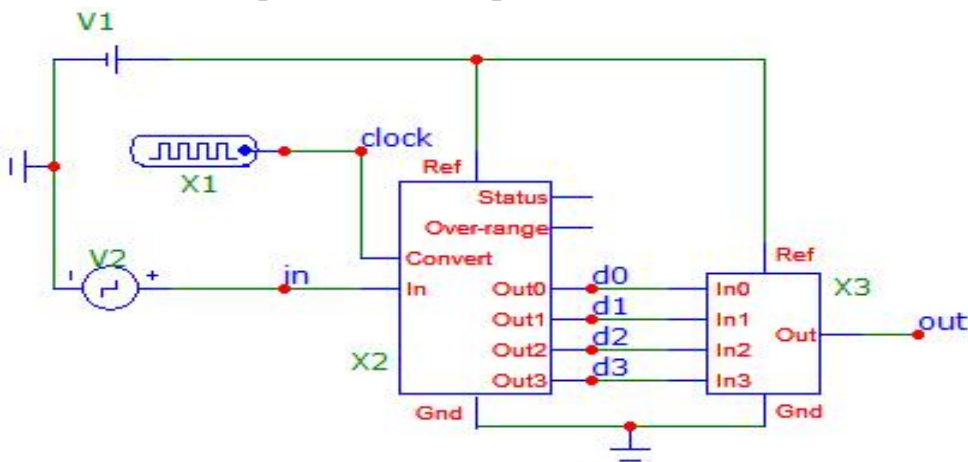


Рис. 12. Схема з використанням мікросхем АЦП та ЦАП

На даній схемі X1 є джерелом прямокутних імпульсів, що запускають процес виміру АЦП. V2 – джерело трикутних імпульсів, сигнал якого ми робитимемо дискретним. X2 – 4-розрядний АЦП, що приймає на вхід аналогову напругу, а на виходах Out0...Out3 видає значення вхідної величини у ДБК. Це значення поступає на входи In0...In3 ЦАП (X3), що перетворює отриманий код на квантований (ступінчастий) сигнал на виході. Значення амплітуди кожної сходинки дорівнює відповідному рівню квантування вхідного сигналу.

Параметри схеми, яку наведено на рис. 12:

- 1) V1 (Battery): Value = 8 [V];
- 2) V2 (Pulse source): Model = TRIANGLE; P1 = 0 [sec]; P2 = 500u [sec]; P3 = 500u [sec]; P4 = 1m [sec]; P5 = 1m [sec]; VONE = 8 [V]; VZERO = 0 [V].
- 3) X1 (Digital Primitives → Stimulus Generators → DClock, Digital clock): Param: ZEROWIDTH = 2u [sec]; Param: ONEWIDTH = 2u [sec].
- 4) X2 (Digital Primitives → AtoD Converters → AtoD4): TIMING MODLE = T1 (створити нову); TPCSMN = 1n; TPCSMX = 2n; TPCSTY = 3n; TPDSMN = 0; TPDSMX = 0; TPDSTY = 0; TPSDMN = 0; TPSDMX = 0; TPSDSTY = 0.
- 5) X3 (Digital Primitives → DtoA Converters → DtoA4): TIMING MODLE = T2 (створити нову); TSWMN = 1n; TSWMX = 1n; TSWTY = 3n.

Результат досліду

Нижче на рис. 13 наведено часові діаграми роботи схеми, яку наведено на рис. 12.

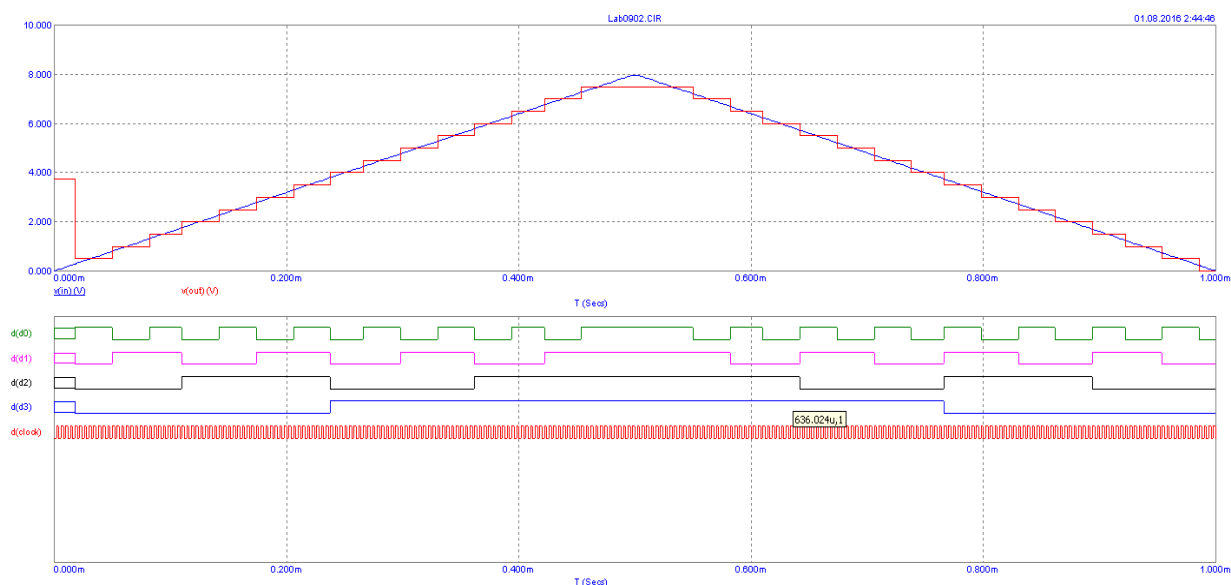


Рис. 13. Часові діаграми роботи схеми, яку наведено на рис. 12

На рис. 13 зображено залежність цифрового сигналу d_0 , d_1 , d_2 та d_3 на виході мікросхеми АЦП, а також вхідної та вихідної напруг схеми (рис. 12) від часу. В якості вхідної напруги подається трикутна напруга. Це – аналоговий сигнал. Вихідна напруга схеми (X3) – квантований за часом та рівнем дискретний сигнал. Зміна значення цифрових розрядів на виході АЦП (X2) свідчить про досягнення вхідного сигналу певного рівня (рис. 8). Різниця між АЦП, роботу якого показує цей рисунок, та АЦП, який входить в схему моделювання (рис. 12) тільки в кількості розрядів. Величина кроку квантування за рівнем ΔU , що відповідає зміні вихідного 4-розрядного ДВК АЦП на: $\pm 1\text{МЗР}$, дорівнює $U_{\text{REF}}/16 = 8/16 = 0,5\text{В}$.

Перша зміна вихідного коду АЦП на 1 МЗР відбувається за досягненням вхідної напруги половини кроку квантування за рівнем $\Delta U/2 = 0,25\text{В}$. Наступні зміни вихідного коду відбувається за досягненням вхідної напруги $1,5\Delta U$, $2,5\Delta U$, $3,5\Delta U$ і т. д.

Мікросхема ЦАП (X3) перетворює 4-розрядний ДВК на вході в ступінчастий вихідний сигнал. Значення амплітуди кожної сходинки дорівнює відповідному рівню квантування вхідного сигналу.

3. Порядок виконання роботи

1) Схема 1. Паралельний АЦП:

а) зняти та проаналізувати залежність вхідної, вихідної напруг паралельного АЦП, а також значень цифрових розрядів $d_0\dots d_2$ від часу. Вихідна напруга даної схеми – це напруга на виході мікросхеми ЦАП. Приклад характеристик наведено на рис. 11.

б) проаналізувати вплив пріоритетного шифратора на роботу пристрою. Пояснити чому в даному пристрої неможливе використання звичайного шифратора.

2) Схема 2. Використання мікросхем АЦП та ЦАП:

а) зняти та проаналізувати залежність вхідної, вихідної напруг зібраної схеми, а також значень цифрових розрядів $d_0\dots d_3$ від часу. Вихідна напруга даної схеми – це напруга на виході мікросхеми ЦАП. Приклад характеристик наведено на рис. 13.

4. Контрольні запитання

1) Що таке АЦП? Для чого призначені АЦП?

2) Як визначається і від чого залежить кількість рівнів квантування АЦП?

3) Чому дорівнює абсолютна та відносна похибка АЦП від квантування за рівнем?

4) Для чого призначено пристрої вибірки і зберігання? Чому необхідно їх використовувати?

- 5) З чого складається АЦП послідовного наближення? Наведіть структуру АЦП послідовного наближення.
- 6) Як відбувається перетворення сигналу в АЦП послідовного наближення?
- 7) Як відбувається перетворення сигналу в паралельно-послідовному АЦП? Наведіть приклад паралельно-послідовного АЦП.
- 8) Пояснити роботу паралельного чотирирозрядного АЦП.
- 9) З яких міркувань вибирається величина кроку квантування за рівнем в АЦП?
- 10) Поясніть фізичне трактування теореми Котельнікова.
- 11) Чому дорівнює коефіцієнт передачі мікросхеми АЦП К1113 ПВ1?
- 12) Як розрахувати максимальне значення вхідної напруги АЦП К1113ПВ1 у випадках, коли:
 - число розрядів вихідного ДВК $N_{P.ДВК}$ дорівнює 9, які видаються на виходи старших розрядів;
 - $N_{P.ДВК} = 7$, ДВК видається на 2-й, 3-й, ..., 8-й виходи АЦП;
 - $N_{P.ДВК} = 5$, ДВК видається на 4-й, 5-й, ..., 8-й виходи АЦП.
- 13) Поясніть роботу АЦП К1113 ПВ1 за часовими діаграмами.
- 14) Поясніть передатну характеристику АЦП МАХ154.

Рекомендований зміст ЗВІТУ

- 1) Титульний лист.
- 2) Мета роботи.
- 3) Короткі теоретичні відомості.
- 4) Схеми до лабораторної роботи.
- 5) Хід виконання роботи.
- 6) Отриманні характеристики та їх аналіз.
- 7) Висновок.

Вказівки щодо роботи в програмному середовищі MICROCAP

1. Вступ

В лабораторних роботах з курсу «Комп'ютерна електроніка» для моделювання пристроїв використовується симулятор електронних схем MicroCap. В даному керівництві містяться короткі вказівки, щодо роботи в MicroCap 9 в межах лабораторних робіт курсу «Комп'ютерна електроніка». Для глибшого пізнання симулятора електронних схем MicroCap рекомендується ознайомитись з керівництвом користувача, що міститься в меню Help. Перед початком роботи, рекомендується повністю прочитати дане керівництво.

2. Початок роботи

Запуск MicroCap здійснюється стандартними засобами операційної системи. За умовчанням, при відкритті нового вікна MicroCap відразу відкриється новий документ моделі. Для створення нової моделі необхідно в меню File вибрати пункт меню New (рис. 1).

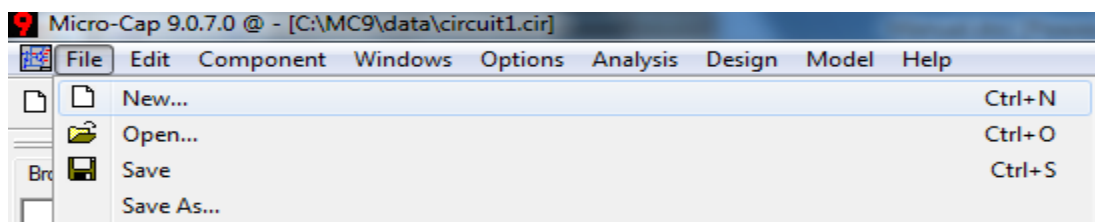


Рис. 1. Деякі елементи меню File

Після цих дій відкриється меню вибору типу моделі (рис. 2), в якому необхідно вибрати пункт Schematic File (.cir) та натиснути кнопку ОК.

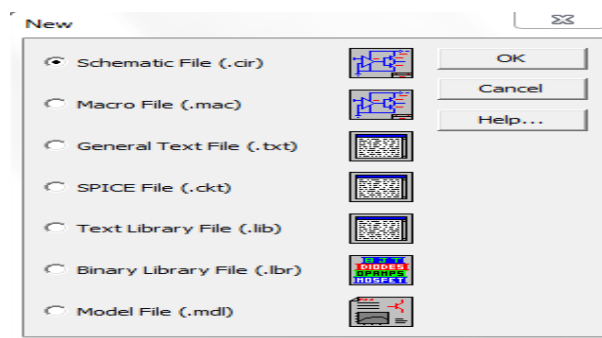


Рис. 2. Типи моделей

Щоб відкрити існуючу модель необхідно вибрати в меню File пункт меню Open (рис. 1). Після цього відкриється вікно провідника, в якому можна вибрати необхідний файл. Збереження файлу здійснюється за допомогою пунктів меню

Save та Save As. Щоб закрити MicroCap, необхідно вибрати в меню File пункт меню Exit.

3. Створення простої схеми

Кожна схема складається з елементів та провідників, що їх з'єднують. Елементи схем знаходяться на відповідній панелі, що знаходиться в лівій частині екрану (рис. 3).

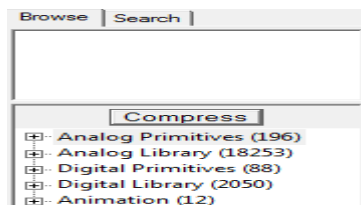


Рис. 3. Панель елементів схем

Якщо панель відсутня, необхідно в меню Options встановити прапорець в пункті меню Panel. Також це можна зробити за допомогою натиснення комбінації клавіш Ctrl+Alt+X. В панелі елементів необхідно перейти на вкладку Browse.

В панелі елементів схем міститься перелік елементів, що використовуються для моделювання. Для встановлення елемента необхідно вибрати режим Component натисканням відповідної кнопки на панелі інструментів (рис. 4).



Рис. 4. Вибраний режим Component

Після цього вибрати елемент натисканням лівої клавіші миші (рис. 5), навести на необхідне місце на робочому просторі та повторно натиснути ліву клавішу миші. Після цих дій з'явиться вікно властивостей елемента, в якому встановлюються параметри даного елемента (рис. 6).

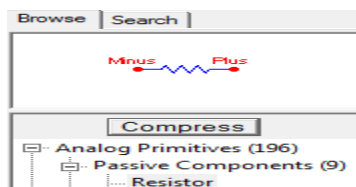


Рис. 5. Вибраний елемент Resistor

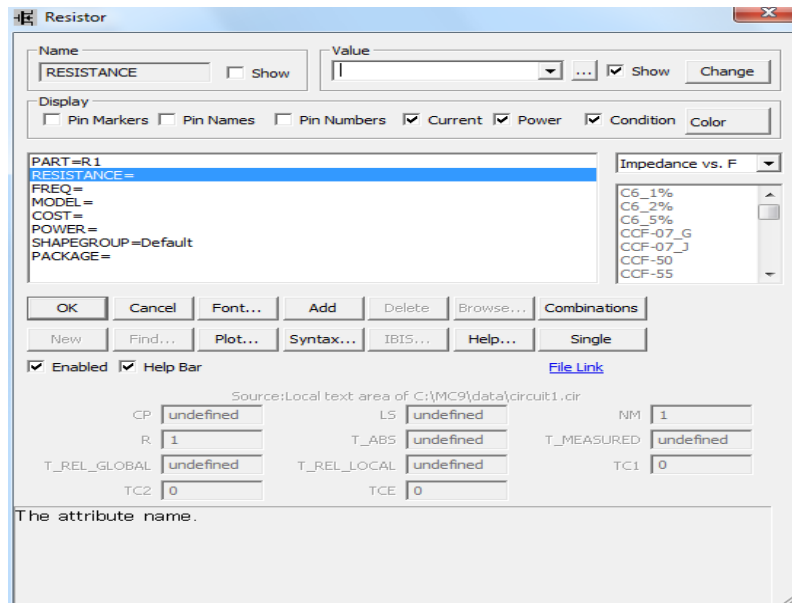


Рис. 6. Вікно властивостей елементу Resistor

Вибравши необхідний параметр елементу, потрібно ввести значення цього параметру в полі Value. Після встановлення всіх параметрів, необхідно натиснути кнопку ОК для підтвердження введених значень, або кнопку Cancel для скасування. Якщо на вже встановленому елементі натиснути лівої клав'яшею миші в режимі Component, або двічі в режимі Select (рис. 7), то відкриється вікно параметрів, де можна редагувати параметри елементу таким же чином, як і при його встановленні.



Рис. 7. Вибраний режим Select

Для складання потрібної схеми необхідно встановити її елементи на робочий простір, налаштувати їх параметри та з'єднати їх провідниками. Для цього потрібно ввімкнути режим Orthogonal wire mode (рис. 8) або Diagonal wire mode (рис. 9) для прямокутного та похилого розташування провідників на схемі та, затиснувши ліву клав'яшу миші, протягнути провідник від одного елементу до іншого.



Рис. 8. Вибраний режим Orthogonal wire mode

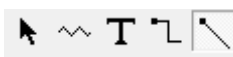


Рис. 9. Вибраний режим Diagonal wire mode

Щоб встановити вузол для подальшого аналізу перехідних процесів в ньому, необхідно перейти в режим Select та двічі клікнути лівою кнопкою миші по бажаній точці на провідниках схеми. У вікні, що з'явилося потрібно ввести ім'я нового вузла та натиснути кнопку ОК (рис. 10).

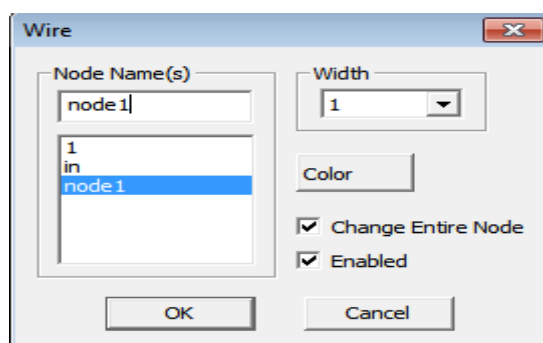


Рис. 10. Вікно вузлів вибраної ділянки кола

Для видалення вузла необхідно вибрати його кліком миші на робочому просторі та натиснути клавішу Delete на клавіатурі.

Аналіз перехідних процесів запускається з меню Analysis кліком на пункті меню Transient (рис. 11) або комбінацією клавіш Alt+1.

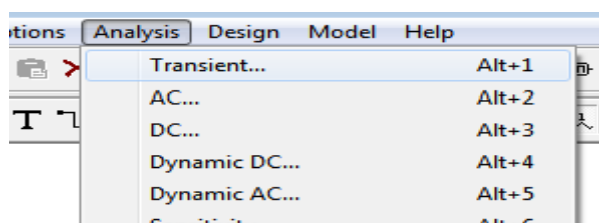


Рис. 11. Меню Analysis

Користування аналізатором перехідних процесів описано нижче у відповідному розділі.

Величини можна задати в різних степенях, для цього використовується суфікс, що вказує величину степеня. Перелік суфіксів для різних степенів:

- f – 10^{-15} , фемто–;
- p – 10^{-12} , піко–;
- n – 10^{-9} , нано–;
- u – 10^{-6} , мікро–;
- m – 10^{-3} , мілі–;
- k – 10^3 , кіло–;
- meg – 10^6 , мега–;

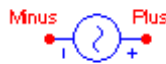
- g – 10^9 , гіга–;
- t – 10^{12} , тера–.

Суфікс вказується після значення величини. Наприклад, запис 10u для часу означає 10 мікросекунд.

4. Елементи схем

Нижче приведено перелік деяких елементів (компонентів) схем, що використовуються в лабораторних роботах. В завданнях до робіт вказуються точні параметри компонентів схем. В даному підрозділі подано лише загальні дані про елементи. Також навівши курсором миші на полі будь-якого параметру, можна побачити підказку щодо цього параметру.

- 1) Sine Source – джерело синусоїдальної напруги:



Знаходиться в Analog Primitives → Waveform Sources → Sine Source.

Основні параметри:

Model – модель джерела напруги, зазвичай вибирається 60HZ.

A – амплітуда напруги джерела (В).

F – частота напруги джерела (Гц).

- 2) Ground – заземлення:



Знаходиться в Analog Primitives → Connectors → Ground.

- 3) Battery – ідеальне джерело напруги:



Знаходиться в Analog Primitives → Waveform Sources → Battery.

Основні параметри:

Value – значення напруги джерела (В).

- 4) Resistor – резистор:

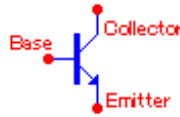


Знаходиться в Analog Primitives → Passive Components → Resistor.

Основні параметри:

Resistance – опір резистора (Ом).

- 5) N-P-N (n-p-n)-транзистор:

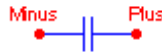


Знаходиться в Analog Primitives → Active Devices → N-P-N.

Основні параметри:

Model – тип транзистора, зазвичай вибирається 2N2102.

6) Capacitor – конденсатор:

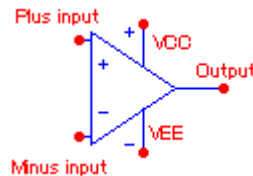


Знаходиться в Analog Primitives → Passive Components → Capacitor.

Основні параметри:

Capacitance – ємність конденсатора (Ф).

7) Opamp – операційний підсилювач:



Знаходиться в Analog Primitives → Active Devices → Opamp.

Основні параметри:

Model – тип підсилювача, зазвичай вибирається LM358

8) Diode – діод:



Знаходиться в Analog Primitives → Passive Components → Diode.

Основні параметри:

Model – тип діоду, зазвичай вибирається \$GENERIC.

9) Pulse Source – генератор імпульсів:



Знаходиться в Analog Primitives → Waveform Sources → Pulse Source.

Основні параметри генератора імпульсів (рис. 12) наведено в табл. 1.

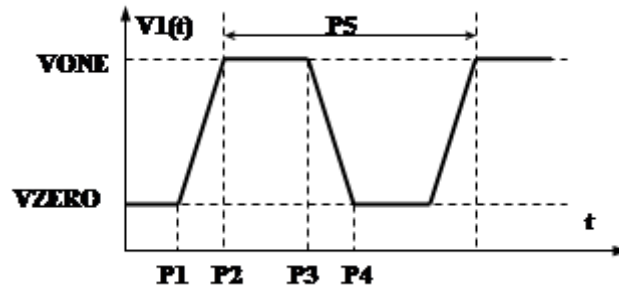
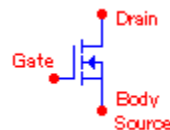


Рис. 12. Основні параметри імпульсного сигналу

Таблиця 1. Задання параметрів генератора імпульсного сигналу

Позначення	Параметр	Розмірність
Model	Модель джерела напруги (зазвичай вибирається PULSE)	–
VZERO	Початкове значення	В
VONE	Максимальне значення	В
P1	Початок переднього фронту	С
P2	Кінець переднього фронту	С
P3	Початок заднього фронту	С
P4	Момент досягнення рівня VZERO (кінець заднього фронту)	С
P5	Період повторення імпульсу	С

10) DNMOS – метало-оксидо-напівпровідниковий (МОП)-транзистор збагаченого типу з n-каналом:

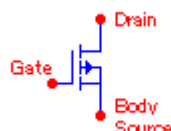


Знаходиться в Analog Primitives → Active Devices → DNMOS

Основні параметри:

Model – тип транзистору, зазвичай вибирається \$GENERIC_N.

11) DPMOS – метало-оксидо-напівпровідниковий (МОП)-транзистор збагаченого типу з p-каналом:



Знаходиться в Analog Primitives → Active Devices → DPMOS.

Основні параметри:

Model – тип транзистору, зазвичай вибирається \$GENERIC_P.

12) DClock – генератор цифрового сигналу:

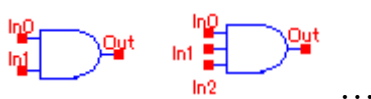


Знаходиться в Digital Primitives → Stimulus Generators → DClock.

Основні параметри: ZEROWIDTH – час сигналу нуля, ONEWIDTH – час сигналу одиниці.

13) And2, And3 ... And9 – елементи, які виконують операцію «Логічне І».

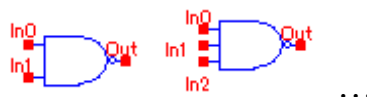
Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → And Gates → And2.

14) Nand2, Nand3 ... Nand9 – елементи, які виконують операцію «Логічне І-Не».

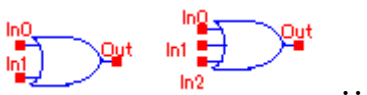
Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → Nand Gates → Nand2.

15) Or2, Or3 ... Or9 – елементи, які виконують операцію «Логічне Або».

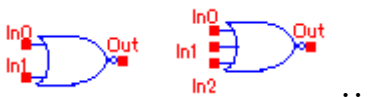
Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → Or Gates → Or2.

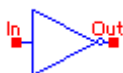
16) Nor2, Nor3 ... Nor9 – елементи, які виконують операцію «Логічне АБО-НЕ».

Мають 2...9 входів:



Знаходяться в Digital Primitives → Standart Gates → Nor Gates → Nor2.

17) Inverter – Елементи, які виконують операцію «Логічне заперечення»:



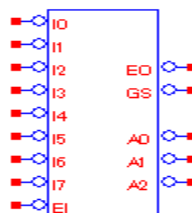
Знаходиться в Digital Primitives → Inverters → Inverter.

Параметри часової моделі елементу Inverter приведені в табл. 2.

Таблиця 2. Параметри Timing model елементу Inverter

TRHLMN	Мінімальна затримка при переході від 1 до 0
TRHLMX	Максимальна затримка при переході від 1 до 0
TRHLY	Середня затримка при переході від 1 до 0
TPLHMN	Мінімальна затримка при переході від 0 до 1
TPLHMX	Максимальна затримка при переході від 0 до 1
TPLHY	Середня затримка при переході від 0 до 1

17) 74LS148 – 8 – 3 пріоритетний шифратор:



Знаходиться в Digital Library → 74xx120 → 148 → 74LS148.

Мікросхема 74LS148 дозволяє розташувати 8 вхідних сигналів в послідовності згідно з важливістю сигналу (за пріоритетом). Також схема використовується як звичайний шифратор.

В мікросхемі 74LS148 є вісім входів (I0...I7) унітарного восьмипозиційного коду та три виходи двійкового коду (A0...A2).

Активним рівнем вхідних та вихідних сигналів для даної мікросхеми є низький рівень напруги. Якщо на всі входи подається напруга високого рівня (логічна 1), або на всі, крім входу I0 (на нього подаємо логічний 0) то на всіх виводах встановлюється напруга високого рівня. Тобто, на виході отримаємо інверсний двійковий код, що вказує на вхід з найбільшим пріоритетом. Якщо, наприклад, на входи I0...I3 подати сигнали низького рівня, а на всі інші, сигнали високого рівня, то на виході отримаємо інверсний двійковий код: 100. Якщо його інвертувати ще раз, отримаємо номер входу на якому наявний сигнал низького рівня, причому, з найвищим пріоритетом. В даному випадку 100 → 011 = I3.

В мікросхемі також є два виходи для каскадного з'єднання мікросхем GS і EO. На виході GS формується напруга низького рівня, якщо така напруга подається на будь-який із входів. На виході EO встановлюється напруга низького рівня, коли на всі входи подається напруга високого рівня. Дозволяючи входи і виходи мікросхеми дозволяють з'єднувати модулі в каскади для прийняття більшого числа

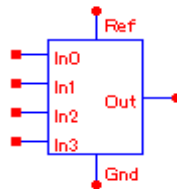
вхідних сигналів. На виході EO, як і на виході GS, формується напруга високого рівня, коли така напруга подається на дозволяючий вхід EI. В нормальному режимі роботи на вхід EI повинна подаватися напруга низького рівня. Час затримки проходження сигналу дорівнює 10 нс, а струм споживання дорівнює 12мА.

В табл. 3 наведено залежність сигналів на виходах від сигналів на входах та значення сигналу на дозволяючому вході.

Таблиця 3. Робота шифратора

Входи									Виходи				
\overline{EI}	0	1	2	3	4	5	6	7	A2	A1	A0	\overline{GS}	\overline{EO}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

18) DtoA4 – Цифро-аналоговий перетворювач (ЦАП) з чотирма входами:

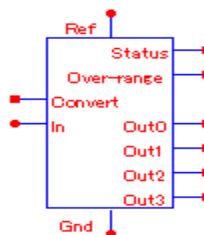


Знаходиться в Digital Primitives -> DtoA Converters -> DtoA4.

Основні параметри:

TIMING MODEL – Модель розподілу часу, зазвичай вибирається T1.

19) AtoD4 – Аналого-цифровий перетворювач з чотирма виходами:



Знаходиться в Digital Primitives -> AtoD Converters -> AtoD4.

Основні параметри:

TIMING MODEL – Модель розподілу часу, зазвичай вибирається T1.

5. Аналіз перехідних процесів

Запустивши аналіз перехідних процесів способами, які було описано вище, відкриється вікно параметрів аналізу перехідних процесів (рис. 13).

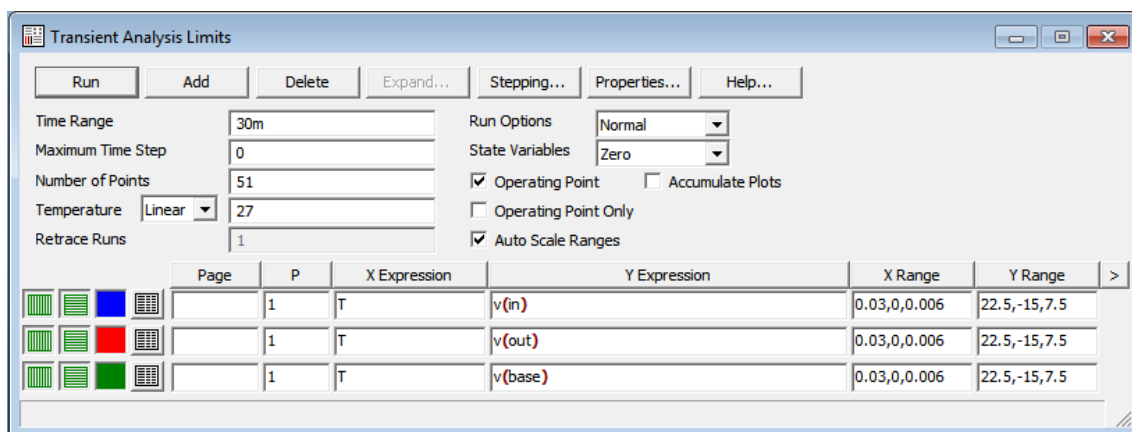


Рис. 13. Вікно параметрів аналізу перехідних процесів

Для виконання лабораторних робіт достатньо маніпулювати лише деякими параметрами, значення інших параметрів можна залишати за умовчанням.

Параметри аналізу перехідних процесів:

- 1) Time Range. Задає час, протягом якого необхідно відображувати перехідні характеристики.
- 2) Maximum Time Step. Максимальний час кроку. Використовується як параметр точності для згладжування графіків залежностей.
- 3) Auto Scale Ranges. Автомасштаб. Автоматичний підбір розмірів вісей графіків.

Головними параметрами аналізу є залежності, які необхідно побудувати. Ці залежності визначаються таблицею з їх переліком у вікні параметрів (рис. 14).

Page	P	X Expression	Y Expression	X Range	Y Range	>
	1	T	i(v1)	1,0,0.2	0.00225,-0.0015	
	1	T	i(r3)	1,0,0.2	0.00225,-0.0015	

Рис. 14. Залежності, які будуть будуватись аналізатором перехідних процесів

Залежності, що будуть будуватись задаються за допомогою атрибутів: P, X Expression, Y Expression, X Range, Y Range (рис. 14).

Атрибут P визначає, на якому графіку (за номером) буде побудовано залежність. Наприклад, на рис. 14 обидві залежності будуть побудовано на одному графіку з номером 1. Щоб побудувати залежності на різних графіках необхідно вказати різні номери графіків. Для того, щоб не будувати конкретну залежність,

необхідно встановити замість її номера значення None. Ці дії можна виконати як вручну так і вибором в меню, що відкривається кліком миші по назві колонки P в таблиці з переліком залежностей.

Атрибут X Expression вказує, яка величина відкладається за віссю абсцис. В лабораторних роботах зазвичай в якості X Expression використовується або час T або вхідна напруга V(IN). Також вибрати X Expression можна вибором в меню, що відкривається кліком миші по назві колонки X Expression в таблиці з переліком залежностей.

Атрибут Y Expression вказує, яка величина відкладається за віссю ординат. Вибір цієї величини здійснюється аналогічно вибору X Expression. Також в якості X Expression або Y Expression можна вибрати напругу та струм (та інші величини, що не використовуються в лабораторних роботах) в будь-якому вузлі або елементі схеми. Наприклад, щоб побудувати залежність струму у вузлі 4 деякої схеми від напруги на резисторі R1, необхідно в поле X Expression ввести V(R1), де R1 – назва даного резистора, а в поле Y Expression – I(4), де 4 – назва вузла.

Рекомендується вводити атрибути X Expression та Y Expression вручну.

Атрибути X Range та Y Range визначають інтервали на яких будуватиметься залежність. Зазвичай ці інтервали вибираються автоматично, але їх можна скорегувати вручну.

Щоб додати ще одну залежність для побудови необхідно натиснути на кнопку Add.

Щоб видалити залежність необхідно натиснути на кнопку Delete.

Щоб запустити аналіз перехідних процесів необхідно натиснути на кнопку Run. Приклад аналізу перехідних процесів подано на рис. 15 та рис. 16.

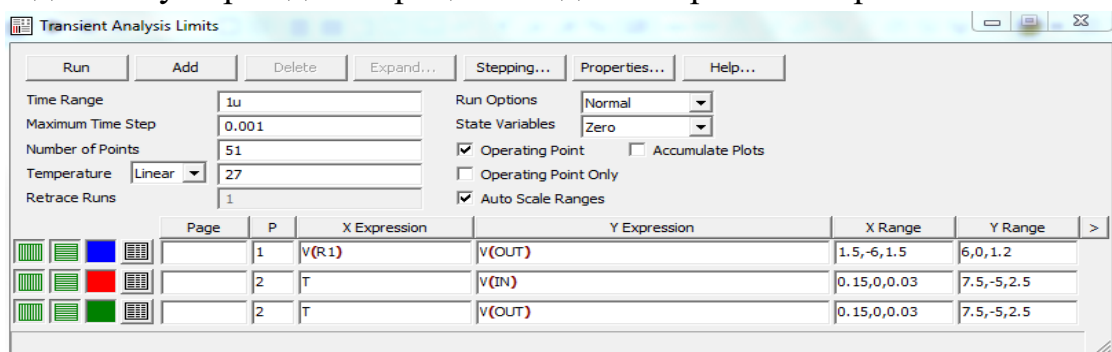


Рис. 15. Приклад параметрів аналізу перехідних процесів

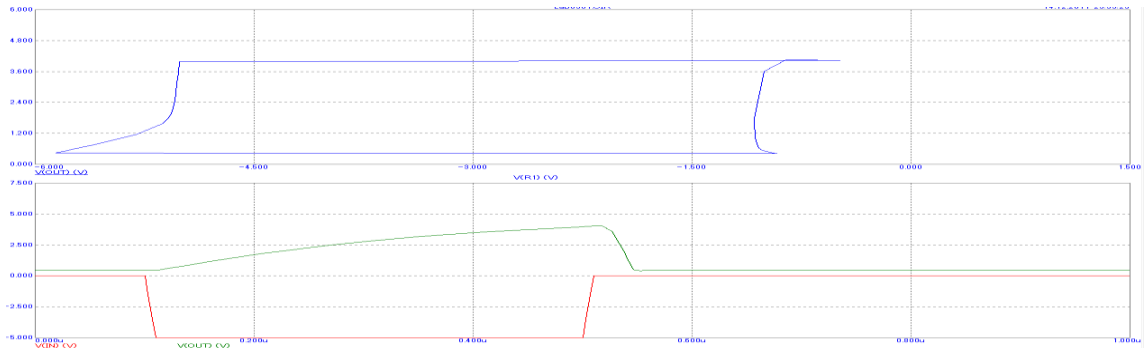


Рис. 16. Приклад побудованих перехідних процесів

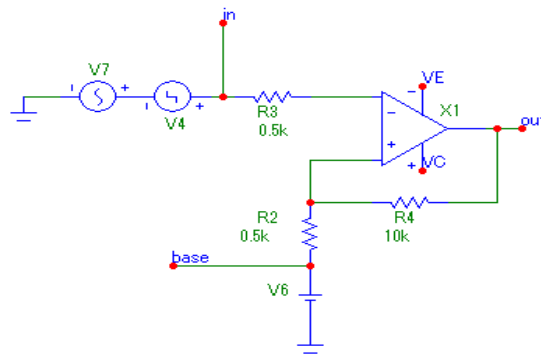
На основі гнучкості механізму аналізу MicroCap, можна будувати різні характеристики схем, зокрема:

- передатну характеристику;
- залежності вхідної та вихідної напруг від часу.

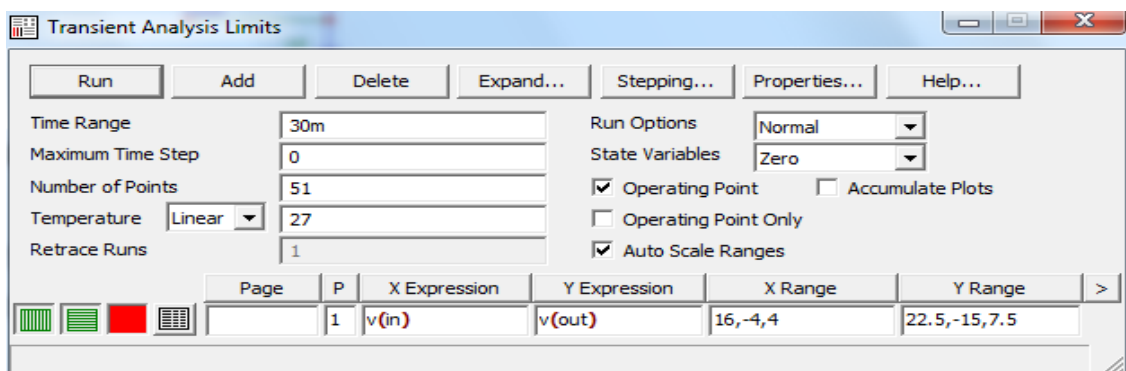
Приклади побудов деяких характеристик:

1) Приклад побудови перехідної характеристики:

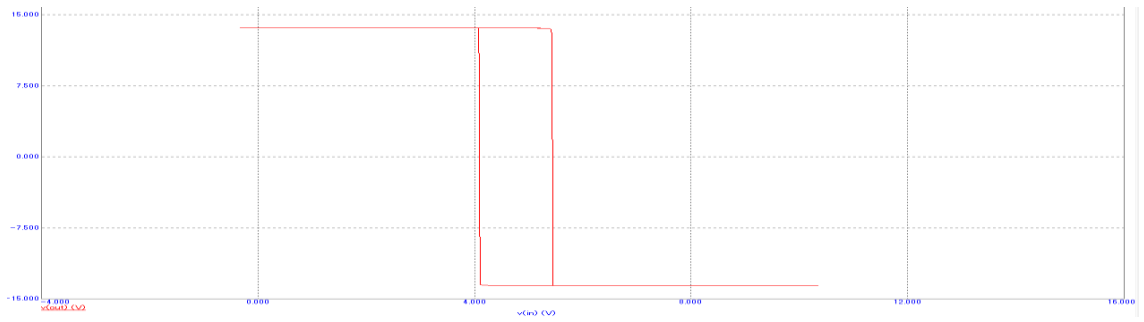
Схема:



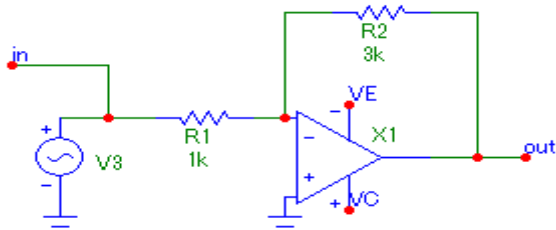
Параметри графіків:



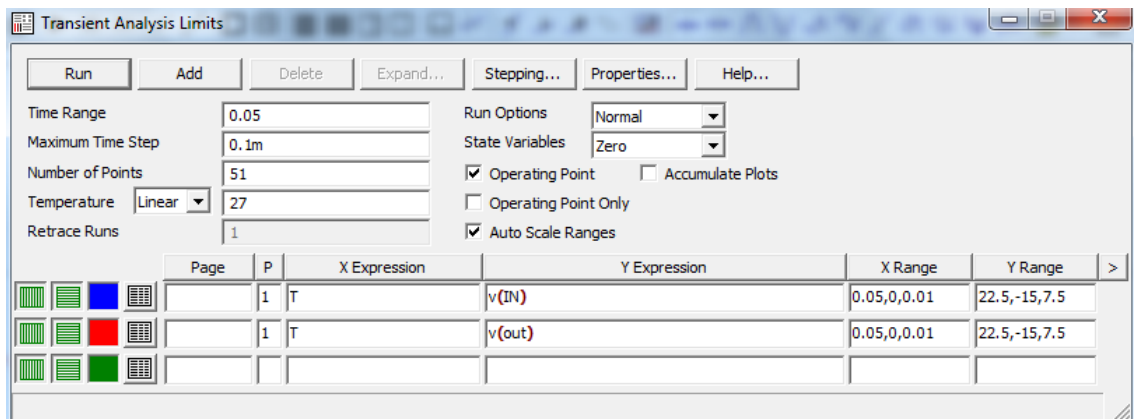
Передатна характеристика:



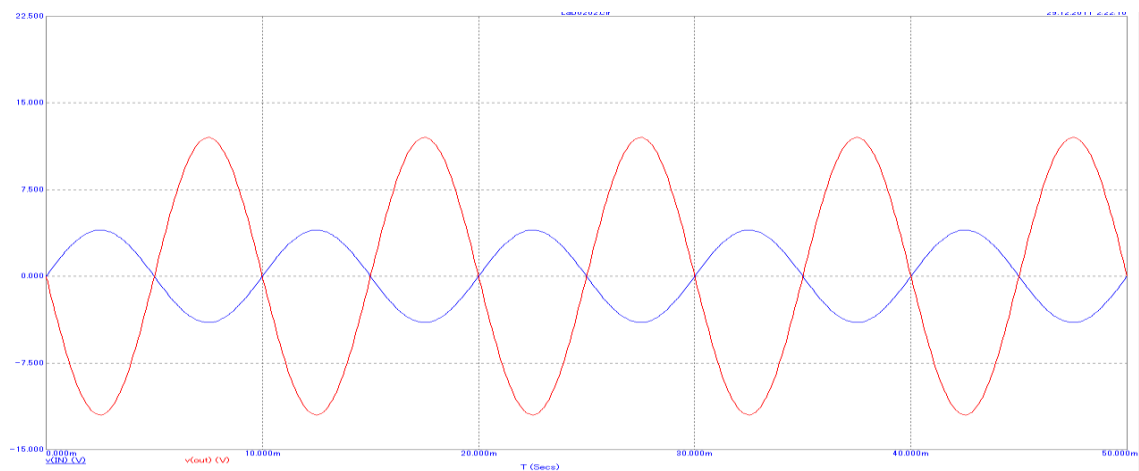
2) Приклад побудови залежностей вхідної і вихідної напруг від часу:
Схема:



Параметри графіків:



Вхідна та вихідна напруги:



Список літератури

1. Комп'ютерна електроніка [Електронний ресурс] : підручник для студ. спеціальності 126 «Інформаційні системи та технології», спеціалізації «Інтегровані інформаційні системи» / А.О. Новацький ; КПІ ім. Ігоря Сікорського. – Електронні текстові дані (1 файл: 80.9 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 468 с.
2. Комп'ютерна електроніка: Лабораторний практикум [Електронний ресурс] : навч. посіб. для студ. освітньої програми «Інтегровані інформаційні системи» спеціальності 126 «Інформаційні системи та технології», / КПІ ім. Ігоря Сікорського; уклад.: А.О. Новацький. – Електронні текстові дані (1 файл: 13.8 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2018. – 416 с.
3. Бойко В. І. Аналогова схемотехніка та імпульсні пристрої / В. І. Бойко та ін. – Київ : Вища шк., 2004.
4. Бойко В. І. Схемотехніка електронних систем. В 2 Кн. Кн. 2. Цифрова схемотехніка / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – «Вища школа», 2004.
5. Гніліцький В. В. Є. С. Купкін, А. О. Новацький. Аналогова електроніка : навч. посіб. / Житомир : ЖДТУ, 2012.
6. Новацький А. О. Імпульсна та цифрова електроніка : навч. посіб. / А. О. Новацький. – Київ : НТУУ «КПІ», 2014.
7. Джонс М. Х. Электроника – практический курс / М. Х. Джонс. – М. : Постмаркет, 1999.
8. Браммер Ю. А. Импульсная техника / Ю. А. Браммер, И. Н. Пащук. – М. : Высш. шк., 1985.
9. Руденко В. С. Промислова електроніка / В. С. Руденко, В. Я. Ромашко, В. В. Трифонюк. – Київ : Либідь, 1993.
10. Корис Р. Схемотехніка : справочник инженера / Р. Корис, Х. Шмидт–Вальтер. – М. : Техносфера, 2008.
11. Токхейм Р. Основы цифровой электроники : [пер. с англ.] / Р. Токхейм. – М. : Мир, 1988.
12. Фолкенбери Л. Применение операционных усилителей и линейных ИС : [пер. с англ.] / Л. Фолкенбери. – М. : Мир, 1985.
13. Хоровиц П. Искусство схемотехники : [пер. с англ.] : в 3 т. / П. Хоровиц, У. Хилл. – М. : Мир, 1993.
14. Тарасов И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL / И. Е. Тарасов. – Горячая линия–Телеком, 2005.
15. Джонсон Д. Справочник по активным фильтрам : [пер. с англ.] / Д. Джонсон и др. – М. : Энергоатомиздат, 1983.

16. Електроніка та мікропроцесорна техніка: підручник. У 2 ч. Ч. 2. Мікропроцесорні системи [Електронний ресурс] / А. О. Новацький. – Електронні текстові дані (1 файл: 20,7 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, Вид-во «Політехніка», 2023. – 496с.