

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

Приладобудівний факультет

(повна назва інституту/факультету)

Прилади та системи орієнтації і навігації

(повна назва кафедри)

«На правах рукопису»
УДК 004.087.2

«До захисту допущено»
Завідувач кафедри

(підпис)

(ініціали, прізвище)

“ ____ ” _____ 20__ р.

Магістерська дисертація

зі спеціальності (спеціалізації) _____
(код і назва спеціальності)

151. Автоматизація та комп'ютерно-інтегровані технології

на тему: _____
Вдосконалення тесту оцінки стану
енергонезалежної пам'яті

Виконав (-ла): студент (-ка) 6 курсу, групи ПГ-61М
(шифр групи)

Котельнікова О.С.

(прізвище, ім'я, по батькові)

(підпис)

Науковий керівник доц. к.т.н. Павловський О.М.

(посада, науковий ступінь, вчене звання, прізвище та ініціали)

(підпис)

Консультант _____

(назва розділу)

(науковий ступінь, вчене звання, прізвище, ініціали)

(підпис)

Рецензент _____

(посада, науковий ступінь, вчене звання, науковий ступінь, прізвище та ініціали)

(підпис)

Засвідчую, що у цій магістерській дисертації
немає запозичень з праць інших авторів без
відповідних посилань.

Студент _____
(підпис)

Київ – 2018 року

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

Інститут (факультет) _____ Приладобудівний факультет
(повна назва інституту/факультету)

Кафедра _____ Прилади та системи орієнтації і навігації
(повна назва кафедри)

Рівень вищої освіти – другий (магістерський)

Спеціальність _____ Автоматизація та комп'ютерно-інтегровані технології
(код і назва)

ЗАТВЕРДЖУЮ
Завідувач кафедри

(підпис) (ініціали, прізвище)

«___» _____ 20__ р.

ЗАВДАННЯ
на магістерську дисертацію студенту

_____ Котельнікова Олександра Сергіївна
(прізвище, ім'я, по батькові)

1. Тема дисертації _____ Вдосконалення тесту оцінки стану
енергонезалежної пам'яті

науковий керівник дисертації _____ доц. к.т.н. Павловський О.М.
(посада, науковий ступінь, вчене звання, прізвище та ініціали)

затверджені наказом по університету від «___» _____ 20__ р. № _____

2. Термін подання студентом дисертації _____

3. Об'єкт дослідження _____ Detailed Marginal Read тест оцінки стану
енергонезалежної пам'яті

4. Предмет дослідження _____ модернізація та розширення функціональних
можливостей тестів пам'яті

5. Перелік завдань, які потрібно розробити _____

_____ 1. Огляд видів пам'яті та їх класифікація

_____ 2. Принцип читання та запису інформації на енергонезалежну пам'ять

_____ 3. Опис видів тестів для оцінювання характеристик енергонезалежної
пам'яті

_____ 4. Розробка апаратно-програмного комплексу для відтворення та
вдосконалення DMR тесту

_____ 5. Порівняння результатів виконання тесту із використанням різних
алгоритмів

6. Орієнтовний перелік ілюстративного матеріалу _____ ілюстративні
матеріали, що розкривають суть дослідження

7. Орієнтовний перелік публікацій _____

Котельнікова О. С. Оптимізація тесту оцінки стану енергонезалежної пам'яті / О. С. Котельнікова, О. М. Павловський. // XX Міжнародна молодіжна науково-практична конференція "Людина і Космос". – 2018.; Котельнікова О. С. РОЗРОБКА АПАРАТНО-ПРОГРАМНОГО КОМПЛЕКСУ ДЛЯ ОЦІНКИ ТЕСТУ СТАНУ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ / О. С. Котельнікова, О. М. Павловський. // Міжнародна науково-технічна XI конференція молодих вчених.ELCONF-2018 – 3-5квітня 2018р.; Павловський О. М. ШЛЯХИ ВДОСКОНАЛЕННЯ ДІАГНОСТИЧНИХ ТЕСТІВ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА ПРИКЛАДІ DETAILED MARGINAL READ ТЕСТУ / О. М. Павловський, О. С. Котельнікова. // ВІСНИК НАЦІОНАЛЬНОГО ТЕХНІЧНОГО УНІВЕРСИТЕТУ УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ". СЕРІЯ ПРИЛАДОБУДУВАННЯ. – 2018.

8. Консультанти розділів дисертації _____

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

9. Дата видачі завдання _____

Календарний план

з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка

Студент

(підпис)

(ініціали, прізвище)

Науковий керівник дисертації

(підпис)

(ініціали, прізвище)

Реферат

В магістерській дисертації за напрямком досліджень «Вдосконалення тесту оцінки стану енергонезалежної пам'яті» розглянуто сучасний стан проблеми тестування блоків пам'яті, проведено аналіз існуючих дослідних робіт та методів.

На сьогоднішній день актуальною є проблема оптимізації тестів оцінки стану пам'яті на різних етапах розробки, виробництва та використання. Під час розробки наявність повного доступу до блоку дає ширший спектр можливостей у дослідженні впливу запису, стирання та довколишнього середовища на зберігання інформації в комірках. На кожному етапі експериментів зі створення умов для погіршення якості записаних даних перевіряється їхній безпосередній вплив. Результуючі дані використовуються для прогнозування строку життя та якісної оцінки як окремих комірок, так і блоку в цілому.

Існує низка стандартних тестів, що дозволяють перевірити якість блоку пам'яті. У більшості існуючих наукових робіт розглянуто методи його верифікації на етапі розробки, проте вони не підійдуть для тестування на завершальному етапі виробництва через деструктивні особливості їхнього виконання. Описані в роботі експериментальні дослідження проводяться для пристроїв, що використовуються в автомобільній промисловості і для оцінки взято відповідні стандарти. Оскільки базовим елементом пам'яті є транзистор а показником якості – струм, що протікає через комірку, зазначені тести мають на меті саме перевірку його величини та можливості логічного читання зазначеного блоку.

На етапі виробництва велика увага приділяється швидкості виконання тестової послідовності, бо через великий обсяг продукції саме час є можливістю підвищення економічної вигідності процесу.

Робота містить __ сторінок, __ ілюстрацій, __ таблиць, __ додатків, __ джерел за переліком посилань.

Метою магістерської дисертації є вдосконалення тесту оцінки енергонезалежної пам'яті для прискорення її тестування та оптимізації часу дослідження.

Для досягнення поставленої мети були визначені такі завдання:

- Аналіз стану проблеми оцінки стану пам'яті
- Огляд існуючих методів оцінки та досліджень із їхньої оптимізації
- Оцінка не деструктивних методів оцінки, що виконуються на етапах розробки та виробництва
- Вибір одного з тестів для пошуку методів вдосконалення
- Розробка апаратно-програмного комплексу для відтворення обраного тесту
- Відтворення алгоритму тесту та розробка його вдосконаленої версії
- Аналіз отриманих результатів

Об'єкт дослідження – Detailed Marginal Read тест оцінки стану енергонезалежної пам'яті

Предмет дослідження – модернізація та розширення функціональних можливостей тестів пам'яті

Наукова новизна – розробка алгоритму прискорення Detailed Marginal Read тесту на основі вибраного алгоритму пошуку

Практичне значення – зменшення часу тестування блоку пам'яті на виробництві

Апробація результатів дисертації – тестова установка на базі компанії «Мелексис-Україна» із тестуванням алгоритму на їхній мікросхемі

Ключові слова – енергонезалежна пам'ять, мікросхема, оцінка стану, тестування

Публікації:

1. Котельнікова О. С. Оптимізація тесту оцінки стану енергонезалежної пам'яті / О. С. Котельнікова, О. М. Павловський. // XX Міжнародна молодіжна науково-практична конференція "Людина і Космос". – 2018.

2. Котельнікова О. С. РОЗРОБКА АПАРАТНО-ПРОГРАМНОГО КОМПЛЕКСУ ДЛЯ ОЦІНКИ ТЕСТУ СТАНУ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ / О. С. Котельнікова, О. М. Павловський. // Міжнародна науково-технічна XI конференція молодих вчених. ELCONF-2018 – 3-5 квітня 2018р.
3. Павловський О. М. ШЛЯХИ ВДОСКОНАЛЕННЯ ДІАГНОСТИЧНИХ ТЕСТІВ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА ПРИКЛАДІ DETAILED MARGINAL READ ТЕСТУ / О. М. Павловський, О. С. Котельнікова. // ВІСНИК НАЦІОНАЛЬНОГО ТЕХНІЧНОГО УНІВЕРСИТЕТУ УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ". СЕРІЯ ПРИЛАДОБУДУВАННЯ. – 2018.

Abstract

In the master's dissertation on the direction of research for "The non-volatile memory evaluation test improvement", the current memory block testing problem state is reviewed, an existing research works and methods analysis has been carried out.

Nowadays, the non-volatile memory evaluation test optimization at various stages of development, production and use is actual. The full access to the block provides a wider range of opportunities in the study of the effects of writing, erasure and the environment to store information in the cells during development. The recorded data quality deterioration experimental conditions are created to check their direct impact. The resulting data is used to predict the lifetime and qualitative assessment of both individual cells and the whole block.

There is a number of standard tests to check the quality of the memory block. The majority of existing scientific works, the methods of its verification at the development stage, but they would not fit for the final development stage due to their destructive measurement needs. The described experimental researches are carried out for devices used in the automotive industry and the corresponding standards are taken for evaluation. Since the base element of the memory is a transistor and the quality indicator is the current flowing through the cell, these tests are aimed for verifying its value and the possibility of logical reading of the specified block.

At the production stage, a lot of attention is paid to the test sequence execution speed, because of the large products' volume, the time is one of major opportunities to increase the economic profitability of the process.

The study contains __ pages, __ pictures, __ tables, __ addons, __ sources by list.

The purpose of the master's thesis is the non-volatile memory evaluation test improvement to accelerate its testing and optimize the research time.

To achieve the goal, the following tasks were identified:

- The memory state evaluation problem analysis
- The existing evaluation and research methods and their optimization overview
- The non-destructive evaluation methods performed at the design and production stages rating
- The tests to find improvement methods for choosing
- The hardware-software setup for reproduction of the selected test development
- Reproduction of the test algorithm and the development of its advanced version
- The results analysis

The object of the study is the Detailed Marginal Read test as the non-volatile memory evaluation test.

The subject of the research is the modernization and the functionality expansion of the memory tests.

Scientific novelty is the Detailed Marginal Read test acceleration algorithm development based on the chosen search algorithm.

Practical value is to reduce the time spent for the memory block testing in the production

The dissertation results approbation is a test installation based on the company "Melexis-Ukraine" with the testing of the algorithm on their chip.

Keywords - nonvolatile memory, chip, evaluation, testing

Publications:

1. Kotelnikova O. S. the non-volatile memory evaluation test improvement / O. S. Kotelnikov, O. M. Pavlovsky. // XX International Youth Scientific and Practical Conference "Man and Space". - 2018

2. Kotelnikova O. S. DEVELOPMENT OF HARDWARE-SOFTWARE COMPLEX FOR EVALUATION OF THE TEST OF THE NON-VOLATILE

MEMORY / O. S. Kotelnikova, O. M. Pavlovsky. // International scientific and technical XI conference of young scientists. ELCONF-2018 - April 3-5, 2018

3. Pavlovsky O. M. WAYS OF IMPROVEMENT OF DIAGNOSTIC TESTS OF THE NON-VOLATILE MEMORY ON THE EXAMPLE OF DETAILED MARGINAL READ TEST / O. M. Pavlovsky, O. S. Kotelnikov. // NEWSPAPER OF THE NATIONAL TECHNICAL UNIVERSITY OF UKRAINE "KIEV POLYTECHNICAL INSTITUTE". INSTRUMENTMAKING SERIES - 2018

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, СКОРОЧЕНЬ І ТЕРМІНІВ

ЕКС – електронна комп’ютерна система

ЗП – запам’ятовуючий пристрій

ОЗП – оперативний запам’ятовуючий пристрій

ЗЗП – зовнішній запам’ятовуючий пристрій

ПЗП – постійний запам’ятовуючий пристрій

SRAM – static random access memory

DRAM – dynamic random access memory

SONOS – semiconductor oxide nitride oxide semiconductor

CMR – common marginal read

DMR – detailed marginal read

МНДП – метал- напівпровідник - діелектрик/окисел- напівпровідник

МДН – метал- діелектрик/окисел- напівпровідник

NVM – non-volatile memory

EEPROM – electrically erasable programmable read only memory

PROM – programmable read only memory

EPROM – electrically programmable read only memory

NVRAM – non-volatile random access memory

OTP – one time programmable

Vref – опорна напруга

AF – Acceleration Factor

Зміст	
ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, СКОРОЧЕНЬ І	
ТЕРМІНІВ.....	10
ВСТУП.....	13
1. ОГЛЯД СТАНУ ПРОБЛЕМИ ТА ВИБІР НАПРЯМКУ ДОСЛІДЖЕНЬ	14
1.1. Формування загальної потреби у запам'ятовуючих пристроях в архітектурі сучасної мікропроцесорної системи	14
1.2. Класифікація запам'ятовуючих пристроїв.....	15
1.3. Огляд раніше виконаних робіт за напрямком дослідження	20
1.4. Мета і задачі наукових досліджень	23
2. БУДОВА ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА РІЗНИХ	
ПРИНЦИПОВИХ РІВНЯХ.....	25
2.2. Структура блоку пам'яті	26
2.3. Запис, стирання, та читання значення комірки.....	29
2.4. Інтегральні структури для читання даних із комірок	31
2.5. Паразитні зв'язки та їхній вплив на збережену інформацію	32
2.6. Висновки до розділу.....	34
3. ТЕСТИ ВИЗНАЧЕННЯ СТАНУ ОКРЕМИХ КОМІРОК ТА ПАМ'ЯТІ	
В ЦІЛОМУ	35
3.1. Тестування структур критичних для коректної роботи діагностичних тестів	36
3.2. Cell current тест	39
3.3. Detailed marginal read тест.....	41
3.4. Шляхи вдосконалення DMR тесту та прогнозований ефект.....	43
3.5. Висновки до розділу.....	45
4. ЕКСПЕРИМЕНТАЛЬНЕ ДОСЛІДЖЕННЯ	46

4.1. Установка для проведення експерименту	46
4.1.1. Платформа PXI	46
4.1.2. Вимірювальні карти стандарту PXIe	55
4.2. Друкована плата для відтворення тесту DMR	57
4.3. Тестова мікросхема	59
4.4. Програмне забезпечення для роботи із дослідною мікросхемою	62
4.5. Функція визначення конфігурації зміни кроку DMR зчитування	66
4.6. Аналіз результатів при використанні різних алгоритмів визначення кроку.....	68
4.7. Висновки до розділу	70
5. РОЗРОБЛЕННЯ СТАРТАП-ПРОЕКТУ	72
5.1. Опис ідеї проекту.....	72
5.2. Технологічний аудит ідеї проекту	73
Таблиця 5.3 Технологічна здійсненність ідеї проекту	73
5.3. Аналіз ринкових можливостей запуску стартап-проекту	74
5.4. Розроблення ринкової стратегії проекту	78
5.5. Розроблення маркетингової програми стартап-проекту	81
5.6. Висновки до розділу	82
ВИСНОВКИ	84
СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ.....	86
ДОДАТОК А.....	89
ДОДАТОК Б	90

ВСТУП

Використання інтегральних мікросхем різної функціональності є стандартом для сьогодення автомобільної промисловості. Зважаючи на рівні стандартів, що висуваються до транспортного засобу в цілому, очікуваним є й те, що окремі підсистеми мають пройти низку випробовувань.

Зокрема, засіб збереження програмного забезпечення модулів. Він може бути представлений як дискретною мікросхемою, так і інтегрованим в будову однієї з них. Для перевірки її характеристик та валідації у різних умовах експлуатації існує затверджений список тестів та умов для них.

Наприклад, існують методи оцінки якості та детального аналізу: CMR(common margin read) – для швидкої оцінки якості за сигнатурами, DMR(detail margin read) – для детального дослідження рівня заряду для кожної комірки пам'яті, Cell current – для оцінки струму транзистору кожної комірки. Як правило, дані тести виконують для оцінки стану запам'ятовуючого пристрою після проходження ним певних експериментальних випробовувань. Наприклад, витримка в термокамері від 12 до 1000 годин, що є еквівалентом їхнього використання протягом декількох років, або циклічний перезапис одного слова, що викликає збурення сусідніх комірок.

Ще кілька років тому дослідження пам'яті за допомогою зазначених тестів на етапі валідації було занадто тривалим, що сповільнювало процес розробки та виробництва. На даний момент, придбання нової системи, що інтегрує в себе різні прилади, дозволив зменшити вказаний час, проте виключно за рахунок підвищення швидкості комунікації між ними. Оптимізація процесу вимірів з програмної сторони є подальшим кроком на шляху зменшення часу розробки та пришвидшення виходу продукту на ринок.

1. ОГЛЯД СТАНУ ПРОБЛЕМИ ТА ВИБІР НАПРЯМКУ ДОСЛІДЖЕНЬ

1.1.Формування загальної потреби у запам'ятовуючих пристроях в архітектурі сучасної мікропроцесорної системи

Комп'ютерна пам'ять забезпечує підтримку однієї з найважливіших функцій сучасної процесорної системи — здатність тривалого зберігання інформації. Вона присутня у всіх історичних архітектурах, як у гарвардській (Рисунок 1.1. а), так і в архітектурі фон Неймана (Рисунок 1.1. б). Центральний процесор і пристрій, що запам'ятовує, є ключовими ланками принципу, закладеного в основу більшості сучасних процесорних систем загального призначення [1].

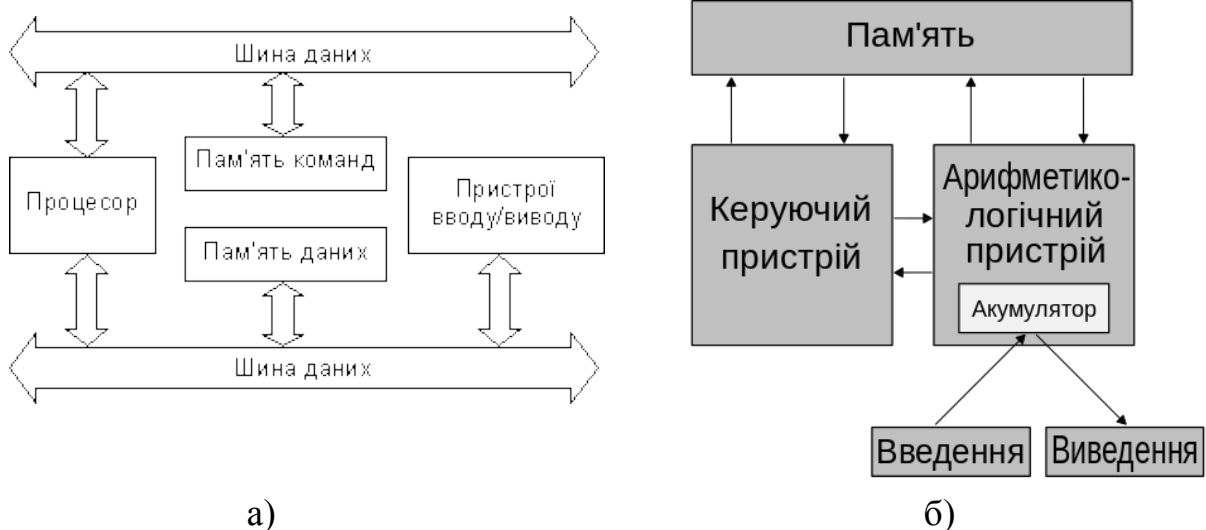


Рисунок 1.1- Комп'ютерні архітектури: а) гарвардська комп'ютерна архітектура; б) архітектура фон Неймана

Перші процесорні системи використовували пристрої, що запам'ятовують, виключно для зберігання оброблюваних даних. Їхні програми реалізовувалися на апаратному рівні у вигляді жорстких заданих виконуваних послідовностей. Будь-яке перепрограмування вимагало величезного обсягу ручної роботи з підготовки нової документації, перекомутації, перебудови блоків і пристроїв і т. п. Використання архітектури фон Неймана, що

передбачає зберігання комп'ютерних програм і даних в загальній пам'яті, корінним чином змінило ситуацію[2].

Система зберігання інформації в сучасному цифровому комп'ютері заснована на двійковій системі числення. Числа, текстова інформація, зображення, звук, відео та інші форми даних представляються у вигляді послідовностей бітових рядків або бінарних чисел, кожне з яких складається зі значень 0 і 1. Це дозволяє комп'ютеру легко маніпулювати ними за умови достатньої ємності системи зберігання. Наприклад, для зберігання невеликої розповіді досить мати пристрій пам'яті загальним обсягом всього лише близько 8 мільйонів бітів (приблизно 1 Мегабайт).

Дотепер створено безліч різноманітних пристроїв, призначених для зберігання даних, багато з яких засновано на використанні різноманітних фізичних ефектів. Універсального рішення не існує, кожне має ті або інші недоліки. Тому комп'ютерні системи зазвичай мають кілька видів систем зберігання, основні властивості яких зумовлюють їх використання і призначення [3].

1.2.Класифікація запам'ятовуючих пристроїв

Залежно від призначення і особливостей реалізації пристроїв комп'ютерної пам'яті по-різному підходять і до питань їхньої класифікації.

Так, при розгляді віддаленості і доступності пам'яті для центрального процесорного пристрою розрізняють первинну (Оперативна пам'ять), вторинну і третинну пам'ять.

Первинна пам'ять характеризується найбільшою швидкістю доступу. Центральний процесор має прямий доступ до пристроїв первинної пам'яті; іноді вони навіть розміщуються на одному і тому ж кристалі.

У традиційній інтерпретації первинна пам'ять містить активно використовувані дані (наприклад, програми, що працюють в даний час, а також

дані, що обробляються в даний час). Зазвичай буває високошвидкісна, відносно невелика, енергозалежна (не завжди). Іноді її називають основною пам'яттю.

Вторинна пам'ять також називається периферійною. У ній зазвичай зберігається інформація, яка не використовується в даний час. Доступ до такої пам'яті відбувається повільніше, проте обсяги такої пам'яті можуть бути в сотні і тисячі разів більшими. В більшості випадків ця пам'ять енергонезалежна.

Проте таке розділення не завжди можливе. Як основна пам'ять може використовуватися диск з довільним доступом. А вторинною пам'яттю іноді називають ту, яку можна відключити від комп'ютера, наприклад стрічкові накопичувачі.

На рисунку Рисунок 1.2 представлена класифікація запам'ятовуючих пристроїв електронно-цифрових обчислювальних машин (ЕЦОМ)

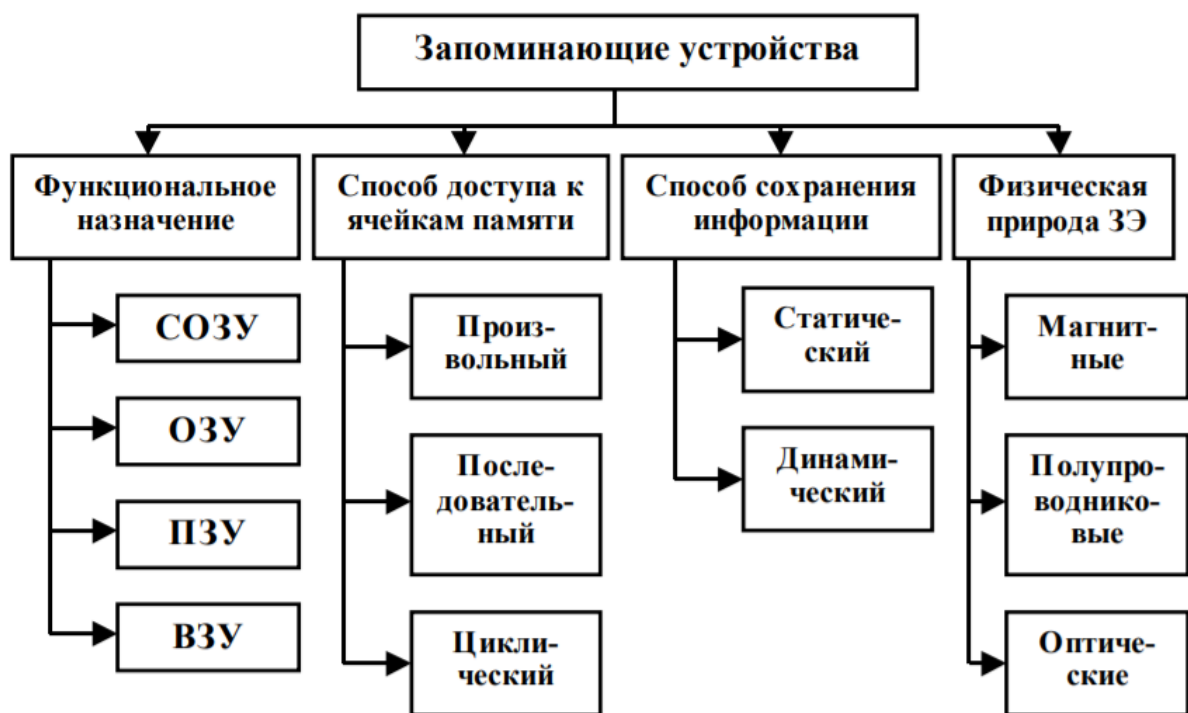


Рисунок 1.2 - Класифікація запам'ятовуючих пристроїв

Можна виділити постійний запам'ятовуючий пристрій (ПЗП) та оперативний запам'ятовуючий пристрій (ОЗП), що відповідають здатності або

нездатності до зберігання даних в умовах відключення зовнішніх джерел живлення. Так визначають енергонезалежність або енергозалежність пристроїв зберігання даних. Енергозалежною називається комп'ютерна пам'ять, яка вимагає постійного використання електроживлення для можливості утримувати записану на неї інформацію. Ця особливість є ключовою відмінністю енергозалежною пам'яті від незалежній - остання зберігає записану на неї інформацію навіть після припинення подачі електроживлення на неї. Енергозалежна пам'ять також зрідка називається тимчасовою пам'яттю (англ. Temporary memory). Переважна більшість сучасних видів оперативної пам'яті з довільним доступом є енергозалежними. Сюди відносяться динамічна (DRAM) і статична (SRAM) пам'ять з довільним доступом.

Особливості механізмів читання-запису відрізняють пристрої пам'яті тільки для зчитування (ПЗП), доступні для разового запису і безлічі читань (WORM) або придатні для повноцінного виконання операцій зчитування-запису. Порядок вибірки визначає пам'ять довільного або послідовного доступу з блоковою або файловою адресацією.

Втім, досить часто до питання класифікації підходять простіше, наприклад, розрізняючи пристрої залежно від використовуваного типу носія — напівпровідникова пам'ять, оптична пам'ять, магнітооптична пам'ять, магнітна пам'ять і таке інше.

За способом зберігання інформації ЗП підрозділяються на статичні і динамічні. У статичних ЗП при зчитуванні з комірки її вміст не змінюється, тому вміст однієї і тієї ж комірки можна багаторазово зчитувати. При записі інформації в задану комірку, раніше записана в неї інформація, стирається і в комірці розміщується нова інформація. До статичних ЗП відносяться усі типи ЗЗП, НОЗП, ПЗП і окремі види ОЗП. Для динамічних ЗП характерним є руйнування інформації в комірці через певний проміжок часу після її зчитування, тому в таких ЗП передбачаються спеціальні функціональні вузли для відновлення (регенерації) інформації, зчитаної з цієї комірки ЗП. В

динамічних ЗП час звернення при зчитуванні інформації збільшується, якщо момент звернення потрапляє на період регенерації інформації. До динамічних ЗП відносяться тільки ОЗП [1].

По фізичній природі запам'ятовуючих елементів, всі ЗП поділяються на магнітні, напівпровідникові і оптичні. У основу усіх цих ЗП покладена властивість ЗЕ мати два стійких стани.

Магнітні ЗП будуються на магнітних елементах. Один магнітний елемент служить для зберігання одиниці інформації (біта). В якості ЗЕ використовуються феромагнітні матеріали (ферити) або покриття (суцільні магнітні плівки), що зберігають залишкову намагніченість того або іншого знаку, один з яких ототожнюється зі значенням 1, інший - зі значенням 0. Запис і зчитування в магнітних ЗП здійснюються зміною напруженості електричного або магнітного поля. В якості магнітних ЗП використовуються в основному накопичувачі на магнітних стрічках і накопичувачі на магнітних дисках.

Запам'ятовуючим елементом, напівпровідникових ЗП є інтегральна схема, що є звичайним тригером, який може бути встановлений в стан 0 або 1. Якщо тригер знаходиться в стані 1, то цей стан в ньому зберігається до тих пір, поки не буде поданий сигнал, що переводить його в 0, або не буде вимкнене живлення. Запис і зчитування в напівпровідникових ЗП відбувається електричним шляхом. Напівпровідникові ЗП застосовуються в ЕКС в якості внутрішніх ЗП.

Електричні напівпровідникові енергонезалежні запам'ятовуючі пристрої можна класифікувати відповідно до їхнього механізму запису, програмувальної можливості та займаємої на кристалі площі.

Масочні ROM (Read Only Memory) є тільки заводськи-програмованими і зазвичай використовуються для великогабаритних продуктів, які не потребують оновлення після виготовлення. Назва «масочний ROM» походить від технологічного процесу на виробництві, за якого ділянки чіпа маскуються під фотолітографії.

Вміст PROM (Programmable Read Only Memory) може бути змінений після виготовлення, але для цього потрібен спеціальний програмуючий пристрій і зазвичай не може бути записаним під час використання у цільовій системі. Програмування є постійним, і подальші зміни потребують заміни пристрою. Дані зберігаються шляхом фізичного змінення (спалювання) місць зберігання в пристрої.

Мікросхема флеш-пам'яті є близькою до EEPROM (Electrically Erasable Programmable Read Only Memory), проте відрізняється тим, що воно може лише стерти один блок або "сторінку" за один раз. Це твердотільний кристал, що підтримує збережені дані без будь-якого зовнішнього джерела живлення. Ємність є значно більшою, ніж у EEPROM, що робить ці чіпи популярним вибором для цифрових камер та чіпів настільних ПК.

OTP (One Time Programmable) пам'ять є схожою до PROM за використанням та єдиноразово програмованою здатністю. Проте, з технологічної сторони є велика різниця в процесі запису. На відміну від PROM, при записі в OTP для запам'ятовування не відбувається фізичного спалювання сегменту кристалу. Збереження досягається завдяки інжекції електронів у плаваючий затвор, при тому, що керуючий затвор ізолювано, відсутня й можливість «витягнути» інжектвані електрони.

Дуже надійними є оптичні ЗП. Інформація в таких ЗП зберігається у вигляді малюнка з ділянок носія з різними оптичними характеристиками на гладкій плоскій поверхні (наприклад, на карті, пластинці, диску). Зчитування інформації робиться світловим променем, що проходить через носій або відбивається від нього. Прозорий елемент поверхні, що пропускає світловий промінь, відповідає 1, а непрозорий - 0. При зчитуванні світлові сигнали перетворюються в електричні. Оптичні ЗП використовуються як ПЗП або накопичувачі - ЗЗП.

Різні типи пам'яті мають різні переваги, тому в більшості сучасних комп'ютерів використовуються відразу декілька типів пристроїв зберігання даних.

Запам'ятовуючі пристрої зазвичай використовуються для зберігання програмного забезпечення модуля, даних, необхідних для його функціонування та тимчасових значень в оперативній пам'яті. Очевидно, що такий елемент системи має пройти низку випробовувань та тестувань, щоб гарантувати коректність його роботи в кінцевому приладі. ЗП має бути під контролем як під час роботи в кінцевому приладі, що називається application control, так і на етапі розробки та виробництва, коли є можливість провести стресові випробовування та спрогнозувати термін коректної роботи і придатність до використання у різних умовах.

Діагностування блоків пам'яті в масштабах виробництва є необхідною умовою для гарантування їхньої працездатності в кінцевому приладі. Також це надає розробникам знання про кінцевий термін експлуатації, вірогідність виникання помилок зчитування на етапах життя приладу та верифікування методів корекції помилок. Їхня перевірка може бути проведена як в інтегрованому пристрої, так і як окремого елемента.

1.3.Огляд раніше виконаних робіт за напрямком дослідження

Серед існуючих на сьогоднішній день способів діагностики і тестування пристроїв керування електромеханічних систем найперспективнішим є спосіб з використанням цифрових технологій. Він дозволяє тестувати пристрій керування в режимі реального часу з реальними вхідними і вихідними сигналами без небезпеки пошкодити об'єкт керування і безпечно для обслуговуючого персоналу. Створення таких засобів діагностування вимагає розв'язання задач розробки відповідних математичних та цифрових моделей реального часу, апаратних засобів для їх реалізації та технологій використання [5]. Проте в своїй роботі він приділяє більшість уваги до проблеми розрахункових потужностей процесору або мікроконтролеру обраного для

проведення діагностування. З іншого боку підвищення продуктивності можна досягти завдяки оптимізації самих алгоритмів діагностуючого програмного забезпечення, вибору моделі достатньої для певних задач складності та використання принципів адаптації послідовності наступних тестів до результатів попередніх.

Автомобільна промисловість висуває високі вимоги до безвідмовності як системи в цілому, так і її підсистем. Відомо, що відмово стійкість є загальною проблемою низки електронних пристроїв та їх застосувань. Так Т.О. Говорущенко та Є.Г. Гнатчук у статті «Особливості відмово стійких комп'ютерних систем з програмованою логікою як об'єктів діагностування» висвітлюють основні види відмов комп'ютерних систем. Так вони поділяють їх на такі типи: постійні (permanent fault) – одноразовий вплив без можливості наступного використання системи; переривчасті (intermittent fault) – багаторазове повторення ситуації без можливості визначення її закономірності; перехідні (transient fault) – одноразова тимчасова відмова без можливості її повторення при рестарті системи. Відмови можуть виникати раптово (без попереднього погіршення вихідних характеристик) або наперед прогнозуватись за постійними змінами вихідних характеристик. Також вони наводять два основних напрямки побудови відмово стійких систем: 1) використання лише відмово стійких компонентів – при такій реалізації кожен компонент системи може продовжувати своє функціонування, навіть якщо один/декілька підкомпонентів системи виходять з ладу; 2) розроблення методів, які гарантують побудову відмово стійкої системи з невідмовостійких компонентів – відмово стійкість в таких системах реалізується за рахунок введення надлишковості та розроблення спеціального програмного забезпечення, елементних взаємозв'язків та алгоритмів функціонування [6].

Отже, для побудови відмово стійкої системи є необхідним використання відмово стійких підсистем, що забезпечується прогнозуванням та виправленням помилок заздалегідь або компенсацією за рахунок резервних елементів. Для

прогнозування відмов та некоректності роботи підсистем необхідним елементом їхня валідація, верифікація та оцінка живучості.

Методи валідації та верифікації можна розділити на деструктивні та не деструктивні для досліджуємого об'єкту. Тобто, для виконання других немає необхідності в фізичному знищенні працездатності елементу. Для проведення першого типу дослідження потрібно привести об'єкт в певний заздалегідь відомий фізичний стан.

У статті «Прогнозування терміну надійної експлуатації інтегральних мікросхем радіотехнічних пристроїв» об'єктами дослідження обрано фрагменти кремнієвих елементів пам'яті у формі тонких пластин, що мають розподілені ділянки Si та Si₃N₄, які виступають в якості шару, що захоплює заряд. Ці об'єкти були розділені на дві групи. До першої групи входили об'єкти, які не знаходились в експлуатації, а до другої – об'єкти, які використовувались для запису інформації протягом 3; 2; 1,5 та 0,5 років, тобто на виході експерименту було отримано елементи пам'яті різних ступенів деградації. Їхню оцінку було проведено двома методами: програмною верифікацією та за виявленням дефектів поверхні. Результатами показано що при експлуатації інтегральних мікросхем в екстремальних умовах відбувається збільшення середніх значень мікронерівностей, розвиток тріщин, які приводять до передчасного виходу їх з ладу, що, у свою чергу, призводить до погіршення техніко-експлуатаційних властивостей цих елементів. Варто відмітити, що в даній роботі вперше для аналізу поверхні інтегральних мікросхем на прикладі елементів пам'яті та прогнозування часу їх надійної експлуатації використано метод атомно-силової мікроскопії, який дозволив на початковій стадії експлуатації визначати приховані мікродефекти (мікротріщини, пори тощо) і зменшення надійності відгуку, які не можуть бути визначені іншими аналітичними методами. Також, автор стверджує, що визначена залежність часу надійної експлуатації інтегральних мікросхем радіотехнічних пристроїв від умов їх експлуатації, стану поверхні кремнієвого чипу та впливів зовнішнього середовища [7].

Запропоновано метод підвищення надійності запам'ятовуючих пристроїв за рахунок прогнозування виникнення дефектів та попередження їхньої появи, а також побудови інструментального засобу, що автоматизує регламентування проведення профілактичного діагностування. У роботі приведено аналітику із вірогідності безвідмовної роботи модуля при використанні методу багаторазового заміщення. Тобто, поганої заміни дискретного елемента при виявленні недоліків або некоректної роботи в умовах експлуатації у кінцевому приладі. Також, виходячи з теорії надійності розраховано мінімальний час напрацювання на відмову, а отже і час через який буде необхідно провести фізичну заміну модуля.

Зазначимо, що повна заміна модуля підвищує надійсть не самого модуля, а системи в цілому. Автор не надає алгоритму програми перевірки коректності відпрацьовування приладу.

1.4. Мета і задачі наукових досліджень

У наш час найбільш розповсюдженими є запам'ятовуючі пристрої у форматі інтегральних мікросхем через їхню дешевизну та високу стабільність. Через важливість підсистеми зберігання даних дослідження та тестування пам'яті має виконуватись для кожного окремого блоку на етапах розробки та виробництва.

Розглянуто наявні наукові дослідження та праці з теми тестування пам'яті. Недоліками наведених методів можна зазначити фізичну неможливість масштабування на величину масового виробництва. Також більшість із приведених методів мають теоретичні розрахунки та можливості, проте відсутнє практичне підґрунтя та докази реальної працездатності.

Вважаю доцільним провести наукове дослідження в даній сфері для виявлення можливостей вдосконалення тестів енергонезалежної пам'яті для подальшої оптимізації процесів досліджень, розробки та виробництва.

Мета наукової роботи – вдосконалення тесту оцінки енергонезалежної пам'яті для прискорення її тестування та оптимізації часу дослідження.

Для досягнення поставленої мети були визначені такі завдання:

- Аналіз стану проблеми оцінки стану пам'яті
- Огляд існуючих методів оцінки та досліджень із їхньої оптимізації
- Оцінка не деструктивних методів оцінки, що виконуються на етапах розробки та виробництва
- Вибір одного з тестів для пошуку методів вдосконалення
- Розробка апаратно-програмного комплексу для відтворення обраного тесту
- Відтворення алгоритму тесту та розробка його вдосконаленої версії
- Аналіз отриманих результатів

Об'єкт наукової роботи – Detailed Marginal Read тест оцінки стану енергонезалежної пам'яті

Предмет наукової роботи – модернізація та розширення функціональних можливостей тестів пам'яті

2. БУДОВА ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА РІЗНИХ ПРИНЦИПОВИХ РІВНЯХ

2.1.Будова єдиного запам'ятовуючого елементу

З-поміж усіх зазначених у першому розділі видів ПЗП найбільш використовуваними є пристрої інтегрального типу. З причин широкого розповсюдження можна виділити наступні:

1. Дешевизну виготовлення
2. Простоту виробництва у великій кількості
3. Можливість вбудови до комплексних мікросхем
4. Довгостроковий час коректної роботи за рахунок відсутності рухомих частин, що підвернені зносу
5. Високу швидкість доступу до даних

Сучасна флеш-пам'ять зазвичай виготовляється за 0,13 і 0,18-мікронним технологічним процесом.

В інтегральному виконанні пам'ять будується на специфічному виді транзистору – транзисторі із плаваючим затвором, що є різновидом польового МДН. Один такий елемент є одиничною коміркою пам'яті. Будову транзистору із плаваючим затвором наведено на Рисунок 2.1. Дана комірка зберігає один біт інформації та здатна зберігати заряд протягом багатьох років.

Наявність або відсутність заряду кодує один біт інформації. Зазвичай, наявність заряду на транзисторі тлумачать як логічний "0", відсутність - як логічну "1".

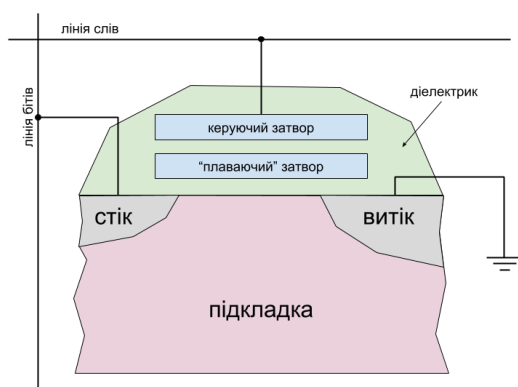


Рисунок 2.1 - Поперечний переріз транзистора із плаваючим затвором

Можна виділити такі підвиди транзисторів із плаваючим затвором: транзистор із електричним програмуванням та ультрафіолетовим стиранням - FAMOS (Floating gate Avalanche injection Metal Oxide Semiconductor) та транзистор із електричними програмуванням і стиранням. Перший, FAMOS, є основою для будови саме одноразово програмованих блоків за умови покриття поліамідом для убезпечення від потрапляння стираючого ультрафіолетового випромінювання. Другий вид транзистору є основою для більшості сучасних архітектур.

Окрім комірок з "плаваючим" затвором що найчастіше зустрічаються, існують також комірки на основі SONOS-транзисторів, які не містять плаваючого затвора. SONOS-транзистор нагадує звичний МНОП (MNOS) транзистор. У SONOS-комірках функцію "плаваючого" затвора і оточуючого його ізолятора виконує композитний діелектрик ONO. Розшифровується SONOS (Semiconductor Oxide Nitride Oxide Semiconductor) як Напівпровідник – Діелектрик – Нітрид – Діелектрик -Напівпровідник. Замість комірки нітрида, що дав назву цьому типу в майбутньому планується використовувати полікристалічний кремній.

Кожен вид програмованої енергонезалежної пам'яті(англ. Non-volatile memory, nonvolatile memory, NVM або non-volatile storage) формується з великої кількості саме таких транзисторів, як наведено абзацем вище або з невеликою різницею. Проте схема їх підключення може варіюватися, в залежності від чого ми і отримуємо різні типи носіїв інформації. Наприклад, EEPROM (Electrically Erasable Programmable Read-Only Memory), NVRAM(Non-volatile random-access memory).

2.2.Структура блоку пам'яті

Кожен з наведених видів пам'яті має свої переваги та недоліки, та використовується для різних цілей та вимог. Так комірки пам'яті можуть об'єднуватися за різним принципом в залежності від необхідних швидкості та

площі займаємої на кристалі (Рисунок 2.2). Існують такі архітектури: NAND, NOR, AND та DINOR. Проте через сучасні індустріальні стандарти структур чипів NOR та NAND є найбільш розповсюдженими [9].

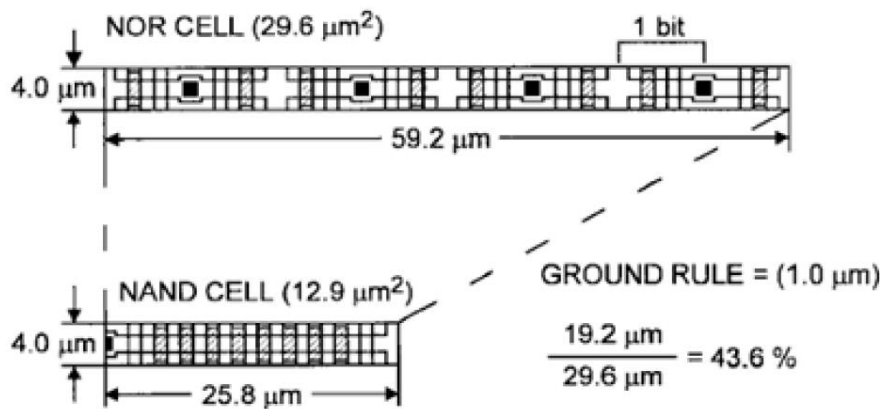


Рисунок 2.2 - Порівняння площі, що займають 8-бітні NAND та NOR лінії

Конструкція NOR використовує класичну двомірну матрицю провідників, у якій на перетині строк і стовпців встановлено по одній комірці. При цьому провідник строк підключений до стоку транзистора, а стовпці - до другого затвору. Виток підключається до загальної для всіх підложки (Рисунок 2.3).

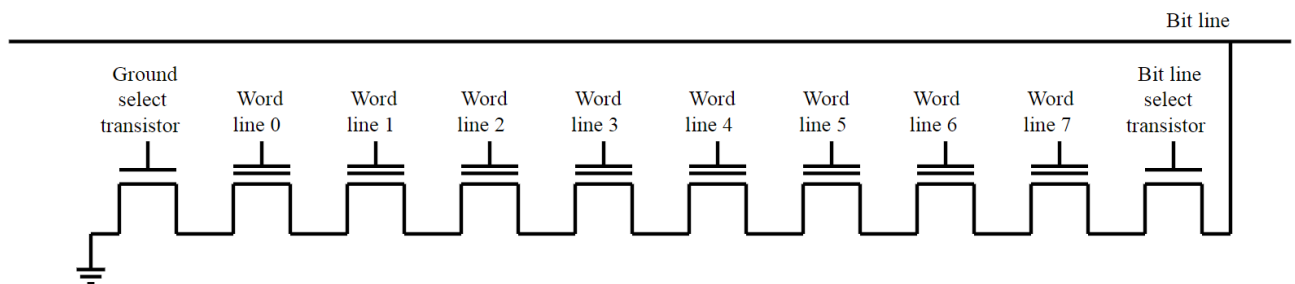


Рисунок 2.3 - Електрична принципова схема формування масиву пам'яті NOR формату

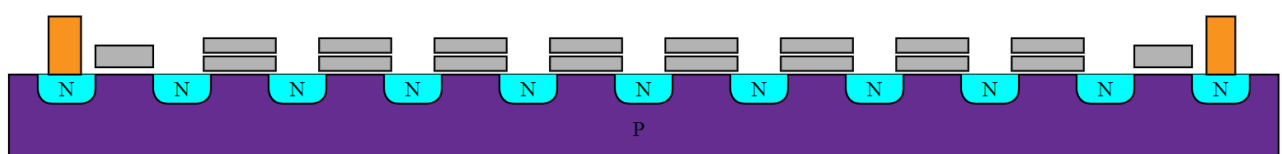


Рисунок 2.4 - Схема реалізації формування масиву пам'яті NOR формату у кремнієвій пластині

Конструкція NAND - тримірний масив. В основі та сама матриця, що і в NOR, але замість одного транзистора в кожному переході встановлюється стовпець з послідовно включеними комірками. У такій конструкції отримується багато затворних ланцюгів в одному перетині. Щільність компонування можна стрімко підвищити, адже до однієї комірки в стовбці підходить тільки один провідник затвору, проте алгоритм доступу до комірок для читання та запису помітно ускладнюється. Так само в кожній лінії встановлено два МОП-транзистора: управляючий транзистор розрядної лінії (англ. Bit line select transistor), розташований між стовпцями комірок і розрядною лінією, та управляючий транзистор заземлення, розташований перед землею (англ. Ground selected transistor).

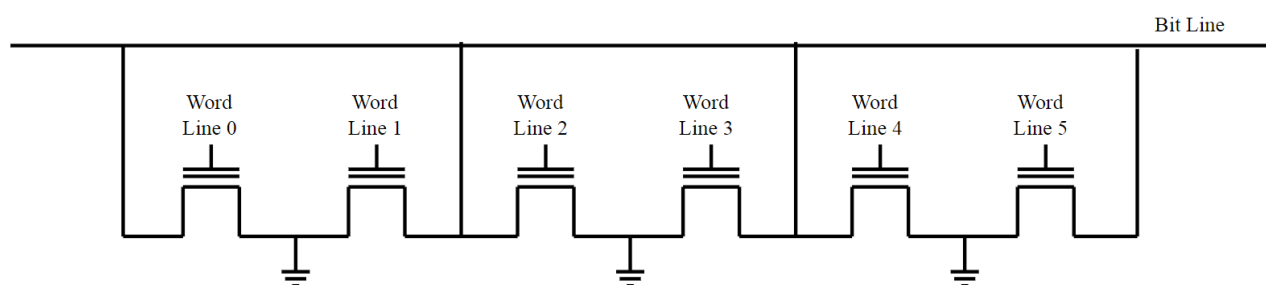


Рисунок 2.5 - Електрична принципова схема формування масиву пам'яті NAND формату

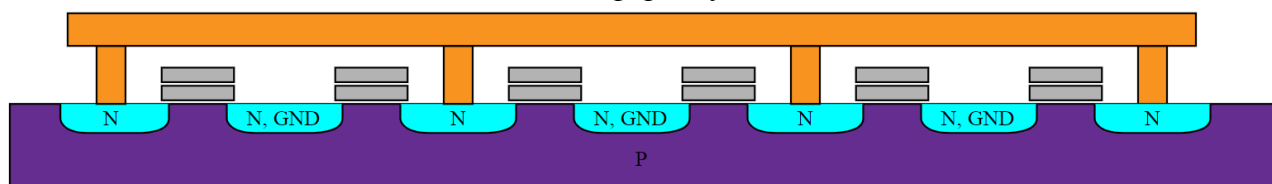


Рисунок 2.6 - Схема реалізації формування масиву пам'яті NAND формату у кремнієвій пластині

Технологія NOR дозволяє отримати швидкий доступ індивідуально до кожної зони, однак площа мікросхеми займає велику площу. NAND, навпаки, має малу площу комірки, але відносно тривалий доступ відразу до великої групи комірок. Відповідно, різняться область застосування: NOR використовується як безпосередня пам'ять програм мікропроцесорів і для

зберігання невеликих допоміжних даних. NAND найчастіше застосовується для USB флеш накопичувачів, карт пам'яті, SSD.

2.3. Запис, стирання, та читання значення комірки

Для запису заряди повинні потрапити в плаваючий затвор, але він ізольован шаром оксиду. Для перенесення зарядів може бути використаний ефект тунелювання (Рисунок 2.7). [10] Для розряду необхідно подати великий позитивний заряд на керуючий затвор: негативний заряд за допомогою тунельного ефекту вийде з плаваючого затвору. І навпаки, для заряду плаваючого затвора необхідно подати великий негативний заряд.

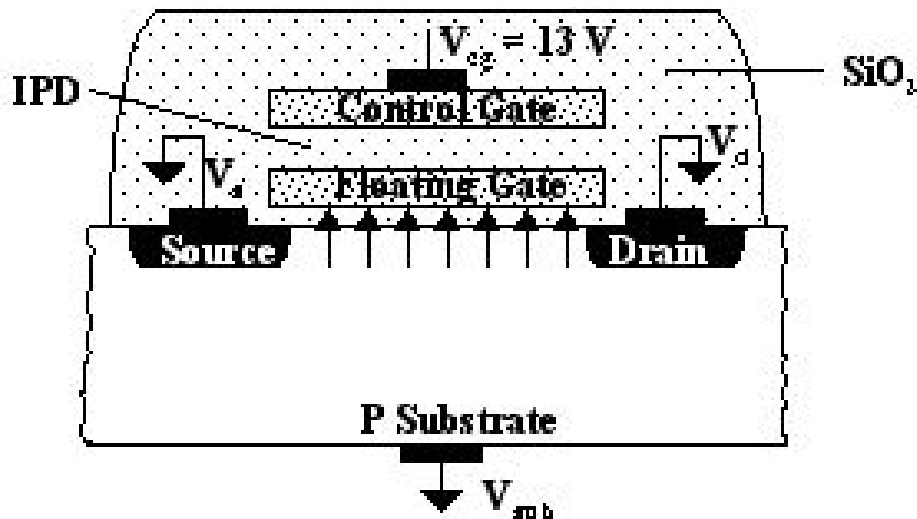


Рисунок 2.7 - Електрична принципова схема програмування методом тунелювання електронів

Також запис може бути реалізований за допомогою інжекції гарячих носіїв. При протіканні струму між джерелом і стоком підвищеної напруги електрони можуть переміщати шар оксиду і залишатися в плаваючому затворі (Рисунок 2.7). При цьому необхідно, щоб на керуючому затворі був присутній позитивний заряд, який створював потенціал для інжекції.

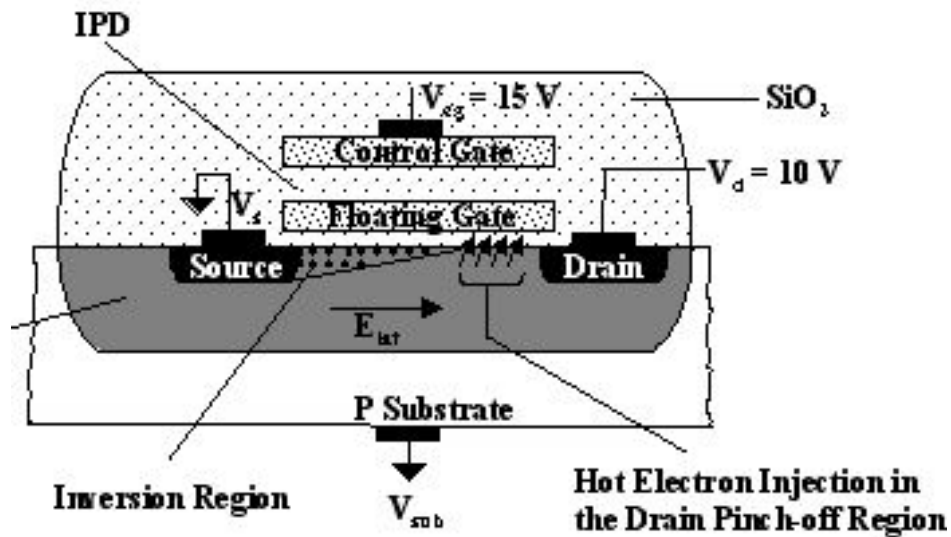


Рисунок 2.8 - Електрична принципова схема програмування гарячою інжекцією електронів

Кожен запис надає невеликий збиток оксидному шару, тому кількість записів обмежено.

Запис у NOR та NAND компонування складається з двох стадій: спочатку всі транзистори в лінії встановлюються в 1 (відсутність заряду), потім потрібні комірки встановлюються в 0.

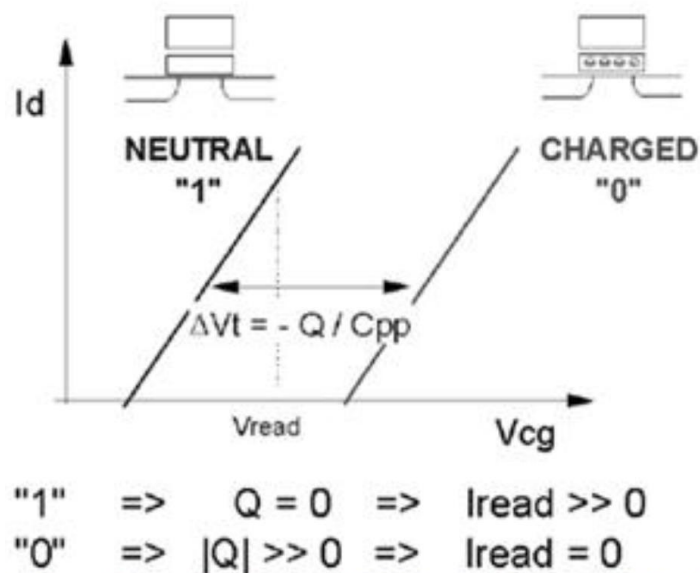


Рисунок 2.9 - Вольт-Амперна характеристика для записаних та стертих комірок пам'яті

Для читання подається позитивний заряд на керуючий затвор. Якщо в плаваючому затворі відсутній заряд, то транзистор почне проводити струм. В

іншому випадку струм між витком і стоком не виникає. Тобто, подається напруга стертої комірки на управляючий затвор та перевіряється наявність струму. За його відсутності перевіряємо, чи є струм при встановленні напруги записаної комірки

Рисунок 2.9 [9].

2.4.Інтегральні структури для читання даних із комірок

Для вимірювання струму комірки та оцифровування даного сигналу необхідна додаткова конструкція. У більшості випадків вона належить до однієї лінії даних та представлена операційним підсилювачем у включенні компаратора та ємності, що заряджається струмом включеної комірки.

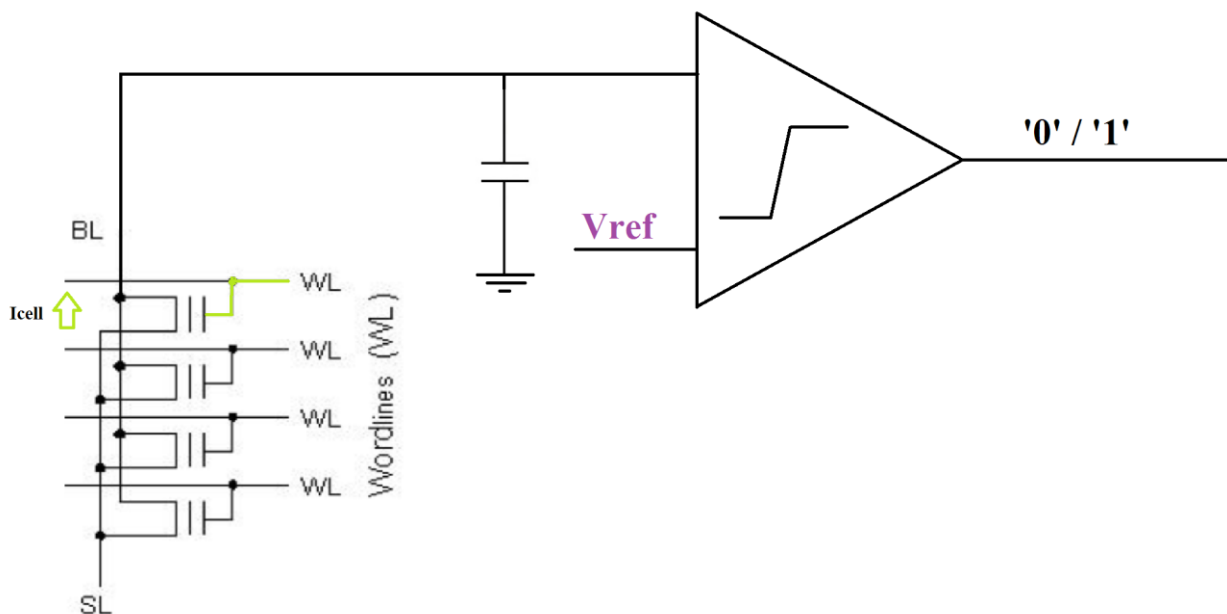


Рисунок 2.10 - Електрична принципова схема ланцюга для вимірювання струму запрограмованої комірки

Величина V_{ref} - є запрограмованою опорною напругою для визначення чи є комірка запрограмованою або стертою. При зчитуванні на затвор ключа, що під'єднує кожен окрему комірку подається напруга та підключає транзистор із

плаваючим затвором до бітової лінії. Через наявність або відсутність заряду в останньому, через лінію тече струм, що заряджає ємність. Вона будується самою лінією та її паразитними струмовими витоками у підложку. На зарядженій ємності формується напруга, яка порівнюється із опорною за допомогою операційного підсилювача в режимі компаратора та видає на вихід логічний “0” або “1”, що відповідає записаному та стертому станам комірки. Тобто, ми маємо можливість зробити логічне читання. Опорна напруга, V_{ref} , формується не функціональною, проте такою самою лінією транзисторів, задля мінімізації відмінностей через технологічний процес виробництва, через які тече струм від внутрішнього джерела та заряджає таку саму ємність. Як параметр також варіюється час зарядження для обох ліній.

2.5.Паразитні зв’язки та їхній вплив на збережену інформацію

Оскільки пам’ять не є досконалою заряд плаваючих затворів може «витікати», через що рівень логічного спрацювання компаратору буде зміщуватись. Тобто, різниця напруг між стертими та записаними комірками буде зменшуватись. Вихідний стан записаних та стертих комірок можна проілюструвати розподіленням комірок за рівнями (Рисунок 2.11) [11]. На ньому зображено кількість комірок, які коректно вичитуються на відкладеному за віссю абсцис значенні напруги.

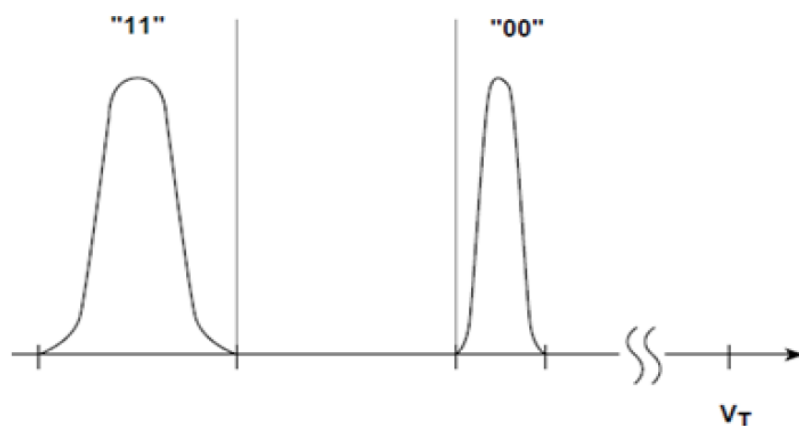


Рисунок 2.11 - Вихідне розподілення порогового рівня зчитування записаних та стертих комірок

У відповідності до Рисунку 2.11 для блоку пам'яті можна визначити найнижчий та найвищий рівні для записаних та стертих комірок, а саме лівий та правий краї кожного розподілення. Однією з характеристик блоку пам'яті є «Вікно Рівнів» - це два значення для блоку: найвищий рівень для стертих комірок, та найнижчий рівень для записаних комірок. На Рисунку 2.12 наведено приклад результуючих даних після виконання збурюючого експерименту. Він проводився на пристрої №3 та при циклічному перезаписі одного слова в середині блоку пам'яті від 0 до 10 000 разів. Наведені значення є мінімальним рівнем спрацювання для стертих комірок (синій графік) та максимальний – для записаних (червоний графік). Для зручності аналізу вони перераховані відносно опорної напруги. Специфікацією наданою до нього мінімальна відстань до референтного значення, що і називається вікном рівня, має біти не меншою від 0,4 В.

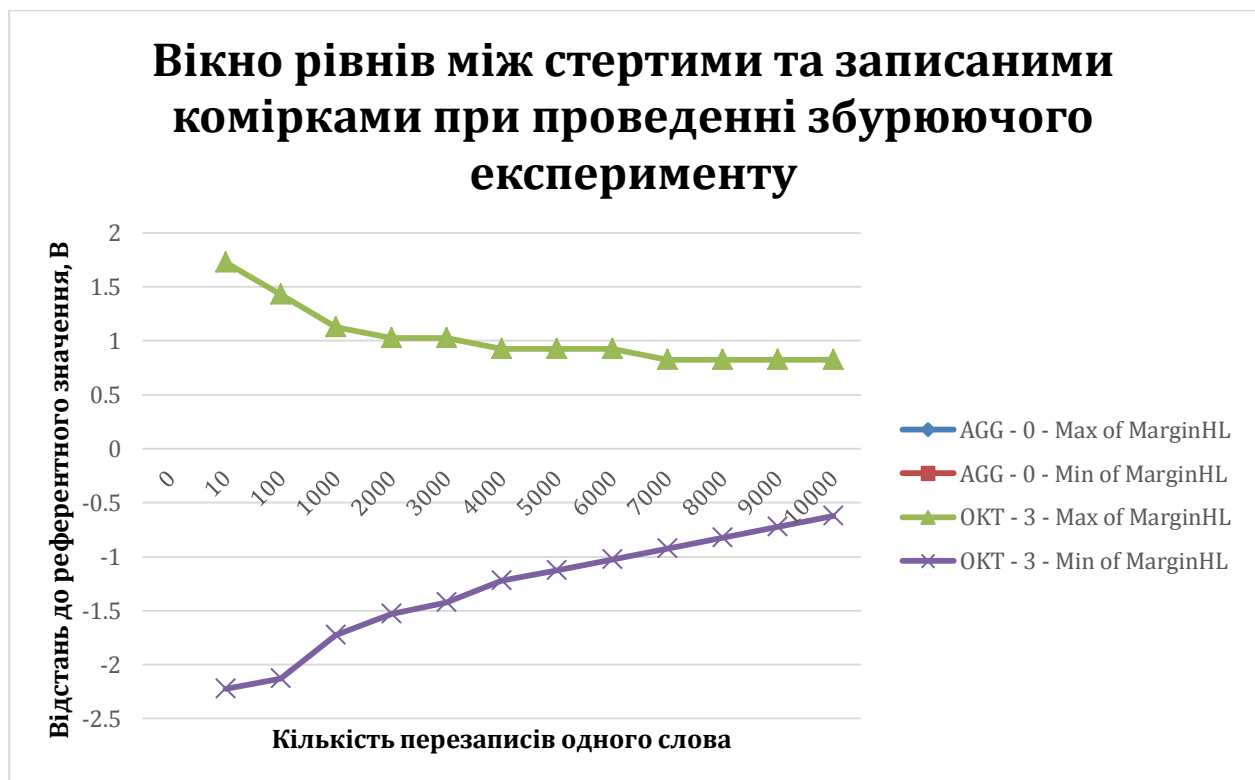


Рисунок 2.12 - Вікно рівнів між стертими та записаними комірками при проведенні збурюючого експерименту

2.6. Висновки до розділу

Основним носієм інформації у енергонезалежній інтегральній пам'яті є транзистор із плаваючим затвором, який зберігає один біт даних. Об'єднання багатьох з них в єдину структуру може бути виконано за різними логіками, проте основними є NAND та NOR. Вони, в свою чергу, формують певну архітектуру пам'яті, яку ми знаємо як NVRAM або EEPROM.

Довкола сформованих бітових ліній розроблене середовище, яке дозволяє робити логічне читання та запис, а також перевіряти граничні рівні спрацьовування кожної комірки. Оскільки дані структури є вбудованими та необхідними за функціональним призначенням, тести, що засновуються на їхньому використанні є оптимальними для використання на виробництві.

3. ТЕСТИ ВИЗНАЧЕННЯ СТАНУ ОКРЕМИХ КОМІРОК ТА ПАМ'ЯТІ В ЦІЛОМУ

Тестування пам'яті є складним процесом із валідації не тільки самих комірок, а й структур довкола бітових ліній, що забезпечують її роботу та коректне вичитування. Для повного циклу верифікації на етапі розробки перевіряється:

- низка аналогових регуляторів, що формують референтну напругу
- коректність роботи операційних підсилювачів у режимах компараторів для кожної бітової лінії
- струм кожної комірки
- коректність логічної вичитки
- мінімальний та максимальний рівні спрацювання логічного компаратора для стертих та записаних комірок
- повний скринінг рівнів спрацювання логічних компараторів

Кожен параметр перевіряється за допомогою окремого тесту. Зазвичай вони виконуються багаторазово над одним блоком пам'яті у зв'язці із проведенням експерименту, що має на меті створення умов для погіршення якості записаних даних. Можна зазначити такі типові експерименти:

- симуляція кліматичних умов - зміни температури та вологості довколишнього середовища
- примусове зістарювання мікросхеми – витримка її у термокамері на 175°C або 250°C, що при часі експерименту до двох тижнів симулює його роботу протягом 10 років

Для цього експерименту розраховується фактор прискорення (Acceleration Factor) за формулою 3.1 [13].

$$\lambda = \frac{\text{Number of failures}}{\text{Number of tested} \times \text{hours} \times AF} \times 10^9 FIT \quad (3.1)$$

де “Number of failures” та “Number of tested” – кількість мікросхем, що

зламалися та загальна кількість мікросхем в експерименті, λ – швидкість відмов, hours – час проведення експерименту в годинах, FIT (failure in time) – часові відмови – визначається як кількість відмов на мільярд мікросхем-годин.

Загалом даний експеримент є стандартом та називається HTOL - High Temperature Operating Life.

- збурюючий експеримент – циклічний перезапис одного слова від 1 до 100 000 разів для виявлення впливу наведення додаткового запису або стирання на біти у тих самих лініях слів та адрес - Рисунок 3.1

	COLLUMN 0	COLLUMN 1
WL0	WORD0	WORD1
WL1	WORD2	WORD3
WL2	WORD4	WORD5
WL3	WORD6	WORD7

Рисунок 3.1 - діаграма взаємного наведення збиткових напруг при збурюючому експерименті

- варіювання напруги живлення

3.1.Тестування структур критичних для коректної роботи діагностичних тестів

Тестування структур, що є необхідними для коректної роботи блоку пам'яті включають в себе тестування логічних компараторів та аналогових регуляторів, що формують опорну напругу для компараторів. При виконанні послідовно змінюється ЦАП код, що встановлює напругу та вимірюється вихідне значення на аналоговому контакті. Наведемо приклад виконання даного тесту.

За специфікацією від виробника незалежно від напруги живлення мікросхеми значення опорної напруги має відповідати такій послідовній залежності від кодованого за допомогою ЦАП значення:

Таблиця 3.1 - Послідовна залежність фактичної напруги V_{ref} та кодованого за допомогою ЦАП значення відповідно до специфікації

Код ЦАП [DEC]	Вихідне значення V_{ref} [В]	Код ЦАП [DEC]	Вихідне значення V_{ref} [В]
0	0	16	0
1	0.053	17	0.126
2	0.106	18	0.252
3	0.158	19	0.378
4	0.211	20	0.503
5	0.264	21	0.629
6	0.317	22	0.754
7	0.369	23	0.866
8	0.422	24	1
9	0.475	25	1.132
10	0.528	26	1.258
11	0.58	27	1.384
12	0.633	28	1.51
13	0.693	29	1.636
14	0.757	30	1.762
15	1.8	31	1.8

Проте, при проведенні дослідів спостерігається наступна залежність:

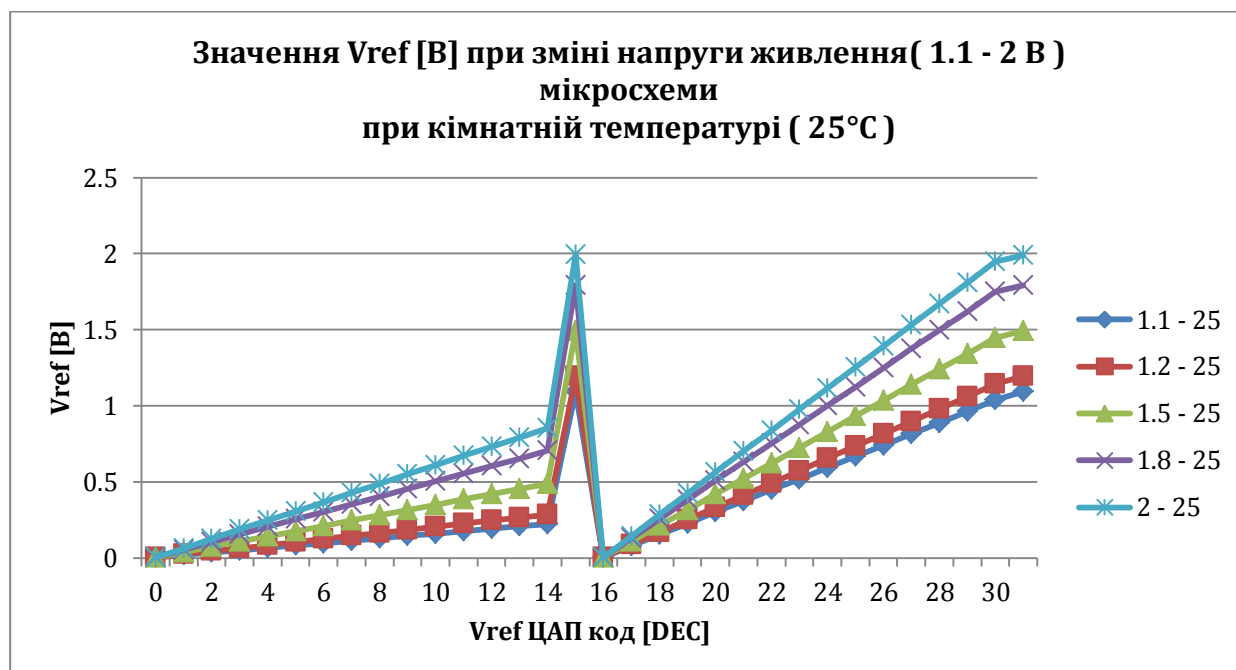


Рисунок 3.2 - Залежність значення V_{ref} від напруги живлення мікросхеми

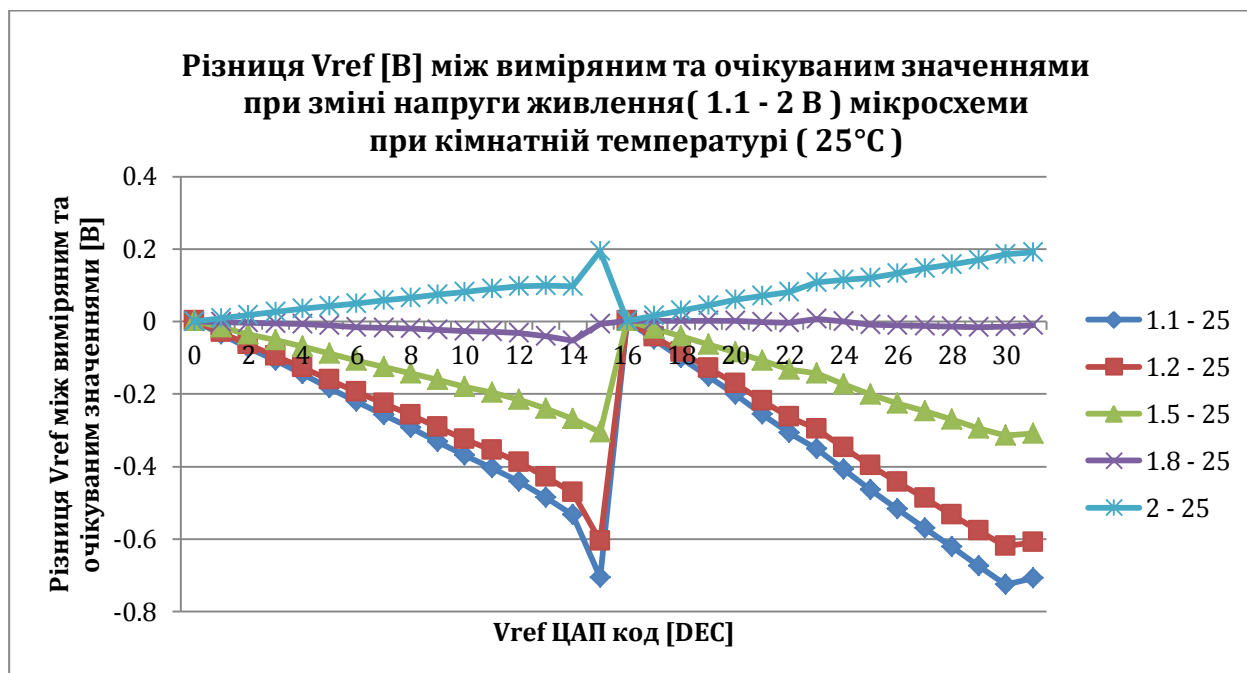


Рисунок 3.3 - Залежність різниці між фактично виміряним та очікуваним значеннями опорної напруги

Як видно з графіків залежностей опорна напруга в тестованій мікросхемі залежить від напруги живлення, в пікових точках відхилення досягає 38% від максимального значення. Таке об'єднання мікросхеми не може гарантувати коректної та передбачуваної роботи у майбутньому застосуванні.

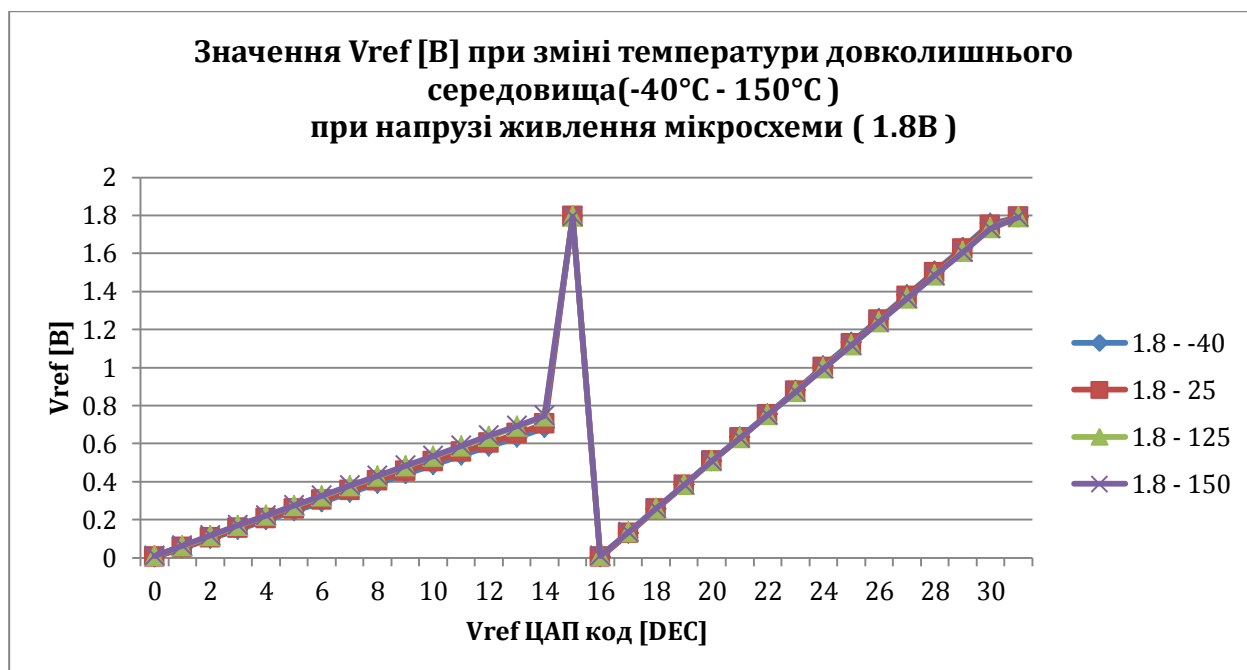


Рисунок 3.4 - Залежність значення V_{ref} від температури довколишнього середовища довкола мікросхеми

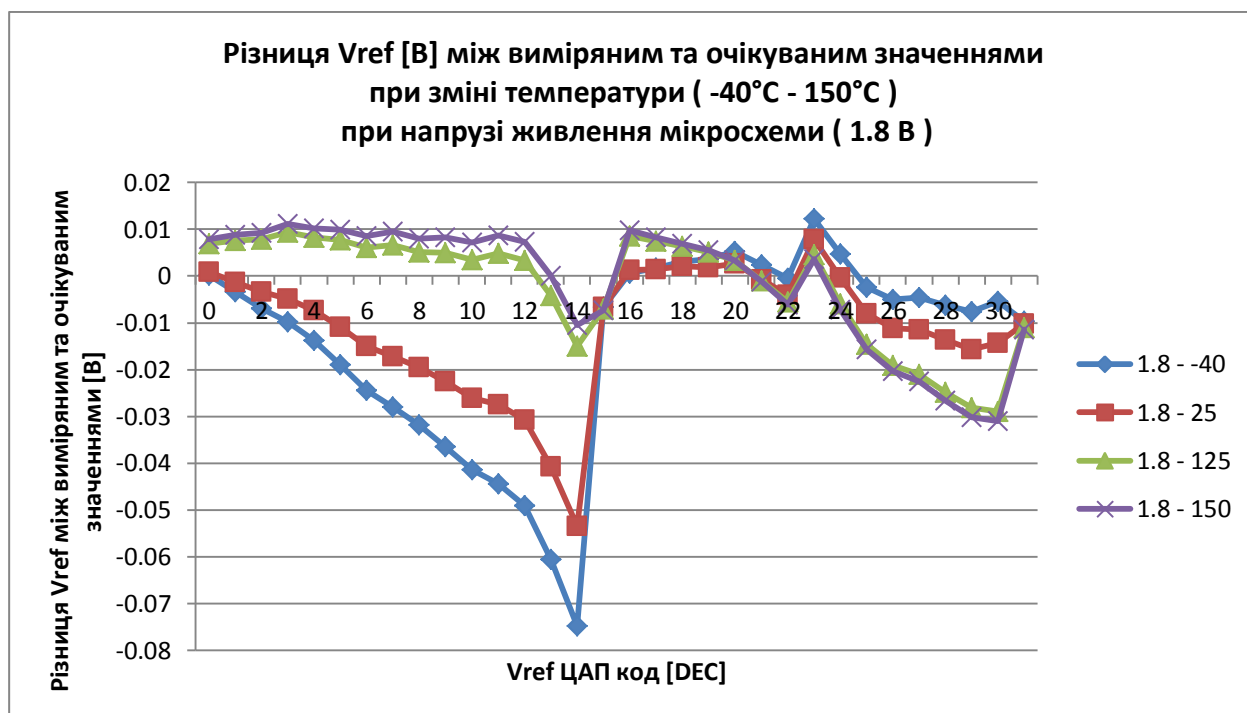


Рисунок 3.5 - Залежність різниці між фактично виміряним та очікуваним значеннями опорної напруги

Та сама тестована мікросхема на температурних дослідженнях показує високу стабільність із мінімальними – піковими 4% відхилення.

3.2.Cell current test

Cell current – тест із вимірювання струму окремих комірок та спостерігання його деградації під впливом експериментальних досліджень. Фізика тесту засновується на підключенні кожної окремої комірки пам'яті до лінії слів, що в свою чергу під'єднується до вимірюючого обладнання. Після чого вимірюється струм, що дана комірка тягне своєю транзисторною властивістю через лінію. Циклічно тест вимірює струм на кожному зберігаючому елементі усього блока. Результати формують окремо для записаних та стертих комірок[12].

Для зручної репрезентації результати представляють у таких форматах:

- Візуалізація мінімального, середнього та максимального значення струму в залежності від експериментальних умов. На графіку нижче

приведено дані як для записаних, так і для стертих комірок, що одразу надає інформацію про деградацію вікна рівнів

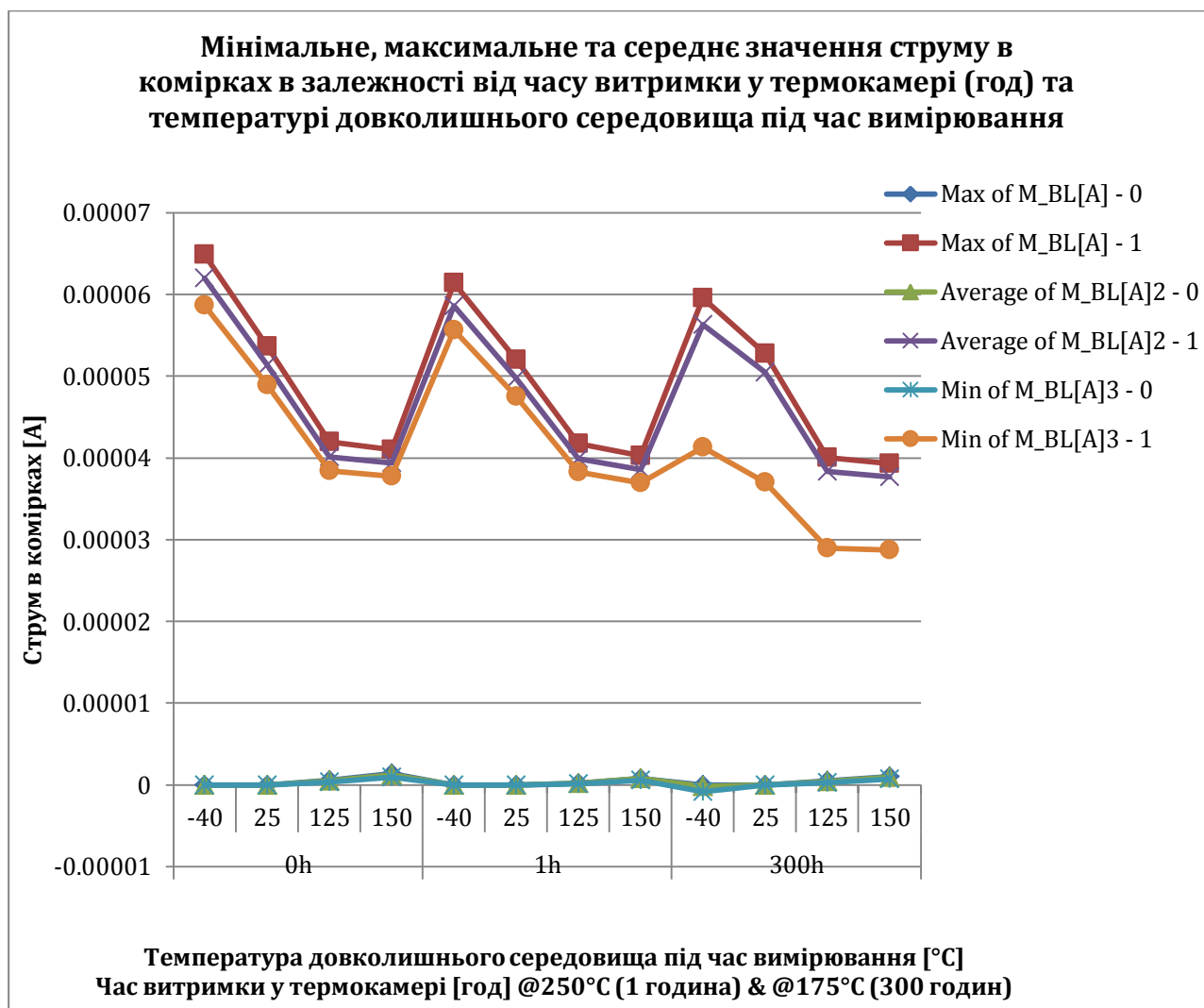


Рисунок 3.6 - Мінімальне, середнє та максимальне значення струму в записаних і стертих комітках при різних експериментальних умовах

- Розподілення комірок за рівнями

Даний вид візуалізації дозволяє статистично оцінити положення основної популяції комірок за рівнями та її зміщення при проведенні різного роду експериментів.

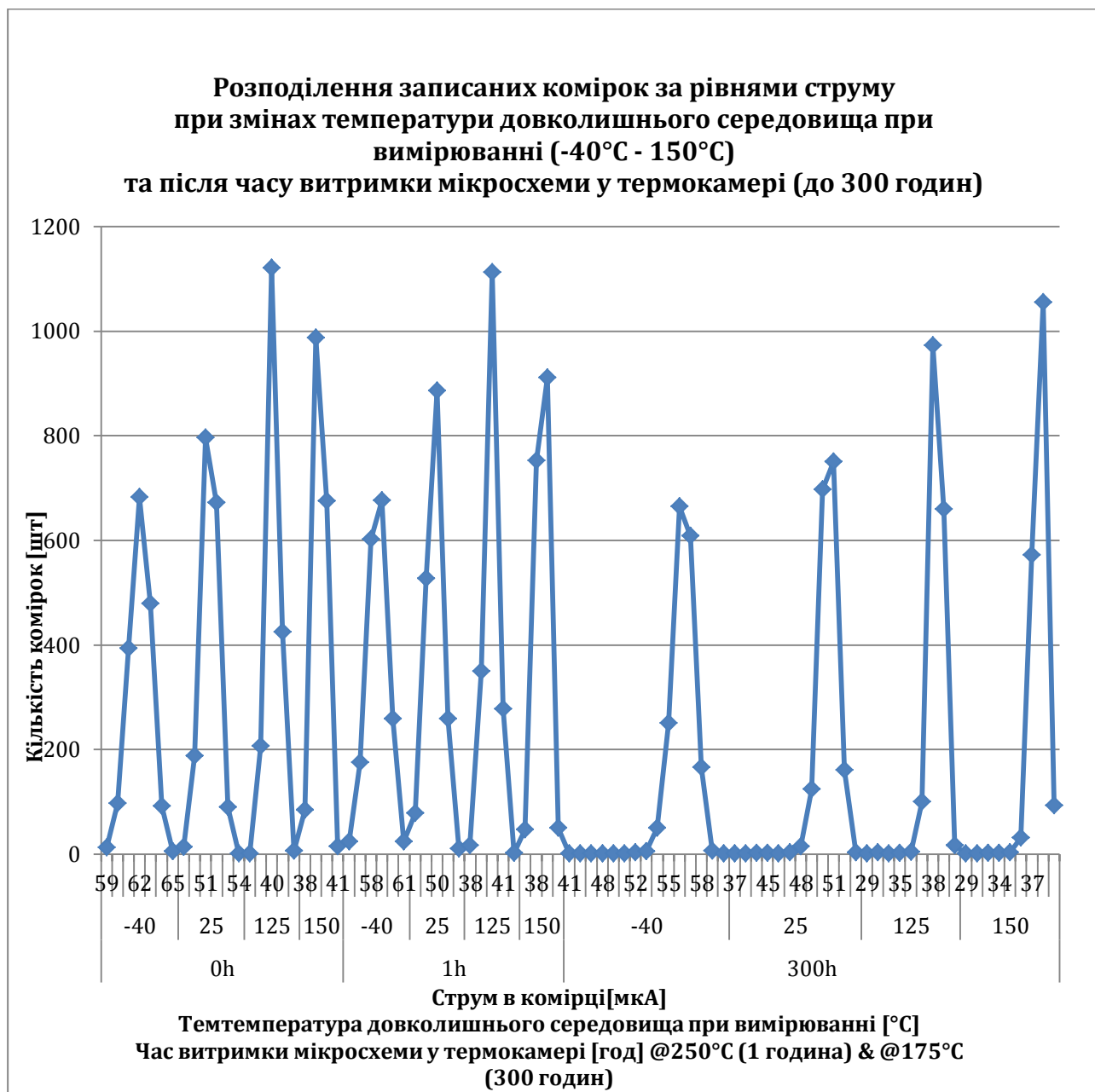


Рисунок 3.7 - Розподілення записаних комірок за рівнями струму

3.3.Detailed marginal read test

Одним з найбільш інформативних характеризуючих тестів для пам'яті є DMR тест. Для його виконання немає необхідності у фізичній деструкції приладу, а необхідні додаткові структури довкола блоку пам'яті наявні за потребами дизайну. Тож його можна здійснити для оцінки кожного модулю, ще на етапі виробництва.

Його алгоритм наступний [15]:

- Усі комірки програмуються заздалегідь відомими даними.
Найчастіше – це є «шахова» послідовність. Він також зберігається як початковий.
- V_{ref} встановлюється у «нормальний» режим. Найчастіше – середнє значення.
- Виконується логічне читання. Ці дані ми вважаємо нормальними.
- Циклічно встановлюється V_{ref} від мінімального до максимального можливого значення.
- На кожному зі встановлених значень проводиться логічне читання та збереження даних.
- Постобробка даних, протягом якої відбувається порівняння кожної ітераційної вчитки із початковими значеннями.

Після порівняння початкових значень із значеннями отриманими при вчитці, можливо визначити кількість комірок, які були вчитані із помилковим значенням (порівняно із початковим). Тобто, за результатами буде визначено граничні рівні усіх сегментів блоку, що надасть змогу оцінити якість блоку в цілому.

Зазвичай даний тест використовується для аналізу впливу експериментальних умов на якість записаних даних. Наприклад у компонуванні із експериментом із взаємним збуренням заряду в плаваючому затворі при записі сусідніх комірок. Протягом нього відбувається циклічний перезапис одного слова. Проте, через архітектуру блоку пам'яті усі слова, що знаходяться на одній шині вибору біта даних або вибору адреси запису отримують додатковий «записуючий» або «стираючий» заряди, що погіршує якість стану стертих та записаних комірок відповідно.

На Рисунок 3.8 наведено приклад результатів виконання DMR тесту до та після кількох ітерацій збурюючого експерименту. Граничні рівні записаних та стертих даних для циклічно перезаписуваного слова будуть ідеальні, проте для слів довкола нього вони змістяться значно ближче до середнього значення.

Знання рівнів комірок по закінченню експерименту дає змогу прогнозувати живучість пам'яті при постійному перезаписі в кінцевому приладі. На графіку наведено результати для тестованого пристрою №601, та кількості ітерацій збурюючого експерименту – 0, 1000, 10000 циклів.

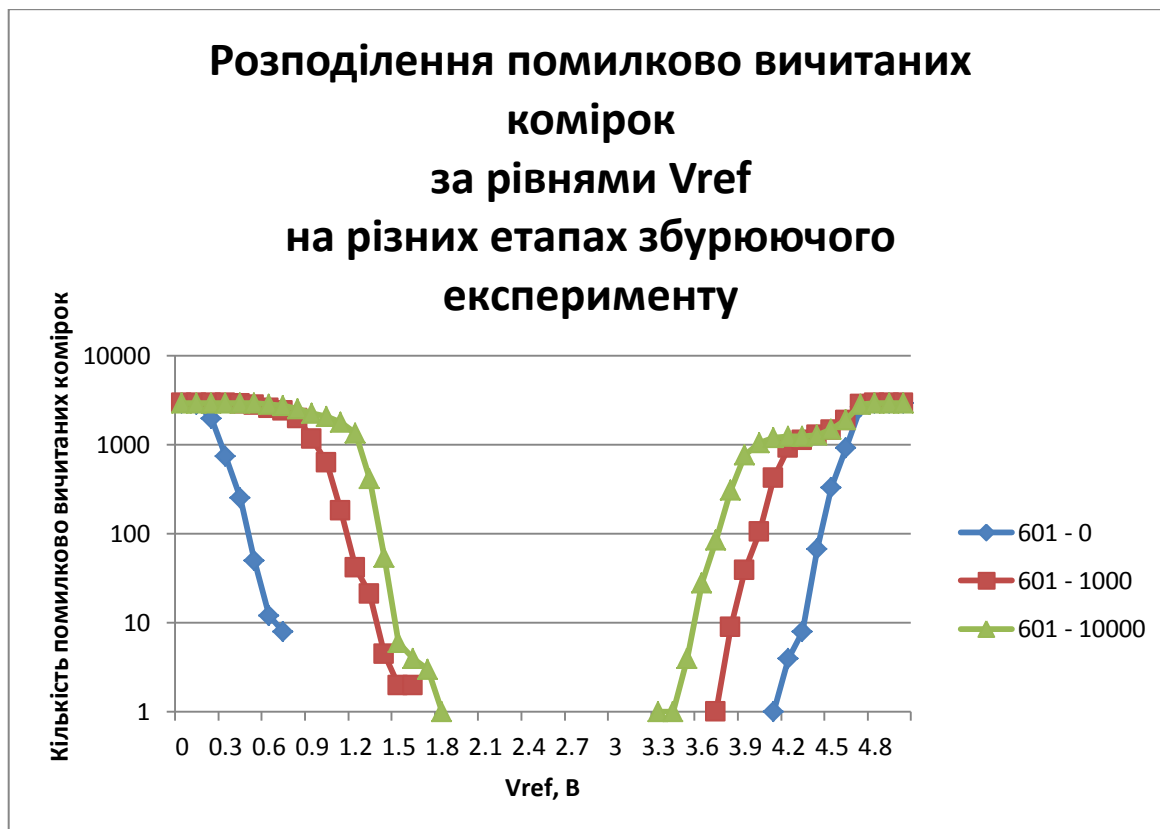


Рисунок 3.8 - Результати оцінки стану пам'яті за розподілення помилок за рівнями Vref на різних етапах виконання збурюючого експерименту (0, 1000, 10000 циклів перезапису тестового слова) для мікросхеми №601

3.4. Шляхи вдосконалення DMR тесту та прогнозований ефект

Результати експерименту (Рисунок 3.8 - Результати оцінки стану пам'яті за розподілення помилок за рівнями Vref на різних етапах виконання збурюючого експерименту (0, 1000, 10000 циклів перезапису тестового слова) для мікросхеми №601) наведено у форматі розподілення помилково вчитаних комірок пам'яті на різних встановлених рівнях Vref. На лівому (0В) та правому (6-7В) крайніх значеннях вісі абсцис спостерігається насичення. Оскільки занадто низький

рівень опорної напруги, після порівняння на компараторі, буде давати логічну одиницю, а занадто високий – логічний нуль, що є помилковими вчитками. Проте, граничні рівні V_{ref} не є інформативними, так як будуть присутні при тестуванні будь якої пам'яті, а фізично відповідають повністю непрацездатній комірці.

У середині діапазону зміни V_{ref} навпаки – відсутні помилки через наближення V_{ref} до значення половини напруги живлення, а отже рівновіддаленої від напруг рівнів логічного 0 та 1, що майже виключає можливість хибного зчитування значення комірки. В залежності від кількості ітерацій збурюючого експерименту зона зміни V_{ref} при якій зчитування комірок відбувається безпомилково різна.

Для однократного запису (лінія -◆- 0) вона становить від 1,2В до 5,6В. Після 1000 (лінія -■-) ітерацій збурюючого експерименту - від 2,4В до 5В, та для 10000 ітерацій - від 2,7В до 4,5В. Отже, якщо відомі діапазони зміни V_{ref} для безпомилково вчитаних комірок, то декілька циклів зміни опорної напруги будуть давати ідентичні результати, а отже лінійна зміна кроку V_{ref} є недоцільна, що призведе до марного витрачання тестового часу, проте проблема полягає у тому, що при різній кількості циклів проведення збурюючого експерименту, у різних модулях пам'яті та при різних напругах живлення, ці діапазони суттєво відрізняються.

Для вдосконалення алгоритму DMR тесту за рахунок скорочення часу тестування, запропоновано замінити лінійну зміну кроку опорної напруги V_{ref} , на алгоритм із змінним кроком. За основу було взято класичний метод бінарного пошуку, який умовно розділяє весь діапазон вимірювань на інформативні та неінформативні області. Неінформативними областями вважаються області значень V_{ref} при яких вчитування відбувається або безпомилково, або із максимальною кількістю хибних значень. В результаті отримуємо чітко виокремлені області інформативних значень, наприклад для проведеного експерименту для 10000 ітерацій збурюючого експерименту,

запропонований алгоритм виділив інформативні області зміни V_{ref} від 0,6В до 2,7В та від 4,5В до 6,6В, що відповідає дійсності.

Таким чином, використання модифікованого алгоритму DMR тесту дозволило зменшити кількість ітерацій приблизно на 28% у порівнянні із лінійною зміною опорної напруги, а з урахуванням того, що середній час проведення експериментальних досліджень може коливатись від 6-8 год, то, такий підхід може зменшити час циклу випробувань на 1,5-2 год [16].

3.5.Висновки до розділу

Під час аналізу проблеми оцінки стану енергонезалежної пам'яті виявлено, що не зважаючи на те, що DMR тест, який є загально використовуваним засобом для тестування пам'яті, прогнозування терміну та якості її роботи в кінцевому продукті, має недоліки. Для оцінки стану кожної комірки пам'яті використовується алгоритм з постійним кроком зміни опорної напруги, таким чином, частина результатів роботи тесту заздалегідь буде неінформативна. Показана можливість прискорення виконання DMR тесту за рахунок динамічної зміни кроку і виділення інформативних ділянок опорної напруги на основі бінарного пошуку. Такий підхід може дозволити зменшити кількість ітерацій. Це призведе до збільшення кількості тестуємого об'єму пам'яті на одиницю часу, або при збереженні загального часу досліджень, дасть змогу провести більш глибокий аналіз стану пам'яті.

4. ЕКСПЕРИМЕНТАЛЬНЕ ДОСЛІДЖЕННЯ

Експериментальне дослідження проводилось на базі компанії «Мелексис-Україна», а саме відділу метрології та характеристики інтегральних мікросхем. Необхідно зважати на специфіку продукції - автомобільної електроніки, що підвищує пропускні критерії.

Вимірювальне устаткування відділу метрології можна умовно розділити на дві підгрупи: дискретні прилади та інтегровані системи. Зважаючи на складність високошвидкісної роботи із пам'яттю, другий тип дозволить оптимально розподілити ресурси та час.

Для дослідів обрано тестову мікросхему 7x_XOTPTRIM_32X22P_V20. Вона є не кінцевим продуктом, а тестчіпом для перевірки валідності даного інженерного рішення. Як наслідок, через відсутність довколишнього середовища, уся побітова конфігурація та формування записуючих імпульсів формується безпосередньо із тестової програми. Виконання окремої конфігурації кожного біта є недоцільним з точки зору використаного часу, тож прийнято рішення про організацію комунікації шляхом формування готових вейвформ, запрограмованих послідовностей сигналів. Для даних цілей необхідні модулі інтегрованої системи, що здатні до зберігання запрограмованих послідовностей та генерацію або захоплення сигналу за спільним тригером.

4.1. Установка для проведення експерименту

4.1.1. Платформа PXI

PCI eXtensions for Instrumentation (PXI) - модульна платформа, призначена для побудови багатofункціональних контрольно-вимірювальних систем, випробувального устаткування для тестування електроніки, систем автоматизації, модульних лабораторних приладів і т.д.

Стандарт PXI дозволяє вирішувати задачу постійного збільшення продуктивності, функціональності і надійності контрольно-вимірювальної

апаратури. Дана платформа дозволяє легко встановлювати, замінювати і використовувати різні вимірювальні пристрої разом в єдиному компактному виконанні (Рисунок 4.1)[19].



Рисунок 4.1 - Установка NI PXI

Переваги платформи:

- Відкрита модульна архітектура
- Можливість синхронізації модулів і окремих шасі
- Більше 1500 вимірювальних модулів (для роботи в діапазоні від постійного струму до 6,6 ГГц)
- Стандартні комп'ютерні технології та інтерфейси вводу/виводу
- Пропускна здатність вимірювальних слотів до 2 ГБ/с, контролера - до 6 ГБ/с (PXI Express)
- Сумісність PXI Express і PXI обладнання
- Розробка детермінованих додатків під ОС реального часу
- Стандарт PXI

PXI - промисловий стандарт, заснований на комп'ютерній шині PCI. PXI використовує електричні параметри, визначені в широко застосовується стандарті Peripheral Component Interconnect (PCI). Він так само використовує форм фактор CompactPCI, який об'єднує електричну специфікацію PCI з конструктивним виконанням Eurocard і високопродуктивними роз'ємами. Це комбінація дозволяє CompactPCI і PXI системам мати до семи периферійних слотів замість чотирьох як у персональних PCI систем. Системи з великою кількістю слотів можуть бути побудовані за рахунок використання декількох

шин разом з мостами PCI-PCI. Наприклад, для створення 13 слотової PXI системи потрібно один PCI-PCI міст. Для створення високопродуктивних контрольно-вимірювальних приладів, специфікація PXI включає додаткові електричні параметри, забезпечуючи синхронізацію і запуск. PXI також пропонує два способи взаємодії з продуктами CompactPCI.

Системна плата, що встановлена в шасі PXI має вбудовану шину синхронізації, що дозволяє зв'язати всі модулі контрольно-вимірювальної системи в єдине ціле. Кожен периферійний слот має тактовий сигнал з частою синхронізації 10 МГц, що передається по доріжках однакової довжини, що забезпечує синхронізацію між портами <1 нс. Точність тактової частоти 10 МГц залежить від шасі, але зазвичай вона менше ніж 25 ppm.

Стандарт PXI визначає 8 ліній, використовуваних як шини запуску для синхронізації і зв'язку між модулями. Лінії шини запуску використовуються для передачі тактових сигналів, запуску і квотування встановлення зв'язку. Сигнали запуску можуть бути передані від одного модуля до будь-якої кількості модулів. Шина запуску також дозволяє передавати тактовий сигнал змінної частоти. Однак, для тактових сигналів з частотою 20 МГц і більше пряма передача по шині запуску не рекомендується через спотворення сигналу. Замість цього потрібно використовувати системну опорну частоту (Рисунок 4.2).

Шина запуску типу Зірка має для кожного порту незалежні лінії запуску, розташовані в конфігурації Зірка які йдуть від спеціального порту запуску (визначений як слот 2 в будь-якому шасі PXI). Довжина цих ліній підібрана таким чином, щоб затримка поширення сигналу до будь-якого модуля не перевищувала 1 нс.

Локальна шина PXI - послідовна шина, яка ланцюжком з'єднує кожен периферійний слот із сусідніми портами. Кожна локальна шина включає 13 ліній і може передавати сигнали між модулями напругою до 42 В або забезпечувати високошвидкісний зв'язок, не використовуючи канали PCI.

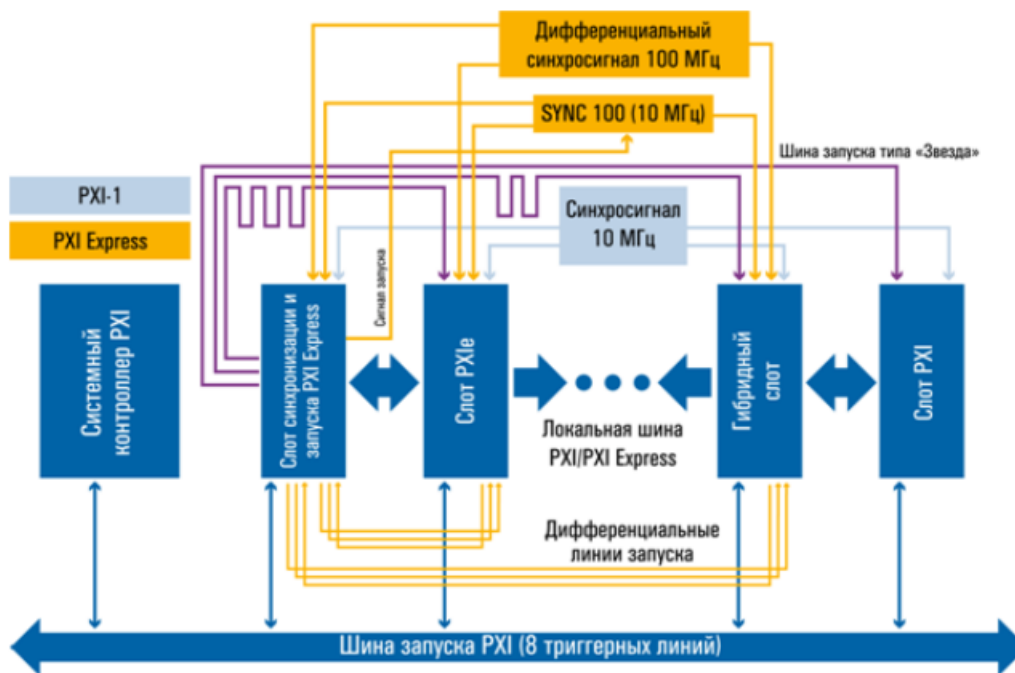


Рисунок 4.2 - Диаграмма підключення шини запуску модулів PXI системи

Стандарт PXI пропонує такі ж параметри, як і в специфікації PCI для настільних комп'ютерів з одним важливим винятком. PXI і CompactPCI системи можуть мати до семи периферійних слотів на один сегмент шини, тоді як більшість настільних комп'ютерів можуть мати тільки три. Іншими словами, всі характеристики PCI застосовні для PXI / CompactPCI:

- Тактова частота 33 МГц
- 32 і 64 бітна передача даних
- 132 КБ/с (32 біта) і 264 Мбайт/с (64 біт) пікова швидкість передачі даних
- Розширення системи за рахунок мостів PCI-PCI
- Напруга 3,3 В
- Plug and Play

Стандарт PXI Express не тільки зберіг параметри PXI по синхронізації і запуску, але в ньому також з'явилися нові можливості, які стали доступні за рахунок використання диференціальної передачі сигналів. Завдяки цьому

системи PXI Express мають підвищену завадозахищеність і здатність до передачі високочастотних сигналів.

Для створення інформаційно вимірювальної системи використовувалася комплектація PXI системи, як зображено на Рисунок 4.3.

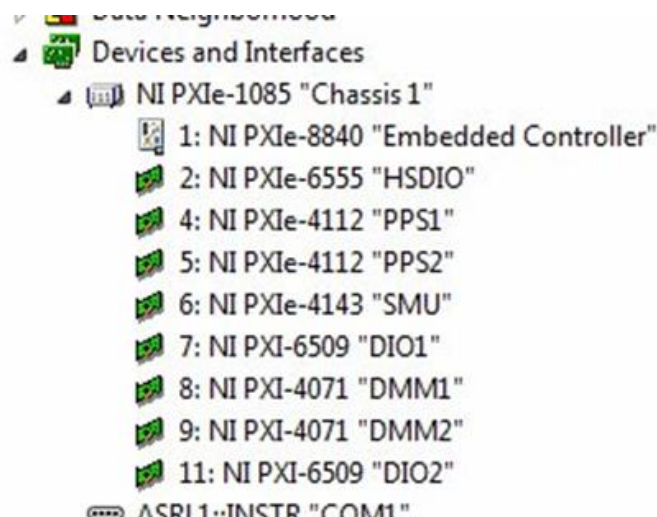


Рисунок 4.3 - Конфігурація системи PXI

Налагодження і експлуатація систем PXI, що працюють під ОС Windows, нічим не відрізняється від роботи з звичайним комп'ютером, що працює в тій же операційній системі. Це дозволяє використовувати для розробки додатків такі стандартні пакети, як NI LabVIEW, LabWindows/CVI, Measurement Studio, Visual Basic і Visual C/C ++. Крім того, оскільки на об'єднуючій панелі PXI застосовується стандартна шина PCI, драйвери модулів PXI в більшості випадків ідентичні драйверам плат PCI. Користувачеві немає ніякої потреби допрацьовувати свої прикладні програми, частини коду або інструменти для розробки додатків, всі вони легко можуть бути інтегровані в програмне забезпечення систем PXI.

В якості альтернативи системам, що працюють на базі ОС Windows, можна використовувати широкий спектр спеціалізованих програмних модулів, що дозволяють запускати додатки користувачів під ОС реального часу для особливо критичних завдань, що вимагають заздалегідь заданих швидкостей роботи без периферії, тобто при повній відсутності засобів контролю з боку

оператора: без клавіатури, миші або дисплея. ОС реального часу дозволяють вирішувати завдання відповідно до їх пріоритету, коли процесор обслуговує перш за все найбільш термінове завдання. Працюючи з такою ОС, користувач завжди досягає передбачуваних результатів, при цьому час джиттера мінімальний.

Драйвер NI-DAQmx підтримує шинну технологію збору даних для інтерфейсів прикладного програмування (API) і забезпечує інтерфейс з багатьма мовами програмування.



Рисунок 4.4 - Діаграма архітектурного положення драйверу NI-DAQmx

Драйвер NI-DAQmx являє собою новітню і вдосконалену версію базового драйвера NI-DAQ, але відрізняється значно поліпшеними характеристиками. Цей драйвер призначений для управління всіма можливостями вимірювальної системи: від етапу конфігурації системи і розробки додатків в середовищі LabVIEW до операцій нижнього фізичного рівня і управління модулями. Драйвер NI-DAQmx сумісний з базовим драйвером NI-DAQ і підтримує весь діапазон вимірювальних пристроїв фірми NI. З цим драйвером поставляється більше 200 модулів DAQ, що робить їх простими в експлуатації, гнучкими при конфігурації, високопродуктивними і сумісними з багатьма середовищами розробки, включаючи NI LabVIEW, NI LabWindows/CVI, C/C ++, Visual Basic 6.0 і C # /Visual Basic. NET.

Простоту використання забезпечують:

- програма підказок для етапу конфігурації;
- віртуальні канали NI-DAQmx;
- калібрація і масштабування датчиків;
- Express Vis і інтуїтивні функції;
- запис даних в довільній формі.

Переваги драйвера NI-DAQmx:

- оптимізація в мультитядерних системах;
- багатоканальна синхронізація;
- вдосконалені можливості запуску;
- можливості управління окремими каналами;
- синхронізація «стимул - реакція».

Драйвер NI-DAQmx поставляється з більш ніж 160 стандартними програмними модулями для текст-орієнтованих мов програмування і з більш ніж 230 спеціалізованими модулями для середовища LabVIEW. Всі модулі забезпечені драйвером високошвидкісного многопоточного режиму роботи. Для прискорення власних розробок користувач може інтегрувати свої готові програми в середу LabVIEW.

Програмне забезпечення DAQmx пропонує формування віртуальних каналів, застосування яких особливо ефективно в задачах обробки вимірювань від датчиків, що дозволяє розробнику легко встановити необхідний вид сигналів і масштабувати вихідні показання датчика для максимально точної передачі зібраної інформації від реальних фізичних пристроїв.

Віртуальні канали DAQmx можуть також використовуватися для вирішення наступних завдань:

- Завдання діапазону вхідних сигналів і параметрів для подальшої обробки.
- Перетворення вихідних даних з датчиків напруги в форму, сумісну з реальними фізичними пристроями.

- Налаштування додаткових функцій, таких як автоматична компенсація холодних кінців (Cold-Junction Compensation, CJC), завдання значень насичення і коефіцієнтів посилення.
- Масштабування за бажанням користувача.
- Налаштування додаткових завдань для драйвера NI-DAQmx з урахуванням інформації про синхронізацію, запуск і таймінг.

LabVIEW фірми NI є графічним середовищем розробки для створення професійних інженерних і наукових додатків, які є інтегральною частиною віртуальної вимірювальної системи. LabVIEW має своєму розпорядженні потужні засоби, що дозволяють легко управляти як віртуальними приладами, так і прикладними програмами. Використовуючи можливості LabVIEW користувач проектує потрібні йому віртуальні пристрої, створюючи графічний користувацький інтерфейс на екрані монітора, на який він може виводити зібрані дані для їх подальшої обробки.

Користувач може також змінювати віртуальні панелі, забезпечуючи їх кнопками, ручками настройки, шкалами і вікнами графіків, емулюючи панелі управління стандартних вимірювальних приладів, або створювати свої власні панелі управління для виведення на екран графічного відображення фізичних процесів.

У програмному забезпеченні NI-DAQmx міститься утиліта DAQ Assistant - зручна програма покрокових підказок, що дозволяє виконувати конфігурування, налагодження та програмування завдань вимірів. Можливо також спільне використання програмного інтерфейсу API драйвера NI-DAQmx і середовища LabVIEW при створенні додатків для високопродуктивних вимірювальних систем, що відповідають індивідуальним вимогам користувачів. На рисунку Рисунок 4.5 зображений стандартний модуль LabVIEW, який використовує засоби DAQ Assistant для виведення на екран тимчасової діаграми при вимірах напруг.

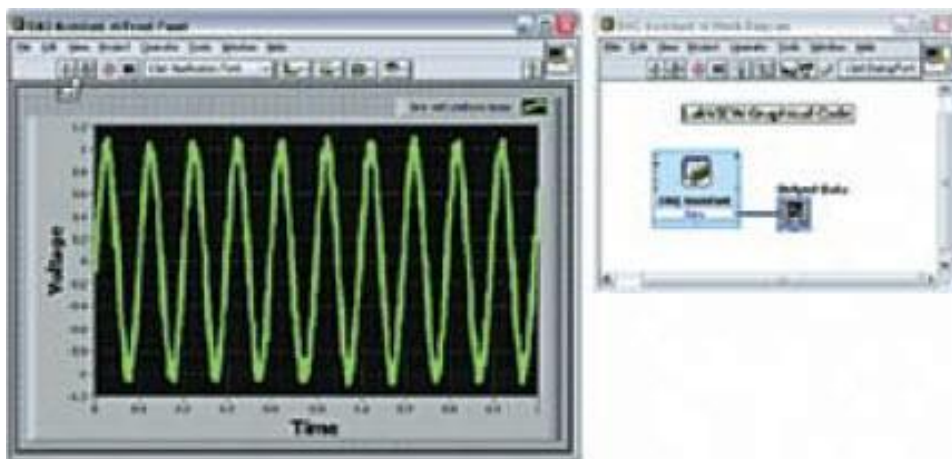


Рисунок 4.5 - Утиліта DAQ Assistant, що забезпечує графічний інтерфейс для візуалізації вимірів

Спеціальне програмне забезпечення для збору та обробки даних. Платформа TDM (Technical Data Management) фірми NI призначена для управління, аналізу, запису, візуалізації і генерації звітів про великі обсяги даних, отриманих в ході тесту або моделювання. Ця платформа дозволяє оперативно виділяти значущі результати з великого потоку необроблених даних в необхідній користувачем формі. Платформа TDM підтримує формат зберігання даних TDMS (TDM Streaming), засіб Data Finder, призначене для індексації даних, набір LabVIEW Data Finder для створення призначених для користувача додатків, а також програмне забезпечення DIAdem для обробки даних і генерації звітів в автономному режимі. Засоби платформи TDM, вбудовані безпосередньо в призначені для користувача програми, дозволяють одержати максимум корисної інформації в найбільш зручній формі.

Системи вимірювання та збору даних PXI фірми NI дозволяють виконувати збір і обробку сигналів у відповідності із специфікою кінцевого вимірювального приладу, що гарантує високу точність вимірювань. Модулі, призначені для збору сигналів і їх обробки на платформі PXI, можуть взаємодіяти більш ніж з 1500 різними модулями і поєднуються з різними типами шасі і конфігураціями контролерів, дозволяючи підтримувати різноманітні користувацькі вимоги. Завдяки потужним і гнучким програмним

інструментам NI-DAQmx, LabVIEW і засобів управління даними фірми NI користувач отримує можливість розробляти власні програми збору даних відповідно до номенклатури його приладів, вносячи в готові модулі індивідуальні способи запису і обробки даних. Якщо система містить невеликий набір ідентичних сенсорів або більше 1000 каналів, виділених для сенсорів, модульна платформа PXI і програмне забезпечення фірми NI дозволять динамічно скорегувати конфігурацію для повної відповідності потребам користувача.

4.1.2. Вимірювальні карти стандарту PXIe

Нижче описані основні характеристики карт що використовуються в інформаційно-вимірювальній системі.



Рисунок 4.6 - Карта цифрового мультиметру PXIe-4071

Основні параметри PXIe-4071 карти [20]:

- Найбільш точний 7½-значний цифровий мультиметр в галузі
- Вимірювання напруги від ± 10 пВ до 1000 В постійного струму (700 В змінної напруги)
- 8А постійного струму в діапазоні з чутливістю до 1 пА
- Вимірювання опору від 10 мкОм до 5 ГОм
- Швидкість обміну до 1.8 МТ/с

Дана карта є точною та швидкою. В комбінації з можливістю синхронізації з іншими картами і швидкістю обміну ця карта є ідеальною для таких тестів як Cell current.

Широкий діапазон напруг, що можуть бути сконфігуровані на даній карті також дають можливість її використання для живлення мікросхеми та генерації напруги програмування.



Рисунок 4.7 - Цифрова карта PXIe-6555

Основні параметри PXIe-6555 карти [21]:

- 24 високошвидкісних динамічних каналів,
- 4 канали управління
- Для синхронізації кожен з каналів має можливість зміни стану з входу на вихід на кожному циклі опорної частоти
- Програмовані рівні напруги -2,0 до 7,0 В на канал для VOH, VOL, VTT, VIH і VIL
- Незалежно від джерела або споживача до 32 мА на канал
- Складне тактування дозволяє регулювати синхронізацію до 30 пс



Рисунок 4.8 - Цифрова карта PXIe-6547

Основні параметри PXIe-6547 карти [21]:

- 30 високошвидкісних динамічних каналів,
- 4 канали управління
- Для синхронізації кожен з каналів має можливість зміни стану з входу на вихід на кожному циклі опорної частоти
- Програмовані рівні напруги -2,0 до 7,0 В на канал для V_{OH}, V_{OL}, V_{TT}, V_{IH} і V_{IL}
- Незалежно від джерела або споживача до 32 мА на канал
- Складне тактування дозволяє регулювати синхронізацію до 30 пс

Карти PXIe-6547 та PXIe-6555 необхідні для функцій збереження та генерації або захоплення сигнальних послідовностей за синхронізуючим тригером.

4.2. Друкована плата для відтворення тесту DMR

Платформа PXI є модульною та стандартизованою. В тому числі і роз'єми підключення до неї. Для з'єднання зазначених в попередньому пункті карт із тестованою мікросхемою необхідна наявність друкованої плати-перехідника. З'єднання формується напряму від контактів чипа на контакти вимірювальних пристроїв із можливістю розірвання ланцюга через від'єднання джамперу (Рисунок 4.9).

Плату спроектовано та розведено в програмі Altium Designer. Вироблено на київському заводі «Гальванотехніка» із використанням температурного текстоліту товщиною 3мм. Така величина зумовлена можливою деформацією під дією високих температур та тиску від голови температурного модулю.

В Додатку А приведено гербер файли, що були підготовлені для замовлення даної плати.

Як було зазначено в розділі №3, для верифікації мікросхем необхідне проведення перевірки залежності характеристик від температури довколишнього середовища. Для цього зверху на дану плату монтується кріплення температурного модуля, що працює в широкому спектрі температур

– від -50°C до 175°C (Рисунок 4.10). Даний модуль є загальновикористовуваним в установі, де проводиться експеримент – Dragon v3.

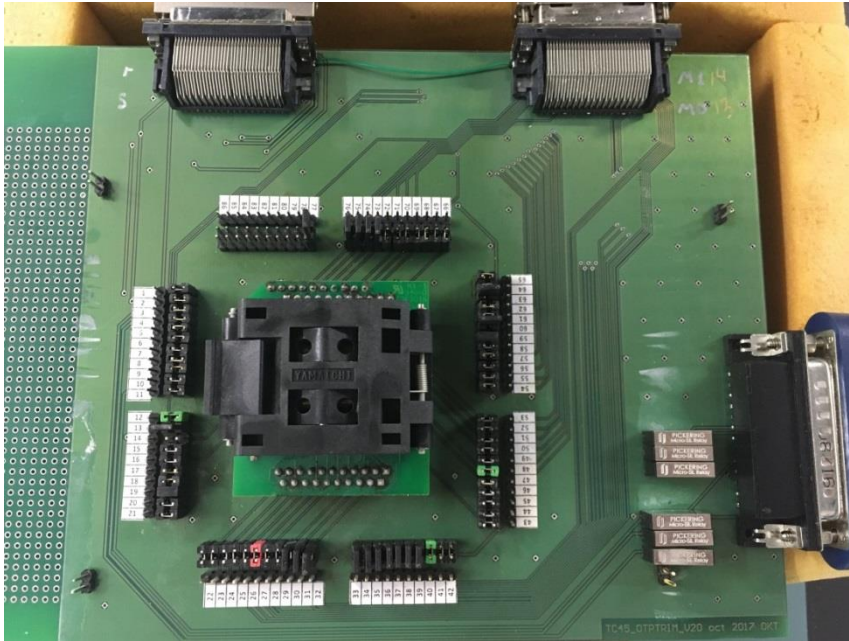


Рисунок 4.9 - друкована плата для підключення досліджуємої мікросхеми до вимірюючої платформи PXI



Рисунок 4.10 - кріплення температурного модуля до друкованої плати із тестованою мікросхемою

4.3.Тестова мікросхема

Для проведення експерименту обрано мікросхему 7х_ХОТРІМ_32Х22Р_V20 виробництва компанії XFAB. Дана мікросхема є тестовою, це значить, що її створено виключно для дослідних цілей. Вона має в собі сім однакових блоків одноразово програмованої пам'яті, проте архітектура дозволяє провести стирання усього блоку. За рахунок відсутності поліамідного покриття, попри кінцеве призначення одноразового програмування, можливе стирання даних за допомогою ультрафіолету.

На Рисунок 4.11 зображено діаграму підключення ідентичних блоків всередині мікросхеми. Це зроблено для зниження ціни чіпа та максимально корисного його використання, адже площа кристалу використовується максимально. Також це дозволяє зменшити кількість необхідних перемикань температури та очікування її стабілізації довкола приладу, тому що одночасно маємо 7 однакових блоків під дією термоблоку. В протилежному випадку необхідно тестувати кожну мікросхему на кожній температурі окремо. Варто зауважити, що стабілізація температури відбувається протягом 3 – 4 хвилини.

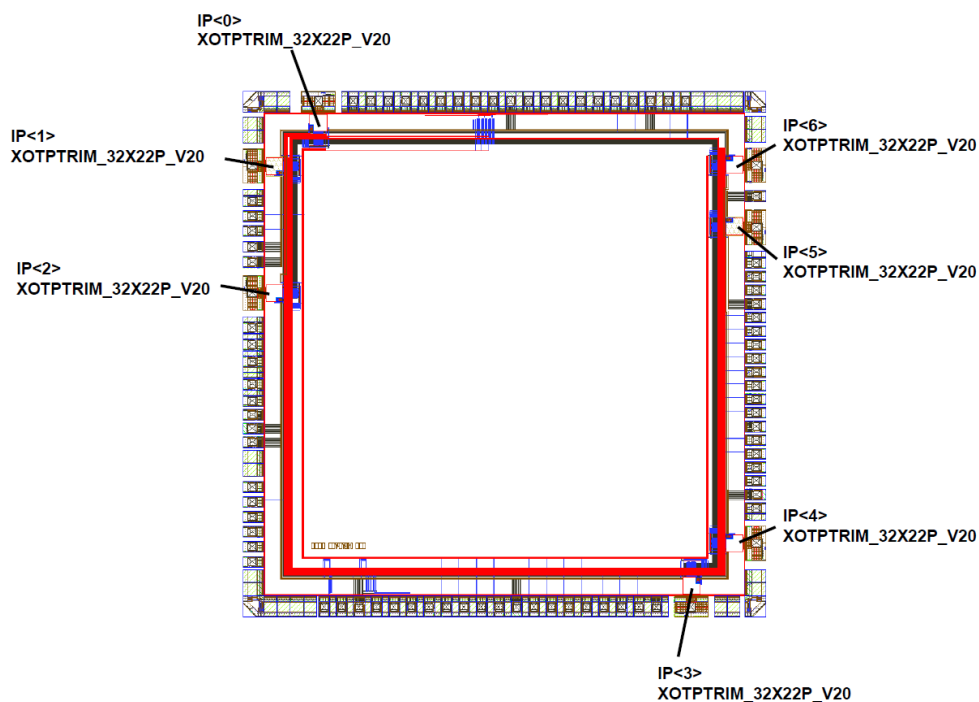


Рисунок 4.11- Діаграма підключення контактів сімох блоків пам'яті мікросхеми до площадок корпусу

Усі сім блоків мікросхеми – це одноразово програмована пам'ять на основі транзистору із плаваючим затвором. При цьому управляючий затвор не підключений до будь-якого управління. Завдяки тому, що після програмування, яке відбувається методом лавинної інжекції зарядів, не можливо подати реверсивний заряд, неможливо і стерти дані з комірки. Проте, за відсутності захисного поліамідного шару на поверхні, можливе стирання ультрафіолетовим світлом. При роботі із зазначеною мікросхемою використовувався апарат із УФ-випромінюванням потужністю 4000 мкВт/см^2 . Для його застосування необхідно зняти захисну кришку з металу як показано на Рисунок 4.12

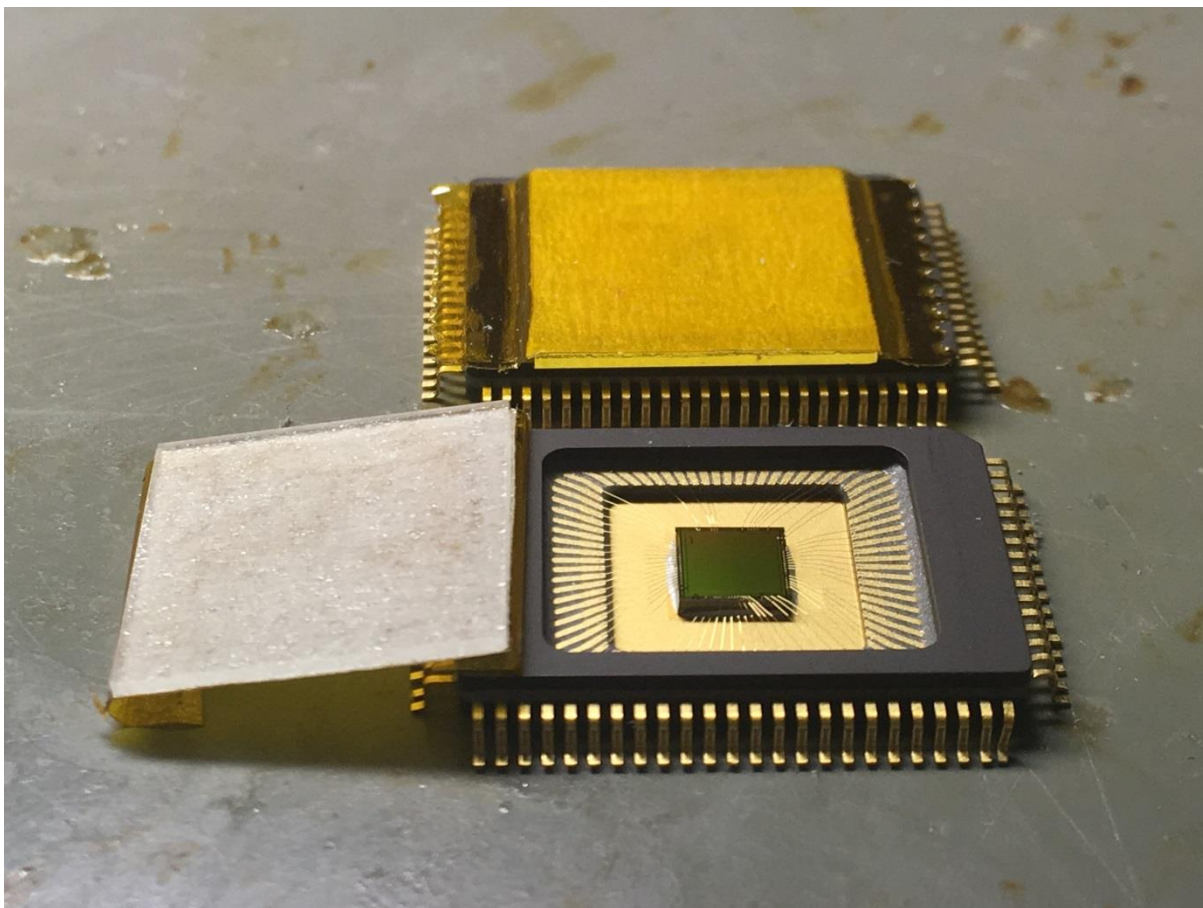


Рисунок 4.12 - тестова мікросхема із захисною плівкою від ультрафіолетових променів

Розмір блоку складає 32 адреси по 22 біта. В кінцевому приладі дана пам'ять матиме об'єм 32×16 біт, оскільки надлишкові 6 біт реалізують функцію контрольної суми. Тобто, загальний об'єм пам'яті складає 704 біта.

Як було зазначено у розділі 3.3, для простішого аналізу даних за результатами виконання DMR тесту, пам'ять програмується «шаховою» послідовністю – біти через один записані логічними одиницями або нулями. У виконанні такої дії над даною мікросхемою ми отримаємо 352 біта нулів та 352 біта одиниць.

Вигляд результатів стандартного DMR тесту для тестованої мікросхеми має такий вигляд, як показано на Рисунок 4.13. На даному графіку спостерігається подвійне розподілення. Це пояснюється тим, що, як можна бачити у результатах аналогових тестів у розділі 3.1, ЦАП коди опорної напруги два рази проходить діапазон від 0В до напруги живлення – 1.8В. Така конфігурація є дуже специфічною та нетиповою, тож підлаштування фінального алгоритму до неї є недоцільним.

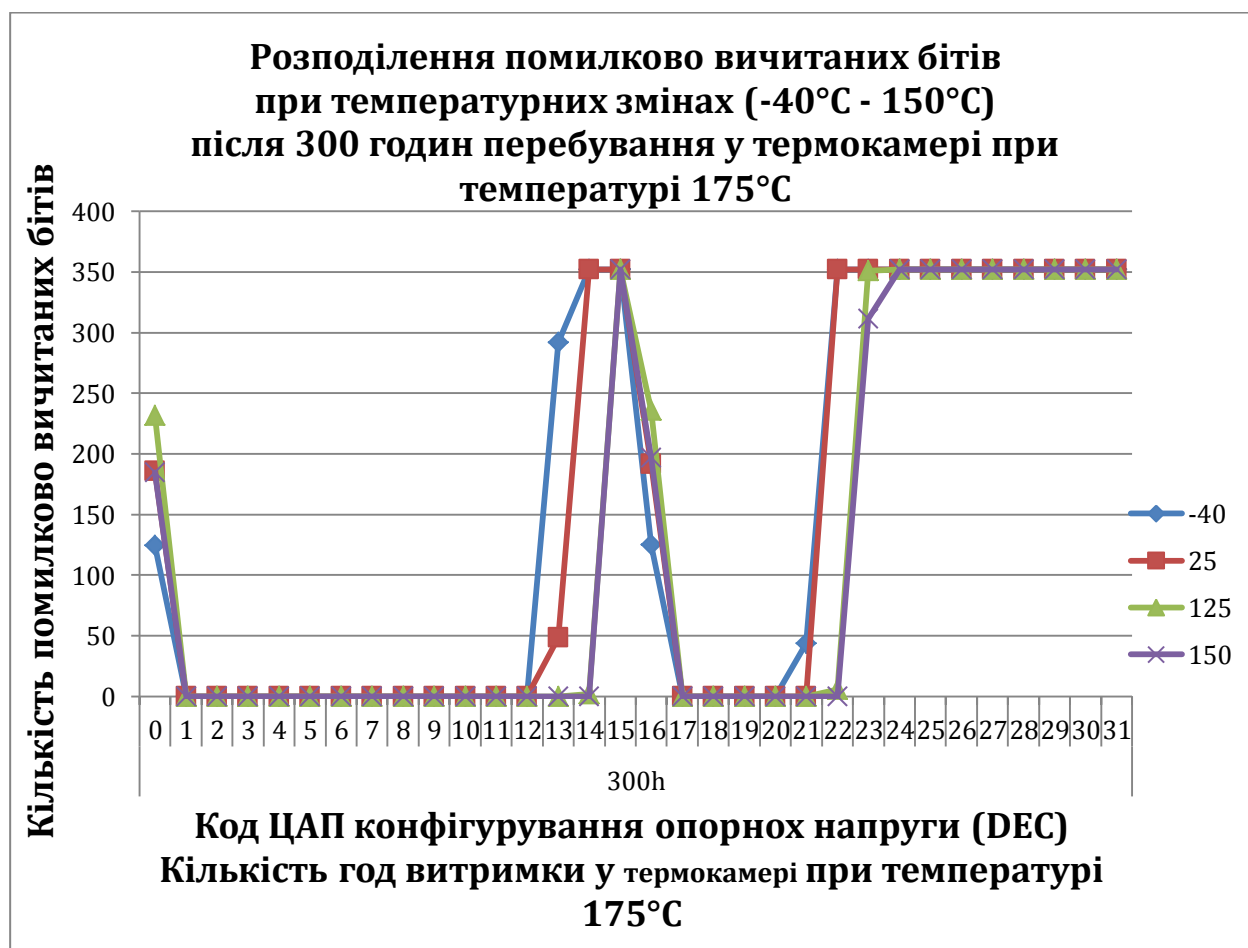


Рисунок 4.13 - Результат виконання стандартного DMR тесту для блоку ОТР пам'яті

Для тестування вдосконаленого алгоритму візьмемо перший відрізок діапазону опорних напруг – від 0 до 15 коду ЦАП. Тоді результати приймуть вигляд показаний на Рисунок 4.14. Таке розподілення є дуже схожим до розподілення помилок при DMR тесті блоку EEPROM’а зазначеного у розділі 3.3, тож результати буде можливо пропагувати на інші об’єкти та види пам’яті.

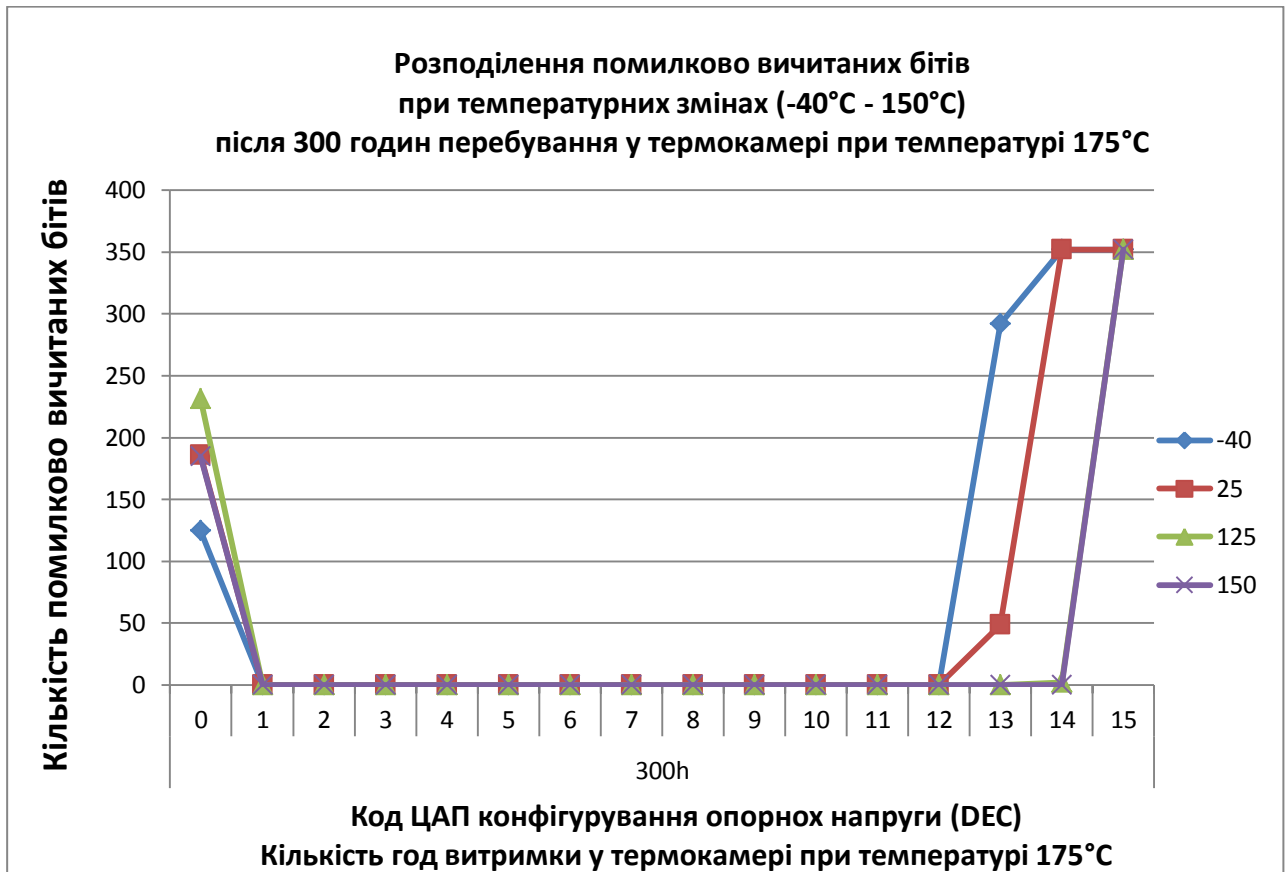


Рисунок 4.14 - Скорочений діапазон опорних напруг для виконання DMR тесту

4.4. Програмне забезпечення для роботи із дослідною мікросхемою

Програмне забезпечення написане мовою LabVIEW через його легку інтегрованість із платформою PXI, широку застосовність у відділі метрології та наявність усіх потрібних драйверів та функцій.

Для зручності організації інтерфейсу та варіювання параметрів експерименту використано пропріє тарний програмний продукт компанії Мелексіс – PXI Framework. Його функція – це організація зручного запуску

тестів та їхніх послідовностей. Інтерфейс PXI Framework зображено на Рисунок 4.15.

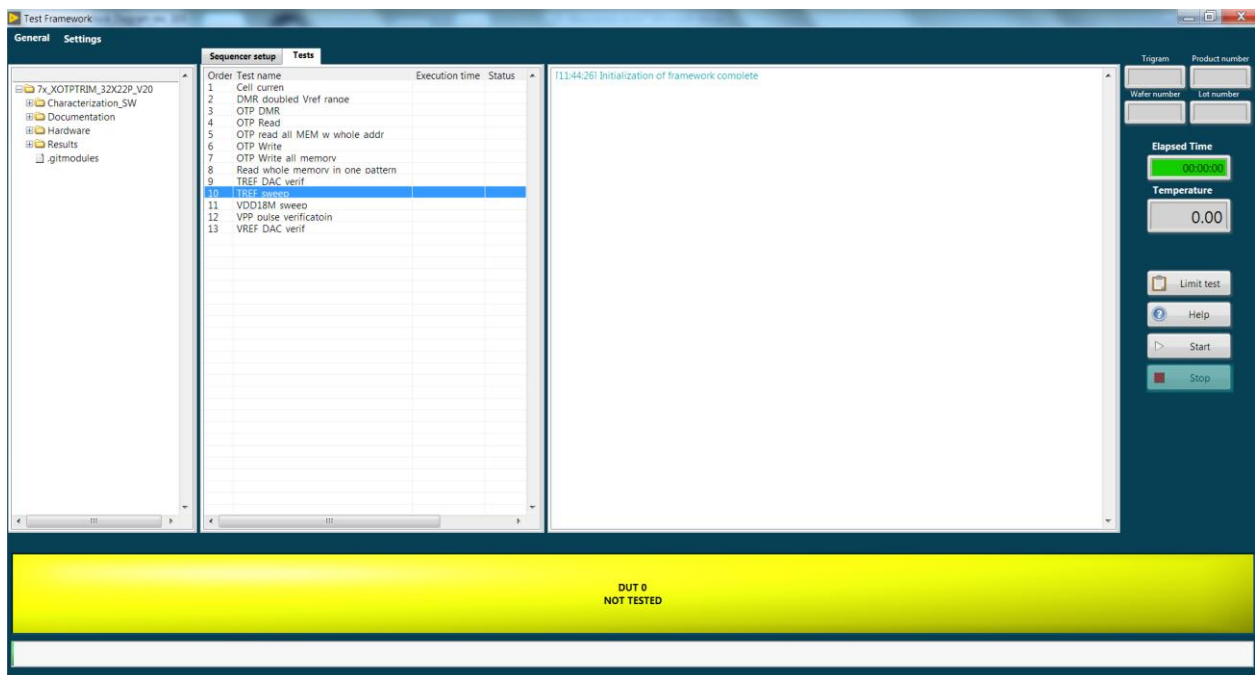


Рисунок 4.15 - Інтерфейс PXI-Framework'u

Також на Рисунок 4.15. видно список тестів реалізованих для верифікації мікросхеми, що досліджується. Серед них є тест TREF_Sweep, що є реалізацією DMR тесту у поєднанні із варіюванням часу зарядження ємностей для порівняння напруги на компараторі.

Мікросхема є тестовою, тож в неї немає оболонки із готовим протоколом комунікації або стейт-машиною для формування відповідних імпульсів. Для вирішення даної проблеми необхідно було створити такі програмні рішення:

- Підпрограма для встановлення бітів запису, конфігурування вхідних та вихідних мультиплексорів, зчитування інформації – цифрової конфігурації
- Синхронізація процесів встановлення управляючих сигналів та зчитування даних
- Синхронізація генерування високо вольтових імпульсів для програмування

Питання синхронізації біло вирішене за допомогою пропрієтарних технологій від National Instruments[22]. Використано системи NI-TCLK та методи конфігурування внутрішніх тригерів[23]. Їх сконфігуровано на відслідковування однієї з карт PXIe-6547, яку визначено для генерування більшості керуючих сигналів. Тобто, за початком генерації сигналів з даної карти інші відпрацьовують заздалегідь закладену програму послідовності сигналів, в тому числі і подача програмуючого імпульсу із карти PXIe-4071. Конфігурація методів наведена на Рисунок 4.16.

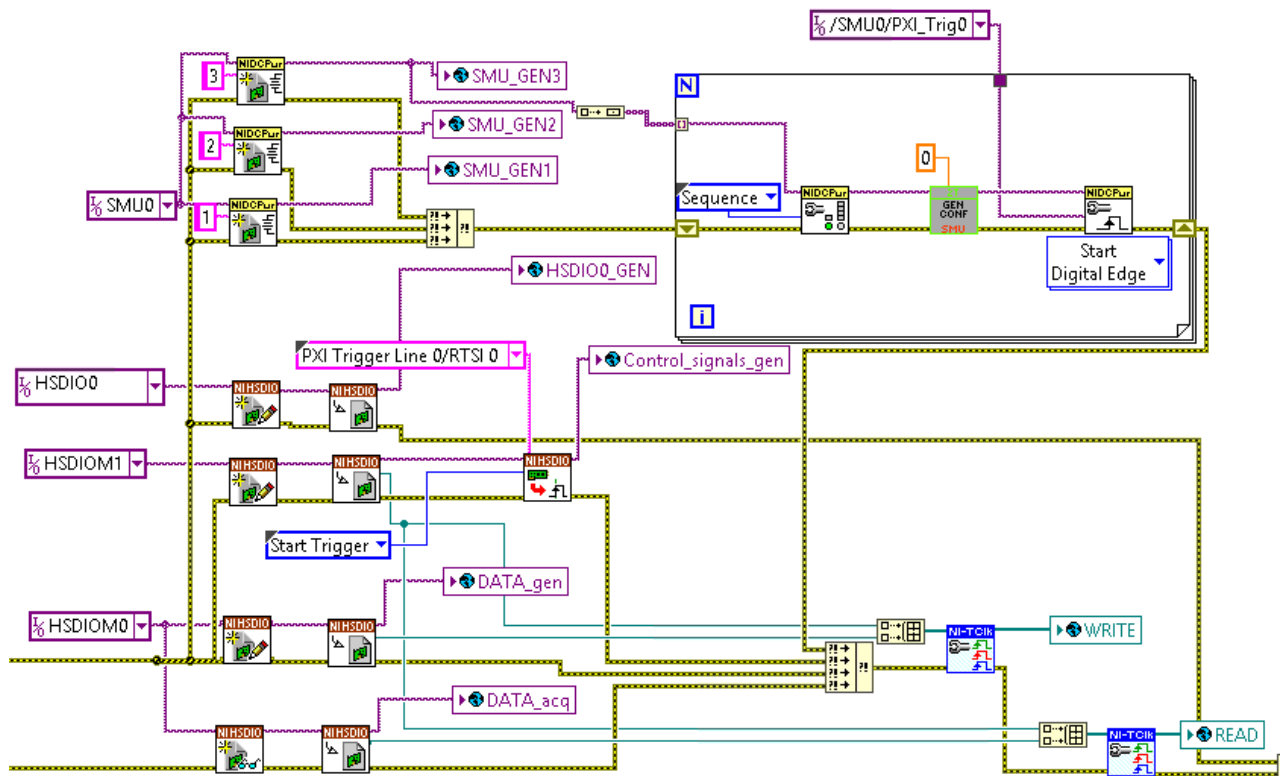


Рисунок 4.16 - Блок-діаграма конфігурування технологій синхронізації карт у PXI системі

Для вирішення задачі конфігурації логічних керуючих сигналів обрано метод попереднього програмування послідовностей сигналів у карти та налаштування на їхнє синхронне відтворення. Для зручності створено парсер, який приймає на вхід файл у .csv розширенні та пропугує його на логічні послідовності для кожного окремого каналу цифрових карт. На Рисунок 4.17 наведено приклад набору сигналів для вичитуванні даних з мікросхеми.

	A	B	C	D	E	F	G	H	I	J	K	L
1	Time	RST	A[4:0]	CLK	PGn	OBEN	CFG[2:0]	Q[7:0]	SEL[4:0]	Repeat	TM_VF[4:0]	
2	0	0	0	0	0	0	0 D_CFG[2:0]	0	0	5	D_TM_VF[4:0]	
3	1E-08	1	0	0	0	0	0 D_CFG[2:0]	0	0	5	D_TM_VF[4:0]	
4	2E-08	0	0	0	0	0	0 D_CFG[2:0]	0	0	5	D_TM_VF[4:0]	
5	3E-08	0	D_A0[4:0]	0	0	0	0 D_CFG[2:0]	0	D_SELO[4:0]	10	D_TM_VF[4:0]	
6	4E-08	0	D_A0[4:0]	0	0	1	1 D_CFG[2:0]	0	D_SELO[4:0]	80	D_TM_VF[4:0]	
7	5E-08	0	D_A0[4:0]	0	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	1	D_TM_VF[4:0]	
8	6E-08	0	D_A0[4:0]	0	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	6	D_TM_VF[4:0]	
9	7E-08	0	D_A0[4:0]	1	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	70	D_TM_VF[4:0]	
10	8E-08	0	D_A0[4:0]	1	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	1	D_TM_VF[4:0]	
11	9E-08	0	D_A0[4:0]	1	1	1	1 D_CFG[2:0]	D_Q0[7:0]	D_SELO[4:0]	1	D_TM_VF[4:0]	
12	1E-07	0	D_A0[4:0]	0	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	10	D_TM_VF[4:0]	
13	1.1E-07	0	D_A0[4:0]	0	1	1	1 D_CFG[2:0]	0	D_SELO[4:0]	10	D_TM_VF[4:0]	

Рисунок 4.17 - Частина csv файлу, в якому закладено послідовність сигналів для конфігурації мікросхеми та вичитування даних з неї

Надалі код написаний у середовищі LabVIEW транслює дані послідовності, значення та параметри у набір сигналів, що будуть згенеровані або захвачені картами PXIe-6547. Приклад сформованих сигналів наведено на Рисунок 4.18.

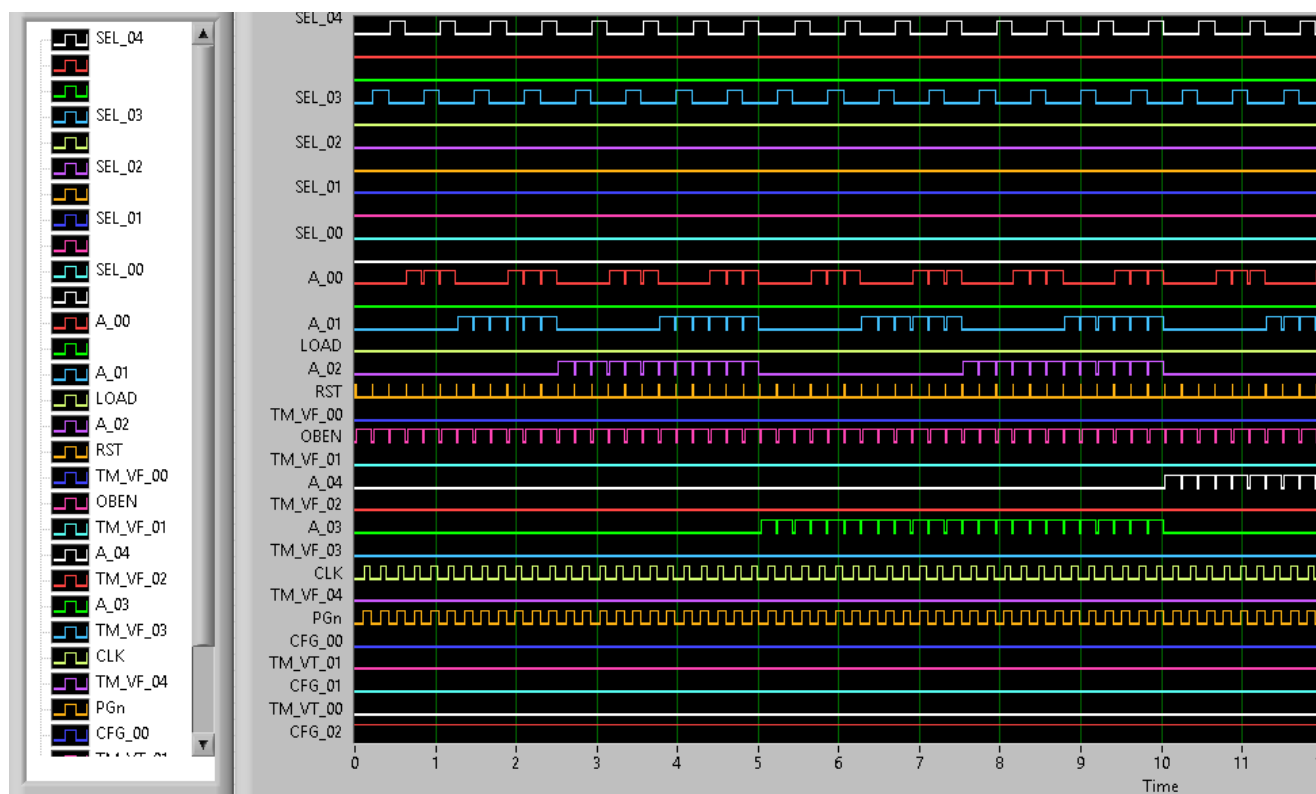


Рисунок 4.18 - Приклад сигналів, що є вчитані з файлу та трансльовані на карту PXIe-6547

4.5. Функція визначення конфігурації зміни кроку DMR зчитування

Реалізація стандартного алгоритму DMR тесту мовою LabVIEW наведено у Додатку Б. Саме блок послідовної зміни має вигляд як зображено на Рисунок 4.19

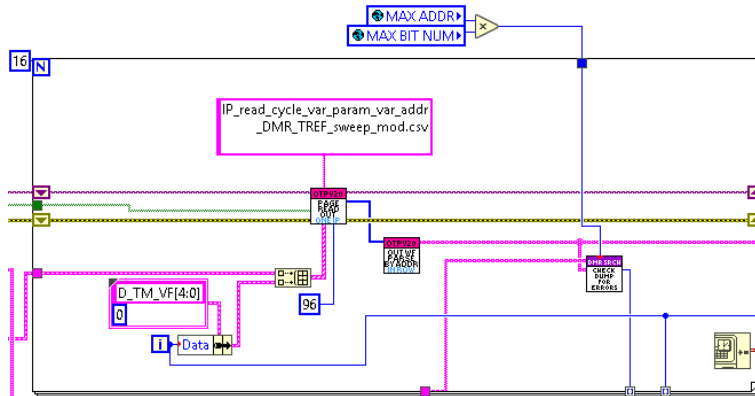


Рисунок 4.19 - Цикл послідовної зміни опорної напруги та вичитування вмісту пам'яті, що є реалізацією стандартного DMR тесту

Для вдосконалення запропоновано створити функцію адаптивного вибору наступного кроку опорної напруги. Виходячи із блок-діаграми на Рисунок 4.19 дана функція має бути реалізована в циклі перед переходом на наступну ітерацію.

Створено нову підпрограму, яка виконує дії аналізу даних, вибору кроку та вимірювань. Її код показано на Рисунок 4.20.

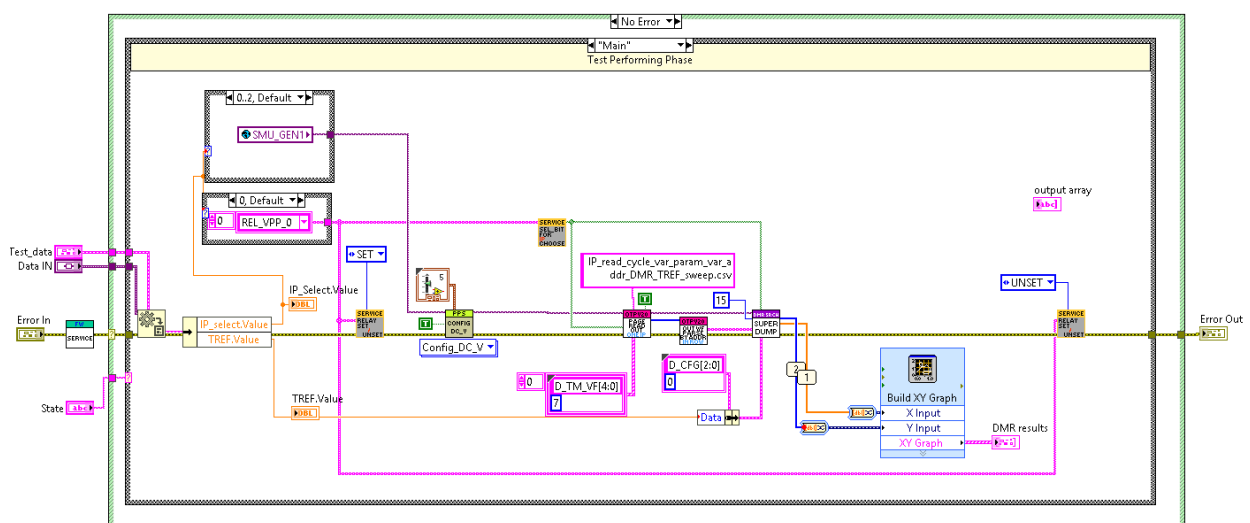


Рисунок 4.20 - DMR тест із використанням підпрограми із динамічним вибором кроку опорної напруги

Алгоритм підпрограми базується на алгоритмі бінарного пошуку. Проте ми шукаємо перше попадання в ненульові помилки, та не в максимальну їх кількість, що становить половину пам'яті – 352 біта – для шахової послідовності попередньо записаних даних. Запропоновано наступний алгоритм виконання вдосконаленого DMR :

- Усі комірки програмуються заздалегідь відомими даними. Найчастіше – це є «шахова» послідовність. Він також зберігається як початковий.
- V_{ref} встановлюється у «нормальний» режим. Найчастіше – середнє значення.
- Виконується логічне читання. Ці дані ми вважаємо нормальними.
- Діапазон опорних напруг розподіляється на дві частини відносно нормального рівня
- У кожній за двох частині методом бінарного ділення виконується пошук даних, що не є нормальними, коли помилки є нульовими, та не є максимально помилковими, коли половина бітів – записаних чи стертих - вичитується повністю некоректно
- Після попадання у точку із корисними даними із мінімальним кроком рухаємося у напрямку збільшення напруги поки не досягнемо нульових чи повністю помилкових даних
- Повертаємось у першу точку знаходження корисних даних мінус один мінімальний крок
- Рухаємося із мінімальним кроком у напрямку зменшення опорної напруги поки не досягнемо нульових чи повністю помилкових даних
- На кожному із вказаних вище кроків робиться вичитування усієї пам'яті та порівняння із нормальними даними для визначення кількості помилково розпізнаних бітів

Даний алгоритм реалізовано в коді програми та показано на Рисунок 4.21

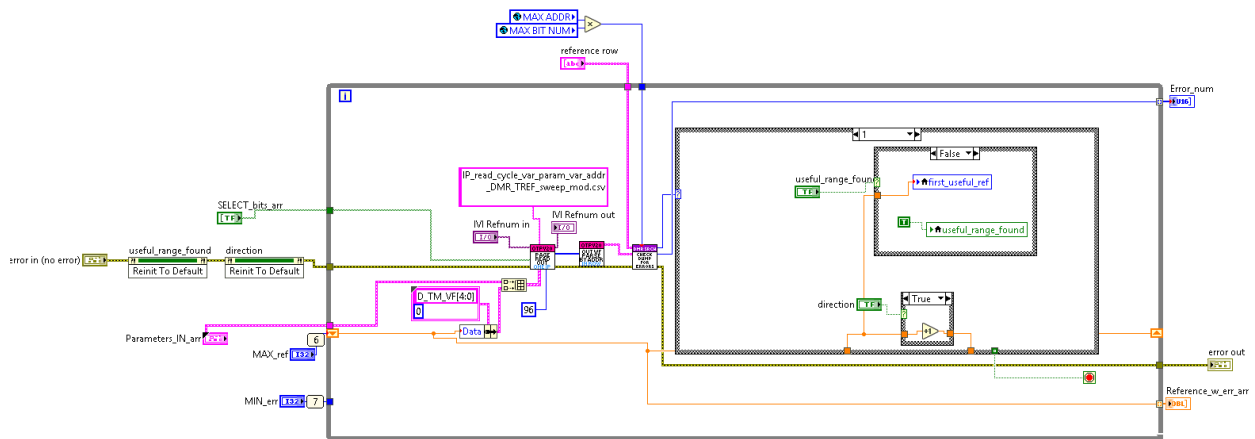


Рисунок 4.21 - Реалізація вдосконаленого тесту DMR із динамічним кроком опорної напруги

Для перевірки вчитаних даних та аналізу на наявність помилок та їхньої кількості створено функцію, що побітово порівнює нормальні дані та дані кожного вчитування (Рисунок 4.22)

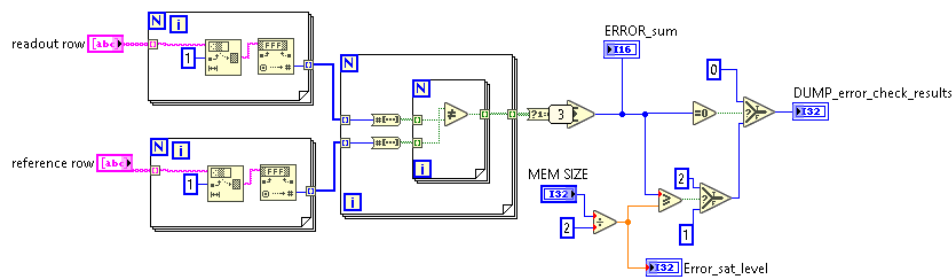
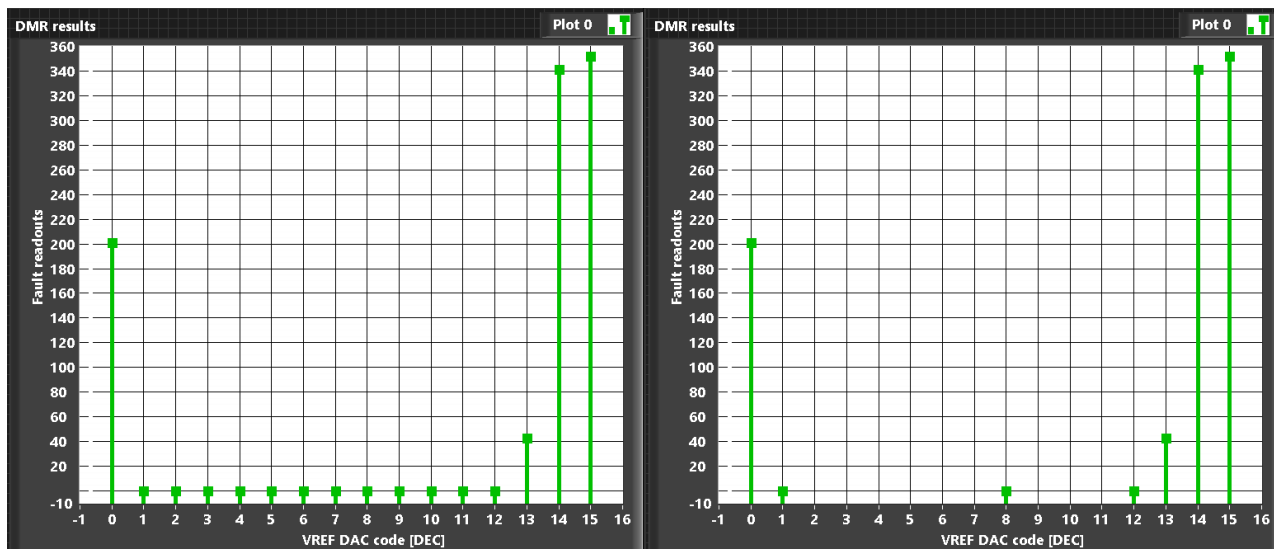


Рисунок 4.22 - Функція побітового порівняння нормальних та вчитаних даних та підрахунку кількості помилок

4.6. Аналіз результатів при використанні різних алгоритмів визначення кроку

Оцінку результатів можна робити у вигляді порівняння стандартного алгоритму та вдосконаленого. Його проведемо за критеріями точності визначення діапазоні корисних даних та швидкості виконання тесту на одному обладнанні.

На Рисунок 4.23 приведено розподілення помилок за результатами вчитування стандартним (Рисунок 4.23. а) та вдосконаленим (Рисунок 4.23. б) алгоритмами.



а)

б)

Рисунок 4.23 - Розподілення помилок за результатами виконання DMR тесту: а) за стандартним алгоритмом; б) за вдосконаленим алгоритмом

Якщо порівняти Рисунок 4.23 із Рисунок 4.14 видно, що діапазон з 1 по 12 ЦАП є нульовим та не несе корисної інформації. Натомість, за результатами виконання DMR тесту із вдосконаленим алгоритмом виділяє недоцільні частини та пропускає більшість з них. Тобто з діапазону вчитаних даних за ефективністю використання ресурсів:

- Стандартний алгоритм – 4 корисних вчитки з 16 зроблених
- Вдосконалений – 4 корисних вчитки з 7 зроблених

Кожне додаткове вчитування даних – це ~1,4 секунди виконання процедури читання. Отже, стандартний алгоритм робить на 9 більше безкорисних процедур, аніж вдосконалений.

У розділі 4.4 вказано, що програмне забезпечення розроблено на основі платформи PXI Framework. Він у свою чергу дозволяє точно заміряти час виконання тестів. Для прямої послідовності запуску обох тестів за обома алгоритмами результати наступні:

- Стандартний алгоритм – 8.4654 секунди
- Вдосконалений алгоритм – 4.7623 секунди

Отже використання нового алгоритму призводить до зменшення часу тестування у 1.7 разів.

Прорахуємо вплив даного пришвидшення на процес характеризування. Для прикладу візьмемо один з тестів проведених над мікросхемою 7х_XOTPTRIM_32X22P_V20 при таких умовах:

- Зміна температури довколишнього середовища - -40°C , 25°C , 125°C та 150°C – стабілізація кожної температури відбувається протягом 3х хвилин
- Зміна напруги живлення – від 1,1В до 2В із кроком 0.1 В
- Зміна конфігурації часу встановлення напруги на компараторі логічного читання – 0, 4, 7 одиниць
- В одній мікросхемі міститься 7 однакових блоків кожен з котрих тестується як окрема схема

Коли DMR тест проводиться за стандартним алгоритмом розрахунок часу має вигляд:

$$T_{\text{загальний}} = t_{\text{тестування}} \times (2 - 1,1)/0,1 \text{ напруги} \times 3 \text{ конфігурації} \times 7 \text{ блоків} \times 4 \text{ температури} + 4 \text{ температури} \times 3 \text{ хвилини стабілізації} = 106 \text{ хвилин} + 4 \text{ температури} \times 3 \text{ хвилини стабілізації} = 118 \text{ хвилин} = 1.9 \text{ години.}$$

За умови скорочення часу тестування загальний скоротиться до 1.2 години, тобто на ~37%.

4.7.Висновки до розділу

У даному розділі було розглянуто та пояснено причини використання платформи NI PXI для проведення експериментального дослідження. Описано основні характеристики як самої платформи, так і її окремих модулів, приведено інформацію щодо особливостей використання систем синхронізації. Розглянуто досліджувану мікросхему, особливості роботи та комунікації із нею. Розроблено друковану плату для підключення чипа до вимірювальної та температурної установок. Розроблено програмне забезпечення на базі

платформи PXI Framework. Воно включає в себе весь спектр функцій для забезпечення конфігурації та читання або запису пам'яті, генерування імпульсів програмування, відтворення базових тестів та можливостей їхнього вдосконалення. Висвітлено новий алгоритм виконання DMR тесту. Проведено експеримент та проаналізовано результати використання вдосконаленого алгоритму у порівнянні із стандартним. В умовах роботи на платформі NI PXI, середовищі програмування LabVIEW на основі PXI Framework'у вдалося досягти прискорення тестування на 37%. В подальшому можливе продовження дослідження можливостей вдосконалення та краща оптимізація за рахунок використання більш складних алгоритмів пошуку.

5. РОЗРОБЛЕННЯ СТАРТАП-ПРОЕКТУ

5.1.Опис ідеї проекту

Вдосконалений алгоритм DMR тесту оцінки стану енергонезалежної пам'яті призначено для визначення зміни в якості записаних у модуль даних під час виконання експериментальних досліджень, таких як:

- Кліматичні симуляції
- Збурюючий експеримент
- Витримка приладу у термокамері для прискореного зістарювання
- Вплив ультрафіолетового випромінювання
- Та ін.

Дані експерименти можуть бути проведені, як в умовах розробки і досліджень, так і в умовах виробництва. Результати даного тесту надають змістовну інформацію про кожну окрему комірку та про блок пам'яті в цілому. Завдяки тому, що він засновується на вже вбудованих елементах, відсутня потреба збільшення площі мікросхеми для розробки додаткової структури для його проведення.

В межах підпункту послідовно проаналізовано та подано у вигляді таблиць: зміст ідеї; можливі напрямки застосування; основні вигоди, що може отримати користувач товару та чим відрізняється від існуючих аналогів та замінників.

Таблиця 5.1 - Опис ідеї стартап-проекту

<i>Зміст ідеї</i>	<i>Напрямки застосування</i>	<i>Вигоди для користувача</i>
Вдосконалений тест з оцінки стану енергонезалежної пам'яті	1. Розробка і дослідження	Повний аналіз усіх комірок пам'яті
	2. Виробництво	Скорочений час тестування
	3. Кінцевий прилад	Низька калькуляційна потужність необхідна для виконання алгоритму

Висновок: в таблиці приведені основні напрямки застосування тесту оцінки стану блоку пам'яті. Цими споживачами є центри та компанії з розробки та дослідження інтегральних мікросхем, виробництва із високою завантаженістю у сфері тестування великої кількості вбудованих та дискретних

блоків пам'яті, організації, що випускають прилади, які зберігають критичну інформацію на енергонезалежних носіях

Таблиця 5.2 - Визначення сильних, слабких та нейтральних характеристик

n/n	Техніко-економічні характеристики ідеї	(потенційні) товари/концепції конкурентів				W (слабка сторона)	N (нейтраль на сторона)	S (сильна сторона)
		Мій проект	Конкурент1	Конкурент2	Конкурент3			
1	Швидкість	7	15	35	12			+
2	Складність алгоритму	4	3	1	2	+		
3	Мова програмування	Labview	Python	C++	Objective C	+		
4	Масштабування	+	+	-	-		+	
5	Адаптивне підлаштування	+	-	-	-			+

Висновки: у порівнянні із головними конкурентами товар має ряд переваг – це швидкість виконання та адаптивне налаштування під будь-який об'єм пам'яті. З точки зору клієнтів виробництв, швидкість має більше значення через прискорення виходу фінального продукту на ринок. Масштабування наявне в ще одного конкурента, проте це також ключовий пункт для співпраці із виробництвами. Подальше перенесення алгоритму на інші мови програмування підвищить конкурентоспроможність.

5.2. Технологічний аудит ідеї проекту

Таблиця 5.3 Технологічна здійсненність ідеї проекту

№ n/n	Ідея проекту	Технології її реалізації	Наявність технологій	Доступність технологій
1	Пришвидшення роботи	Вибір нового алгоритму	Наявна	Доступна
2	Розширення списку мов імплементації	Реалізація іншими мовами програмування	Наявна	Доступна
3	Розширення списку покритих тестів	Розширення списку тестів, для	Наявна	Теоретично доступна
4	Низькорівневе виконання тесту	Розробка низькорівневого додатку, що виконував би оцінку пам'яті як фоновий процес	Необхідно розробити	Доступна

Обрана технологія реалізації ідеї проекту: Ідею створити можна. Технологія реалізації ідеї спирається на простоту інтеграції та швидкість роботи. Тому для того щоб значно виділитися на ринку від конкурентів, необхідно за основу взяти перший та другий пункти «Прискорення роботи» та «Розширення списку мов», що потребує спеціалістів з алгоритмів та мовних архітектур. Це розширить покриття компаній та забезпечить подальший прибуток.

5.3. Аналіз ринкових можливостей запуску стартап-проекту

Таблиця 5.4 Попередня характеристика потенційного ринку стартап-проекту

№ n/n	Показники стану ринку (найменування)	Характеристика
1	Кількість головних гравців, од	3
2	Загальний обсяг продаж, грн/ум.од	50000 ум.од
3	Динаміка ринку (якісна оцінка)	зростає
4	Наявність обмежень для входу (вказати характер обмежень)	відсутні
5	Специфічні вимоги до стандартизації та сертифікації	відсутні
6	Середня норма рентабельності в галузі (або по ринку), %	42%

Висновки: за результатами складеної таблиці можна сказати, що вихід на ринок є рентабельним. Мала кількість гравців свідчить про високий поріг входу на ринок через високу наукоємність ніші, однак з іншої сторони мала конкурентність, що при умові вибору правильного вектору розвитку, може зіграти в плюс проекту. Високий процент рентабельності дає змогу швидко відбити затрачені кошти на розробку алгоритму.

Таблиця 5.5 Характеристика потенційних клієнтів стартап-проекту

№ n/n	Потреба, що формує ринок	Цільова аудиторія (цільові сегменти ринку)	Відмінності у поведінці різних потенційних цільових груп клієнтів	Вимоги споживачів до товару
1	Оцінка стану блоку пам'яті	-Розробка та дослідження -Виробництво -Розробники кінцевих приладів із блоками пам'яті «на борту»	Особливості, викликані зі специфікою проведення дослідів, необхідність модифікування програмно-алгоритмічного забезпечення, інтеграція із існуючими системами	-Швидкість роботи -Можливість інтеграції із системами замовника -Стабільність роботи

Висновки: формування ринку визначається потребою оцінки стану блоку пам'яті та подальший аналіз даних. Основними споживачами цього продукту є сфери, що тією чи іншою мірою стосуються дослідження, використання та виробництва інтегральних мікросхем або блоків пам'яті. Заважаючи на це, головними вимогами до товару є швидкість роботи, інтеграція із більш складними системами, стабільність результатів.

Таблиця 5.6 Фактори загроз

<i>№ n/n</i>	<i>Фактор</i>	<i>Зміст загрози</i>	<i>Можлива реакція компанії</i>
1	Конкуренція	Менша ціна у конкурента при однаковій якості продукту	Відтік клієнтів
2	Економічний	Економічний стан країни-розробника	Відмова від продукту
3	Якість	Не належна якість інтеграції	Відмова від продукту
4	Складність алгоритму	Велике навантаження на процесор для обрахунку результатів	Відмова від продукту
5	Патентні позови	Позови від компаній конкурентів	Відстоювання прав компанії.

Висновки: головним фактором загроз є конкуренція. Вже існуючі товари на ринку мають певну репутацію та контракти на постачання оновлень і підтримку у споживачів. Конкуренти здатні демпінгувати ціни для отримання нових клієнтів свого товару.

Таблиця 5.7 Фактори можливостей

<i>№ n/n</i>	<i>Фактор</i>	<i>Зміст можливості</i>	<i>Можлива реакція компанії</i>
1	Збільшення попиту	Різде збільшення зацікавленості до тесту	Підвищення постачання
2	Необхідність до інтеграції	Необхідність реалізації у іншому програмному середовищі	Компанія може створити додаткові можливості алгоритму на замовлення
3	Освоєння нових сфер	Алгоритм використовується у сферах, що не розглядалися виробником	Створення спеціальної робочої групи задля модернізації алгоритму для виконання поставлених вимог
4	Індивідуальне замовлення	Клієнт потребує надбудови нових специфічних додатків	Оцінка затрат і вигоди компанії в даній ситуації. Погодження умов можливого контракту.
5	Співпраця з конкурентами	Конкурент запропонував кооперацію	Оцінки можливих ризиків

Висновки: сфера використання таких тестів швидко розвивається, тому ринок клієнтів постійно зростає. Збільшення зацікавленості в товарі призведе до різкого збільшення об'ємів постачання та продажів, що дасть поштовх до нових вдосконалень. Це досягається шляхом рекламування та освоєння нових сфер використання блоків пам'яті.

Таблиця 5.8 Ступеневий аналіз конкуренції на ринку

<i>Особливості конкурентного середовища</i>	<i>В чому проявляється дана характеристика</i>	<i>Вплив на діяльність підприємства (можливі дії компанії, щоб бути конкурентоспроможною)</i>
1. Вказати тип конкуренції - чиста конкуренція	Мала кількість постачальників даного продукту	-відповідність ринку -прогнозування -випереджати існуючі технології
2. За рівнем конкурентної боротьби - міжнародний	Наявність замовників із інших держав	Міжнародний ринок
3. За галузевою ознакою - міжгалузева	Використання у різних галузях	Робота менеджменту і реклами по залученню клієнтів
4. Конкуренція за видами товарів: - товарно-видова	Товар, що пропонується є одного виду	Клієнто-орієнтована стратегія розвитку Адаптивність до умов ринку
6. За характером конкурентних переваг - цінова	Вартість залежить від функціональності	Аналіз потреб ринку та адаптація
7. За інтенсивністю - марочна	Вибір постачальника по бренду	Розкрутка бренду, його рекламування

Висновки: на ринку присутня чиста конкуренція через те, що окремі гравці не можуть впливати на ціну товару. За рівнем конкурентної боротьби – міжнародний із міжгалузевою ознакою. Конкуренція за видами товарів – видова.

Таблиця 5.9 Аналіз конкуренції в галузі за М. Портером

<i>Складові аналізу</i>	<i>Прямі конкуренти в галузі</i>	<i>Потенційні конкуренти</i>	<i>Постачальники</i>	<i>Клієнти</i>	<i>Товари-замінники</i>
	CMR reasearch lab	FN Maths	National Systems	Melexis LTD	TPVobj
<i>Висновки:</i>	Конкуренція є відносно не великою	Вихід на ринок відносно простий. Наявні потенційні конкуренти.	Постачальники мають не диктувати ціни на ринку	Клієнти диктують умови через специфіку застосування.	Обмежень практично немає, бо маю обмеження по використанню

Таблиця 5.10 Обґрунтування факторів конкурентоспроможності

№ n/n	Фактор конкурентоспроможності	Обґрунтування (наведення чинників, що роблять фактор для порівняння конкурентних проектів значущим)
1	Швидкість	Використання алгоритмів що зменшують час виконання
2	Простота	Простота у використанні для користувача робить систему привабливою для клієнта.
3	Адаптивність	Можливість гнучкого налаштування під конкретні задачі
4	Модульність	Можливість комплексування із додатковими системами тестування.
5	Масштабування	Можливість масштабування на будь-який об'єм пам'яті

Висновки: оцінено основні фактори конкурентної спроможності. Підвищення швидкості виконання тесту досягається завдяки використанню алгоритмів із оптимальним пошуком корисних частин розрахунку помилок. Простота у використанні функції та налаштуванні робить її більш привабливою для клієнта через те, що необхідно тратити мінімум часу на інтеграцію та запуск.

Таблиця 5.11 Порівняльний аналіз сильних та слабких сторін проекту

№ n/n	Фактор конкурентоспроможності	Бали 1-20	Рейтинг товарів-конкурентів у порівнянні з CMR reasearch lab						
			-3	-2	-1	0	+1	+2	+3
1	Швидкість	20							+
2	Простота	15					+		
3	Адаптивність	9			-				
4	Модульність	11				0			
5	Масштабування	17						+	

Висновки: спираючись на фактори конкурентоспроможності (Таблиця 5.9) та підсумовуючи рейтинг товару відносно головного конкурента, запропонована система має більший рейтинг відносно прямих конкурентів. Дана таблиця показує якими саме особливостями розроблена система відрізняються від аналогів та в яку саме сторону. Детальний аналіз показує, що сильними сторонами, у порівнянні із іншими системами, є швидкість, можливість масштабування та простота використання.

Таблиця 5.12 SWOT- аналіз стартап-проекту

Сильні сторони: 1. Швидкість виконання 2. Простота інтеграції 3. Адаптивність 4. Стабільна робота 5. Можливість до модульності	Слабкі сторони: 1. своєчасне оновлення бази використовуваних бібліотек 2. відносно нове ПЗ може мати недоліки
Можливості: 1. Вихід на міжнародний ринок 2. Збільшення попиту 3. Необхідність до інтеграції 4. Освоєння нових сфер 5. Індивідуальне замовлення 6. Співпраця з конкурентами	Загрози: 1. Конкуренція 2. Економічна нестабільність 3. Якість продукту 4. Калькуляційне навантаження 5. Патентні позови 6. сертифікація

Таблиця 5.13 Альтернативи ринкового впровадження стартап-проекту

<i>№ п/п</i>	<i>Альтернатива (орієнтовний комплекс заходів) ринкової поведінки</i>	<i>Ймовірність отримання ресурсів</i>	<i>Строки реалізації</i>
1	Індивідуацізм (максимація власного виграшу)	Середня	7міс
2	Кооперація (максимізація спільного виграшу)	Висока	10міс
3	Суперництво	Нижче середнього	12міс.

Висновки: в результаті аналізу обрано кооперацію, як альтернативну ринкову поведінку через те, що за відносно короткий термін існує велика ймовірність отримання ресурсів.

5.4. Розроблення ринкової стратегії проекту

Таблиця 5.14 Вибір цільових груп потенційних споживачів

<i>№ п/п</i>	<i>Опис профілю цільової групи потенційних клієнтів</i>	<i>Готовність споживачів сприйняти продукт</i>	<i>Орієнтовний попит в межах цільової групи (сегменту)</i>	<i>Інтенсивність конкуренції в сегменті</i>	<i>Простота входу у сегмент</i>
1	Розробка та дослідження	-	+	низька	+
2	Виробництво	-	+	низька	-
3	Виробники кінцевих пристроїв	+	+	низька	+

Які цільові групи обрано: під час вибору цільової групи до уваги бралось в першу чергу готовність споживача сприйняти продукт. Центр

досліджень та розробки потребують такої системи для скорочення часу розробки мікросхем. Виробництво, що випускає мікросхеми із вбудованими блоками пам'яті має необхідність у прискоренні для скорочення часу виходу кінцевого продукту на ринок. Також, виробники кінцевих цілісних систем і приладів можуть потребувати такого програмного забезпечення та гарантування відмовостійкості.

Таблиця 5.15 Визначення базової стратегії розвитку

<i>№ n/n</i>	<i>Обрана альтернатива розвитку проекту</i>	<i>Стратегія охоплення ринку</i>	<i>Ключові конкурентоспроможні позиції відповідно до обраної альтернативи</i>	<i>Базова стратегія розвитку*</i>
	Індивідуалізм	Стратегія недиференційова ного маркетингу	Адаптація до вимог ринку Використання новацій Генерування ноу-хау	Стратегія спеціалізації

Висновки: обрана стратегія розвитку спеціалізація через існування на ринку більш сильних гравців. На перших кроках існування проекту доцільніше обрати стратегію спеціалізації та зайняти певну стабільну нішу на ринку.

Таблиця 5.16 Визначення базової стратегії конкурентної поведінки

<i>№ n/n</i>	<i>Чи є проект «першопрохідце м» на ринку?</i>	<i>Чи буде компанія шукати нових споживачів, або забирати існуючих у конкурентів?</i>	<i>Чи буде компанія копіювати основні характеристики товару конкурента, і які?</i>	<i>Стратегія конкурентної поведінки*</i>
	Не є першопрохідцем	Буде шукати нових споживачів із поступовим переманюванням від конкурентів	Компанія буде вдосконалювати наявні зразки	Стратегія виклику лідера

Висновок: оскільки проект не є першопрохідцем та має суттєві переваги по відношенню до свого прямого конкурента, можливо обрати стратегію виклику лідеру. Це є можливим на фоні використання інноваційних методів підвищення точності алгоритмічного забезпечення.

Таблиця 5.17 Визначення стратегії позиціонування

<i>№ n/n</i>	<i>Вимоги до товару цільової аудиторії</i>	<i>Базова стратегія розвитку</i>	<i>Ключові конкурентоспроможні позиції власного стартап-проекту</i>	<i>Вибір асоціацій, які мають сформувати комплексну позицію власного проекту (три ключових)</i>
1	Швидкість роботи	Стратегія спеціалізації	До слідження та розвиток	Високошвидкісна, легкість, надійність
2	Можливість інтеграції з іншими системами	Стратегія спеціалізації	Обслуговування	Здатна до інтеграції
3	Висока стабільність результатів	Стратегія спеціалізації	Якість	високоточна

Висновки: На ряду із використання інноваційних методів підвищення точності, проект повинен викликати асоціації у клієнта у гнучкості налаштування та інтеграції, можливості після продажного обслуговування та адаптації до нових потреб.

Таблиця 5.18 Визначення ключових переваг концепції потенційного товару

<i>№ n/n</i>	<i>Потреба</i>	<i>Вигода, яку пропонує товар</i>	<i>Ключові переваги перед конкурентами (існуючі або такі, що потрібно створити)</i>
	Необхідність пришвидшення тестування блоків пам'яті	Підвищення швидкості за рахунок простих алгоритмів пошуку, що не дають високого навантаження на обчислювальні потужності	Ціна, надійність, простота, підтримка, обслуговування, масштабування

Висновки: в результаті визначення переваг концепції товару можливо створення цільової реклами товару та донесення цільового повідомлення до кінцевого клієнта.

Таблиця 5.19 Опис трьох рівнів моделі товару

<i>Рівні товару</i>	<i>Сутність та складові</i>		
I. Товар за задумом	Алгоритм дає можливість скоротити час тестування пам'яті, що дозволить пришвидшити процеси дослідження та виробництва, що в свою чергу скоротить час виходу кінцевого продукту клієнта на ринок.		
II. Товар у реальному виконанні	Властивості/характеристики	М/Нм	Вр/Тх /Тл/Е/Ор
	1. Швидкість	10мс	Тх
	2. Мова програмування	LabVIEW	Тх
	3. Точність	1надл.біт	Тх
	4. Надійність	0.1% зав.	Тх
	5. Масштабування	32 – 256кБ	Е

	Якість: оптимізованість написаного коду, коректність використаних технологій, звіти з тестування програмного забезпечення
	User Manual
	Марка: Jupyter
III. Товар із підкріпленням	До продажу: варіації мов підтримки Після продажна підтримка: сервіс, гарантія, сервісне обслуговування
Захист товару проводиться шляхом патентування програмного коду, проведення заходів захисту програмного забезпечення	

Висновки: основними засобами захисту від копіювання є патентування програмних рішень, що використовуються у алгоритмі. Окрім того, захист програмного коду повинен запобігти копіюванню програми. Закладені характеристики на другому та третьому рівнях товару робить його унікальним серед конкурентів.

Таблиця 5.20 Визначення меж встановлення ціни

№ n/n	Рівень цін на товари-замінники	Рівень цін на товари-аналоги	Рівень доходів цільової групи споживачів	Верхня та нижня межі встановлення ціни на товар/послугу
	800 - 1200 у.о.	1000 - 1300у.о.	12000-20000 у.о.	800 - 1000 у.о.

Висновки: обрано середню цінову категорію, оскільки занадто висока ціна відлякує споживача.

Таблиця 5.21 Формування системи збуту

№ n/n	Специфіка закупівельної поведінки цільових клієнтів	Функції збуту, які має виконувати постачальник товару	Глибина каналу збуту	Оптимальна система збуту
	Продаж	Повний супровід товару до замовника	Нульового рівня	Безпосередній (прямий)
	Оренда	Надання консультацій та оренди програмного коду під криптографічним сертифікатом із строком дії	Нульового рівня	Безпосередній (прямий)

Висновки: основними каналами збуту є продаж. Через відносно невеликі об'єми цільової аудиторії нема сенсу використовувати підрядників для реалізації товару. Тому обрано нульовий рівень глибини каналу збут та прямої системи збуту.

5.5. Розроблення маркетингової програми стартап-проекту

Таблиця 5.22 Концепція маркетингових комунікацій

<i>№ п/п</i>	<i>Специфіка поведінки цільових клієнтів</i>	<i>Канали комунікацій, якими користуються цільові клієнти</i>	<i>Ключові позиції, обрані для позиціонування</i>	<i>Завдання рекламного повідомлення</i>	<i>Концепція рекламного звернення</i>
	Зовнішні обставини спонукають споживача до пошуку рішення	- Участь у конференціях за фахом - Прямий зв'язок із підрядником - сайт виробника	- Висока швидкість --Простота інтеграції --Надійність	Донесення можливостей отримання прибутку за допомогою цього методу	Показ можливостей даного алгоритму та можливість застосування

Висновки: Маркетингова комунікація проходить через рекламу алгоритму на конференціях, при прямому контакті із потенційними покупцями та у профільних виданнях. Метою цих комунікацій є донесення можливостей даної системи та вигоди від використання.

5.6.Висновки до розділу

Даний розділ присвячений розробленню першого етапу створення стартап-проекту. Найголовнішим в проведенні будь-якої наукової роботи є подальша комерціалізація отриманих результатів та можливість застосування розробленої концепції в промисловості. Більшість ідей в тій чи іншій мірі впливають на економічну складову підприємства. Тому розроблена ідея може бути використана як бізнес модель та може бути продана зацікавленим особам.

Першим кроком було відбір та висвітлення самої ідеї проекту. Для цього в Таблиця 5.1 приведено назву проекту та можливі зацікавлені сторони, котрі будуть потенційними споживачами продукту та які саме ризики можуть бути під час реалізації. Аналіз слабких та сильних сторін дають можливість визначити аспекти, на яких слід зробити ставку. Перелік слабких, сильних та нейтральних характеристик ідеї дає можливість до уявлення конкурентоспроможності запропонованого рішення. Для даного проекту було виявлено частково зайняту нішу товару у сфері розробки та дослідження пам'яті у виконанні інтегральної мікросхеми, виробництва комплексних

мікросхем із вбудованою пам'яттю. Сильними сторонами проекту являються можливість до інтеграції з іншими системами тестування, підвищення швидкості та надійності системи.

Наступним кроком проводився технологічний аудит проекту. Під час аудиту автор отримує можливість до розуміння кращої технології виконання. Виявлено що більшість технологій вже існує, однак використання останніх не дасть можливості мати переваги над конкурентами. Саме ставка на інноваційні методи підвищення швидкості можуть зробити алгоритм унікальним та незамінним. Загалом, створення проекту можливе, однак необхідно провести доволі сильну рекламну компанію, щоб отримати покупців.

Зважаючи на стрімкий розвиток технологій, для швидкого отримання ресурсів та прибутків, слід обрати кооперацію, як форму ринкового впровадження проекту. Тобто, для того щоб встигнути за ринком, слід не розроблювати систему з нуля, оскільки це займе доволі багато часу, а запропонувати лідерам ринку використання запропонованих програмних рішень. Звісно, це є альтернативою, оскільки в такому випадку ні одна зі сторін не отримає повного прибутку.

Після аналізу всіх аспектів ринку, подальша імплементація проекту можлива. Але є одна важлива умова. Слід провести доволі сильну рекламну компанію, та донести до споживачів можливість пришвидшення тестування та верифікації, що надасть прямий прибуток клієнту через скорочення часу потрапляння кінцевого продукту на ринок та гарантування його надійної роботи протягом багатьох років.

ВИСНОВКИ

Під час аналізу наукових робіт та досліджень у сфері проведено огляд літератури та наукових здобутків і виявлено відсутність або недостатність покриття теми тестування енергонезалежної пам'яті недеструктивними методами, особливо в умовах виробництва. Висвітлено роль даного елемента у сучасних процесорних системах, важливість його коректної валідації та характеристики.

Розглянуто будову пам'яті на різних принципових рівнях – від одиничної комірки, на основі транзистора із плаваючим затвором, до побудови цілісних блоків із різними способами доступу та характеристиками. Також приведено список дослідів, що проводяться для її коректної верифікації працездатності та оцінки довгостроковості слугування. Окрім експериментів розглянуто основні досліді, що дають різнобічно оцінити ступені деградації та вплив кожного окремого фактора.

З-поміж ряду тестів обрано Detailed Marginal Read як такий, що є ефективним в умовах виробництва через відсутність потреби у додаткових структурах та можливість швидко надати інформацію про весь блок пам'яті. Незважаючи на вихідні показники швидкодії, виділено можливість для його вдосконалення завдяки виключенню з повної перевірки діапазонів, що не надають корисної інформації.

Для реалізації нового алгоритму та його перевірки проведено експериментальне дослідження на базі компанії Мелексіс-Україна. Для проведення дослідження було надано мікросхему 7x_XOTPTRIM_32X22P_V20, яка є тестовою та містить у собі сім однакових блоків. Вимірювальну установку та середовище розробки обрано за стандартами відділу метрології та характеристики мікросхем, а саме – платформа NI PXI та середовище – LabVIEW. Для підключення мікросхеми розроблено та виготовлено друковану плату. Створено програмне забезпечення для конфігурації, читання/запису мікросхеми. Відтворено стандартний алгоритм DMR тесту.

На базі створеної системи проведено дослідження впливу зміни алгоритму вибору кроку зміни опорної напруги на час тестування. Механізм для пошуку оптимального діапазону вичитування побудовано на основі алгоритму бінарного ділення. За результатами виконання вдосконаленого та модернізованого DMR тесту можна сказати, що ефективність використання обладнання збільшується завдяки зменшенню недоцільних вичитувань, що скорочує час тестування на ~37%. Що в свою чергу дозволяє зберегти 20 хвилин при тестуванні одного чипа на типовому експерименті. Дане прискорення дає можливість виробнику зекономити час та пришвидшити потрапляння кінцевого продукту на ринок або використати його для проведення додаткових експериментів і тестів, чим підвищити гарантію надійності даного блоку. Також запроновано продовжити дослідження можливостей подальшого вдосконалення за рахунок використання більш складних алгоритмів пошуку.

Для апробації результатів було опубліковано статтю та прийнято участь у двох конференціях. За результатами експериментального дослідження компанія Мелексіс-Україна визнала цінність даних напрацювань, що підтверджено актом впровадження.

Окремим розділом «Розроблення стартап-проекту» проведено аналіз економічної спроможності проекту до виходу на ринок як окремого продукту. Розглянуто слабкі та сильні сторони, фактори ризику, загроз та можливостей. Проаналізовано конкурентність на ринку та можливої рентабельності. За умови проведення рекламної кампанії за визначеною стратегією проект має бути економічно доцільним.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Охріменко В. М. АПАРАТНЕ ЗАБЕЗПЕЧЕННЯ ІНФОРМАЦІЙНИХ СИСТЕМ / В. М. Охріменко. – Харків: ХНАМГ, 2013. – 100 с. – С. 26 – 28
2. Клименко Ю. М. Мікропроцесори та дискретні пристрої автоматики / Ю. М. Клименко. – КАМ'ЯНСЬКЕ, 2017. – 90 с. – (ДНІПРОВСЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ). – (Електромеханіка).
3. Комп'ютерна пам'ять [Електронний ресурс]. – 2015. – Режим доступу до ресурсу:
http://moderncomputers.at.ua/publ/zagalni_vidomosti_pro_pk/komp_juterna_pam_jat/komp_39_juterna_pam_39_jat/6-1-0-4.
4. Сторчак К. КЕРУВАЛЬНІ КОМПЛЕКСИ ЕЛЕКТРОЗВ'ЯЗКУ / к.т.н., доц. каф.КС К.П. Сторчак. – 2014. – С. 4–6.
5. Смітюх С. Цифрове діагностування пристроїв керування електромеханічними системами / Сергій Смітюх. // “ELECTRIC POWER ENGINEERING & CONTROL SYSTEMS 2009” (EPECS-2009). – 14. – С. 31–32.
6. ГОВОРУЩЕНКО Т. О. ОСОБЛИВОСТІ ВІДМОВОСТІЙКИХ КОМП'ЮТЕРНИХ СИСТЕМ З ПРОГРАМОВАНОЮ ЛОГІКОЮ ЯК ОБ'ЄКТІВ ДІАГНОСТУВАННЯ / Т. О. ГОВОРУЩЕНКО, Є. Г. ГНАТЧУК. // Вісник Хмельницького національного університету. – 2010. – С. 222–226.
7. ПРОГНОЗУВАННЯ ТЕРМІНУ НАДІЙНОЇ ЕКСПЛУАТАЦІЇ ІНТЕГРАЛЬНИХ МІКРОСХЕМ РАДІОТЕХНІЧНИХ ПРИСТРОЇВ / [В. О. Андрієнко, В. В. Іванченко, А. В. Гончаров та ін.]. // Вісник НТУУ “КПІ”. Серія ПРИЛАДОБУДУВАННЯ. – 2014. – С. 125–130.
8. Андриенко В. А. МЕТОД И СРЕДСТВА ПОВЫШЕНИЯ НАДЕЖНОСТИ ЗАПОМИНАЮЩИХ УСТРОЙСТВ ПУТЕМ ЗАМЕЩЕНИЯ МОДУЛЕЙ ПАМЯТИ / В. А. Андриенко, В. Г. Рябцев, Т. Ю. Уткина. // РАДИОЕЛЕКТРОННИ І КОМП'ЮТЕРНІ СИСТЕМИ. – 2007. – №6. – С. 192–195.

9. Tann H. Non-Volatile Memory: A review of past and present concepts and applications / Hokchhay Tann.
10. Makwana J. A Nonvolatile Memory Overview [Електронний ресурс] / J. Makwana, D. Dr. Schroder. – 2012. – Режим доступу до ресурсу: <http://aplawrence.com/Makwana/nonvolmem.html>.
11. Integrated Circuit Engineering Corporation, 1982. – (Non-volatile Memory, ICECAP Reports; вип. 2).
12. Memory Test Tips: Improving flash memory testing with pulse generators. // EETimes. – 2012. – №3.
13. White M. Microelectronics Reliability: Physics-of-Failure Based Modeling and Lifetime Evaluation / M. White, J. Bernstein. – Pasadena, California: JPL Publication, 2008. – 216 с. – (08-5).
14. Programming and Erasing FLASH Memory on the MC68HC908AS60 [Електронний ресурс] – Режим доступу до ресурсу: <https://www.nxp.com/docs/en/application-note/AN1828.pdf>.
15. Venkat K. Understanding MSP430 Flash Data Retention [Електронний ресурс] / K. Venkat, U. Haensel // Texas Instruments - SLAA392. – 2008. – Режим доступу до ресурсу: <http://www.ti.com/lit/an/slaa392/slaa392.pdf>.
16. Павловський О. М. ШЛЯХИ ВДОСКОНАЛЕННЯ ДІАГНОСТИЧНИХ ТЕСТІВ ЕНЕРГОНЕЗАЛЕЖНОЇ ПАМ'ЯТІ НА ПРИКЛАДІ DETAILED MARGINAL READ ТЕСТУ / О. М. Павловський, О. С. Котельнікова. // ВІСНИК НАЦІОНАЛЬНОГО ТЕХНІЧНОГО УНІВЕРСИТЕТУ УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ". СЕРІЯ ПРИЛАДОБУДУВАННЯ. – 2018.
17. Котельнікова О. С. Оптимізація тесту оцінки стану енергоне залежної пам'яті / О. С. Котельнікова, О. М. Павловський. // XX Міжнародна молодіжна науково-практична конференція "Людина і Космос". – 2018.
18. Котельнікова О. С. РОЗРОБКА АПАРАТНО-ПРОГРАМНОГО КОМПЛЕКСУ ДЛЯ ОЦІНКИ ТЕСТУ СТАНУ ЕНЕРГОНЕЗАЛЕЖНОЇ

ПАМ'ЯТІ / О. С. Котельнікова, О. М. Павловський. // Міжнародна науково-технічна XI конференція молодих вчених. – 3-5квітня 2018р.

- 19.PXI Express™ NI PXIe-1082 User Manual [Електронний ресурс] // National instruments. – 2016. – Режим доступу до ресурсу: <http://www.ni.com/pdf/manuals/372752c.pdf>.
- 20.SPECIFICATIONS PXI-4071 [Електронний ресурс] // National Instruments. – 2017. – Режим доступу до ресурсу: <http://www.ni.com/pdf/manuals/371371m.pdf>.
- 21.SPECIFICATIONS NI PXIe-6544/6545/6547/6548 100/200 MHz Digital Waveform Generator/Analyzer [Електронний ресурс] // National instruments – Режим доступу до ресурсу: <http://www.ni.com/pdf/manuals/374962e.pdf>.
- 22.NI-TClk Synchronization Help For National Instruments SMC-Based Digitizers, Signal Generators, and Digital Waveform Generators/Analyzers [Електронний ресурс] // National instruments. – 2007. – Режим доступу до ресурсу: <https://documentation.help/NI-TClk-Synchronization/documentation.pdf>.
- 23.Wagle K. Essential synchronization technologies in PXI [Електронний ресурс] / Kaustubh Wagle // Technology Feature: Synchronizing measurement systems. – 2004. – Режим доступу до ресурсу: <ftp://ftp.ni.com/pub/devzone/tut/pxitecharticle.pdf>.

ДОДАТОК А

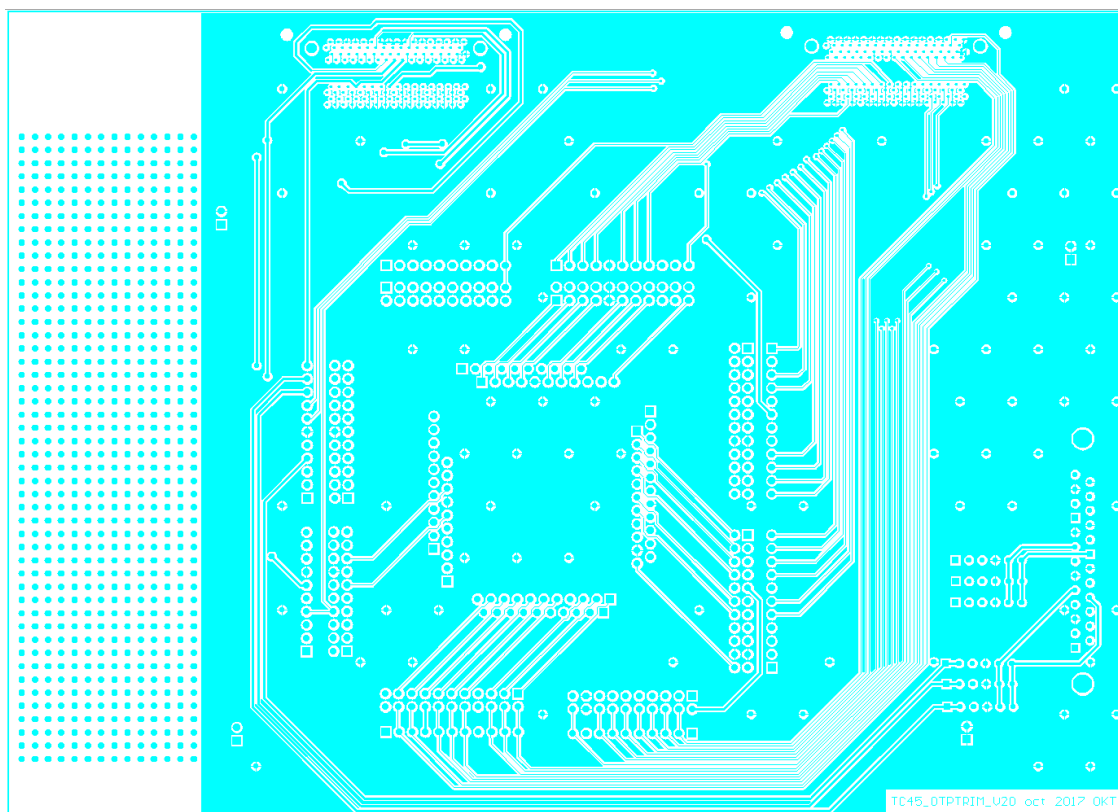


Рисунок А.1 – Гербер файл верхнього шару друкованої плати

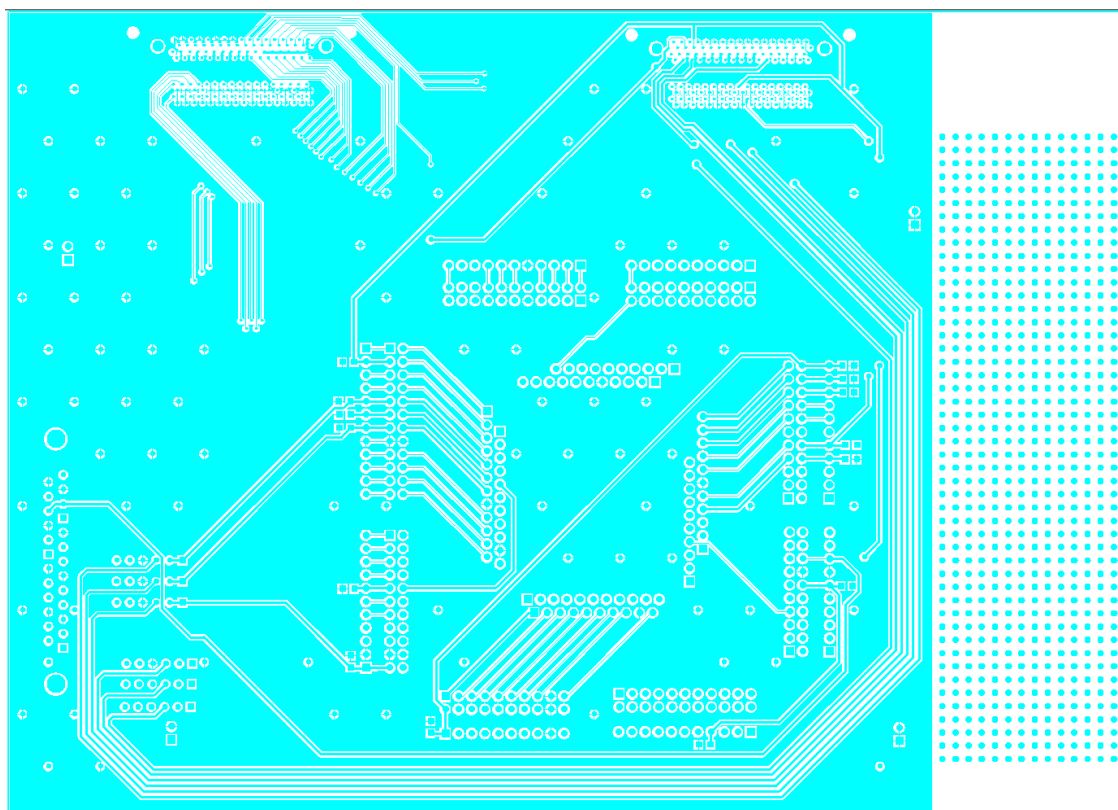


Рисунок А.2 – Гербер файл нижнього шару друкованої плати

ДОДАТОК Б

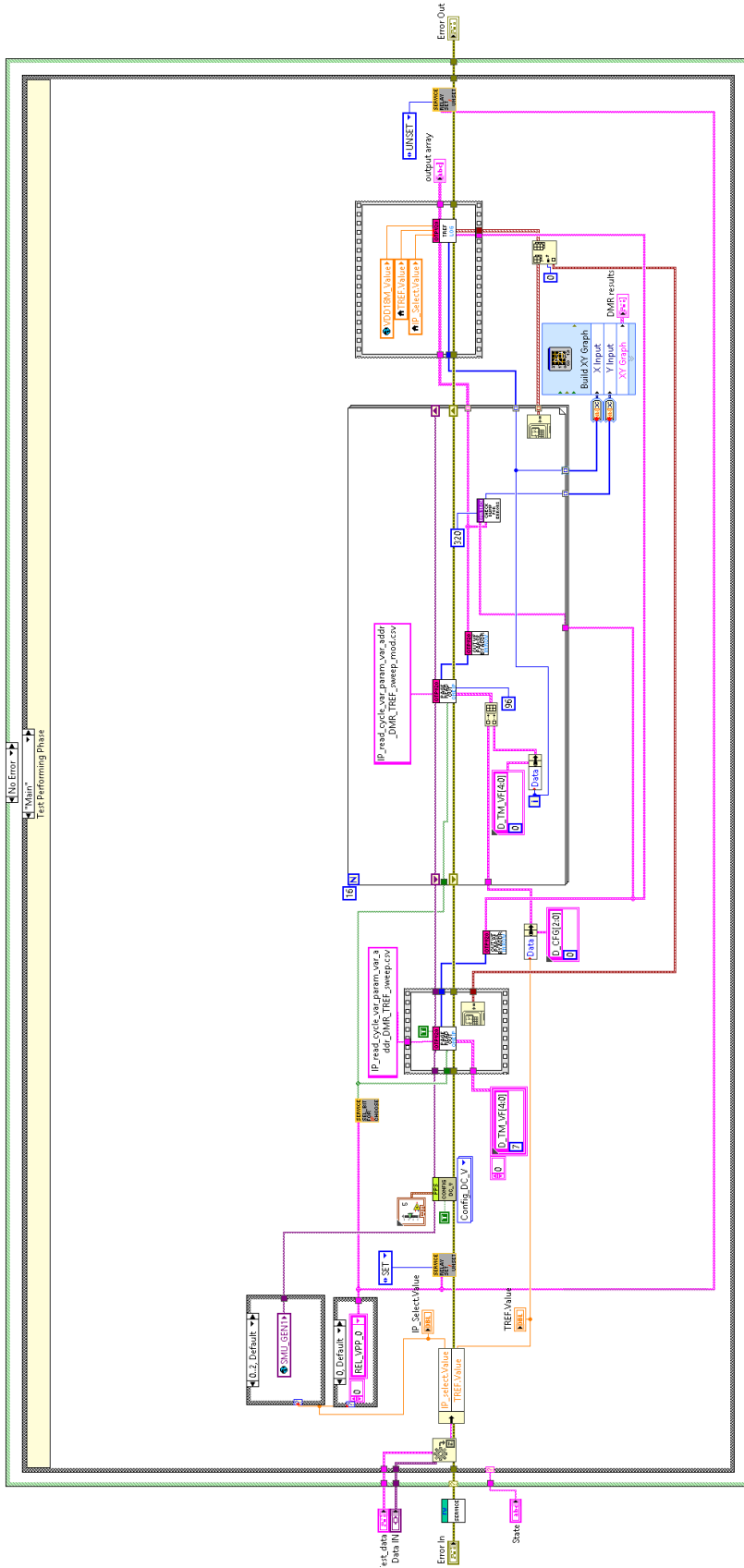


Рисунок Б.1 - Реалізація стандартного тесту DMR із послідовною зміною кроку опорної напруги