

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
ІМЕНІ ІГОРЯ СІКОРСЬКОГО»
КАФЕДРА ФІЗИКИ ЕНЕРГЕТИЧНИХ СИСТЕМ**

На правах рукопису

УДК 539.21

«До захисту допущено»

в.о. завідувача кафедри

_____ А. А. Халатов
(підпис) (ініціали, прізвище)

“ ____ ” _____ 20__ р.

Магістерська дисертація

зі спеціальності 105 Прикладна фізика та наноматеріали
(код і назва)

на тему: Моделювання електричних і теплових характеристик InGaAs транзистора типу Nanowire FET

Виконав: студент VI курсу, групи ФФ-72мн
Мушаровський Олександр Олександрович

(підпис)

Керівник: ст. викл. каф. фізики енергетичних систем НТУУ «КПІ імені Ігоря Сікорського»; к.ф.-м.н.

Гільчук А.В.

(підпис)

Рецензент: провідний науковий співробітник лабораторії радіоспектроскопії інституту фізики напівпровідників ім. В.Є. Лашкарьова НАНУ, д.ф.-м.н., с.н.с.

Ворона І.П.

(підпис)

Засвідчую, що у цій дипломній роботі немає запозичень з праць інших авторів без відповідних посилань.

Студент _____
(підпис)

**Національний технічний університет України
«Київський політехнічний інститут
імені Ігоря Сікорського»**

Інститут (факультет) Фізико-технічний інститут
(повна назва)

Кафедра Фізики енергетичних систем
(повна назва)

Рівень вищої освіти – другий (магістерський) за освітньо-науковою
програмою

Спеціальність. 105 Прикладна фізика та наноматеріали
(код і назва)

ЗАТВЕРДЖУЮ

в.о. завідувача кафедри

_____ Халатов А.А.
(підпис) (ініціали, прізвище)

«___» _____ 2019 р.

ЗАВДАННЯ

на магістерську дисертацію студенту

Мушаровському Олександр Олександровичу
(прізвище, ім'я, по батькові)

1. Тема дисертації «Модельовання електричних і теплових характеристик InGaAs транзистора типу Nanowire FET».

науковий керівник дисертації Гільчук А.В., к.ф.-м.н.,
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом по університету від «___» _____ 20__ р. № _____

2. Термін подання студентом роботи 13.05.2019 р.

3. Об'єкт дослідження InGaAs транзистор типу Nanowire FET з розмірами 40 нм

4. Предмет дослідження Фактори, які впливають на електричні та теплові характеристики тривимірних транзисторів типу Nanowire FET.

5. Перелік завдань, які потрібно розробити Опрацювати літературні джерела стосовно проблем масштабування та сучасним тенденціям у конструюванні та розробці Nanowire FET; оволодіти методами розрахунку розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у Nanowire FET; дослідити особливості електричних та теплових процесів у тривимірних транзисторах типу Nanowire FET.

6. Орієнтовний перелік ілюстративного матеріалу презентація

7. Орієнтовний перелік публікацій: 1. Комп'ютерне моделювання впливу розмірів каналу на електричні та теплові процеси у Nanowire FET

8. Дата видачі завдання 26.09.2017р. _____

Календарний план

№ з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка
1	Опрацювання літератури за темою дослідження	09.17-11.17	
2	Написання 1 розділу дипломної роботи «Огляд літератури»	11.17-04.18	
3	Ознайомлення з програмним забезпеченням для комп'ютерного моделювання MOSFET	05.18	
4	Ознайомлення з методикою отримання розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у транзисторах за допомогою програмного пакету GTS Framework	09.18	
5	Побудова структурної моделі Nanowire FET	10.18	
6	Розрахунок розподілу потенціалу та вольт-амперних характеристик Nanowire FET	11.18	
7	Дослідження процесу теплогенерації та побудова розподілу температури всередині пристрою	12.18	
8	Дослідження впливу геометрії каналу Nanowire FET на електричні та теплові характеристики транзистору	01.19-02.19	
9	Підготовка матеріалів конференції	03.19-04.19	
10	Виступ на конференції	04.19	
10	Написання 2, 3 розділів дипломної роботи	04.19-05.19	
12	Захист дипломної роботи	21.05.19	

Студент

(підпис)

Мушаровський О.О.

(ініціали, прізвище)

Науковий керівник дисертації _____

(підпис)

Гільчук А.В.

(ініціали, прізвище)

РЕФЕРАТ

Пояснювальна записка магістерської дисертації за обсягом становить 80 сторінок, містить 44 рисунки та 1 таблицю. Використано 36 бібліографічних джерел.

Актуальність теми. З сучасними тенденціями до швидкого зменшення масштабів транзисторів необхідно розглядати все нові схеми та матеріали для створення конкурентоздатних пристроїв. Моделювання залежності параметрів транзисторів від їх геометричних розмірів та визначення правильної конфігурації лінійних розмірів відкриє шлях до подальшого розвитку нанорозмірних технологій.

Зв'язок роботи з науковими програмами, планами, темами. Науково-дослідна робота за темою дисертації проводилася за власною ініціативою на кафедрі ФЕС НТУУ «КПІ імені Ігоря Сікорського».

Мета дисертаційної роботи полягає в дослідженні впливу лінійних розмірів каналу InGaAS Nanowire-FET електричні та теплові характеристики пристрою.

Досягнення мети передбачає вирішення таких задач:

- Побудова структурної моделі Nanowire FET;
- Розрахунок розподілу потенціалу та вольт-амперних характеристик;
- Дослідження процесу теплогенерації;
- Побудова розподілу температури всередині пристрою;
- Дослідження впливу геометрії на електричні та теплові характеристики.

Об'єктом дослідження є InGaAs Nanowire FET з характерним розміром 40 нм.

Предметом дослідження є фактори, які впливають на електричні та теплові характеристики Nanowire FET.

Методи дослідження. Комп'ютерне моделювання структури Nanowire FET. Побудова розподілу потенціалу шляхом чисельного розв'язання рівняння Пуассона. Одержання вольт-амперних характеристик згідно з моделлю

дрейфу та дифузії. Чисельне моделювання теплогенерації та розподілу температури Nanowire FET.

Були отримані наступні результати:

1. Проведено чисельне моделювання структури та електричних і теплових процесів Nanowire FET транзистору за допомогою програмного пакету GTS Framework.

2. Досліджено вплив зміни лінійних розмірів каналу на електричні й теплові характеристики Nanowire FET. Показано, що зменшення довжини каналу призводить до збільшення вихідного струму і теплогенерації транзистору.

3. Виявлено, що при зменшенні висоти (або радіусу) каналу вихідний струм та теплогенерація зменшуються.

Наукова новизна дисертації полягає у визначенні впливу геометричних факторів на електричні та теплові характеристики InGaAs Nanowire FET.

Практичне значення отриманих результатів. Встановлено, що зменшення довжини каналу призводить до збільшення вихідного струму, однак збільшується і тепловиділення в транзисторі, а відповідно і піднімається температура, яка до того ж розподілена дуже нерівномірно і сконцентрована біля робочої частини каналу. Отримані дані можуть бути використані для оцінки вихідних характеристик InGaAs Nanowire FET пристроїв та більш детального вивчення тепловиділення даного типу транзисторів.

Ключові слова: *InGaAs, Gate-all-around, Nanowire, MOSFET.*

SUMMARY

The thesis explanatory note contains 80 pages, including 44 figures and 1 table, 36 bibliographic sources were used.

The objective of this work is influence of Nanowire FET linear channel scaling on electrical and thermal characteristics.

The purpose of the dissertation is to study the influence of the linear scaling of the InGaAs Nanowire-FET channel on the electrical and thermal characteristics of the device.

The challenges are:

- Construction of the structural model of Nanowire FET;
- Calculation of the electrical potential distribution and transfer characteristics;
- Investigation of the heat generation process;
- Investigation of temperature distribution of the device;
- Determination of FET geometry influence on electric and thermal characteristics.

The object of the study is InGaAs Nanowire FET with a characteristic size of 40 nm.

The subject is the factors that affect the electrical and thermal characteristics of the Nanowire FET.

Investigation methods: Computer simulation of Nanowire FET structure. Construction of the electrical potential distribution by numerical solution of the Poisson equation. Reception of transfer characteristics according to the model of drift and diffusion. Nanowire FET Numerical simulation of heat generation and temperature distribution.

The following results were achieved:

1. A numerical simulation of the structure and electrical and thermal processes of the Nanowire FET transistor was conducted using the GTS Framework software package.

2. The effect of changing the linear dimensions of the channel on the electrical and thermal characteristics of the Nanowire FET has been investigated. It is shown that reducing the length of the channel leads to an increase in the output current and the heat generation of the transistor.

3. It was found that decreasing the height (or radius) of the channel will lead to output current and heat generation decrease.

The scientific novelty lies in determination of the influence of geometric factors on the electrical and thermal characteristics of the InGaAs Nanowire FET.

The practical value of the results obtained. It has been established that reducing the length of the channel leads to an increase in the output current, however, the heat dissipation in the transistor increases too, and accordingly, the temperature rises. Moreover, the temperature is distributed very unevenly and is concentrated in the conducting zone of the channel. The obtained data can be used to evaluate the output characteristics of InGaAs Nanowire FET devices and to study the heat generation of this type of transistors in more detail.

Keywords: *InGaAs, Gate-all-around, Nanowire, MOSFET.*

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, ОДИНИЦЬ, СКОРОЧЕНЬ І ТЕРМІНІВ	10
ВСТУП	12
РОЗДІЛ 1	13
ОГЛЯД ЛІТЕРАТУРИ	13
1.1 Технологія FinFET	15
1.2 Нанопровідні польові транзистори (Nanowire FET). Загальні закони масштабування нанопровідних архітектур	17
1.2.1 Масштабування планарних приладів. Струм витоку	17
1.2.2 Пристрої FinFET і UTV для поліпшення електростатики	21
1.2.3 Нанопроводи як гранична межа електростатичного контролю	24
1.2.4 Квантові ефекти	26
1.2.5 Ток приводу	33
1.3 Сучасні нанопровідні пристрої	33
1.3.1 Силіконові пристрої	33
1.3.2 Пристрої III – V груп	34
1.4 Постановка мети та задач дисертації	39
1.5 Висновки до розділу 1	40
РОЗДІЛ 2	41
МАТЕРІАЛИ І МЕТОДИ ДОСЛІДЖЕННЯ	41
2.1 Структура МОН-транзистора	41
2.2 Фізичні моделі для рівнянь енергетичного балансу	49
2.3 Міжзонне тунелювання (BBT)	52
2.4 Моделювання MOSFET	55

	9
2.5 TCAD	57
2.6 Global TCAD Solutions (GTS)	59
Висновки до розділу 2	60
РОЗДІЛ 3	61
РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	61
3.1 Геометрична модель транзистора та значення концентрацій домішків.	61
3.2 Дослідження електричних характеристик	64
3.3 Дослідження теплових характеристик	73
3.4. Висновки до розділу 3	76
ВИСНОВКИ	77
ПЕРЕЛІК ПОСИЛАНЬ	78

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, ОДИНИЦЬ, СКОРОЧЕНЬ І ТЕРМІНІВ

Латинські позначення:

ϵ_0 – діелектрична проникність вакууму

k_B – стала Больцмана

N – концентрація носіїв

Q – заряд

v – середня швидкість фононів

V_t – теплова напруга

V_{th} – порогова напруга

Грецькі позначення:

μ – мобільність носіїв

σ_n – електрична провідність

ψ – електричний потенціал

Кириличні скорочення:

ВАХ – вольт-амперна характеристика

МОН – метал-оксид-напівпровідник

Латинські скорочення:

BBT – band-to-band

BTE – Boltzmann transport equation

CMOS – complementary metal-oxide-semiconductor

EMA – effective mass approximation

EOT – estimated oxide thickness

FET – field-effect transistor

GAA – gate-all-around

IC – integrated circuit

MOS – metal-oxide-semiconductor

NW – nanowire

S/D – витік/сток

SOI – silicon-on-insulator

TEM – Transmission Electron Microscope

UTB – ultra thin body

WKB – Wentzel-Kramers-Brillioun

ВСТУП

За останні чотири десятиліття безперервне масштабування планарного польового транзистора метал-оксид-напівпровідник (MOSFET) забезпечило кращу продуктивність і більш високу щільність транзисторів на одиницю площі. Було виявлено, що FinFET є найбільш перспективною альтернативою MOSFET завдяки їх підвищеній продуктивності та простоті процесу виготовлення. Тенденція йде в сторону тривимірних транзисторів, і все більше уваги звертається до нових схем та конструкцій польових транзисторів, зокрема моделей з двома (FinFET) та більше (Gate-all-around FET) затворами.

Нещодавно широкий інтерес спільноти привернули напівпровідники з III–V сполук для потенційного застосування в технології MOS в якості матеріалів для каналу транзистора. Серед різних досліджуваних матеріалів III–V арсенід індій галію (InGaAs) вважається одним з найбільш перспективних матеріалів для N-канальних MOSFET, завдяки високій мобільності електронів та високій швидкості електронів.

Основне завдання при розробці нового транзистору постає таким чином: як можна зменшити лінійні розміри транзистору так, щоб не знизити робочі характеристики та забезпечити стабільну роботу. Однією з проблем при масштабуванні таких пристроїв є все більший вплив квантових ефектів на роботу через малий розмір транзистору. Окрім того, стає важче контролювати тепловиділення транзистору через в тому числі зростання його опору.

РОЗДІЛ 1

ОГЛЯД ЛІТЕРАТУРИ

Протягом більш ніж чотирьох десятиліть закон Мура керував напівпровідниковою промисловістю, де кількість транзисторів на чіп приблизно зростає вдвічі кожні 18-24 місяці збільшуючи витрати. Транзистори невпинно вдосконалювалися від першого Ge-транзистора, винайденого в Bell Labs в 1947 році до планарного кремнієвого метал-оксидного напівпровідникового польового транзистора (MOSFET), потім до обмеженого витоку / стоку (S/D) SiGe в рамках 90- і 65- нм технології та металевого затворного стеку, розробленого з 45- і 32-нм розмірами, а потім і до сучасних 3D-транзисторів (FinFET), з характерним розміром 22 нм в 2011 р. (Рис 1.1). У надзвичайно масштабованих транзисторах паразитні та контактні опори значно погіршують струм приводу і погіршують швидкість ланцюга. Таким чином, мініатюризація пристроїв досі була можлива завдяки змінам в діелектрику, S / D, контактах матеріалів / процесів, інноваціях в процесах літографії та змінам в архітектурі пристрою [1].

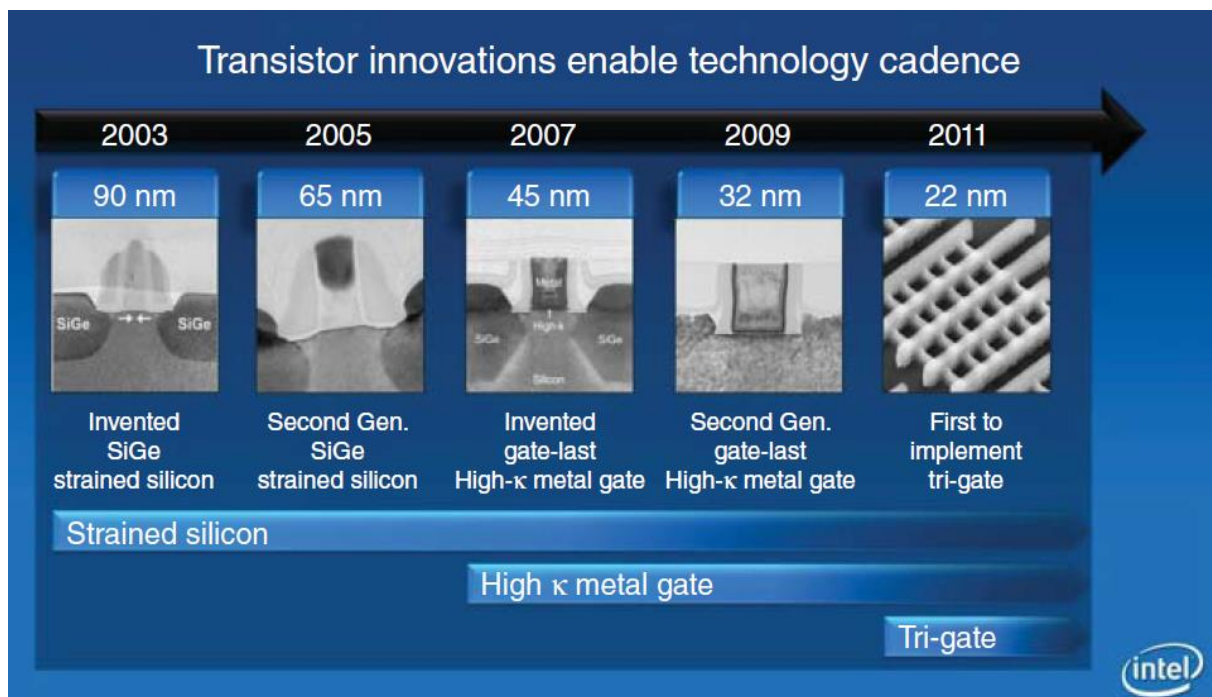


Рис. 1.1: Інновація Intel в технологічних процесах. [2]

Довжина затвора транзисторів струму була зменшена до 14 нм і нижче, з більш ніж 109 транзисторами в сучасних мікропроцесорах. А втім, тактова частота 3–4 ГГц завдяки тепловим обмеженням, і подальше зменшення розмірів пристрою стає надзвичайно складним через технологічні проблеми в літографії. Крім того, подальше зменшення комплементарної технології металооксидних напівпровідників (CMOS) призводить до більшої затримки взаємозв'язку і більш високої щільності потужності. Складність фізичної конструкції також зростає при більшій щільності пристроїв. Отже, що далі?

Перспективною технологією є 3D інтегральні мікросхеми (IC), які можуть підвищити продуктивність і зменшити довжину внутрішнього стержня, і тим самим забезпечити високу пропускну здатність передачі зі зменшеними затримками і енергоспоживанням, зберігаючи при цьому компактну щільність упаковки. Альтернативні технології, які можуть бути перспективними для нових апаратних прискорювачів, включають резистивні обчислення, нейроморфні обчислення та квантові обчислення.

Резистивні обчислення можуть призвести до не-фон-Нейманівських (VN) обчислень і забезпечити застосування реконфігурованих і орієнтованих на дані парадигм через його масовий паралелізм і низьке енергоспоживання. Більш того, люди можуть легко перевершити існуючі високопродуктивні комп'ютери в таких завданнях, як слуховий і розпізнавальний механізм і сенсорне управління двигуном. Таким чином, нейроморфні обчислення можуть бути перспективними для емуляції таких завдань завдяки енергетичній та космічній ефективності в штучних нейронних мережах. Квантові обчислення дозволяють вирішувати завдання, які неможливі класичними комп'ютерами, з потенційними застосуваннями в шифруваннях і криптографії, квантовому пошуку і ряду конкретних обчислювальних додатків.

1.1 Технологія FinFET

За останні чотири десятиліття безперервне масштабування планарних МОП-транзисторів забезпечило поліпшену продуктивність і більш високу щільність транзисторів. Однак подальше масштабування планарних транзисторів в нанометровому режимі дуже важко досягти завдяки сильному збільшенню струму витоку I_{off} . Фактично, оскільки довжина каналу в планарних МОН-транзисторах зменшується, потенціал зливу починає впливати на електростатику в каналі, і, отже, затвор починає втрачати контроль над каналом, що призводить до збільшення струму витоку між каналом і джерелом. Більш висока ємність каналу воріт може полегшити цю проблему, використовуючи більш тонкі та високо-κ оксиди; однак товщина оксиду затвора фундаментально обмежена збільшеним витоком затвора та ефектом витоку, що викликається затвором [3].

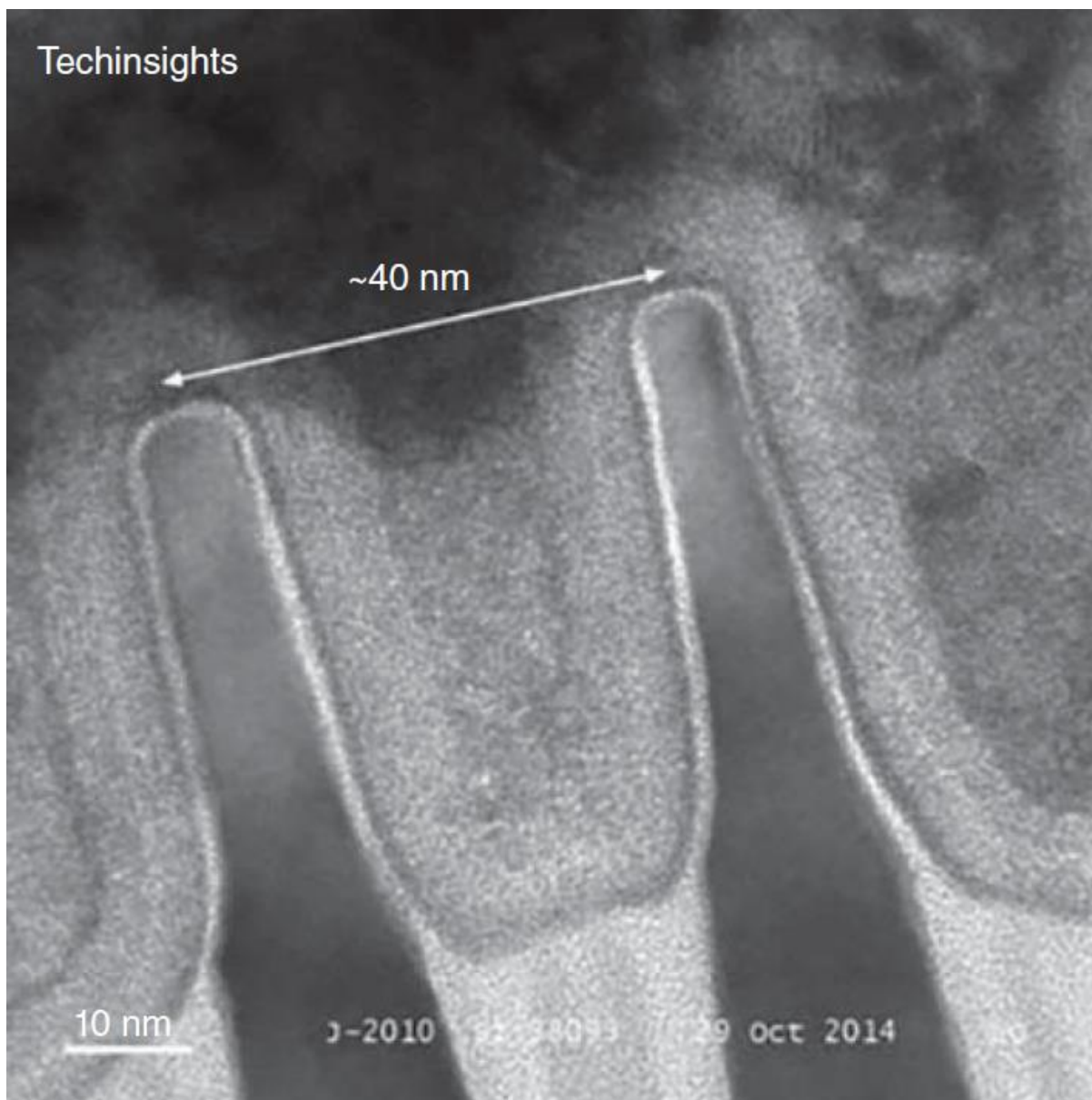


Рисунок 1.2 Зображення TEM 14-нм транзисторів Intel з кроком до 40-нм. [4]

Альтернативою планарним МОН-транзисторам є багатопроменеві транзистори (MuGFETs), які демонструють кращу електростатику і кращий скринінг стоку від затвора за рахунок додаткових воріт, що охоплюють канал [5]. В результаті, MuGFETs показують кращу продуктивність в плані підпорогового нахилу, порогового напруги (V_{th}), і зливного бар'єра (DIBL). Іншою альтернативою для планарних об'ємних МОП-транзисторів є повністю вичерпаний кремній на ізоляторі (FDSOI) МОП-транзисторах, які зменшують витік між каналом і джерелом через видалення підкладки прямо під каналом.

Продуктивність MOSFET FDSOI порівнянна з двополюсними транзисторами з польовим ефектом (DGFET) з точки зору SS, малої ємності переходу і високого співвідношення I_{on} / I_{off} . Проте DGFET мають кращу масштабованість і можуть бути виготовлені на об'ємних пластинах Si замість пластин з кремнієм на ізоляторі (SOI), що робить їх більш перспективними [6].

FinFET або Tri-Gate FET (з трьома затворами), були визначені як найбільш перспективні альтернативи MOSFET завдяки їх підвищеній продуктивності і простоті процесу виготовлення, яка сумісна з і може бути легко інтегрована в стандартний процес виготовлення CMOS (Рис. 1.2). Фактично, в процесі виготовлення FinFET необхідний додатковий селективний крок травлення, щоб створити третій затвор на верхній частині каналу. Упродовж останнього десятиліття пристрої FinFET були ретельно вивчені. Було опубліковано велику кількість дослідницьких статей, які підтвердили покращення поведінки на коротких каналах з використанням різних матеріалів і процесів, як показано в наступному розділі.

1.2 Нанопровідні польові транзистори (Nanowire FET). Загальні закони масштабування нанопровідних архітектур

1.2.1 Масштабування планарних приладів. Струм витоку

Протягом останніх декількох десятиліть існування і розвитку MOSFET, вчена спільнота постійно працює над поліпшенням характеристик пристрою, зменшуючи при цьому розміри пристрою для збільшення щільності інтеграції пристроїв для підвищення функціональності системи.

У планарному пристрої MOSFET (рис. 1.3a), оскільки довжина каналу зменшується, а інші конструктивні параметри залишаються сталими, області виснаження на місцях з'єднання джерела / стоку і каналу стають порівнянними з передбачуваною довжиною каналу, що призводить до подальшого скорочення “ефективного каналу”, що схематично зображено на Рис. 1.3b. Це

призводить до «короткоканальних» ефектів, коли електрод затвора починає втрачати керування перемиканням струму каналу і більше домінує сток. Деякі з цих ефектів включають зменшення бар'єру між джерелом і каналом (DIBL), оскільки напруга зливу збільшується, що призводить до зменшення напруги затвора (Рис. 1.3с) і збільшення струму витoku.

Для вирішення цих питань, Dennard et al. [7] запровадили правило розрахунку масштабування (таблиця 1.1), яке б дозволило масштабувати пристрої при вирішенні короткоканальних ефектів.

Правило масштабування Деннарда рекомендує масштабування в розмірах, де кожен лінійний розмір, такий як довжина каналу, ширина, глибина переходу і товщина ізолятора воріт, мав би масштабуватися одним і тим же фактором. Крім того, напругу, що прикладається до пристрою, буде зменшено, а концентрація легування підкладки збільшена на ту ж суму. Якщо k є коефіцієнтом масштабування, це збільшить щільність інтеграції на k^2 , збільшить швидкість на k , зменшить споживання енергії на транзистор на k^2 , зберігаючи в каналі ті ж електричне поле і щільність потужності.

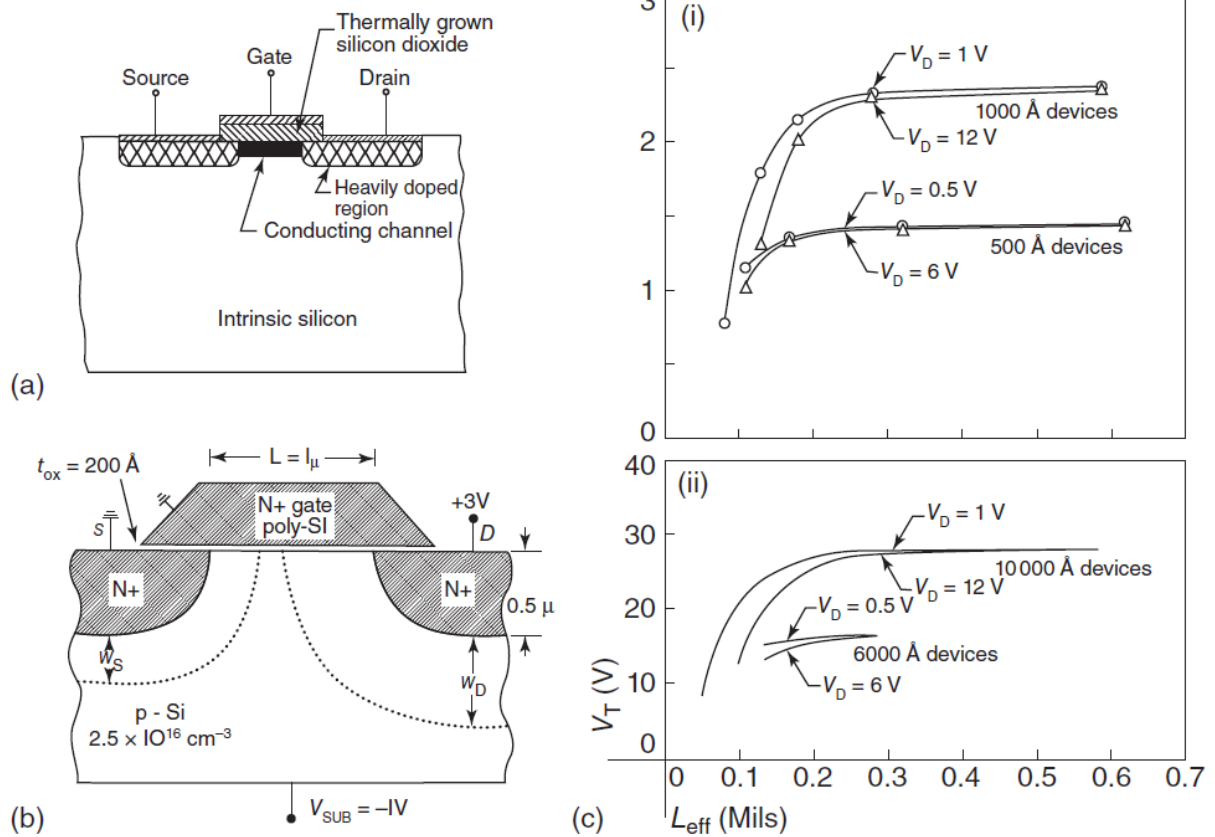


Рисунок 1.3 Структура MOSFET і короткоканальні ефекти. (а) Схема MOSFET (або ізолюючого транзистора (IGFET)). (б) Схема ефективного зменшення довжини каналу з шириною вичерпання джерела / стоку, порівнянною з довжиною каналу. (с)

Короткоканальний ефект зменшення порогового напруги затвора зі зменшенням номінальної довжини каналу. Більш висока напруга витікання викликає більше зниження порогового напруги (DIBL) [7].

Це правило масштабування може бути дотримано для створення нових поколінь пристроїв з поліпшеними робочими характеристиками, доки не будуть досягнуті умовно використані межі матеріалу, такі, як неможливість масштабування діелектричної товщини без індукції пробоя, яка була б необхідна для транзистора довжини малого каналу.

Таблиця 1.1

Правила масштабування Деннарда. Результати масштабування для продуктивності

Параметр пристрою	Фактор масштабування
Вимір пристрою t_{ox} , L , W	$1 / \kappa$
Концентрація допінгу N_a	κ
Напруга V	$1 / \kappa$
Струм I	$1 / \kappa$
Ємність eA/t	$1 / \kappa$
Час затримки VC/I	$1 / \kappa$
Затухання потужності VI	$1 / \kappa^2$
Щільність потужності VI/A	1

Ці проблеми призвели до відкриття та інженерії інших властивостей матеріалу, таких як використання діелектриків high-k як ізолятора затвора (кілька загальних прикладів показані на малюнку 1.4a). Це дозволило діелектрику бути більш товстим, але при цьому мати «ефективну товщину оксиду» набагато меншу, ніж це можливо з SiO_2 , зменшуючи витрати та зрив[8].

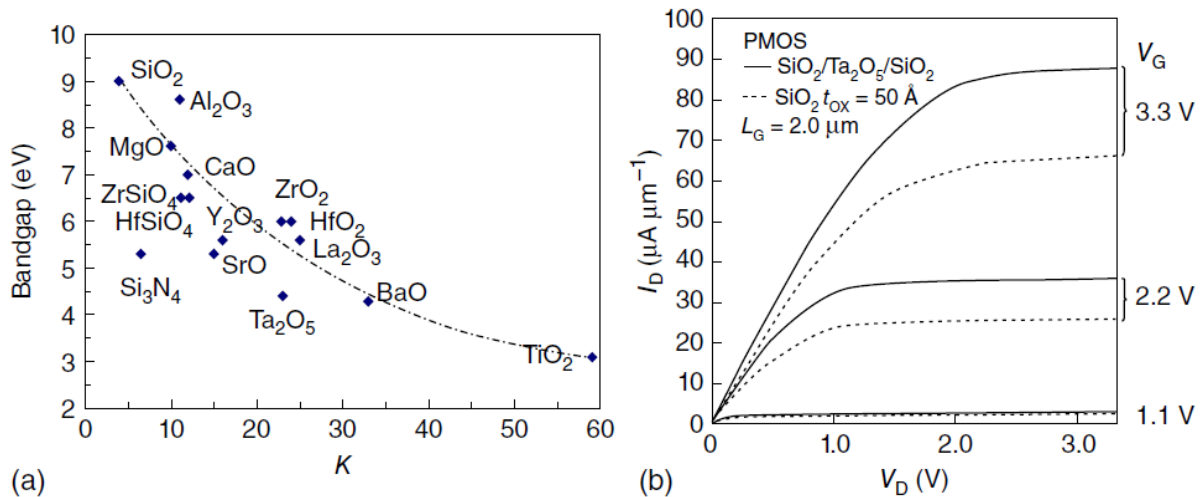


Рисунок 1.4 Діелектрики високого рівня і вплив на вихідні характеристики. (а) Кілька поширених діелектриків у заземленні та відносному ландшафті діелектричної проникності [6]. (b) Збільшений привід зливного струму і насичення з включенням високо- k Ta_2O_5 [8].

Більш високу ємність діелектрика затвора і, отже, більш високі струми стоку можуть бути отримані (рис. 1.4b) за допомогою вискоелектричних діелектриків порівняно з такою ж товщиною SiO_2 . Удосконалення рухливості носіїв було досягнуто шляхом введення деформації і, відповідно, збільшення щільності струму.

Однак, при дуже коротких довжинах каналів, нижче 20 нм, стає все важче розробляти планарні транзистори, які відповідним чином вирішують короткоканальні ефекти, продовжуючи зменшення довжини воріт. Переглянуті канальні ефекти та редизайн транзистора необхідні для продовження масштабування.

1.2.2 Пристрої FinFET і UTB для поліпшення електростатики

Було зрозуміло, що питання короткоканальних ефектів може бути зменшено шляхом зміни геометрії пристрою таким чином, щоб підвищити електростатичне керування електричним полем затвора над електричним

джерелом струму поля. Для однієї і тієї ж ємності затвора загальне управління каналом більше, якщо тіло пристрою виконано тонше, і якщо затвор може фізично обернути навколо каналу. Обидва ці поняття були реалізовані і широко відомі в літературі як ультратонкі пристрої (UTB), а також транзистори з польовим ефектом (FinFET).

UTB-пристрої (схематично показані на Рис. 1.5a) довжини воріт менше 100 нм традиційно виготовляються з різних стартових підкладок, таких як пластини кремнію-на-ізоляторі (SOI), епітаксіально передані III – V_s, і нанесені і латерально кристалізовані ультратонкі (–15–20 нм) шари Si або SiGe на візерункових пластинах SOI. Ультратонкий шар діє як канал, що дозволяє значно поліпшити керування воротами. Зовсім недавно та ж концепція була розширена до транзисторів польового впливу UTB (FETs), виготовлених з епітаксіально вирощених сполучних напівпровідникових шарів (товщиною 18 та 48 нм), перенесених на Si / SiO₂ пластини, що отримали назву XOI, або «Х-на-ізоляторі». Покращення в співвідношенні ON / OFF і підпороговому нахилі (Рис. 1.5b) спостерігається з підвищенням електростатичним контролем, оскільки канал тонший.

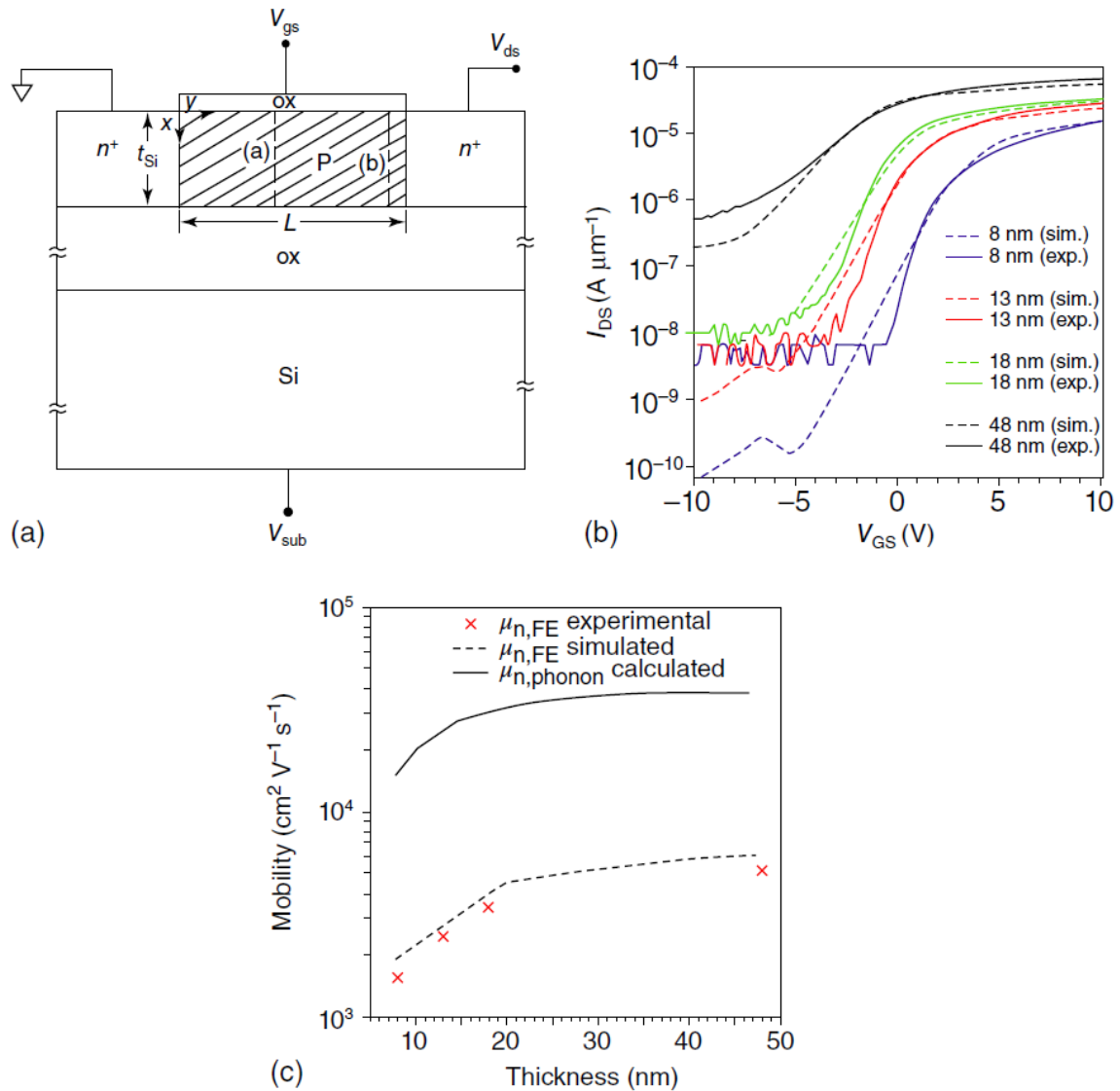


Рисунок 1.5 UTB пристрої. (a) Схема МОП-транзистора SOI UTB. (b) Трансферні характеристики пристроїв InAs UTB. Збільшується коефіцієнт ON/OFF і зменшується пороговий розмах (CC) зі зменшенням товщини каналу. (c) Мобільність зменшується із збільшенням частки розсіювання шорсткості поверхні зі зменшенням товщини каналу [9].

Варто зауважити, що через тонку природу цих каналів, квантові ефекти починають мати незначний вплив на динаміку заряду, а отже і на транспортні характеристики. Збільшення частки шорсткості поверхні також призводить до зниження рухливості при зменшенні товщини каналу (Рис. 1.5c).

FinFETs мають вертикальний "плавник", витравлений з силіконової маси (для насипного FinFET) або витравлений з верхнього шару кремнієвого шарніру вафлі SOI (для SOI FinFET, Рис. 1.6a). Цей плавник оточений з трьох

сторін діелектриком затвора, за яким йде металевий затвор, що призводить до того, що шар збіднення від поля затвора закривається в декількох напрямках, що, по суті, призводить до більш високого електростатичного контролю.

У комерційному FinFET (Рис. 1.6d), плавник виконаний з відносно високим співвідношенням сторін, де ширина ребра виконана тонкою для поліпшення електростатичного контролю, тоді як висота ребра зберігається висока, щоб мати високий струмовий привід (характеристики виходу та передачі показані на Рис. 1.6g, h). Незважаючи на те, що затвор має три сторони, він має багато подібного з FinFET пристроєм, але зазвичай має кращу ефективність масштабування. Точна геометрія поперечного перерізу фіну також має значний вплив на продуктивність пристрою. Маючи таку ж ширину основи, трапецієподібний фін міг би запропонувати краще електростатичне регулювання і таким чином зменшити короточасні ефекти, ніж прямокутний плавник. Для ще більшого електростатичного контролю використовується подальша інженерія розмірів каналів, наприклад, зменшення висоти ребра та / або створення реберної хвилеводної структури Si-каналу для проектування потрібного затвора або затворного пристрою.

1.2.3 Нанопроводи як гранична межа електростатичного контролю

Канал, стоншений в обох розмірах, перпендикулярних поточному потоку, і ворота фізично повністю обертаються навколо каналу, таким чином, дасть найвищий рівень електростатичного контролю. Ця архітектура тонкоканалних Gate-all-around (GAA) транзисторів по суті забезпечується нанопровідними польовими транзисторами (NWFET; Рис. 1.6b, c, f). Суть цієї архітектури, що приводить до найкращого електростатичного контролю, полягає у циліндричному нанопроводі, що з'єднює витік та стік, при цьому контроль за затвором покращується при зменшенні діаметра дроту.

Для кількісного визначення впливу електростатичного поля затвора на концентрацію носія каналу часто використовується параметр λ або натуральна довжина. Це залежить від геометрії пристрою і параметрів матеріалу, таких як товщина і відносна діелектрична проникність діелектрика затвора і каналу. Для тієї ж ефективної довжини затвора геометрія пристрою з меншою природною довжиною може бути масштабована далі, ніж пристрій з більшою природною довжиною.

Для порівняння, для одного і того ж напівпровідникового матеріалу (Si), затворного діелектрика (SiO_2) і однакових розмірів для каналу (100 нм) і для затвору діелектрика (10 нм), природна довжина плоского однозаходного МОП-транзистора становить близько 55 нм, трикутне ПЕТ (Рис. 1.6е) - 43 нм, а циліндричного нанопровідника - GAA FET (Рис. 1.6с, f) - 31 нм, з конкретними числами, що впливають з деталей товщини каналу і діаметра дроту. Рисунок 1.6і дає аналогічний порівняльний перегляд зміни міжпровідності між площинними, подвійними і GAA архітектурами. Більш широке обговорення еволюції електростатичного контролю та його математичних виразів для різних геометрій приладу FET розглядаються в книгах за посиланням [10, 11].

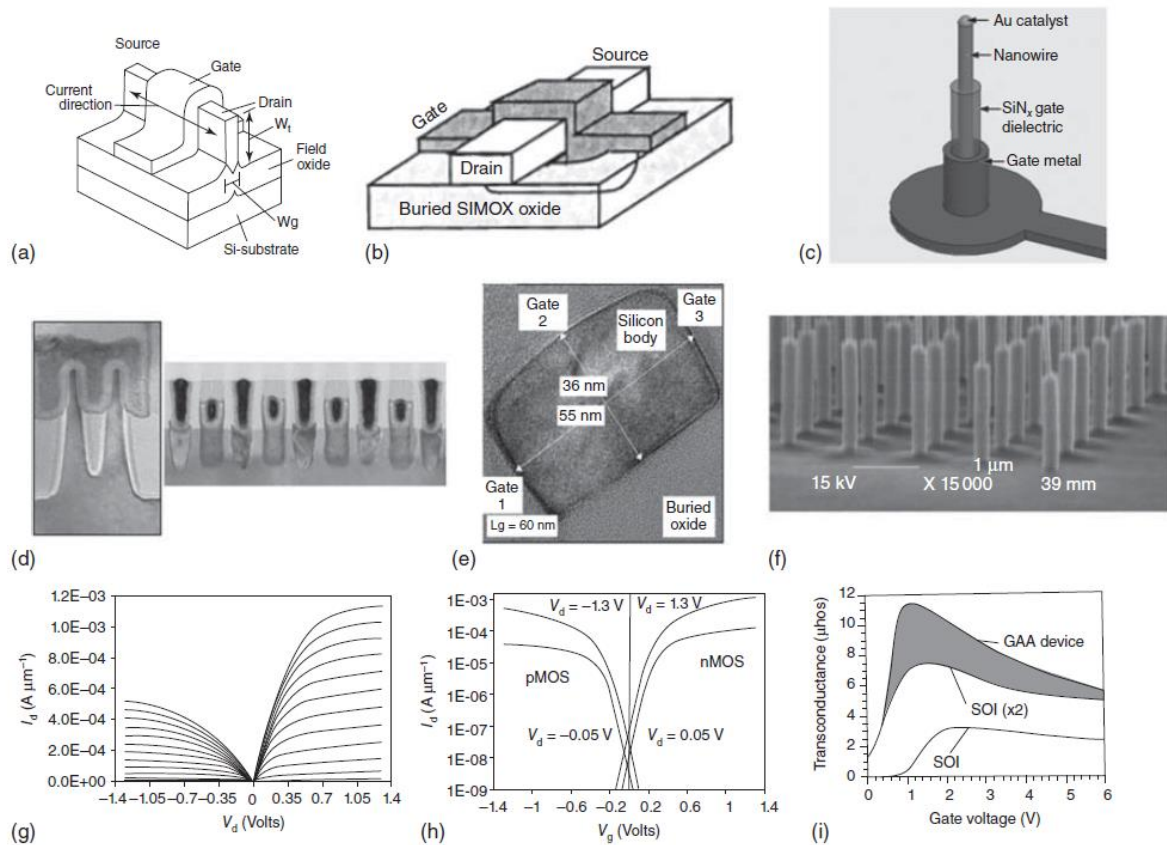


Рисунок 1.6 Прилади MOSFET з підвищеним керуванням затвором, ніж плоска конструкція. (а) Схема повністю збідненого транзистора пісного каналу (DELTA), подібного до відомого в даний час SOI FinFET (b) Схема «планарного» GAA SOI MOSFET. (c) Схема вертикального Si нанопроводу GAA MOSFET. (d) TEM мікрофотографія Intel 14nm другого покоління FinFET. (e) Поперечний переріз TEM-пристрою тризатворної системи Si MOS. (f) Мікрофотографія SEM, що показує нанодрти з оберненими воротами. (g) Вихідні дані та (h) характеристики передачі 60-нм трьохзатворних CMOS-пристроїв з $DIBL = 48 \text{ mV V}^{-1}$, $SS = 69,5 \text{ mV}$, $ON-OFF = 1e-4$, струм $ON = 500 \text{ mA mm}^{-1}$. (i) Збільшення провідності ($V_{ds} = 100 \text{ mV}$) від одинарного затвора, подвійного затвора до GAA MOS пристрою [12].

1.2.4 Квантові ефекти

З попереднього обговорення цілком зрозуміло, що зменшення розмірів поперечного перерізу призводить до більш високого електростатичного контролю каналу. Оскільки безперервно зменшувати поперечний розмір дроту в тій мірі, в якій він стає порівняним з латеральним поширенням хвильової

функції електронів, квантові ефекти обмеження починають відігравати значну роль у визначенні динаміки заряду в каналі.

У глобально однорідному потенціалі, як і в основній частині напівпровідника, рішення рівняння Шредінгера для хвильової функції електронів дає біжучу хвилю у всіх трьох напрямках. Можна відзначити, що на поверхні напівпровідника електронна хвиля отримує значну зміну фази в потенціалі (від напівпровідникової зони провідності до рівня вакууму), так що рівняння Шредінгера дає експоненціально розкладаються рішення зв'язаного стану в цьому напрямку. Скористаємося ущільненням напівпровідникової частини в двох з трьох вимірів, до тієї міри, що просторова різниця між рівнем вакууму з обох сторін можна порівняти з масштабом довжини, що електрон всередині каналу матиме незначну ймовірність існування поза каналом, а хвильова функція електрона прив'язується до двох вимірів, при цьому залишаючись біжучою в третьому вимірі (оскільки електрон все ще має такий же потенціал у цьому напрямку). Профіль потенціалу вздовж будь-якого з двох напрямків каналу, по якому він був зменшений, має профіль кінцевої потенціалу (хоча і з дуже високим потенціальним бар'єром). Це призводить до утворення кінцевого числа дозволених дискретних енергетичних станів, пов'язаних з хвильовим вектором в напрямках утримання. Інший напрямок все ще має континуум енергетичних станів (енергетичного діапазону), пов'язаних з ним. Це призводить до формування енергетичних піддіапазонів, де енергетичні рівні є безперервними, за винятком того, що ступінь підвищується при дискретних енергетичних рівнях, пов'язаних з квантованим електроном у двох латеральних напрямках. Смуга падає як зворотний квадратний корінь енергії і має особливості Ван-Хова на початку кожної підсмуги (Рис. 1.7).

Розмір, при якому ефекти квантування стають важливими, залежить від конкретного матеріалу. Канали з матеріалів з меншою ефективною масою електронів показують ефекти квантування у більших розмірах, ніж з матеріалами більшої електронної маси.

Проекція у вільно розповсюджуваному напрямку хвильової функції електронів, пов'язаної з найнижчим піддіпазоном, - це косинусна крива з центром у середині каналу, з експоненціальним падінням хвостів на поверхні. Будь-який електрон у першому піддіпазоні має таку ж хвильову функцію косинусної кривої по будь-якому з латеральних перерізів (маючи змінні хвильові функції у напрямку поширення). Таким чином, щільність ймовірності, пов'язана з будь-яким електроном у першому піддіпазоні, локалізована в середині каналу (Рис. 1.8).

Якщо уявити собі, що канал поступово заповнюється електронами, починаючи з нуля електронів, перші кілька електронів почнуть займати стани у першому піддіпазоні, поки не заповниться, а потім заповнить другий піддіпазон тощо. Таким чином, при низьких концентраціях електронів, якщо хімічний потенціал низький достатньо, щоб заповнювався перший піддіпазон, то всі ці електрони мають високу щільність ймовірності в середині каналу. Це має важливі наслідки для розсіювання на поверхні, а також для контролю затвору. Зауважимо, що в площині Si MOSFET електрони зазвичай утримуються в піддіпазонах поблизу поверхні, а розсіювання поверхні відіграє важливу роль в деградації рухливості.

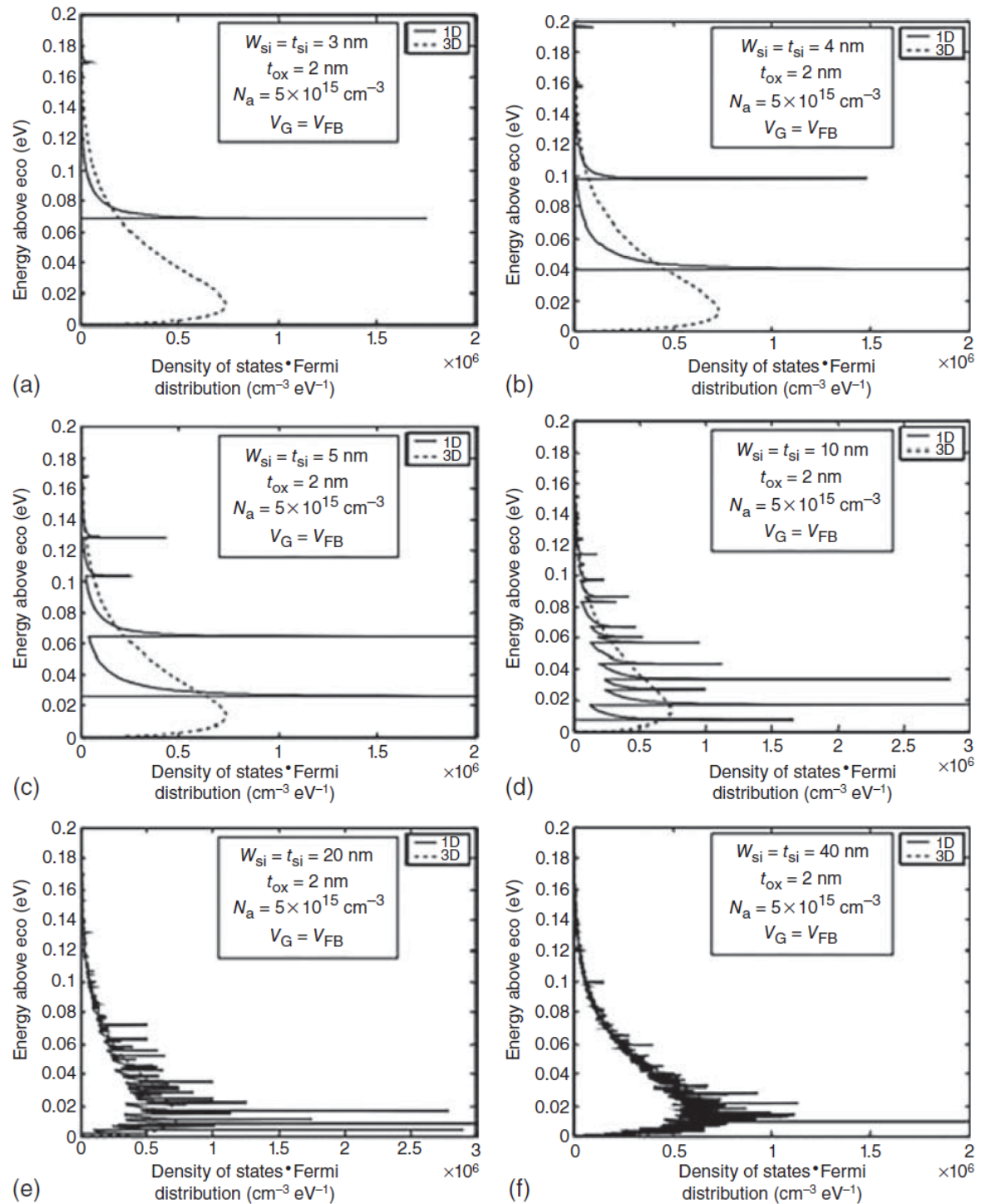


Рисунок 1.7. Енергетичний спектр щільності електронної ймовірності в зоні провідності квадрата Si нанодоту сторін, що змінюється від (а) 3 нм до (f) 40 нм. (а) Єдиний піддіапазон присутній для нанодоту широкого 2-нм. (с) Чотири піддіапазони шириною 5 нм, тоді як (f) зайнятість електронів нанодротом на 40 нм аналогічна насипній [11].

Розглянемо випадок, коли поперечні розміри каналів достатньо малі, щоб квантування енергетичних станів було достатньо великим для спостереження. У балістичному межі кожний піддіапазон дискретної енергії може розглядатися як незалежний канал для передачі електронів. Потім ми можемо розрахувати електронний струм як інтегральний продукт швидкості, коефіцієнта пропускання та кількості 1D піддіапазонів. Важливо, що для передачі єдності провідність для однієї 1D піддіапазону є постійною, незалежно від хвильового вектора електрона. Таким чином, провідність квантується, а максимальна провідність на 1D піддіапазоні - $e^2 / \pi \hbar$. Деякі роботи, такі як [13], повідомляли про експериментальне спостереження за квантовою провідністю (рис. 1.9). Примітно, що обидві ці посилення базуються на InAs, що, завдяки низькій ефективній масі електронів, призводить до вираження квантових ефектів при більш високих розмірах, ніж набагато більш високий ефективний матеріал маси електронів, такий як Si.

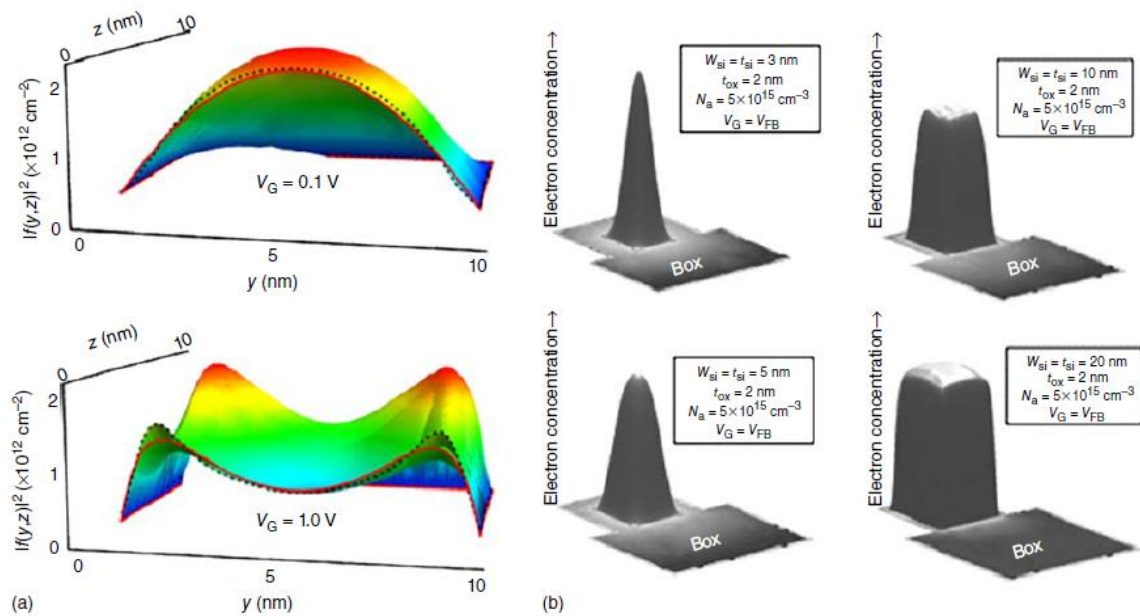


Рисунок 1.8 Щільність ймовірності електронів у каналі. (а) При меншій напрузі (0,1 В) заповнюється лише найнижчий режим передачі з більшістю в центрі каналу, а при більш високій напрузі (1,0 В) - також заповнюється більш високий режим (і). (б) Зміна електронної щільності з мінливим розміром поперечного перерізу нанодроту при граничних умовах. Всі канали шириною від 3 до 20 нм показують максимум концентрації електронів у центрі, що призводить до збільшення рухливості [11].

Наявність таких дискретних енергетичних піддіапазонів також призводить до появи квантової ємності. Посилаючись на нашу модель заповнення нанодроту зарядами, що починаються з нуля, перший піддіапазон заповнюється, коли напруга затвора збільшується. Так щільність заряду в каналі збільшується до тих пір, поки не заповниться перший піддіапазон. Будь-яке подальше збільшення напруги затвора не призводить до додаткового заряду до тих пір, поки хімічний потенціал не досягне наступного піддіапазону. Таким чином, у регіоні «підзона» щільність заряду залишається постійною, а напруга все ще зростає. Це дає початкові зміни в характеристиках ємності-напруги, при цьому піднімається кромка, що відповідає заряду, і плато, що відповідає залишковому заряду, при цьому система проходить через область підзони.

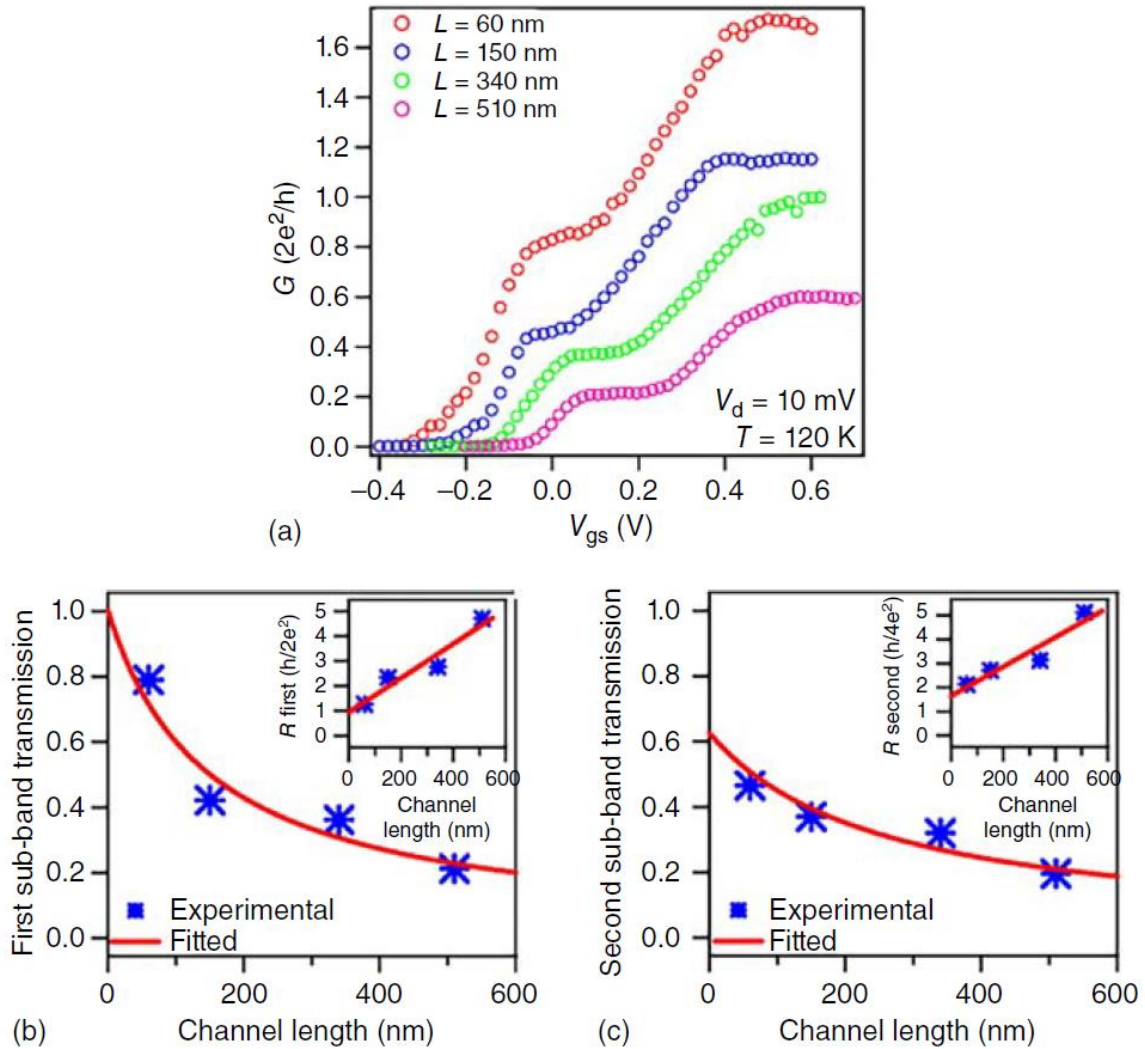


Рисунок 1.9 Квантова провідність. (а) Відхилення провідності при збільшенні напруги. Функція сходів показує поступове заповнення піддіапазонів. Зміна ймовірності передачі з довжиною каналу для (b) першого та (c) другого піддіапазону. Вставки відображають відповідну зміну опору [13].

В результаті квантового утримання найнижчий зайнятий енергетичний стан електронами в зоні провідності вище, ніж енергія на дні зони провідності. Те ж саме справедливо і для дірок валентної зони, де енергія основного стану вище нульової енергії дірок (у верхній частині валентної зони). Це призводить до ефективного збільшення забороненої зони напівпровідника. Ефективність забороненої зони збільшується зі зменшенням розмірів нанодрота. Матеріали, такі як InSb або InAs, показують ефекти квантування на діаметрі близько 10–20 нм, тоді як для Si потрібно знизитися до 4 нм, щоб побачити ефект.

1.2.5 Ток приводу

Можливо, варто зазначити, хоч нанопровідники GAA мають набагато більший контроль за затворами, ніж планарні пристрої, вони мають менший струм. Теоретично передбачено, що нанотрубки з геометрією ядро – оболонка-мультигенез дозволять отримати переваги обох підходів, поєднуючи чудове електростатичне управління структури GAA з високим струмом приводу плоского MOSFET.

1.3 Сучасні нанопровідні пристрої

1.3.1 Силіконові пристрої

Дослідницька група Лібера в Гарвардському університеті була піонером у виробництві нанопровідних пристроїв Si і Si / Ge на ранніх етапах. у 2006 році [14] вони також продемонстрували Ge / Si ядро / оболонку NWFET з масштабованою провідністю $3,3 \text{ мс см}^{-2}$ і струмом $2,1 \text{ мА мкм}^{-2}$, що набагато краще, ніж будь-який одноелементний нанопровід через транспортування добре замкнутим 1D електронним газом з значно зменшеним поверхневим розсіюванням з кристалічного інтерфейсу Si / Ge.

Хоча вони були на геометрії горизонтальних нанодротів, група в Берклі [15] і європейська група [16] самостійно розробили вертикальний NWFET з геометрією GAA. Обидві роботи показали щільність струму на нанодріт аналогічного порядку, і одна з них [15] показала відношення ВКЛ / ВИКЛ 5×10^5 , а провідність порівняна з високопродуктивними МОП-транзисторами SOI. Було також продемонстровано багатошарову і багатофункціональну інтеграцію пристроїв, які показали, що повторювані характеристики не погіршуються з часом і піддаються декільком циклам виготовлення для формування верхніх шарів.

У 2010 році Colinge et al. [17] продемонстрували безроздільний нанопровід Si FET (характеристики розподілу і передачі електронів, представлені на рис. 2.10), концепція якого вперше була запропонована Лілієнфельдом. Прилади показали чудову транзисторну продуктивність, з коефіцієнтом ON / OFF 6×10^6 , вимикаючим струмом менше 1 fA, і підпороговим нахилом 64 мВ при кімнатній температурі. Пристрій містить в собі легований кременієвий канал, а отже струм може бути змінений лише за рахунок збільшення початкової концентрації легування, на відміну від звичайного MOSFET, де струм збільшується з напругою затвора. У звичайному MOSFET збільшення струму для збільшення швидкості (для тих же напруг затвора) може бути досягнуто за рахунок зменшення еквівалентної товщини оксиду (EOT), що, на жаль, також призводить до збільшення ємності для ефективного уповільнення пристрою. У закритому безсистемовому резисторі, однак, коли струм незалежний від EOT, швидкість фактично може бути збільшена за рахунок зменшення EOT.

1.3.2 Пристрої III – V груп

У 2001 році група Лібера продемонструвала продуктивність електронних та оптоелектронних пристроїв нанопроводів InP виготовлених з допомогою лазерного каталітичного нарощування [46]. Незважаючи на те, що характеристики пристрою FET не були ідеальними, головним чином завдяки слабкому керуванню на затворі через товстий шар (600 нм) діелектрику затвора, він створив основу для широкомасштабних досліджень на пристроях нанопроводів III – V груп, які вартували подальшого дослідження. Пізніше вони також повідомили про нанопровідні пристрої GaN (рис. 1.11a) з рухливостями носіїв від 150 до 650 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$, які були статистично більшими, ніж тонкі плівки GaN від 100 до 300 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$.

У 2006 році Bryllert et al. [19] звернулися до питання масштабованості, яка полягала в попередніх демонстраціях, слідуючи підходу «знизу вгору» з одним субстратом. Вироблені VLS-вирощені нанодроти InAs діаметром 80 нм і довжиною затвора 1 мкм. Пристрій з 121 паралельними каналами (загальна площа поперечного перерізу $0,6 \text{ мкм}^2$) дав провідність 6 mS і струм приводу 6 мА, виміряний при нульовій напрузі затвора. В іншій подібній публікації вони показали високу рухливість ($3000 \text{ см}^2 \text{ V}^{-1} \text{ с}^{-1}$), обмежену контактним опором, $<100 \text{ pA}$ струм витоку затвора і 100 мкА струмом приводу напруга затвора (зображення пристрою з скануючої електронної мікроскопії (SEM) показано на малюнку 1.11b). В подальшій роботі тією ж групою поліпшені робочі характеристики з провідністю $0,5 \text{ S мм}^{-1}$, відношення ON/OFF 10^3 , і струмом $0,2 \text{ А мм}^{-1}$, в основному шляхом використання високоефективного діелектрика HfO_2 в якості ізолятора затвора, зменшивши ЕОТ.

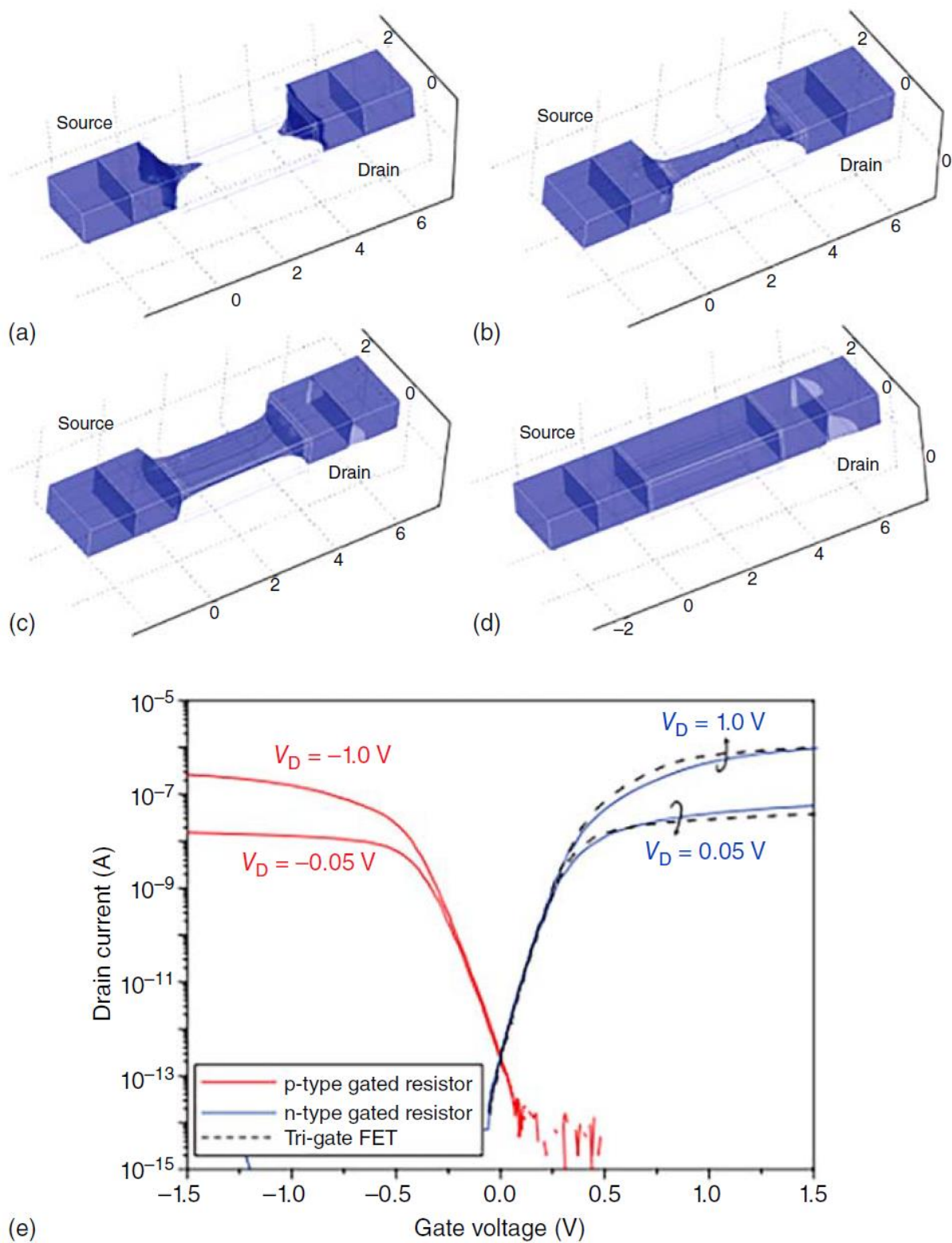


Рисунок 1.10 NWFET без переходу. Графіки електронної щільності модельованого каналу нандроту при напрузі затвора (а) нижче порогу, (б) біля порогу, (в) вище порогового значення, і (г) при плоскополосному потенціалі. (е) графіки $I_d - V_g$ виготовлених нандротових резисторів (n і p-типу) [20].

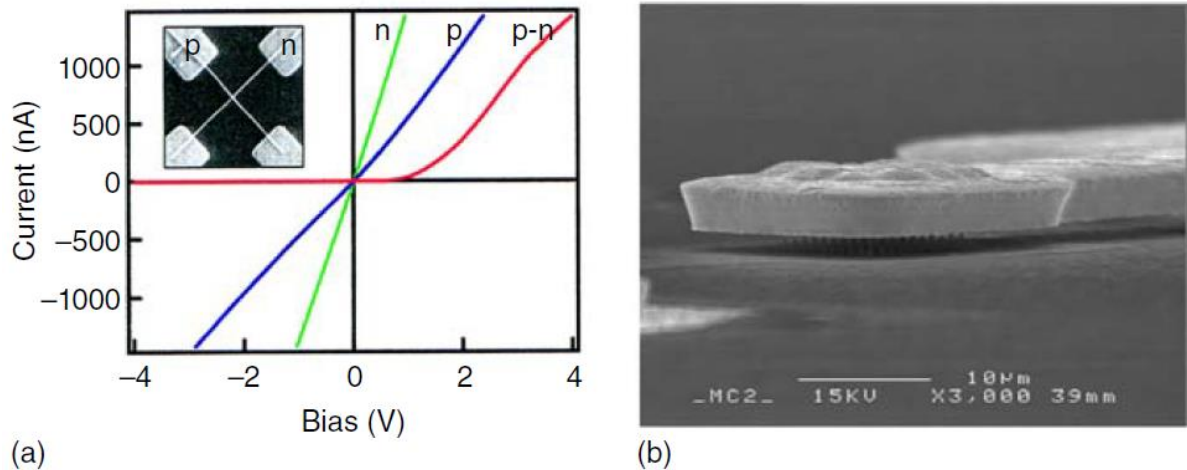


Рисунок 1.11 III – V напівпровідникові пристрої. (а) Нанопровід GaN р – n-перехідний пристрій з I – V характеристиками. Відтворюється з дозволу ACS. (б) Вертикальний InAs MOSFET (канали розглядаються, як маленькі чорні лінії під контактом повітряного мосту для стоку) [21].

GAA горизонтальні III – V МОН-транзистори шириною 30–50 нм і довжиною каналу 50–100 нм, отримані методом зверху-вниз, з високою рухливістю в $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ каналі і Al_2O_3 / WN діелектричним стеком. Репрезентативний прилад довжиною 50 нм показав струм $0,7 \text{ А мм}^{-1}$, провідність $0,5 \text{ S мм}^{-1}$, і DIBL 210 мВ V^{-1} . Масштабування EOT з 4,5 до 1,2 нм, для ширини дроту 20 нм, дало підвищення проникливості до $1,74 \text{ S мм}^{-1}$ і DIBL 7 мВ V^{-1} .

У 2014 році [21] були виготовлені горизонтальні GAA NWFET з довжиною затвору 80 нм, шириною 9 нм і висотою 40 нм, з ON/OFF коефіцієнтом 10^4 , струмом $0,27 \text{ А мм}^{-1}$ при $V_{ds} = 0,5 \text{ V}$ і $V_{gs} = 0,6 \text{ V}$, провідністю $0,3 \text{ S мм}^{-1}$ при $V_{ds} = 0,4 \text{ V}$ і в діапазоні $0,2\text{--}0,5 \text{ V}$ V_{gs} .

Один з найбільш ефективних NFET пристроїв досі був від одного n-InAs дроту 50-нм діаметра (діелектрик на затворі 30 нм, довжина затвора 2 мкм), де вихідний струм досягав 3 А мм^{-1} , а провідність більше 2 S мм^{-1} при $V_{gs} = 0,56 \text{ V}$ та $V_{ds} = 1 \text{ V}$, що відповідає рухливості при низькому полі $13\,000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.

Також виявлено доцільність використання III – V нанопроводів у виготовленні радіочастотних схем. У 2010 році Egard et al. [22] показали вертикальний InAs пристрій з довжиною затвора 100 нм, що дає середню частоту відсікання струму в 5,6 ГГц, при цьому найкраща модель досягає 7,4 ГГц і максимальну частоту коливань вище 20 ГГц. Пізніше в 2012 році Wang et al. [23] отримали InAs наномембранні транзистори з довжиною каналу 75 нм, а частота відсікання 165 ГГц, але з максимальною частотою коливань 45,4 ГГц.

Структури ядро-оболонка також розглядалися для виготовлення FET. Структура ядро-оболонка сприяє пасивації поверхневих пасток в ядрі, а також утворенню чистого електронного газу (Рис. 1.12).

Структура ядро-мультиоболонка з InGaAs / InP / InAlAs / InGaAs , безпосередньо інтегровані на Si, показали підвищену провідність $1,42 \text{ S mm}^{-1}$, ON/OFF коефіцієнт 10^8 (при вимкненому струмі менше 10 pA mkm^{-1}), порівняно з $0,28 \text{ S mm}^{-1}$ і 10^7 для нанодротового InGaAs без структури ядра-оболонки.

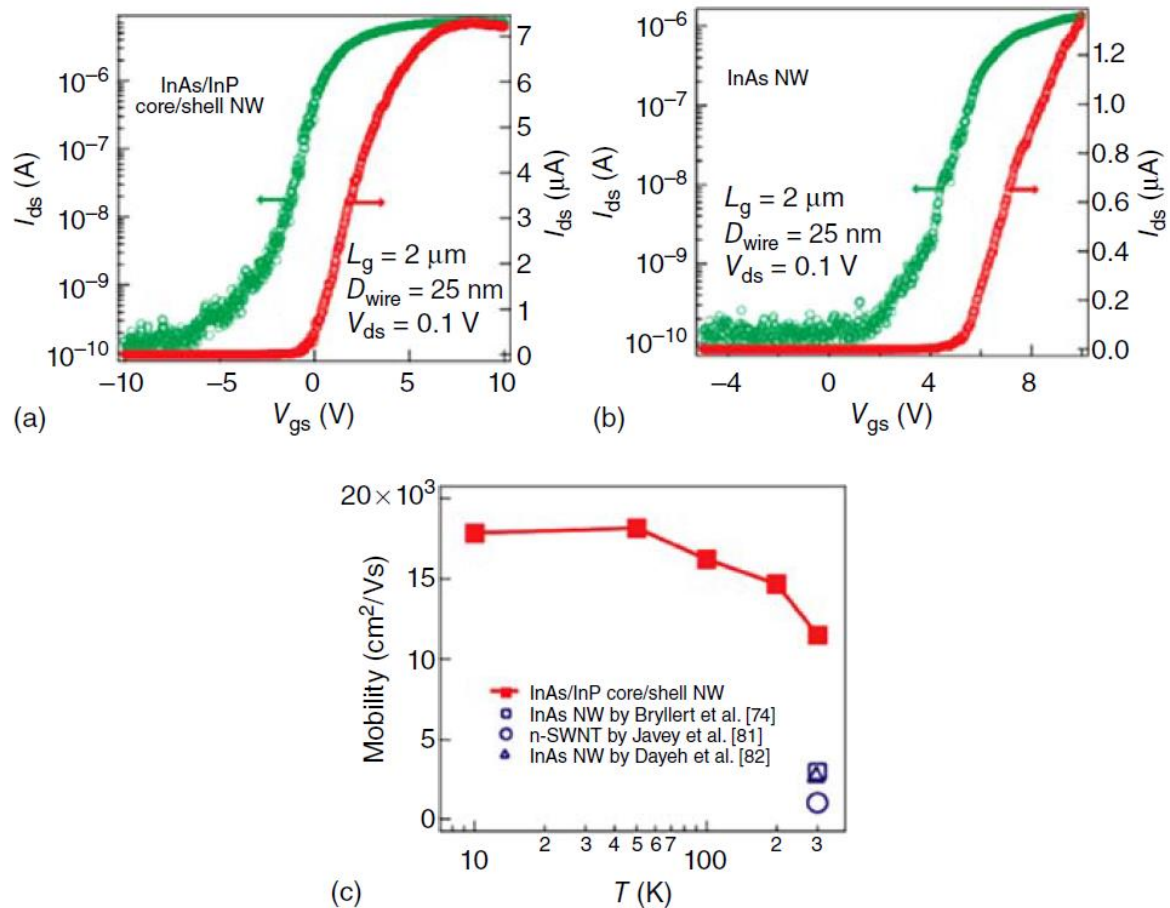


Рисунок 1.12 Електричні характеристики ядра-оболонки InAs / InP. Лінійні та логарифмічні залежності для трансферних характеристик (a) InAs / InP та (b) нанопроволоки InAs показують збільшення .5х щільності струму насичення. (c) Вилучена рухливість - 2,5х у структурі ядра / оболонки, ніж у головному нанопроводі. Збільшення рухливості зі зменшенням температури вказує на те, що вона обмежена розсіюванням фононів [21].

1.4 Постановка мети та задач дисертації

Дослідження впливу факторів на електричні та теплові характеристики NWFET пристроїв є перспективним. Існує багато досліджень, пов'язаних з моделюванням FET пристроїв на основі кремнію, але одночасно з цим важливим аспектом є вивчення роботи пристроїв на основі нових матеріалів та з'єднань. Тому дослідження InGaAs NWFET буде актуальним, оскільки

вподібні пристрої знаходять широке застосування у сучасній напівпровідниковій техніці, а також в перспективі можуть стати наступним кроком в виготовленні транзисторів.

На основі проведеного огляду поставлена мета роботи: дослідження впливу довжини каналу транзистору типу InGaAs NWFET на електричні та теплові характеристики пристрою. Обраний комплекс методів дослідження, який складається з чисельного моделювання електричних та теплових процесів NWFET.

Для досягнення вказаної мети поставлені наступні задачі:

- Ознайомитись з програмним забезпеченням для комп'ютерного моделювання NWFET.
- Ознайомитись з методикою отримання розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у транзисторах за допомогою програмного пакету GTS Framework.
- Побудувати структурну модель InGaAs Nanowire-FET використовуючи модуль Structure.
- Виконати розрахунок вольт-амперних характеристик InGaAs Nanowire-FET.
- Дослідити процес теплогенерації та побудувати розподіл температури пристрою використовуючи модуль Minimos-NT.
- Дослідити вплив геометрії на характеристики пристрою.

1.5 Висновки до розділу 1

1. Розглянуто деякі сучасні схеми транзисторів та їх еволюцію.
3. Описано принцип роботи та особливості конструкції Nanowire FET.
3. Встановлено основні проблеми масштабування польових транзисторів.
5. Розглянуто перспективні схеми NWFET.
6. Встановлено мету та поставлені задачі дослідження.

РОЗДІЛ 2

МАТЕРІАЛИ І МЕТОДИ ДОСЛІДЖЕННЯ

2.1 Структура МОН-транзистора

Як випливає з назви метал-оксид-напівпровідник (МОН), МОН-транзистор складається з напівпровідникової підкладки (зазвичай кремнію), на якій вирощується тонкий шар ізолюючого оксиду (SiO_2) товщиною в межах 80-1000 Å. Провідний шар (металевий або сильно легований полікремній), що називається електродом затвора, осідає поверх оксиду. Дві сильно леговані ділянки глибини X_j (0.1-1.0 мкм), що називаються виток і сток, формуються в підкладці з обох боків затвора. Зони виток і сток злегка перекриваються затвором (Рис. 2.1). Електроди від виток до сток еквівалентні двом р-п переходам. Ця область між витком і стоком називається каналом. Польовий оксид (FOX), показаний на Рис. 2.1, призначений для ізоляції різних пристроїв на одній підкладці. З точки зору схемотехнічної моделі, МОН-транзистор є чотирма окремими пристроями, чотири термінали позначені як ворота g, витік s, сток d і підкладка b. Зауважимо, що структура симетрична. Через цю симетрію неможливо відрізнити джерело і сток незміщеного пристрою; ролі джерела і стоку визначаються тільки після того, як прикладені кінцеві напруги.

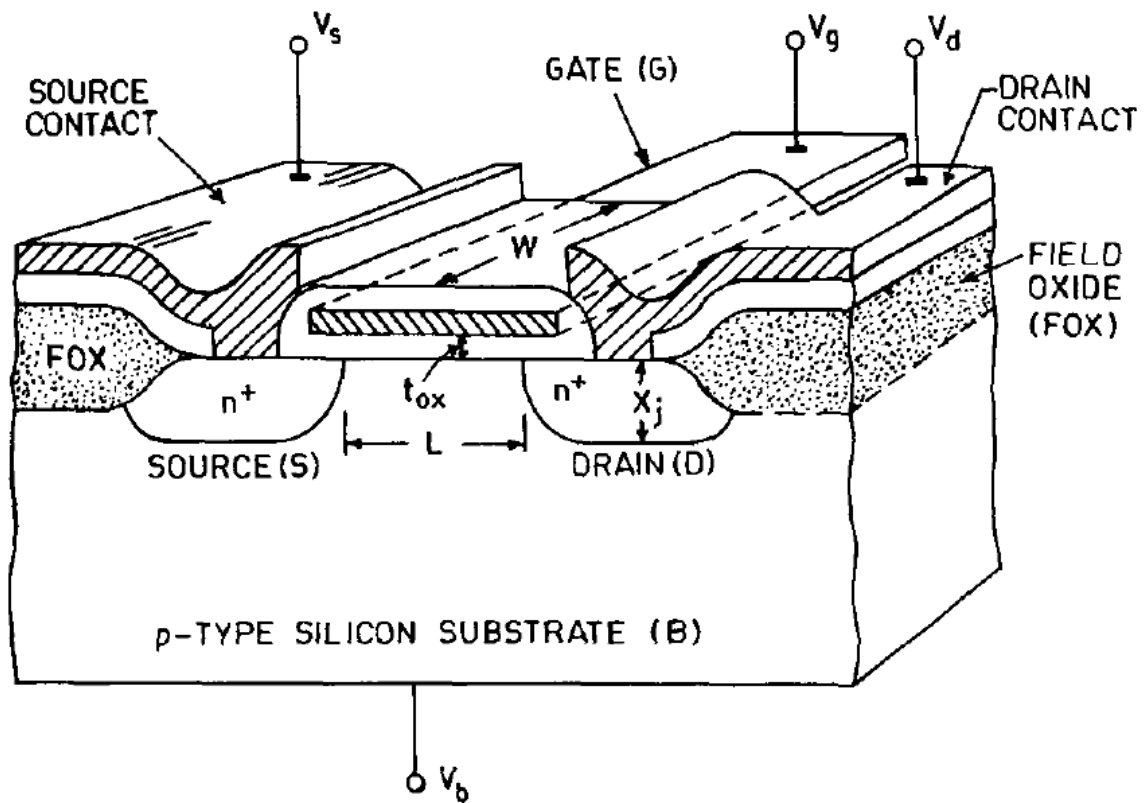


Рис. 2.1 Структура МОП-транзистора, що показує тривимірний вигляд [21]

У нормальних умовах роботи напруга V , прикладена до затвору, створює електричне поле, яке керує потоком носіїв заряду в області каналу між джерелом і стоком. Оскільки струм пристрою керується електричним полем (вертикальне поле через напругу затвора і бічне поле через джерело напруги), пристрій називається транзистором MOS Field Effect (MOSFET). Через те, що заслінка електрично ізольована від інших електродів, цей пристрій також називається ізоляційним транзистором (IGFET). Основна частина напівпровідникової області, показана як підкладка на малюнку 2.1, зазвичай неактивна, оскільки струм потоку обмежується тонким каналом (товщиною 10-100Å) на поверхні напівпровідника. Саме з цієї причини область субстрату також називається тілом MOSFET.

МОН-транзистори можуть бути або n-канальними, або p-каналами в залежності від типу носіїв в області каналу. N-канальний МОН-транзистор (nMOST) має сильно леговані n^+ області витоку і стоку з підкладкою p-типу і

носіями в області каналу виступають електрони. У той час як р-канальний МОН-транзистор (рMOST) має сильно леговані p^+ області витоку і стоку з n-типом підкладки і має дірки в якості носіїв в області каналу. Оскільки один тип носія заряду задіяний для нормальної роботи пристрою (електронів для n-каналу і дірок для р-каналу), ці пристрої також називаються однополярними транзисторами на відміну від біполярних транзисторів, робота яких залежить від обох типів носіїв (електронів і дірок). Крім типу каналу, МОН-транзистори також класифікуються відповідно до режиму роботи.

МОН-транзистор, який не має провідного каналу між джерелом і стоком при нульовому напрузі затвора, називається нормальним пристроєм або, як правило, пристроєм розширеного режиму. У таких пристроях необхідна певна мінімальна напруга затвора, звана пороговим значенням або напругою включення V_t , для індукування провідного каналу. Іншими словами, канал повинен бути "розширений", щоб викликати провідність, звідси і назва. Якщо між витоком і стоком існує провідний канал, так що пристрій проводить струм навіть при нульовій напрузі затвора (тобто пристрій нормально включений), то він називається пристроєм з вичерпаним режимом, оскільки напругу затвора потрібно «вичерпати» канал, щоб вимкнути пристрій..

Оскільки затвор ізольований від інших електродів оксидним шаром, то між затвором та іншими електродами фактично відсутня траєкторія постійного струму. Це призводить до дуже високого вхідного, і в основному ємнісного, імпедансу постійного струму порядку 10^{13} - $10^{15} \Omega$. Завдяки високому вхідному опору, MOSFET вимагає дуже низького рівня потужності вхідного сигналу. Це означає, що один транзистор може в принципі керувати декількома іншими транзисторами, подібних до нього, тобто він має високу можливість вимикання.

MOSFET, показаний на малюнку 2.1, є n-канальним пристроєм. Відстань L між краями p^+ витоку-стоку називається довжиною каналу. Відстань W називається шириною каналу. Коефіцієнт ширини та довжини пристрою ($W /$

L) називається співвідношенням сторін і зазвичай використовується як параметр проектування, який може бути змінений для встановлення бажаних властивостей провідного каналу MOSFET.

У схемотехніці прийнято визначати напруги на різних терміналах пристрою відносно витoku в якості опорного потенціалу. Таким чином, якщо V_g , V_s , V_d і V_b , є напругами затвору, витoku, стоку і підкладки відповідно, то ми зазвичай визначаємо кінцеві напруги як напругу стоку-витoku V_{ds} ($= V_d - V_s$), затвору-витoku V_{gs} ($= V_g - V_s$), і підкладки-витoku V_{bs} ($= V_b - V_s$). За напругу на терміналі MOSFET зазвичай приймають напругу стоку витoku і вимірюють значення струму, що тече до стоку I_{ds} . Залежність струму й напруги (I-V) приймає загальну форму

$$I_{ds} = f(V_{gs}, V_{ds}, V_{bs}) ,$$

вказуючи, що всі напруги пристрою важливі для контролю струму стоку. Варто уваги, що контрольними параметрами MOSFET є напруги, на відміну від струмів в біполярному транзисторі.

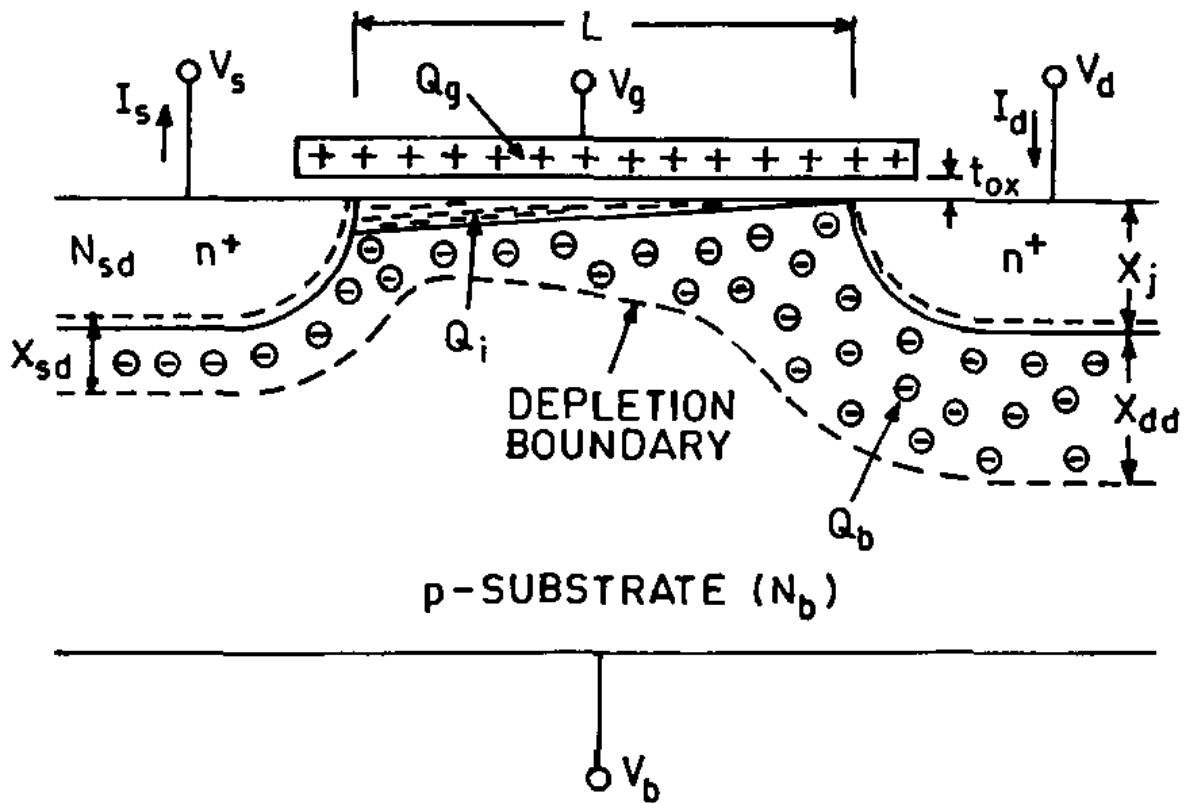


Рис 2.2 Поперечний переріз n-канального MOSFET, з зображеними напругами, струмами і зарядами. Пунктирні лінії показують межі виснаження [21]

Хоча безперервне зменшення розміру MOSFET і просування технології призвели до більш складної структури, що має свій вплив на моделювання, основна структура залишається такою ж, як показано на Рис. 2.2. У нормальних умовах експлуатації джерела і напруги стоку завжди такі, що джерела і сток-підкладка рп переходів є зворотним зміщенням. Найпростіший механізм ухилу, який може бути використаний для ілюстрації роботи MOSFET, коли обидва джерела і основна маса знаходяться на потенціалі землі, тобто $V_b = V_s = V_{sb} = 0$. Навіть у $V_{gs} = V_{ds} = 0$ область збіднення утворюється навколо n^+ джерела і областей витікання, завдяки n^+p -переходу, утвореному з субстратом р-типу з концентрацією N_b (cm^{-3}). Ширина X_{sd} і X_{dd} цієї області виснаження під джерелом і стоку відповідно, на основі наближення одновимірного крутого переходу, задається наступним рівнянням:

$$X_{sd} = X_{dd} = \sqrt{\frac{2e_0 e_{si} f_{bi}}{q N_b}} \text{ (cm) при } V_{ds} = V_{bs} = 0$$

де f_{bi} - вбудований потенціал між витокom / стоком до підключення рп-переходу з урахуванням

$$f_{bi} = V_t \ln \left(\frac{N_{sd} N_b}{n_i^2} \right) \text{ (V)}$$

де $V_t = k_B T / q$ - теплова напруга, N_{sd} ($\sim 10^{20} \text{ см}^{-3}$) - концентрація в областях витoku / стоку, і n_i - концентрація власних носіїв. Припустимо, що сток знаходиться на певній позитивній напрузі V_{ds} . Коли позитивна V_{gs} , яка є меншою, ніж певна мінімальна напруга затвора, ще звана пороговою напругою V_{th} , подається на затвор, область поверхні р-типу виснажується дірками під оксидом затвора. Оскільки дірки відштовхуються від поверхні, залишаючи за собою нерухомі негативно іонізовані атоми, на поверхні кремнію накопичується негативний заряд. Цей заряд називається зарядом виснаження або об'ємним зарядом Q_b . За цієї умови єдиним струмом, що тече, є струм витoku.

Якщо V_{gs} за деякий час збільшується так, що $V_{gs} > V_{th}$ прикладається до затвора, на поверхні формується провідний канал з рухомим негативним зарядом Q_i . Цей канал на поверхні називається також інверсійним шаром, тому що поверхневий шар інверсується від провідності р-типу до провідності n-типу після формування провідного каналу. Товщина цього інверсійного шару становить 10-100Å і залежить від застосовуваного зміщення. При $V_{gs} = V_{th}$, концентрація неосновних носіїв (електронів) на поверхні стає рівною концентрації основних носіїв — дірок (підкладка р-типу). Що вище V_{gs} ($> V_{th}$), то вища щільність заряду неосновних носіїв Q_i . Заряд носіїв Q_i також називається зарядом інверсії. З принципу збереження заряду сума Q_i і Q_b дорівнює заряду на затворі Q_g . Тепер, якщо є різниця напруг між витокom і стоком, струм I_{ds} , буде текти внаслідок дифузії носіїв (електронів в nMOST) з каналу до витoku. Струм витoku рп-переходу додається до струму, який

виникає через утворення каналу. Однак він настільки малий за величиною в порівнянні з струмом, що викликається утворенням каналу, що ним можна знехтувати. Оскільки заряд інверсії Q_i надто залежить від прикладеної напруги затвора, затвор може використовуватися для управління струмом через канал. Таким чином, може бути реалізована підсилювальна функція. Шляхом зміщення структури в області відсічення ($V_{gs} < V_{th}$) струм перестає протікати між витокom і стоком. Тому транзистор може бути використаний як комутатор.

Для фіксованого V_{gs} ($> V_{th}$), ток стоку I_d , збільшується лінійно зі збільшенням напруги V_{ds} витік. Швидкість збільшення зменшується до I_d , насичується до постійної величини. У цій області MOSFET працює як змінний резистор, який змінюється в залежності від напруги затвора; опір каналу зменшується зі збільшенням V_{gs} . З цієї причини MOSFET вважається пристроєм, керованим напругою. Взаємозв'язок між ідентифікаторами і V_{ds} для різних значень V_{gs} для експериментального полікремневого затвора nMOST з $L = 10$ мкм показаний на Рис. 2.3. Він показує чотири різні робочі області:

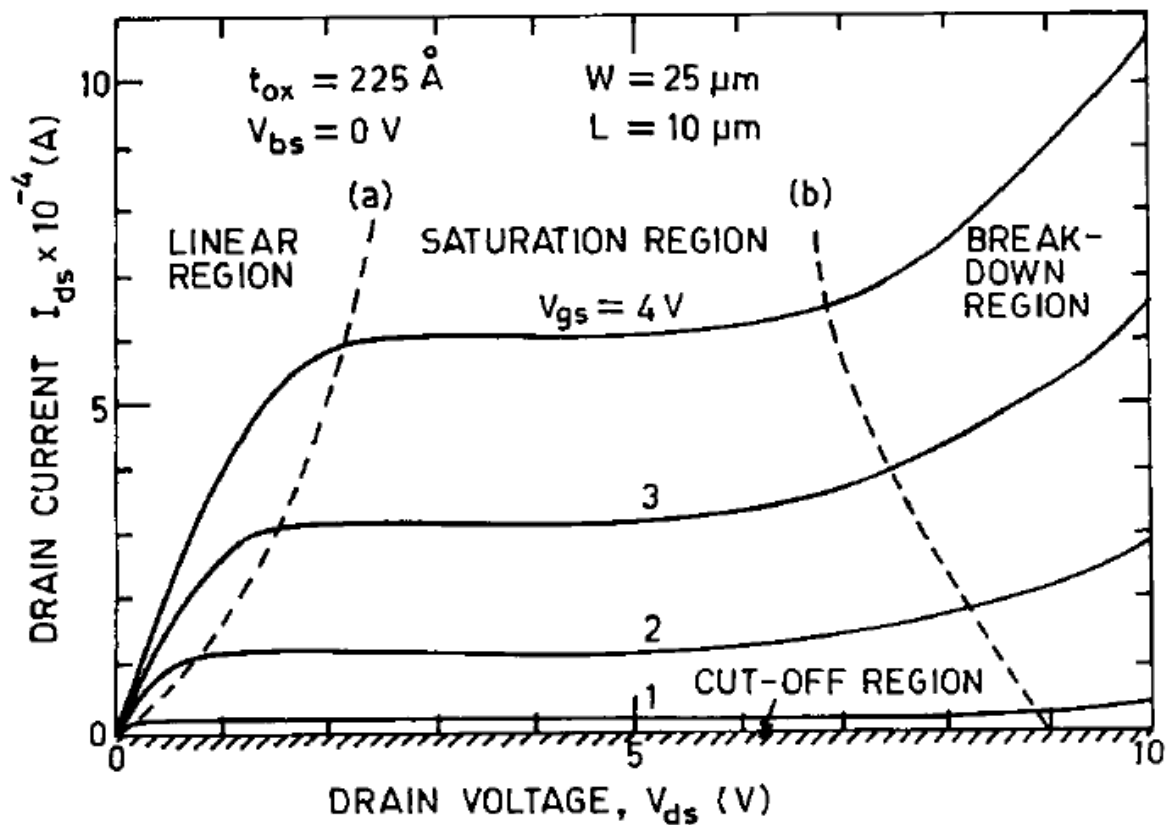


Рис. 2.3 Характерне підвищення коефіцієнта напруги (V_{ds}) зливного струму (V_{ds}) MOSFET ($L = 10$ мкм) з напругою затвора (V_{gs}) як параметр, що показує різні області роботи пристрою; (a) лінійні, (b) насичення, (c) відсічення, та (d) області розладів [21]

Лінійна область. Це область, в якій I_d , лінійно зростає з V_d , для заданого $V_{gs} (> V_{th})$. До першого наближення I_d , в лінійній області, задається

$$I_{ds} = \mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{th} - 0.5V_{ds}) V_{ds}$$

де μ - мобільність носіїв (електронів для nMOST) в каналі (інверсія), C_{ox} - ємність оксиду воріт на одиницю площі, W / L - співвідношення ширини пристрою до довжини, а V_{th} - порогова напруга. До першого порядку V_{th} залежить від товщини оксиду затвора t_{ox} , концентрації легування субстрату N_b і типу матеріалу затвора (Al або полікремній); V_{th} зростає зі збільшенням t_{ox} або N_b .

Регіон насичення. У цій області I_{ds} вже не збільшуються при збільшенні V_{ds} , тобто він насичується. Знову в першому наближенні струм в області насичення дається виразом:

$$I_{ds} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{th})^2$$

показуючи, що I_{ds} не залежать від V_{ds} . Це видно з Рис. 2.3. Слід зазначити, що ця повна насиченість струму відбувається тільки для МОН-транзисторів з великою довжиною каналу ($L = 10$ мкм, наприклад). Зі зниженням L , темпи насичення швидко знижується, що призводить до збільшення I_{ds} при збільшенні V_{ds} . Різні механізми сприяють погіршенню поведінки насичення для короткочастотних пристроїв, таких як деградація рухливості через насичення носіїв швидкості, опору витоку-стоку тощо. Пунктирна лінія 'а' (Рис. 2.3) показує приблизну границю між лінійною та насиченою областями.

Регіон злому. З подальшим збільшенням V_{ds} , поза насиченням, транзистор входить в область, в якій I_d раптово зростає, поки не відбудеться пробій рп переходу стік-субстрат, який викликаний високим електричним полем на краю стоку. Це збільшення є досить різким для технології алюмінієвого затвору, але набагато м'якше для технології полісиліконових затворів. У короткоканальних пристроях, зокрема в nMOST, так званий ефект «гарячого носія», завдяки високому електричному полю на кінці зливу, також може призводити до несправності пристрою. Пунктирною лінією 'b' (Рис. 2.3) показана межа між зоною насичення і пробією.

2.2 Фізичні моделі для рівнянь енергетичного балансу

Спочатку Stratton [24] застосував перші три моменти транспортного рівняння Больцмана (BTE) для формулювання рівнянь потоку носіїв заряду і енергії в напівпровідниках. Пізніше Blotekjaer описав модель з 0-го по 3-й

порядок, включивши таким чином і щільність енергії як невідоме [25]. Схеми обох авторів відрізнялися при розгляді часу релаксації. Останні роботи Bringer et al. [26] і Azoff [27] також включили момент третього порядку. Ґрунтуючись на роботі Blotekjaer, Rudan і Odeh [28] надали детальний опис гідродинамічної (HD) транспортної моделі, а також запропонували методику дискретизації для стаціонарного випадку, включаючи відповідні граничні умови. Дискретизацію повної залежної від часу моделі HD представив Форгієрі [29]. Нехтуючи квадратичним в щільності струму (так званим конвективним членом) терміном і дрейфовою частиною кінетичної енергії в порівнянні з тепловою енергією носія $3/2k_B T_c$, Кук і Фрей [30] запропонували спрощену транспортну модель для носіїв та енергії, яка стала називатися моделлю енергетичного балансу (EB). Fukuma et al. [31] в подальшому застосували розширення цієї моделі.

$$\frac{3}{2} k_B \frac{\partial}{\partial t} (n T_n) + \nabla_r \cdot S_n = j_n \cdot F - \frac{3}{2} k_B T_n (G - R) - \frac{3}{2} k_B n \frac{T_n - T_L}{\tau_{E,n}}$$

$$\frac{\partial n}{\partial t} - \frac{1}{q} \nabla_r \cdot j_n = G - R$$

intrinsic density gap (T)

SRH lifetimes (T, N_{dop})
defect-assisted tunneling
Auger (b2b, defect-assisted)
impact ionization
band2band tunneling
optical generation
alpha particles

energy relaxation time

thermal conductivity

$$S_n = -\kappa_n \nabla_r T_n - \frac{5}{2} \frac{k_B T_n}{q} j_n$$

band gap narrowing

$$j_n = \sigma_n \left[-\nabla_r \left(\psi + \frac{\Delta E_g}{2q} \right) + \frac{k_B T_n}{q} \nabla_r \ln(n) + \nabla_r \frac{k_B T_n}{q} \right]$$

mobility (bulk, channel)

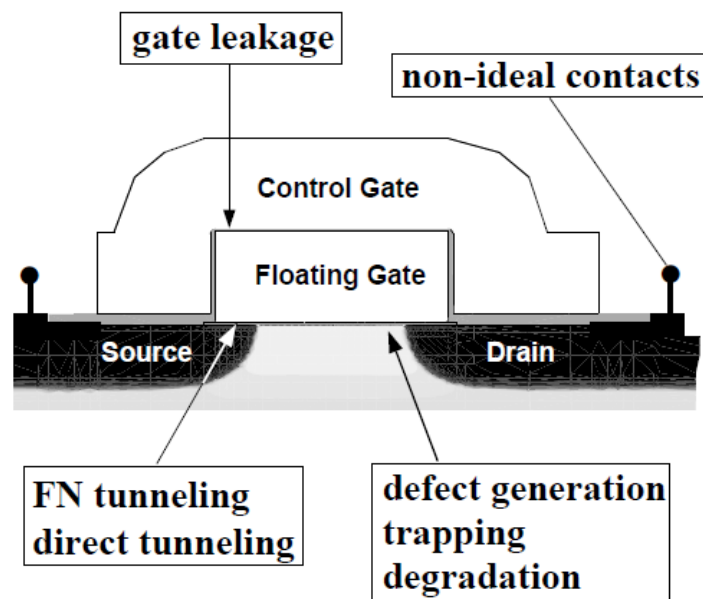


Рис. 2.4 Схема транспортних параметрів та пов'язаних фізичних моделей для рівнянь енергетичного балансу (верхня частина). Важливі явища в різних областях MOSFET (нижня частина) [21]

На Рис. 2.4 зображена схема ЕВ моделі для електронної підсистеми. Перші три моменти ВТЕ були замкнуті з феноменологічним конститутивним відношенням $\mathbf{Q}_n = -\kappa_n \nabla_r T_n$ між вектором теплового потоку \mathbf{Q}_n , теплопровідністю електронів κ_n і електронною температурою T_n згідно Blotekjaer [25]. Подальші символи, неявно пояснені на рис. 1, мають таке значення: j_n — щільність електричного струму електронів, $\mathbf{F} = -\nabla_r \psi$ — електричне поле, $\sigma_n = q\mu_n n$ — електрична провідність, \mathbf{S}_n щільність енергії електронного потоку, $G-R$ — швидкість генерації, T_L — температура решітки, q — елементарний заряд, k_B — константа Больцмана. Ключові слова в суцільних рамках представляють моделі, які повинні бути надані для фізичного опису транспортних коефіцієнтів (верхня частина) і явищ пристрою (нижня частина). Останні були приєднані до різних областей стираної програмованої пам'яті тільки для читання (EPROM), яка може розглядатися як МОН-транзистор, що містить засипний затвор для накопичення заряду. Окрім різноманітних механізмів переносу зарядів через інтерфейси та неідеальної поведінки контактів метал-напівпровідник, варто звернути увагу на так звану деградацію MOSFET, що є однією з найсерйозніших проблем сучасної мікроелектроніки. Вона спричиняється довгостроковим зсувом порогової напруги через уловлювання заряду і можливу генерацію дефектів на границях, викликану “гарячими носіями” в каналі.

2.3 Міжзонне тунелювання (ВВТ)

Внаслідок масштабування пристроїв в останні роки почали використовуватися дуже дрібні з'єднань з високим рівнем допінгу рівні та різкі градієнти. В емітер-базовому переході біполярних транзисторів в критичних ділянках інтерфейсу траншейних транзисторних осередків DRAM спостерігалися струми витоку внаслідок дефектоскопічного тунелювання

(DAT) і міжзонного тунелювання (BBT), а також на стоковому краю МОН-транзисторів. З іншого боку, генерація тунелювання навмисно використовується для індукції субстрату (BBISHE), у гнучкій пам'яті пам'яті.

2.3.1 Мікроскопічна теорія

Міжзонне тунелювання у кремнії є фононним, що було експериментально показано вже на початку шістдесятих років. Вимірюючи похідну провідності в кремнієвих діодах Есакі при 4.2 К, дослідники змогли виявити дванадцять фононних і фонон-комбінаційних енергій, що добре узгоджувалося з результатами досліджень розсіяння нейтронів [29]. Пізніше вдалося розкласти тунельний струм на струм, який не підтримується фононами (надлишковий струм), на той, що підтримується ТА і на фононну компоненту ТО. Перші розрахунки фононної BBT були представлені з застосуванням Wentzel-Kramers-Brillouin (WKB) наближення. У всіх цих роботах задача вирішувалася шляхом визначення коефіцієнта передачі електрона, що вражає перехідний бар'єр, а потім обчислення струму за кількістю генерованих носіїв. Зв'язок між ймовірністю передачі і щільністю струму не є необхідним, якщо обчислюється макроскопічна величина, яка безпосередньо визначає струм BBT. Діапазонна провідність визначається діагональними елементами одночастинкової матриці щільності і виникає, оскільки електрони змінюють своє місце при проходженні через бар'єр. Застосування цього методу до фононної допомоги BBT у кремнії було представлено Шенком [32]. Там в якості джерела імпульсу для тунельних електронів враховували електрон-фононні зіткнення, а гамільтоніан кристала розглядали в ефективному наближенні маси (ЕМА), повністю враховуючи анізотропію шести зон провідності. Оскільки розмір прямого зазору кремнію не змінюється різко в межах першої зони Брілліона, переходи через обидва проміжні стани, протилежні смугам екстремумів непрямого проміжку, однаково важливі. У процесі виведення відбувається поєднання

трьохчастинних функцій Гріна, які повинні бути відокремлені RPA. Після використання отриманих дельта-функцій семикратний нетривіальний інтеграл залишається оцінювати аналітично. Необхідно знайти явні вирази для елементів матриці (два імпульсних і два електрон-фононних). Остаточна форма фононної швидкості ВВТ, придатна для моделювання:

$$R_t = \frac{2.47 \times 10^{21}}{cm^3 s} F^2 \sum_{\alpha=x,y,z} \frac{\sqrt{m_{\perp}^{\alpha} m_{\parallel}^{\alpha}}}{m_0} [f_B H(x_{\alpha}^{\mp}) + (f_B + 1) H(x_{\alpha}^{\pm})] (f_v - f_c)$$

$$H(x) = \frac{Ai(x)}{x^2} + \frac{Ai'(x)}{x} + Ai_1(x), \quad x^{\pm} = (E_g \pm \hbar\omega_0) \left(\frac{8\mu_{\parallel}^{\alpha}}{q^2 \hbar^2 F^2} \right)^{1/3}$$

$$\frac{1}{\mu_{\parallel}^{\alpha}} = \frac{m_l - (m_l - m_t) F_{\alpha}^2 / F^2}{m_t m_l} + \frac{1}{m_v}, \quad m_{\perp}^{\alpha} = \frac{m_t m_l}{m_t - (m_t - m_l) F_{\alpha}^2 / F^2}$$

F вимірюється у Vcm^{-1} , $m_{\perp, \parallel, 0}$ позначає поперечну, поздовжню і масу спокою відповідно, f_B — заселеність електронами, $\hbar\omega_0$ — репрезентативна енергія фононів, Ai' — похідна функції Ейрі, та Ai_1 її інтеграл. Верхній знак має застосовуватися у випадку зворотних зміщених переходів (генерація, $f_v > f_c$), тоді як нижній знак виконується для прямих зміщених переходів (рекомбінація, $f_v < f_c$) з метою врахування збереження енергії в електрон-фононній системі. Функції розподілу носіїв повинні бути оцінені за енергії переходу $E_0(x)$, заданої

$$E_0(x) = \frac{m_v E_v(x) + m_{\parallel}^{\alpha} [E_c \pm \hbar\omega_0]}{m_{\parallel}^{\alpha} + m_v}$$

Дана модель не заснована на методі WKB, і включає в себе скінченні температури, а також анізотропію зон провідності. Окрім деяких наближень, що дають змогу ускладнювати аналітичну інтеграцію, яка не є дуже суворою (наприклад, нехтування дисперсією фононів і прийняття $f_{c,v}$ в локальній смузі), виникають дві основні невизначеності. Перша впливає з елемента матриці імпульсу, що містить фактори Блоха. Друга стосується середньої маси дірки m_v . Слід очікувати, що сильне електричне поле, відповідальне за витік ВВТ, запобігатиме виродженню смуги при $k = 0$ і, отже, також змінить ефективну

масу дірок, яка буде використана в моделі тунелювання. Оскільки m_v входить в ВВТ як експоненційний член, зміна в межах діапазону, визначеного масою середніх легких і середніх важких дірок, супроводжується великою зміною швидкості. Це показано на Рис. 2.5. Використання маси важкої дірки замість маси легкої зменшує швидкість на сім порядків для $F = 4 \times 10^5 \text{ Vcm}^{-1}$ і ще на два порядки при $F = 1.5 \times 10^6 \text{ Vcm}^{-1}$. Застосування дворівневої теорії збурень дає лише вдвічі більшу величину зменшеної маси дірок, утвореної з маси важких і легких дірок, тобто $0.24m_0$. Це значення на Рис. 2.5 показує пунктирна крива.

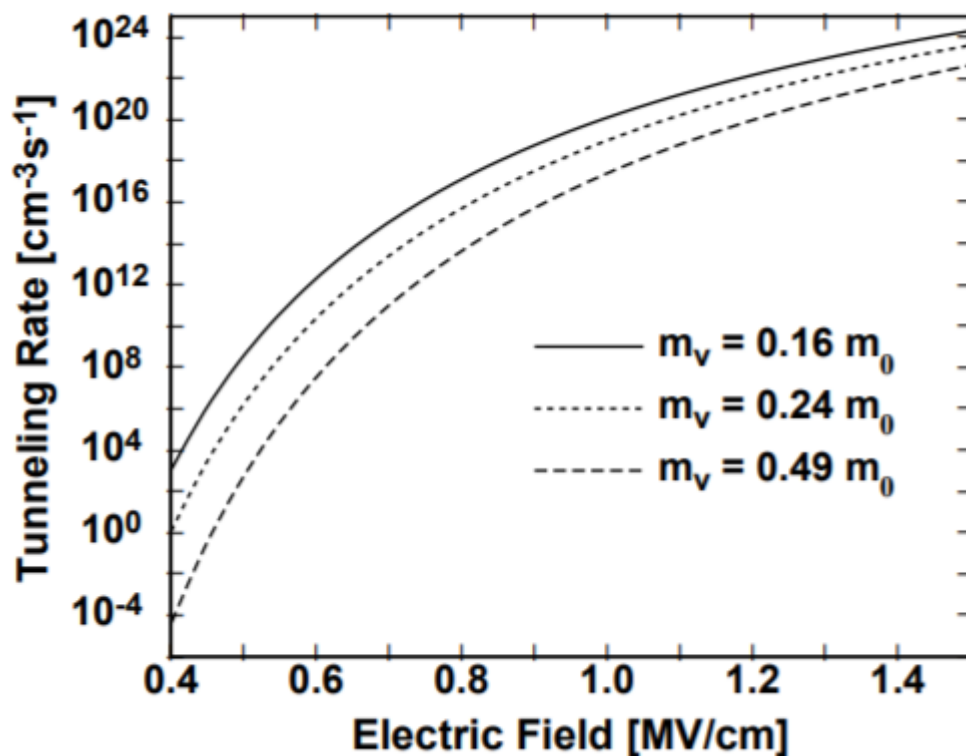


Рис. 2.5 - Швидкість ВВТ у кремнії для трьох значень ефективної маси дірок: $m_v = 0.16 m_0$ (маса легких дірок), $m_v = 0.49 m_0$ (важких) та $m_v = 0.24 m_0$. Поле прикладене вздовж [111]. [21]

2.4 Моделювання MOSFET

Моделі пристроїв описують поведінку терміналу пристрою з точки зору вольт-амперної характеристики (I-V), ємності-напруги (CV) і процесу транспортування носіїв, який відбувається в пристрої. Ці моделі, таким чином,

відображають поведінку пристрою в усіх режимах роботи пристрою. Зручно поділити ці моделі на дві категорії: (1) фізичні моделі пристроїв і (2) моделі еквівалентних схем. Моделі фізичних пристроїв базуються на ретельному визначенні геометрії пристрою, профілі легування, рівняннях переносу носіїв (рівняння напівпровідників) та характеристиках матеріалу. Ці моделі можуть бути використані для прогнозування як термінальних характеристик, так і транспортного явища. Сучасні пристрої, завдяки своїм малим розмірам, вимагають дво- або тривимірних розв'язків зв'язаних рівнянь напівпровідників, які можна вирішити лише чисельними методами. Ці так звані імітатори числових пристроїв забезпечують детальне розуміння фізичного аспекту роботи пристрою і можуть передбачати характеристики нових пристроїв. З цієї причини вони в основному використовуються для вивчення фізики пристроїв і конструкції пристроїв. Деякі публічні та комерційні пакети програмного забезпечення тепер доступні для аналізу та моделювання пристроїв; Найбільш відомими серед них є MINIMOS [33], PISCES, FIELDAY, CADDETH. Оскільки імітатори пристроїв є інтенсивно обчислювальними і вимагають великої кількості пам'яті комп'ютера, вони не підходять для моделювання ланцюгів.

У зв'язку з 2-D і 3-D характером фізичних ефектів, що регулюють електричну поведінку транзисторів, дуже важко отримати аналітичну формулу закритої форми, яка діє у всіх діючих областях, що представляють інтерес. Проте, все ще можна отримати аналітичні моделі з закритою формою, засновані на фізиці пристроїв, які загалом діють тільки на обмеженій ділянці роботи пристрою. Незважаючи на це обмеження, такі моделі часто використовуються для імітаторів схем через простоту обчислення.

Моделі еквівалентних схем описують електричні властивості пристрою шляхом підключення елементів електричної схеми таким чином, що модель емулює електричну поведінку терміналу пристрою. Таким чином, ці моделі засновані на характеристиках пристрою; елементи схеми цієї моделі

виводяться або з аналітичної функції закритої форми, або з використанням емпіричного підходу. Ці моделі часто використовуються в симуляторах схеми для представлення характеристик пристрою через простоту оцінки; Симулятор схеми SPICE використовує виключно еквівалентні схеми моделей. Для напівпровідникових пристроїв елементи моделі еквівалентної схеми є високонелінійними, а значення елементів сильно залежать від зміщення постійного струму, частоти, рівня сигналу і температури.

2.5 TCAD

TCAD - це інженерний комп'ютерний інструмент, що дозволяє моделювати на основі фізики напівпровідникові прилади та процес їх виготовлення. Завдяки відмінним можливостям прогнозування, напівпровідникові процеси і пристрої інженерів використовують TCAD для віртуального прототипування і оптимізації пристроїв, щоб зменшити кількість експериментальних циклів і, отже, знизити собівартість продукції. TCAD може також використовуватися для вивчення продуктивності пристроїв при використанні в нових додатках або середовищах, для визначення меж продуктивності та для аналізу збоїв. Сучасні комплекти TCAD складаються з декількох інструментів. Типовий приклад комплекту TCAD схематично описаний на Рис. 2.6, і він складається з наступних елементів:

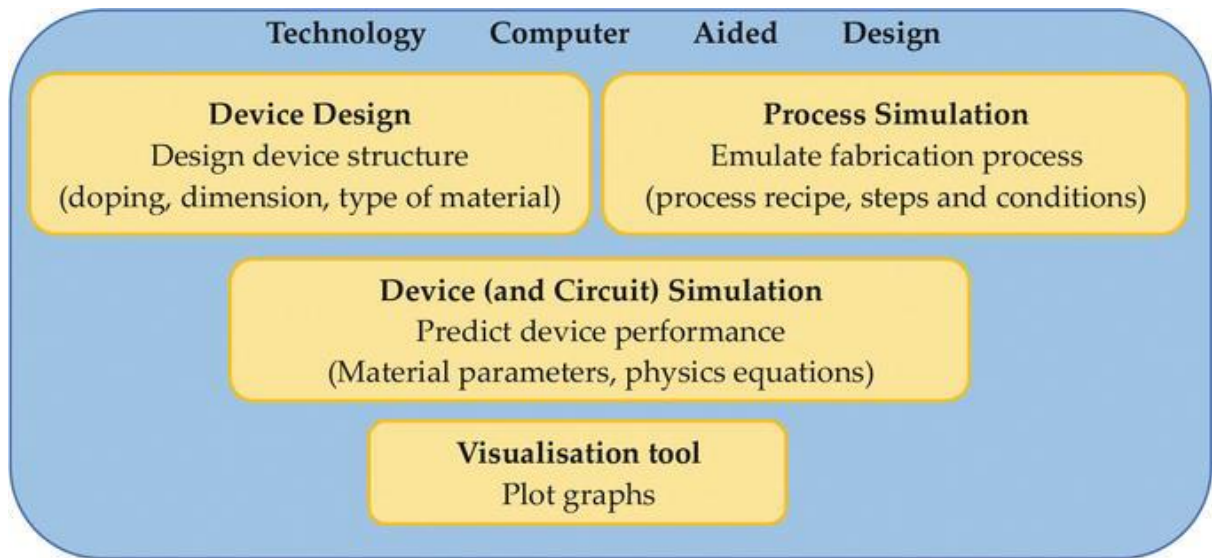


Рисунок 2.6 Типовий набір інструментів, що складають пакет TCAD. [34]

Інструмент дизайну пристрою дозволяє швидко створювати структури пристроїв за допомогою коду або графічного інтерфейсу користувача без необхідності знати процес виготовлення. На цій стадії визначається геометрія пристрою, профіль матеріалу і допінг, а також концентрація легування областей. Комерційні інструменти включають Synopsys Sentaurus Structure Editor і SilvacoDevEdit™. Такі інструменти дозволяють розробникам пристроїв параметризувати аспекти та функції пристрою, щоб оптимізувати їх конструкцію або оцінити залежність продуктивності від параметрів пристрою.

Інструменти моделювання процесу дозволяють здійснювати віртуальне виготовлення пристроїв і емуляцію етапів і умов виготовлення. Як правило, вони використовують мову сценаріїв і вимагають знання процесу виготовлення. Ці інструменти дозволяють інженерам-технологам точно налаштувати свій виробничий процес і проаналізувати вплив кожного етапу процесу та умови на структуру пристрою. Комерційні інструменти включають Synopsys Sentaurus Sentaurus Process і Silvaco Athena.

Інструменти моделювання пристроїв дають можливість імітувати електричні, теплові та оптичні властивості та продуктивність пристроїв. Вони також можуть враховувати середовище, яке оточує пристрій при використанні

в реальних умовах. Тому вони, як правило, також мають можливості SPICE. Такі інструменти моделюють роботу пристрою, виконуючи аналіз кінцевих елементів і рішення фундаментальних рівнянь фізики напівпровідників. Вони використовують чисельні моделі, створені або за допомогою інструменту проектування пристроїв, або за допомогою інструменту моделювання процесу, враховують матеріали, включені в пристрій, і мають базу даних з фізичними рівняннями та еквівалентними параметрами матеріалу. Комерційні інструменти включають пристрої Synopsys Sentaurus і Silvaco Atlas.

2.6 Global TCAD Solutions (GTS)

GTS базується на класичному пристрої імітаторі Minimos-NT [35]. Для розширення можливостей моделювання Minimos-NT GTS використовує симулятор Vienna Schrodinger-Poisson (VSP) [36], який містить відкриті та закриті граничні солвери Шредінгера, субзонний обчислювач на основі $k \cdot p$, обчислювач мобільності за низького поля, а також високопольовий обчислювач BTE, наряду з кількома моделями розсіювання. VSP може бути приєднаний до Minimos-NT і налаштований для забезпечення Minimos-NT вхідними даними, які замінюють емпіричні моделі щільності та мобільності. Зв'язок між двома імітаторами показаний на рис. 1 для напівкласичного (надбар'єрного) і тунельного (добар'єрного) транспорту.

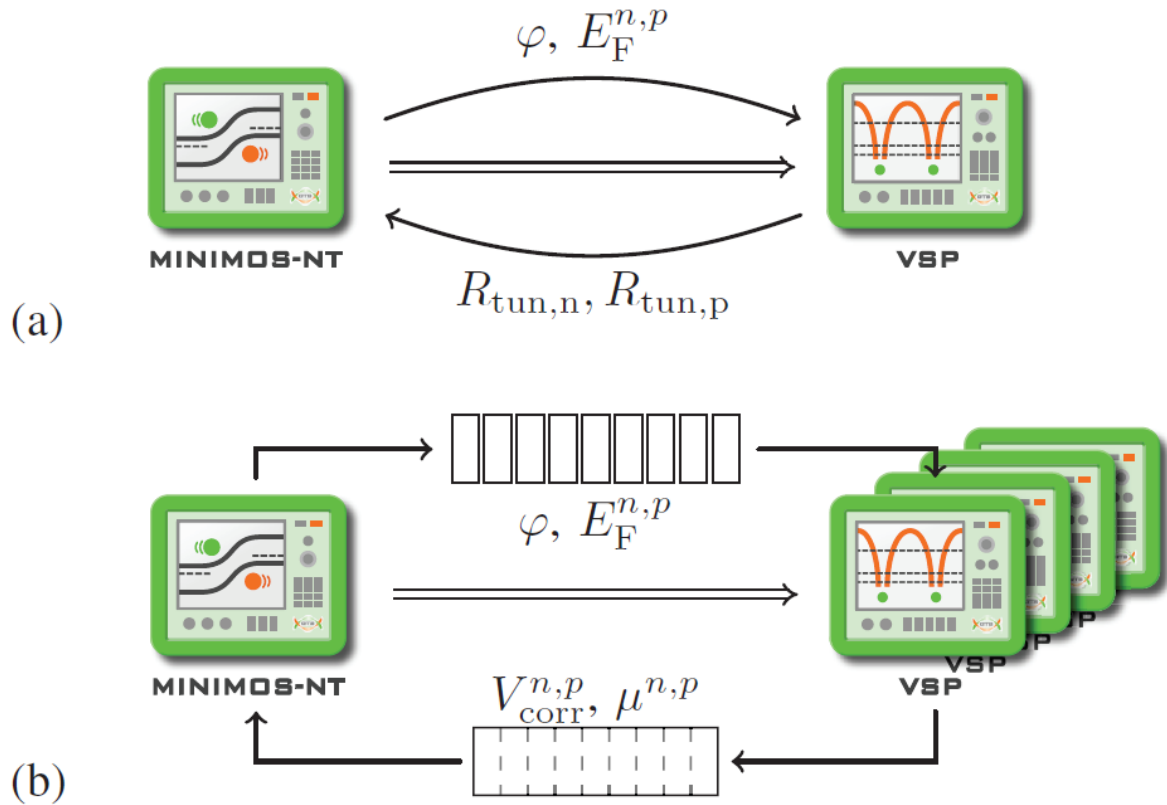


Рис. 2.7 Зв'язок між пристроєм Minimos-NT і фізичним симулятором VSP; Minimos-NT пропускає електростатичний потенціал і квазіфермі-енергії до VSP. У конфігурації тунелювання (а) VSP повертає ефективну швидкість генерування / рекомбінації через тунелювання витоку/стоку. У напівкласичній транспортній конфігурації (b) область каналу ділиться на зрізи перед передачею на VSP; VSP повертає потенціал квантової корекції і мобільність для кожного зрізу. Відбувається розпаралелювання за зрізами. [35]

Висновки до розділу 2

1. Описано основні характеристики MOSFET та підходи до їх моделювання.
2. Розглянуто методику розрахунку процесів передачі енергії та руху носіїв.
3. Розглянуто основні компоненти середовища моделювання GTS, необхідні для проведення симуляції.

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1 Геометрична модель транзистора та значення концентрацій домішків.

Проводилося моделювання Nanowire FET InGaAs транзистору n-типу. Схематична модель транзистора та вибір матеріалів зображено на рисунках 1 та 2. Був обраний квадратний канал, товщина діелектрику між каналом та затвором — 1 нм.

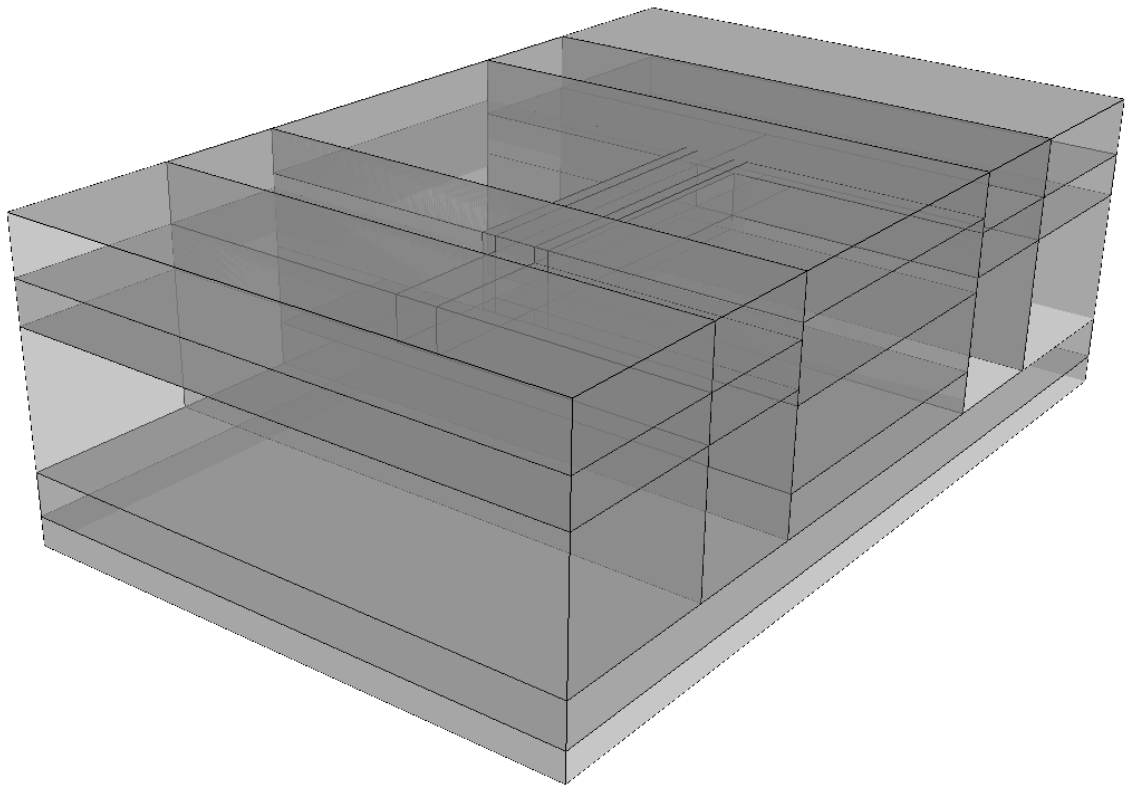


Рис. 3.1 Геометрія моделі транзистору

Побудовано 6 різних структур з різними параметрами геометрії каналу. Відрізнялися два параметри: довжина каналу (L) та висота (R). Відповідно, побудовано наступні варіації пристрою:

- $L=16\text{ nm}$, $R=6\text{ nm}$;
- $L=20\text{ nm}$, $R=6\text{ nm}$;

- $L=24\text{ nm}$, $R=6\text{ nm}$;
- $L=16\text{ nm}$, $R=3\text{ nm}$;
- $L=20\text{ nm}$, $R=3\text{ nm}$;
- $L=24\text{ nm}$, $R=3\text{ nm}$.

Для каналу було обрано InGaAs в якості напівпровідника n-типу, провідником р-типу виступав GaAs, контакти та ізолятори були встановлені як ідеальні моделі провідника та діелектрика відповідно, які були наявні в бібліотеці матеріалів модуля GTS Structure.

Затвор відділений від інших частин шаром діелектрику з варіативною товщиною.

Ширина затвору становить 40 нм для всіх варіацій геометрії, довжина транзистору — 64 нм.

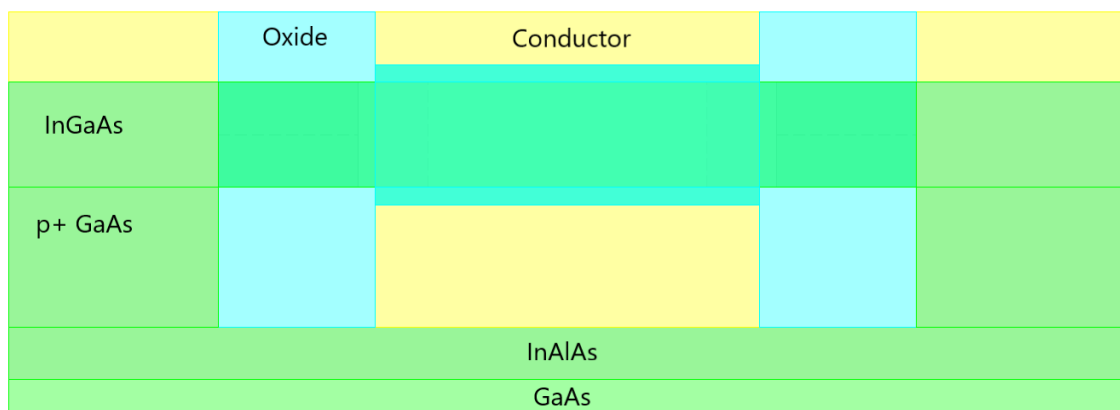


Рис. 3.2 Структура транзистору

Концентрація акцепторів в $p^+ \text{ GaAs}$ становить 10^{17} cm^{-3} . Розподіл концентрації донорів для каналу зображено на Рис. 3.3.

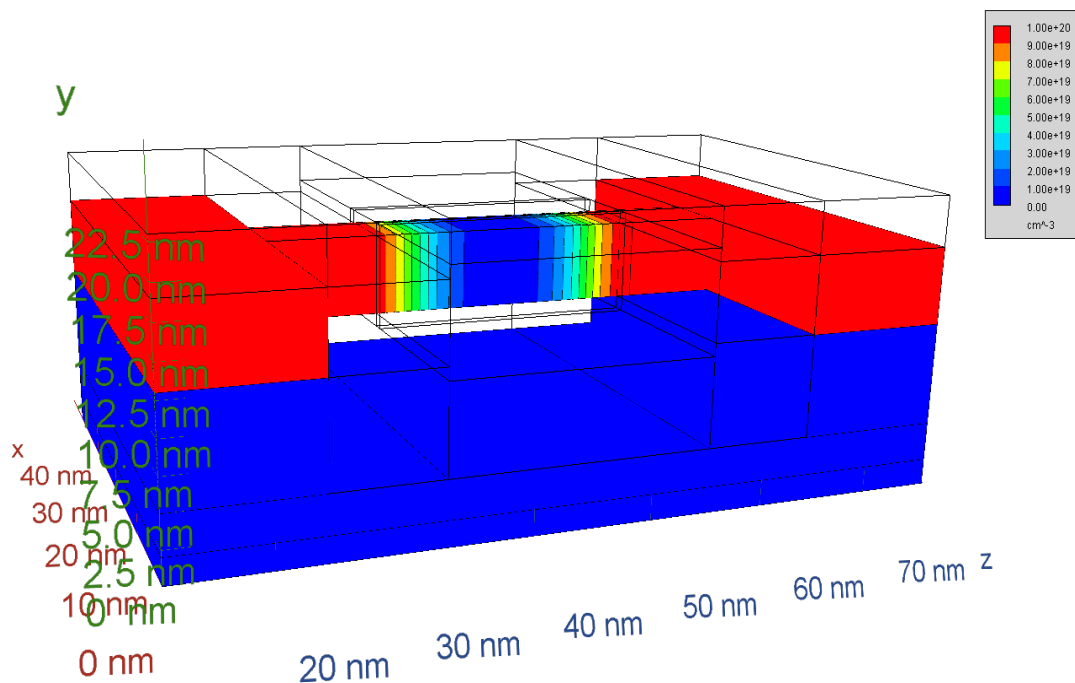


Рис. 3.3 Концентрація донорів

Розрахункова сітка для обчислень зображена на Рис. 3.4. Сітка має найбільшу щільність в області каналу для більшої точності розрахунків необхідних параметрів (оскільки нас цікавить саме область каналу транзистора).

Сітка налічує 46592 точок та 42525 клітин.

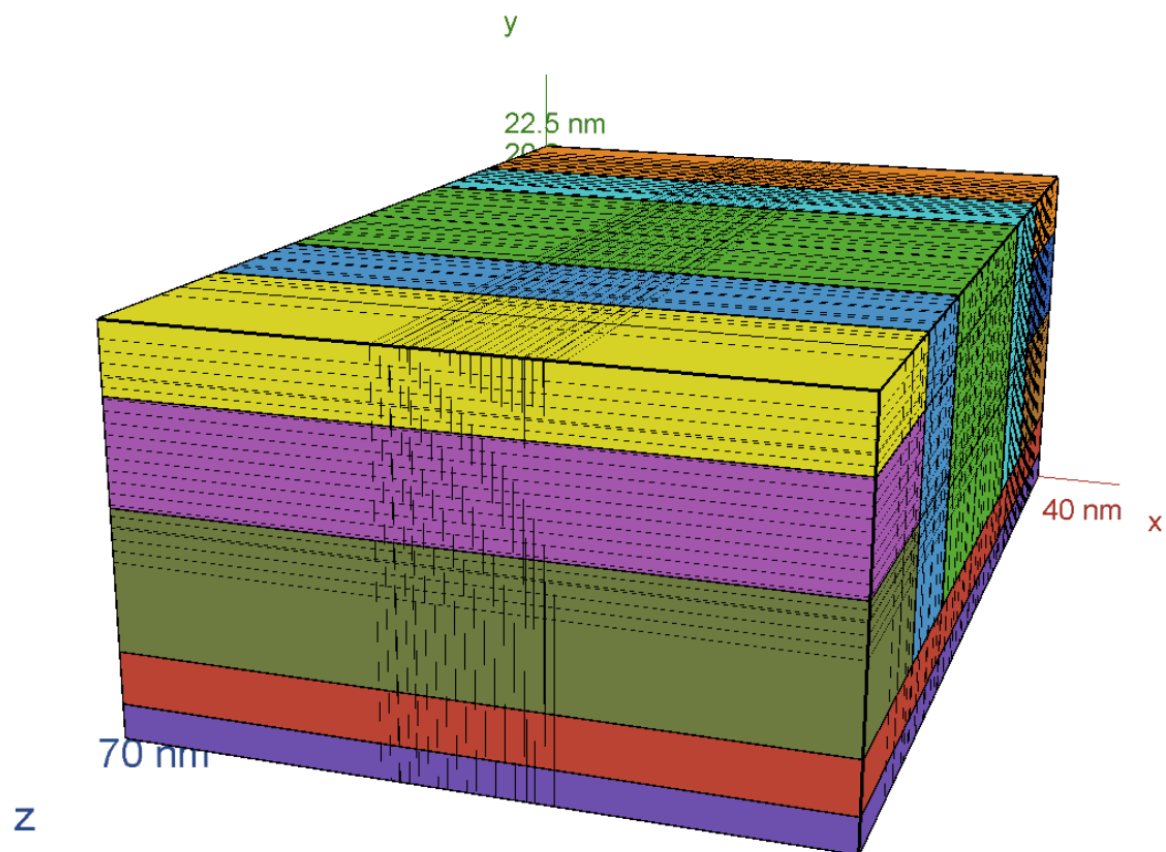


Рис. 3.4 Розрахункова сітка

3.2 Дослідження електричних характеристик

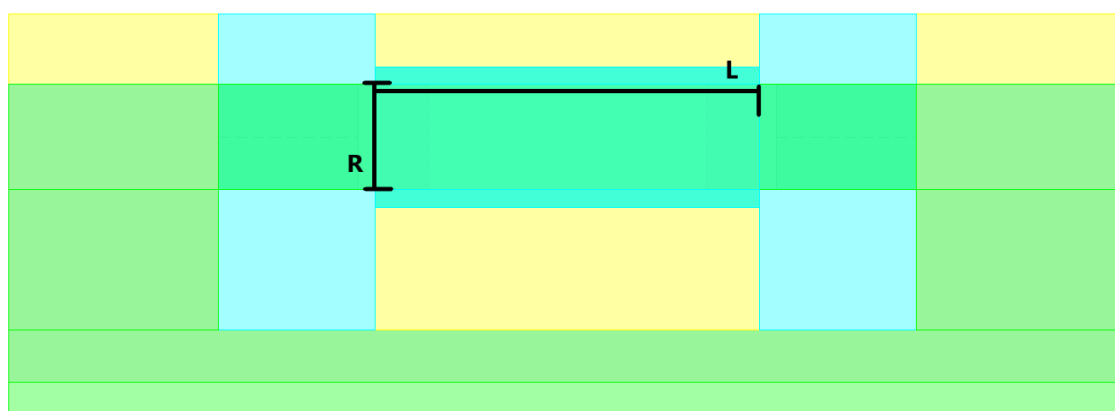


Рис. 3.5 Розміри для розрахунків: L — довжина каналу, R — висота каналу (квадратного в перерізі)

Для симуляції задавалися стала напруга на затворі та напруга на стоці в межах 0.0—1.0 V з кроком 0.2 V.

Для транзистора з $L=24$ nm, $R=6$ nm на Рис. 3.6а-б наведені розподіли потенціалу при різних значеннях напруги на затворі.

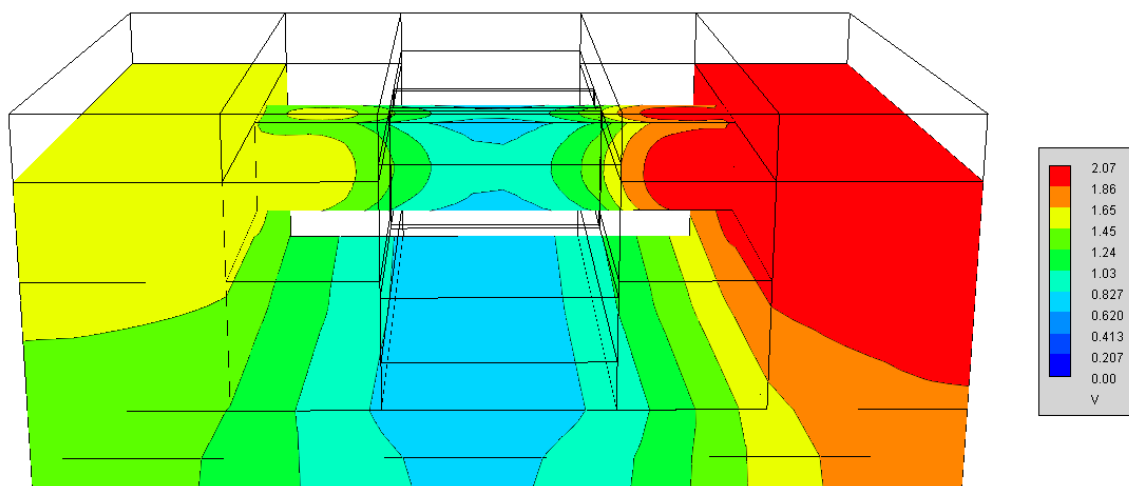


Рис. 3.6а Розподіл потенціалу при напрузі на затворі 0 В

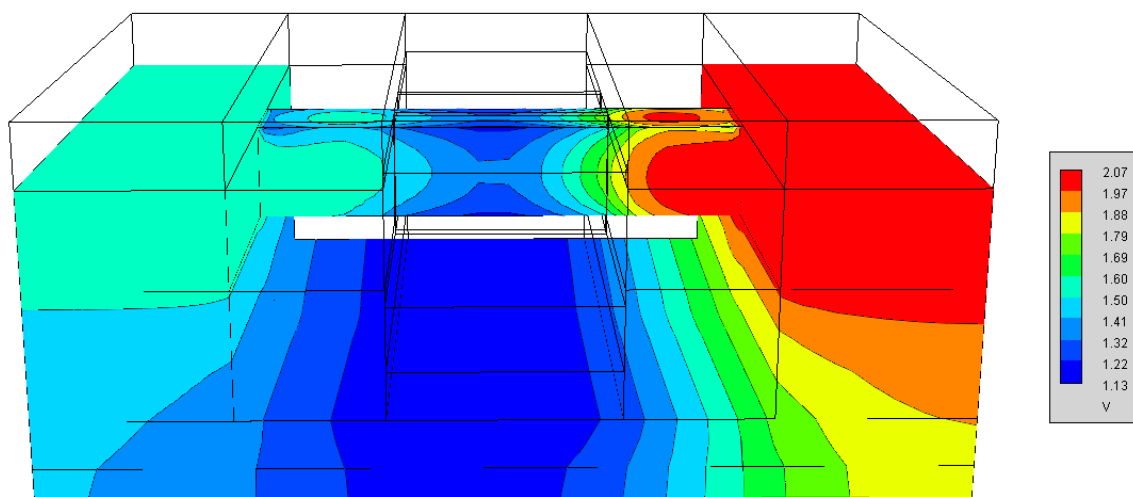


Рис. 3.6б Розподіл потенціалу при напрузі на затворі 0.5 В

На Рис. 3.7а-б наведені розраховані розподіли концентрації електронів для різних напруг на затворі (0 В та 0.5 В). Видно, як при подачі напруги на затвор “відкривається” провідний канал у транзисторі. Розрахунки наведені для моделі $L=16\text{ nm}$, $R=3\text{ nm}$.

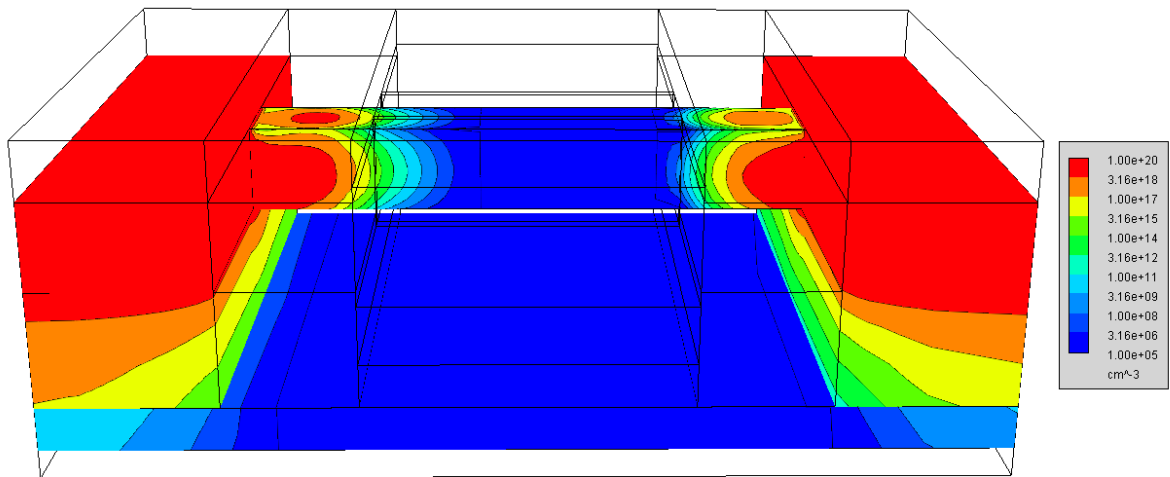


Рис. 3.7а Концентрація електронів при напрузі на затворі 0 В.

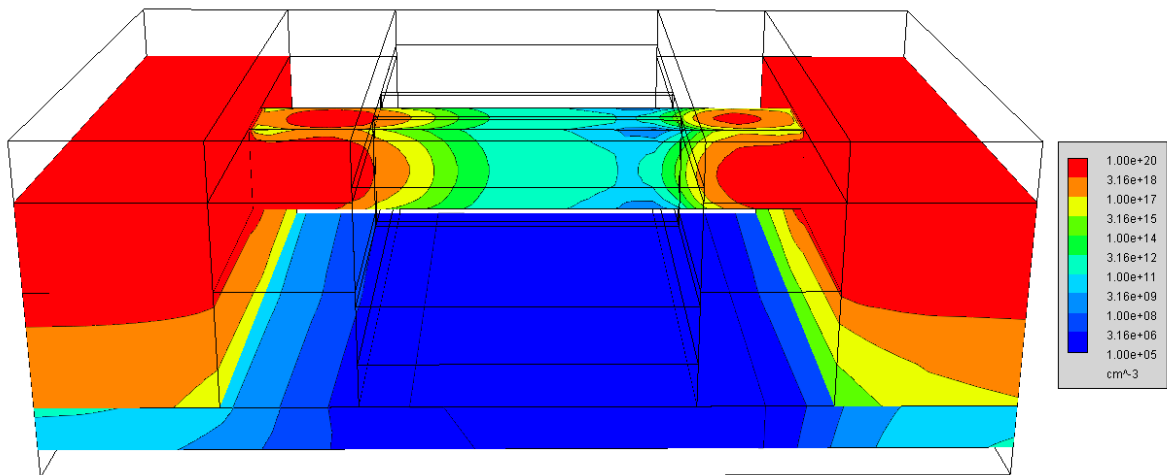


Рис. 3.7б Концентрація електронів при напрузі на затворі 0.5 В

В залежності від напруги на затворі (а саме для значень 0, 0.5 та 1.0 В) були обраховані ВА-характеристики (залежність сили струму на стоці від

прикладеної напруги), з напругою на затворі 0 В найнижче на графіках (Рис. 3.8а-д) та 1.0 В найвище:

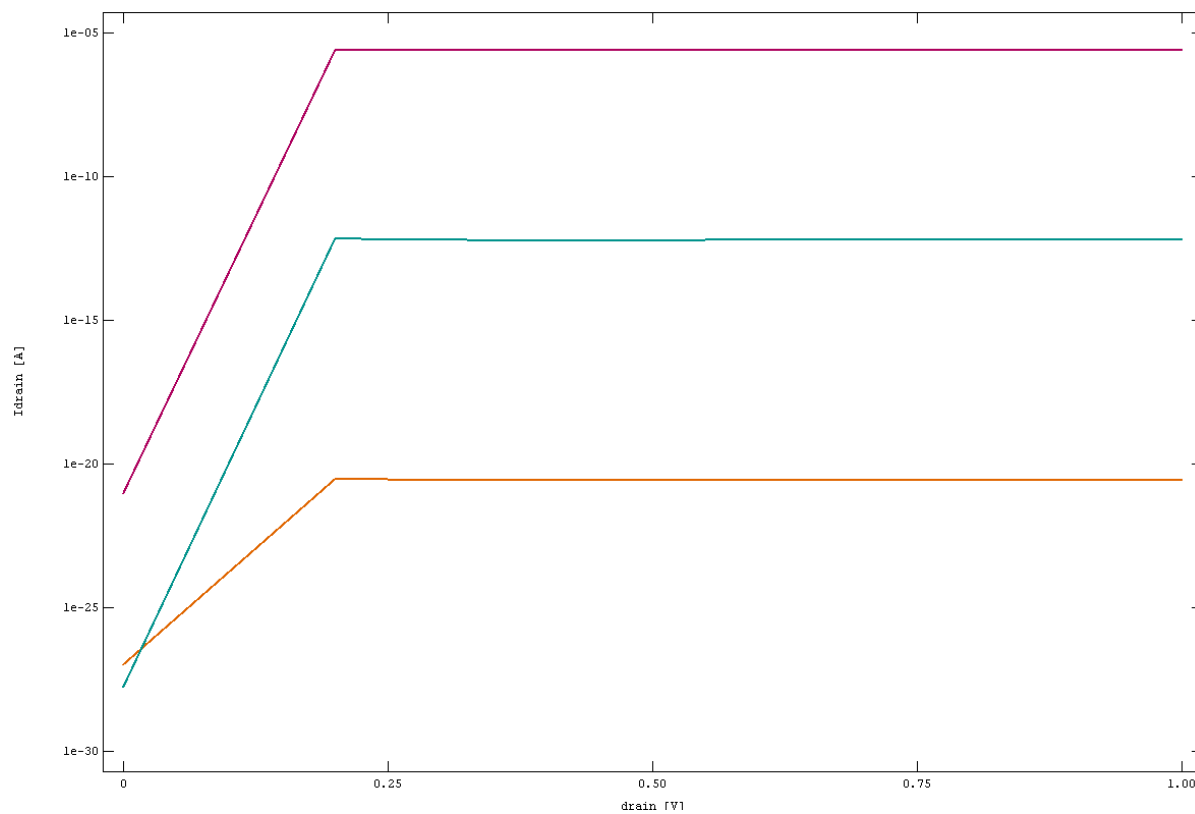
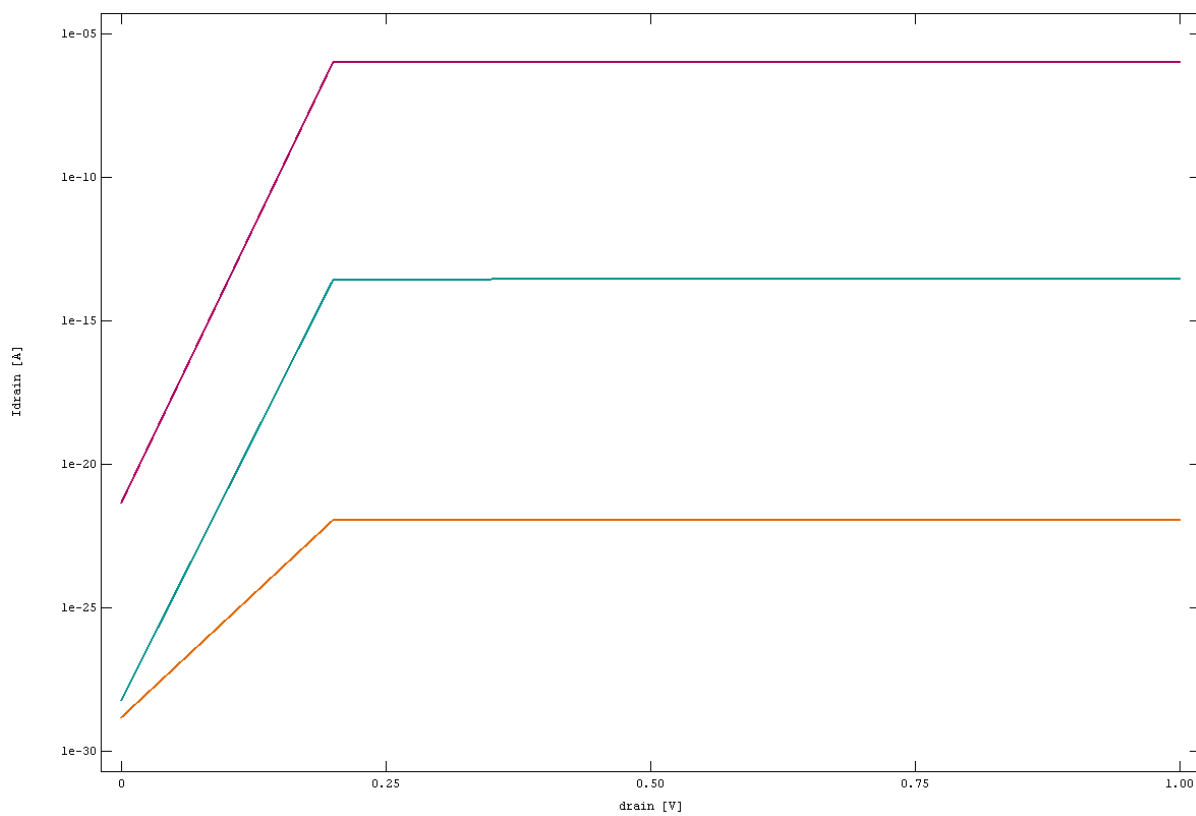
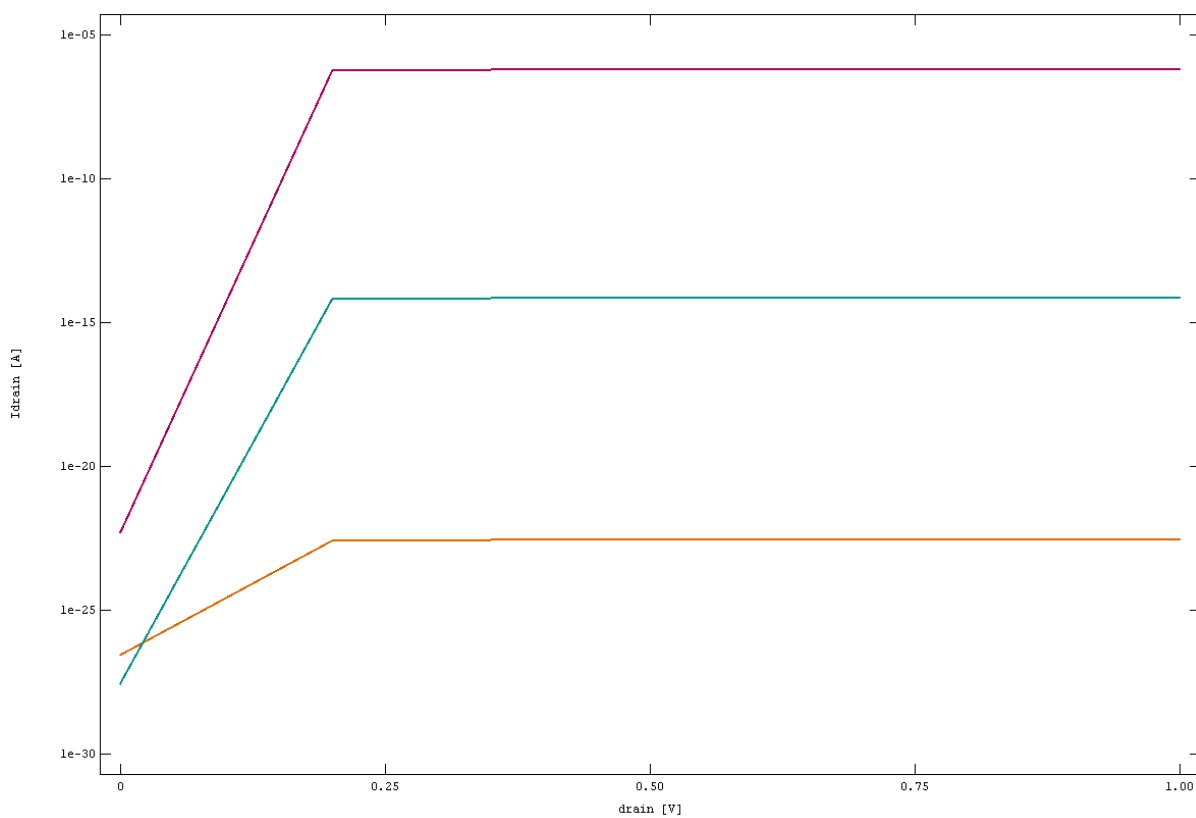


Рис.3.8а L=16 nm, R=3 nm

Рис. 3.86 $L=20$ nm, $R=3$ nmРис. 3.8в $L=24$ nm, $R=3$ nm

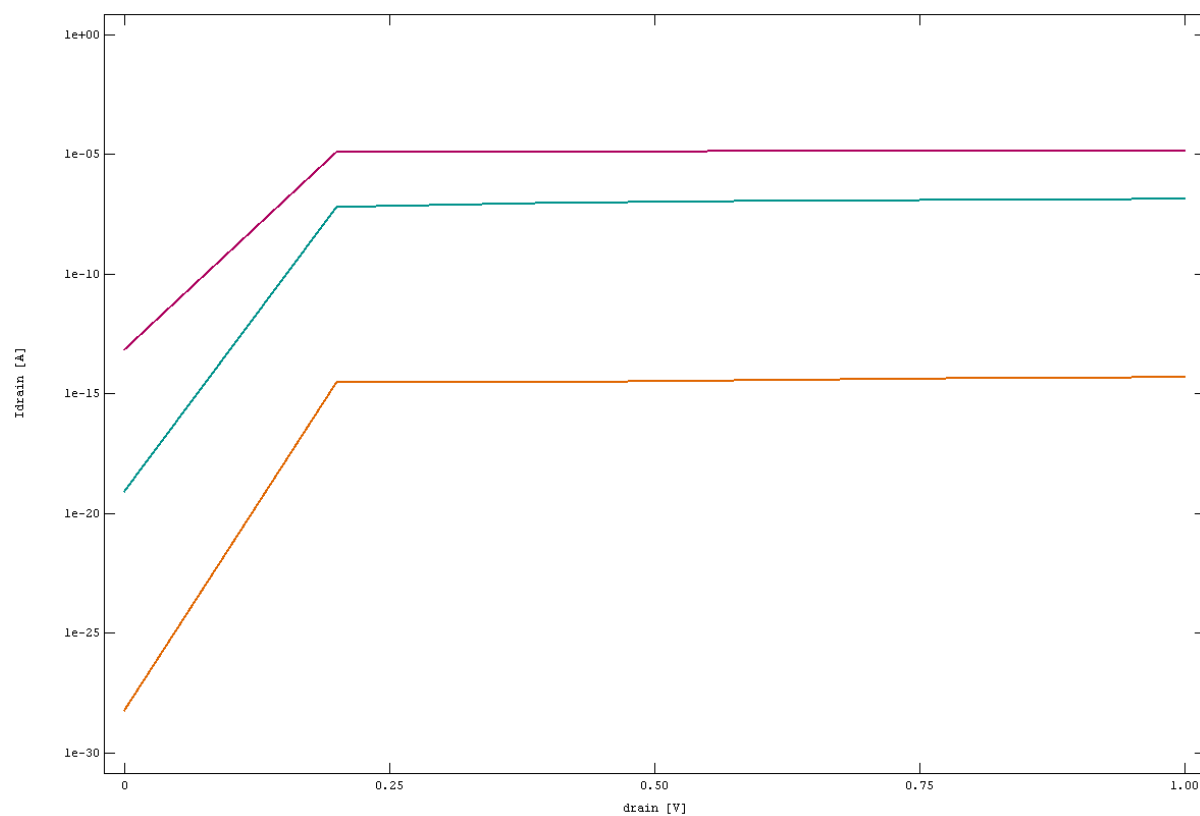


Рис. 3.8г L=16 nm, R=6 nm

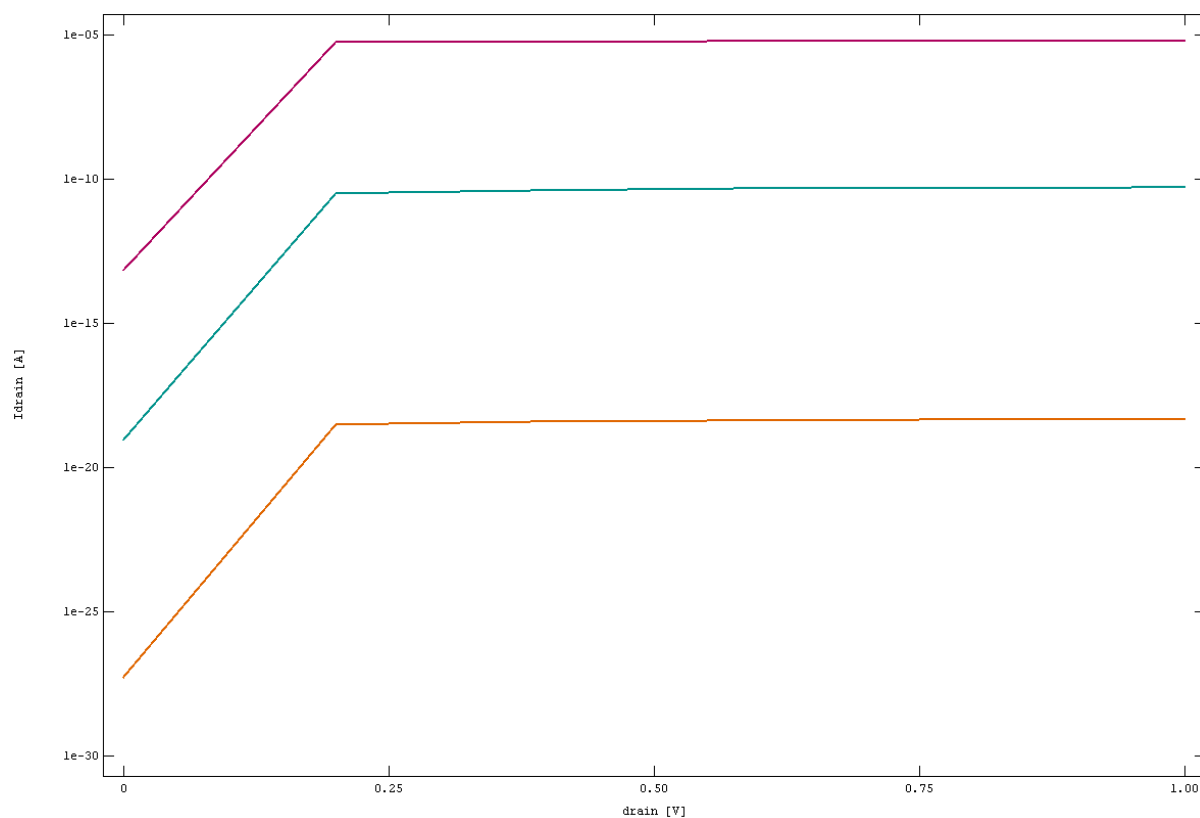


Рис. 3.8г L=20 nm, R=6 nm

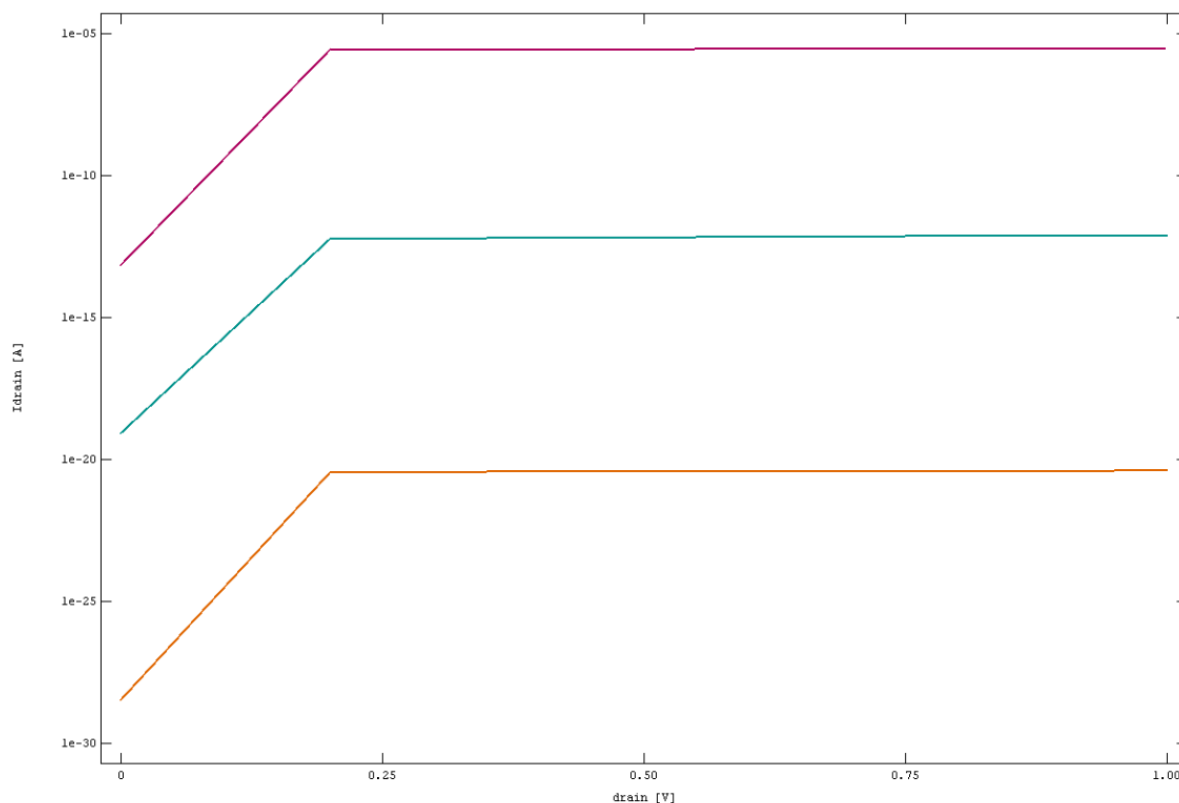


Рис. 3.8д L=24 nm, R=6 nm

З графіків бачимо, що струм зростає при прикладенні більшої напруги до затвору, знову ж таки, завдяки “відкриттю” провідного каналу між витоком та стоком під впливом електричного поля. Оскільки шкала на графіках логарифмічна, різні довжини каналу відносно значення струму на стоці між собою порівняти доволі важко.

Тому на Рис. 3.9а наведений графік залежності струму I_d для висоти каналу 6 нм, напруги на затворі 0.5 В і різних довжин каналу. Таку ж залежність відображено на Рис. 3.9б для висоти каналу 3 нм.

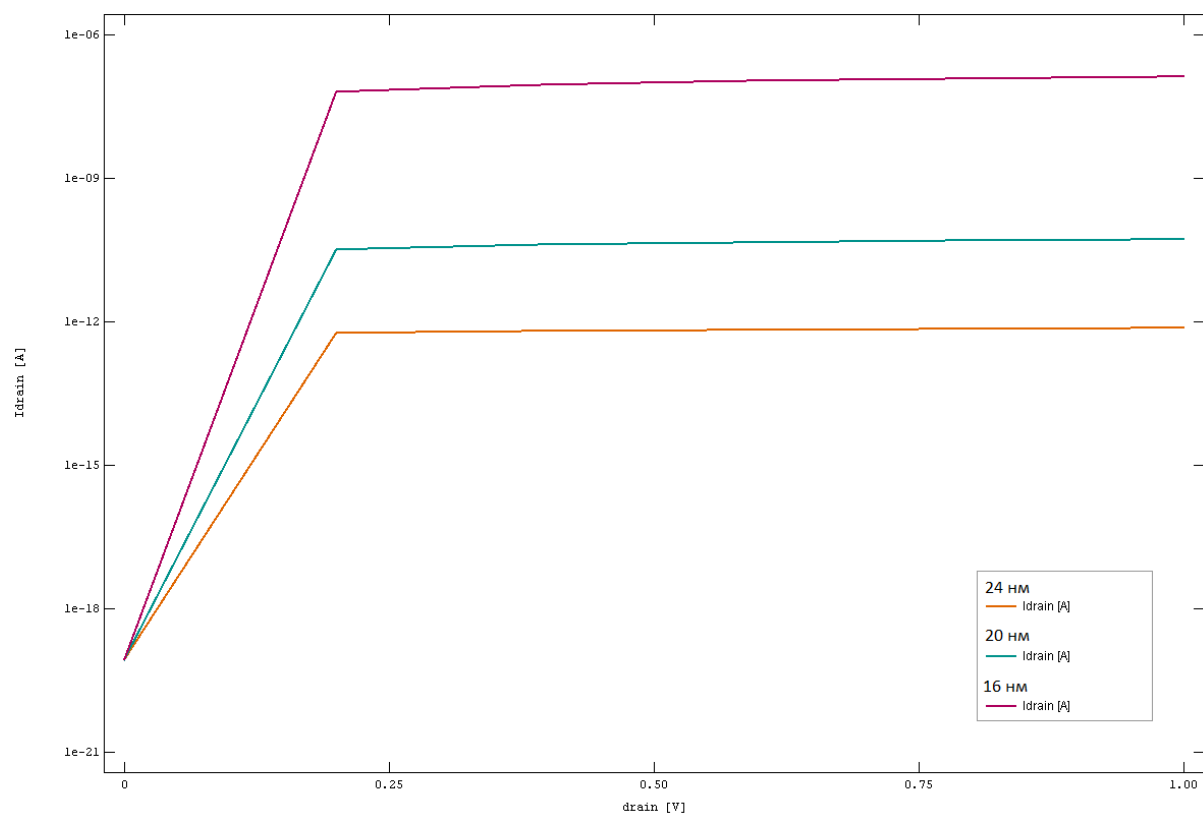


Рис. 3.9а ВАХ для різних значень довжини каналу при $R=6$ nm

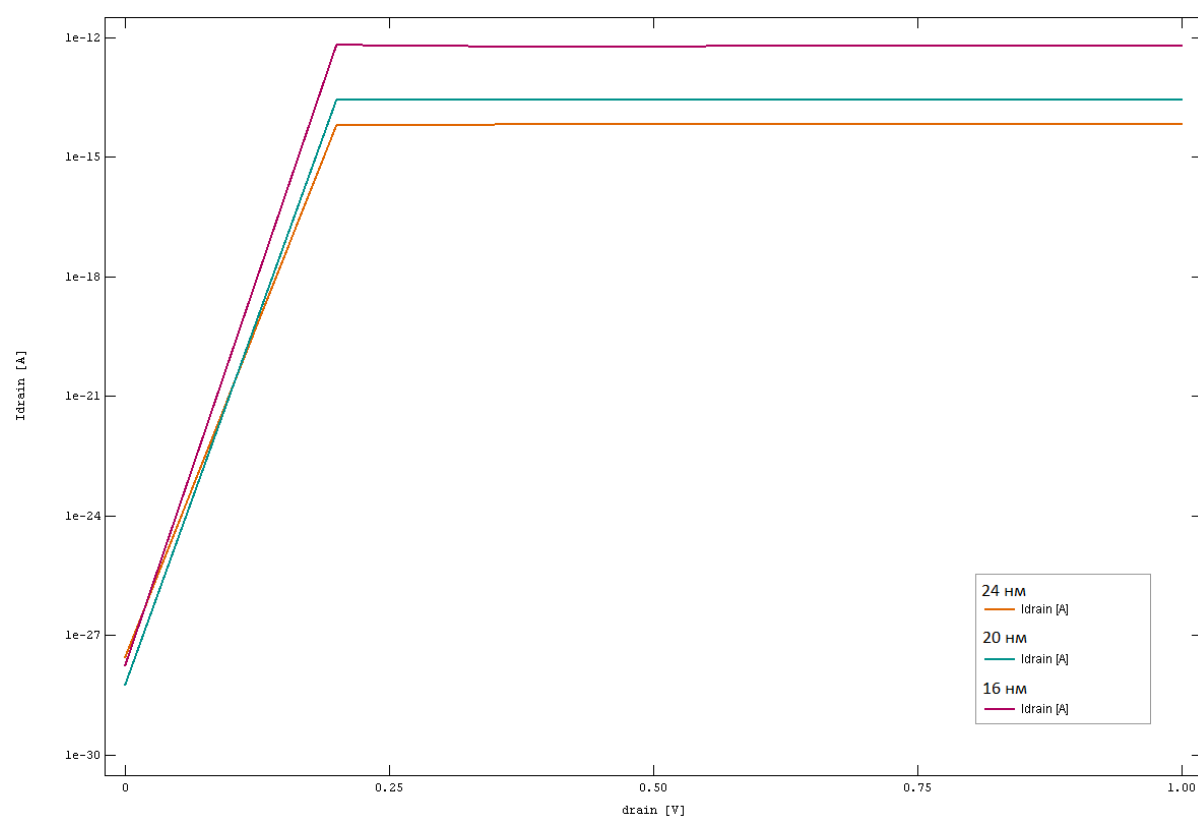


Рис. 3.9б ВАХ для різних значень довжини каналу при $R=3$ nm

З графіків 3.9а, 3.9б можна прослідкувати залежність: за однакових умов для меншої довжини каналу струм на стоці буде вищим, ніж для більших довжин. Також, порівнявши два графіки, можна побачити, що для схем з висотою каналу 6 нм досягалися струми на декілька порядків більші, ніж для схем з висотою 3 нм. Доцільно припустити, що подібна поведінка пов'язана з пропускною здатністю каналу.

Розглянувши лінійну область залежності струму від напруги (0-0.5 В) на затворі (Рис. 3.10), отримуємо подібний до тих, що був раніше, результат: транзистори з меншою довжиною каналу демонструють більші значення струму на стоці.

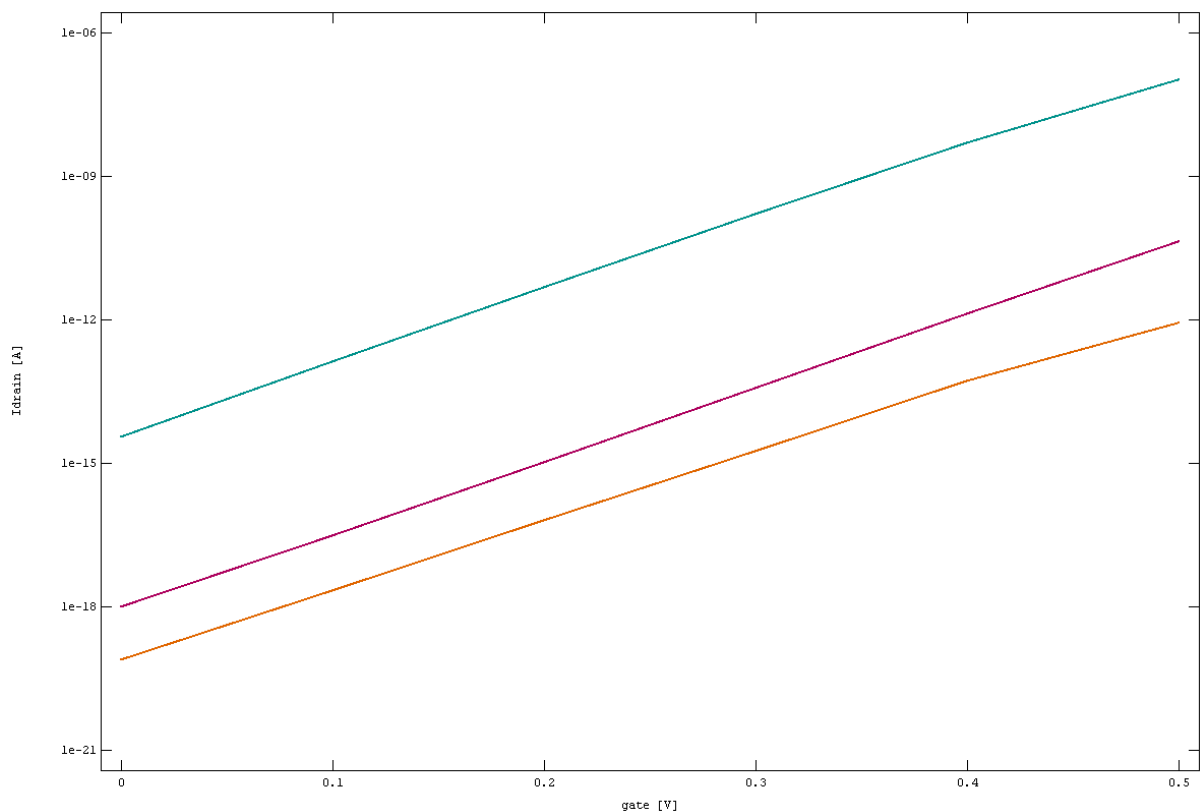


Рис. 3.10 Лінійна область ВАХ в залежності від довжини каналу, знизу догори: 24 нм, 20 нм, 16 нм.

3.3 Дослідження теплових характеристик

Для вивчення теплових характеристик наявних схем транзисторів досліджувалися розподіли потужності теплогенерації та температури для різних значень напруги на затворі.

На Рис. 3.11.а-г зображені плоскі розподіли потужності теплогенерації (для вертикального перерізу вздовж середини каналу) для вказаних довжин каналу та напруг на затворі. Для порівняння використовуються розподіли параметрів для напруги на затворі 0.5 В.

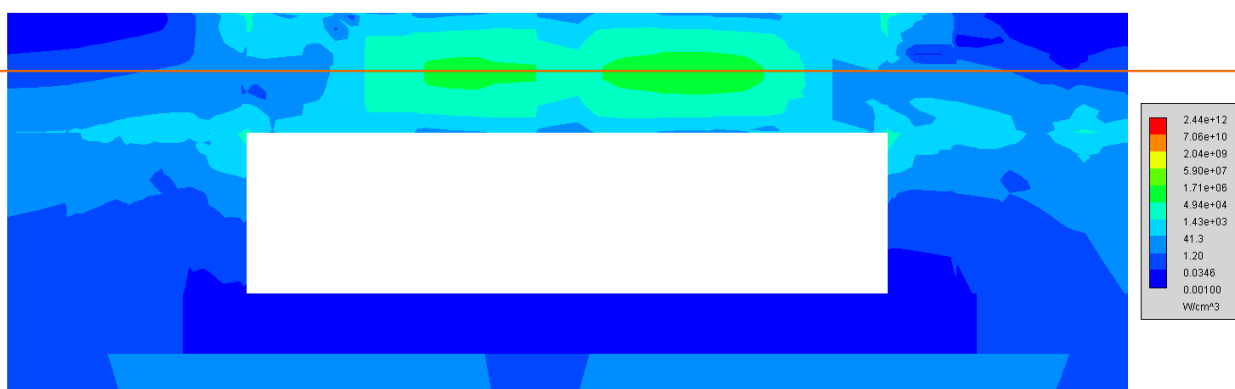


Рис. 3.11а L=16nm, R=6 nm $V_g=0$ В

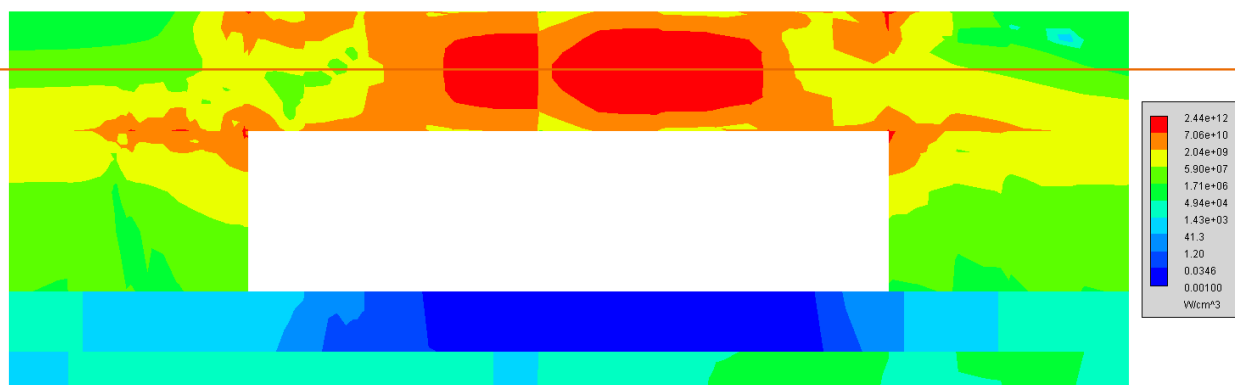


Рис. 3.11б L=16 nm R=6 nm $V_g=0.5$ В

Одразу помітно з Рис. 3.11а-б, що зі збільшенням напруги на затворі збільшується й потужність теплогенерації, що доволі очевидно, оскільки збільшується величина струму.

Далі доцільно порівняти різні довжини каналів:



Рис. 3.11в L=20 nm R=6 nm $V_g=0.5$ В



Рис. 3.11г L=24 nm R=6 nm $V_g=0.5$ В

Знову ж помічаємо (Рис. 3.11б-3.11г), що зі зменшенням довжини каналу збільшується потужність теплогенерації. Що в принципі відповідає попередньо отриманим результатам, які показували більші струми для коротших каналів. З графіків видно, що максимальне теплове навантаження завжди доводиться на область каналу, оточену затвором.

Нарешті порівняємо схеми з однаковими довжинами каналу, але різними висотами з Рис. 3.11б і 3.11г. З графіків видно, що теплогенерація на декілька порядків нижча у схеми з меншою висотою каналу, що відповідає отриманому результату з моделювання електричних характеристик. Також варто відмітити, що для транзистора з меншою висотою каналу максимальне теплове навантаження займає більшу частину каналу і більш явно витягнуте в сторону стоку (куди прикладена напруга).

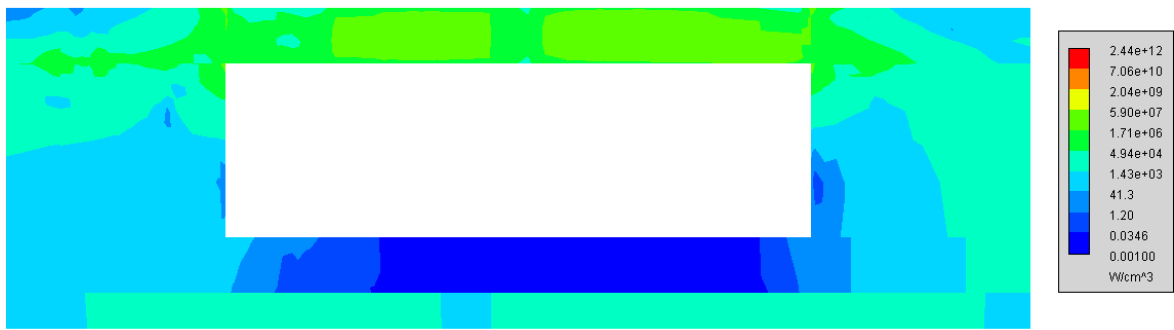


Рис. 3.11г L=16 nm R=3 nm $V_g=0.5$ В

Нарешті, на Рис. 3.12 зображений типовий розподіл температури для наявних схем транзисторів. З графіка підтверджуємо факт витягнутості області нагріву в сторону стоку. Також можна побачити, що більше прогрівається вся частина транзистору зі сторони стоку. Таким чином, у пристрої утворюється дизбаланс температур.

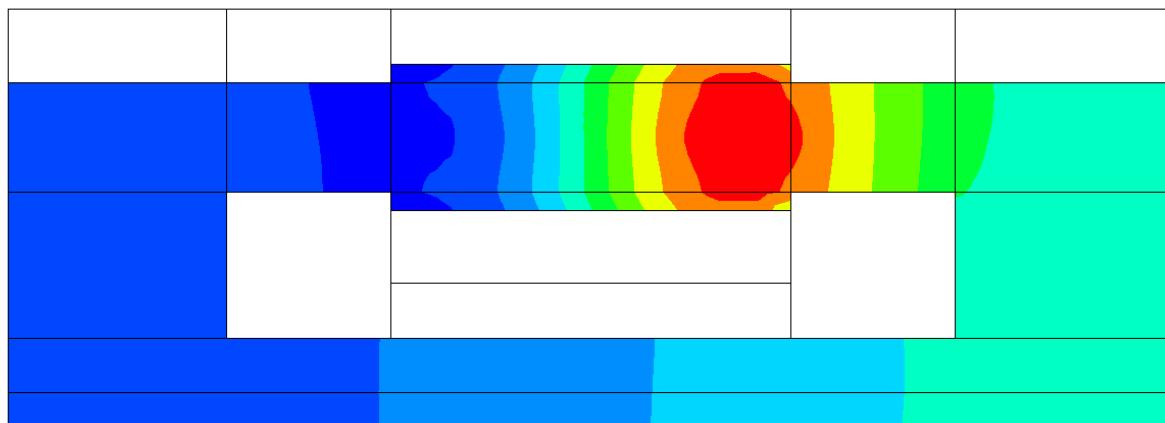


Рис. 3.12 Типовий розподіл температурного навантаження

3.4. Висновки до розділу 3

1. Проведено моделювання електричних та теплових характеристик InGaAs Nanowire-FET транзистору.
2. Встановлено вплив зміни параметрів каналу на електричні та теплові характеристики.
3. Виявлено збільшення значень струму зі зменшенням довжини каналу, і навпаки збільшення зі зменшенням висоти каналу. В той же час це призводить до відповідного збільшення теплогенерації.

ВИСНОВКИ

1. Проведено чисельне моделювання структури, електричних та теплових характеристик InGaAs Nanowire-FET за допомогою програмного пакету GTS Framework.
2. Досліджено вплив зміни геометрії транзистору, а саме довжини та висоти каналу електричні та теплові характеристики транзистору. Показано, що зменшення довжини каналу транзистору призводить до збільшення вихідного струму, і також збільшення теплогенерації пристроєм.
3. Виявлено зменшення вихідного струму і теплогенерації при зменшенні висоти каналу.
4. При зменшенні довжини каналу на 24% для ширини каналу 6 нм, значення струму насичення зростає в 100 раз, на 33% — в 10^5 раз.
5. Встановлено падіння теплогенерації в 10^5 раз при зменшенні висоти каналу в 2 рази, але і падіння значення вихідного струму такого ж порядку.

ПЕРЕЛІК ПОСИЛАНЬ

1. Lee, J.H. (2016). Bulk FinFETs: design at 14 nm node and key characteristics. In: Nano Devices and Circuit Techniques for Low-Energy Applications and Energy Harvesting, 33–64. Netherlands: Springer.
2. www.intel.in
3. Yeo, Y.C., King, T.J., and Hu, C. (2003). MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations. IEEE Transactions on Electron Devices 50 (4): 1027–1035.
4. www.techinsights.com
5. Ferain, I., Colinge, C.A., and Colinge, J.P. (2011). Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors. Nature 479 (7373): 310–316.
6. Doris, B., Cheng, K., Khakifirooz, A. et al. (2013). Device design considerations for next generation CMOS technology: Planar FDSOI and FinFET. In: 2013 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA), pp. 1–2. IEEE.
7. Dennard, R.H., Gaensslen, F.H., Rideout, V.L. et al. (1974). Design of ion-implanted MOSFET's with very small physical dimensions. IEEE J. Solid-State Circuits 9 (5): 256–268.
8. Wilk, G.D., Wallace, R.M., and Anthony, J.M. (2001). High- κ gate dielectrics: current status and materials properties considerations. J. Appl. Phys. 89 (10): 5243–5275.
9. Ko, H., Takei, K., Kapadia, R. et al. (2010). Ultrathin compound semiconductor on insulator layers for high-performance nanoscale transistors. Nature 468 (7321): 286–289.
10. Colinge, J.-P. and Greer, J.C. (2016). Nanowire Transistors: Physics of Devices and Materials in One Dimension. Cambridge University Press.

11. Colinge, J.P. (2007). FinFETs and Other Multi-Gate Transistors. Nature Publishing Group.
12. Natarajan, S., Agostinelli, M., Akbar, S. et al. (2014). In: A 14nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size. 2014 IEEE International Electron Devices Meeting, 15–17 December 2014, pp. 3.7.1–3.7.3.
13. Chuang, S., Gao, Q., Kapadia, R. et al. (2013). Ballistic InAs nanowire transistors. Nano Lett. 13 (2): 555–558.
14. Xiang, J., Lu, W., Hu, Y. et al. (2006). Ge/Si nanowire heterostructures as high-performance field-effect transistors. Nature 441 (7092): 489–493.
15. Goldberger, J., Hochbaum, A.I., Fan, R., and Yang, P. (2006). Silicon vertically integrated nanowire field effect transistors. Nano Lett. 6 (5): 973–977.
16. Schmidt, V., Riel, H., Senz, S. et al. (2006). Realization of a silicon nanowire vertical surround-gate field-effect transistor. Small 2 (1): 85–88.
17. Colinge, J.-P., Lee, C.-W., Afzalian, A. et al. (2010). Nanowire transistors without junctions. Nat. Nano. 5 (3): 225–229.
18. Duan, X., Huang, Y., Cui, Y. et al. (2001). Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices. Nature 409 (6816): 66–69.
19. Bryllert, T., Wernersson, L.-E., Löwgren, T., and Lars, S. (2006). Vertical wrap-gated nanowire transistors. Nanotechnology 17 (11): S227.
20. Colinge, J.-P., Lee, C.-W., Afzalian, A. et al. (2010). Nanowire transistors without junctions. Nat. Nano. 5 (3): 225–229.
21. Hussain M. M., Advanced Nanoelectronics: Post-Silicon Materials and Devices (2019), John Wiley & Sons, 288 p.
22. Egard, M., Johansson, S., Johansson, A.C. et al. (2010). Vertical InAs nanowire wrap gate transistors with $f_t > 7\text{GHz}$ and $f_{\text{max}} > 20\text{GHz}$. Nano Lett. 10 (3): 809–812.

23. Wang, C., Chien, J.-C., Fang, H. et al. (2012). Self-aligned, extremely high frequency III–V metal-oxide-semiconductor field-effect transistors on rigid and flexible substrates. *Nano Lett.* 12 (8): 4140–4145.
24. Stratton R., *Phys. Rev.*, 126(6):2002-14, 1962
25. Blotekjaer K., *Ericsson Technics*, 22(2):125-183, 1966
26. Bringer A., Schon G., *J. Appl. Phys.*, 64(5):2447-55, 1988
27. Azoff E. M., *Solid-State Electronics*, 30(9):913-917, 1987
28. Rudan M., Odeh F., *COMPEL*, 5(3):149-183, 1986
29. Forghieri A., Guerrieri R., Ciampolini P. , Gnudi A., Rudan R., Baccarani G. , *IEEE Trans. on CAD*, 7(2):231-242, 1988
30. Cook R. K., Frey J., *Compel*, 1(2):65-87, 1982
31. Fukuma M., Uebbing R. H., In *IEDM Technical Digest* 184, pp. 621-624, 1984
32. Schenk A., *Solid-State Electronics*, 36(1):19-34, 1993
33. Selberherr S., Schutz A., Potzel H. W., ‘MINIMOS - a two-dimensional MOS transistor analyzer, *IEEE*, ED-27, pp. 1540-1550 (1980)
34. Perkins S., Antoniou M., *Disrupted Wide Bandgap Semiconductors, Related Technologies and their Applications*, 2018
35. Global TCAD Solutions, “Minimos-NT,” www.globaltcad.com/minimos-nt.
36. “Vienna Schrodinger-Poisson,” www.globaltcad.com/vsp