

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
ІМЕНІ ІГОРЯ СІКОРСЬКОГО»
КАФЕДРА ФІЗИКИ ЕНЕРГЕТИЧНИХ СИСТЕМ**

На правах рукопису

УДК 621.382.323, 539.21

«До захисту допущено»

Завідувач кафедри

(підпис) А. А. Халатов
(ініціали, прізвище)

“ ____ ” _____ 20__ р.

Магістерська дисертація

на здобуття ступеня магістра

зі спеціальності 105 Прикладна фізика та наноматеріали
(код і назва)

на тему: Вплив параметрів кремнієвого транзистора типу FinFET на його теплові характеристики

Виконала: студентка VI курсу, групи ФФ-72мн
Щербина Ольга Вікторівна

(підпис)

Керівник: ст. викл. каф. фізики енергетичних систем НТУУ «КПІ імені Ігоря Сікорського»; к.ф.-м.н.

Гільчук А.В.

(підпис)

Рецензент:

(підпис)

Засвідчую, що у цій дипломній роботі немає заповнень з праць інших авторів без відповідних посилань.

Студент _____
(підпис)

**Національний технічний університет України
«Київський політехнічний інститут
імені Ігоря Сікорського»**

Інститут (факультет) Фізико-технічний інститут
(повна назва)

Кафедра Фізики енергетичних систем
(повна назва)

Рівень вищої освіти – другий (магістерський)

Спеціальність. 105 Прикладна фізика та наноматеріали
(код і назва)

ЗАТВЕРДЖУЮ
Завідувач кафедри

(підпис) Халатов А.А.
(ініціали, прізвище)
«__» _____ 20__ р.

ЗАВДАННЯ
на магістерську дисертацію студенту
Щербини Ольги Вікторівни
(прізвище, ім'я, по батькові)

1. Тема дисертації «Вплив параметрів кремнієвого транзистора типу FinFET на його теплові характеристики»,

науковий керівник дисертації Гільчук А.В., к.ф.-м.н.,
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом по університету від «__» _____ 20__ р. № _____

2. Термін подання студентом роботи _____

3. Об'єкт дослідження Кремнієвий транзистор типу FinFET з розмірами 32 нм

4. Предмет дослідження Фактори, які впливають на процес самонагріву тривимірних транзисторів типу FinFET.

5. Перелік завдань, які потрібно розробити Опрацювати літературні джерела стосовно теплових проблем та задач масштабування транзисторів типу FinFET; оволодіти методами розрахунку розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у FinFET; дослідити особливості процесів самонагріву та переносу заряду у тривимірних транзисторах типу FinFET.

6. Орієнтовний перелік ілюстративного матеріалу презентація

7. Орієнтовний перелік публікацій: 1. Комп'ютерне моделювання впливу розмірів каналу на теплові процеси у FinFET

8. Дата видачі завдання _____

Календарний план

№ з/п	Назва етапів виконання магістерської дисертації	Термін виконання етапів магістерської дисертації	Примітка
1	Опрацювання літератури за темою дослідження	09.17-11.17	
2	Написання 1 розділу дипломної роботи «Огляд літератури»	11.17-04.18	
3	Ознайомлення з програмним забезпеченням для комп'ютерного моделювання FinFET	05.18	
4	Ознайомлення з методикою отримання розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у транзисторах за допомогою програмного пакету GTS Framework	09.18	
5	Побудова структурної моделі FinFET	10.18	
6	Розрахунок розподілу потенціалу та вольт-амперних характеристик FinFET	11.18	
7	Дослідження процесу теплогенерації та побудова розподілу температури всередині пристрою	12.18	
8	Дослідження впливу геометрії та нанорозмірних ефектів у каналі FinFET на самонагрів транзистору	01.19-02.19	
9	Підготовка матеріалів конференції	03.19-04.19	
10	Виступ на конференції	04.19	
10	Написання 2, 3 розділів дипломної роботи	04.19-05.19	
12	Захист дипломної роботи	21.05.17	

Студент _____
(підпис)

Науковий керівник дисертації _____
(підпис)

Щербина О.В. _____
(ініціали, прізвище)

Гільчук А.В. _____
(ініціали, прізвище)

РЕФЕРАТ

Пояснювальна записка дисертації за обсягом становить 73 сторінки, містить 31 рисунок та 4 таблиці. Використано 35 бібліографічних джерел.

Актуальність теми. Одночасно зі зменшенням розмірів елементів інтегральних мікросхем вирішення теплових проблем пристроїв, що входять до їх складу набуває все більшої актуальності. Інтегральні схеми, що використовуються у військовій, автомобільній та атомній промисловості потребують високих робочих температур. Дослідження впливу різних факторів на самонагрів FinFET пристроїв є перспективним. Проте наразі чисельних досліджень процесів самонагріву в тривимірних транзисторах типу FinFET недостатньо.

Зв'язок роботи з науковими програмами, планами, темами. Науково-дослідна робота за темою дисертації проводилася за власною ініціативою на кафедрі ФЕС НТУУ «КПІ імені Ігоря Сікорського».

Мета дисертаційної роботи полягає в дослідженні впливу масштабування кремнієвого транзистору типу FinFET на потужність, що виділяється та зростання температури всередині пристрою.

Досягнення мети передбачає вирішення таких задач:

- Побудова структурної моделі FinFET;
- Розрахунок розподілу потенціалу та вольт-амперних характеристик;
- Дослідження процесу теплогенерації;
- Побудова розподілу температури всередині пристрою;
- Дослідження впливу геометрії на самонагрів транзистору;
- Аналіз впливу нанорозмірних ефектів у каналі FinFET на процес самонагріву.

Об'єктом дослідження є кремнієвий транзистор типу FinFET з розмірами 32 нм.

Предметом дослідження є фактори, які впливають на процес самонагріву тривимірних транзисторів типу FinFET.

Методи дослідження. Комп'ютерне моделювання структури FinFET. Побудова розподілу потенціалу шляхом чисельного розв'язання рівняння Пуассона. Одержання вольт-амперних характеристик згідно з моделлю дрейфу та дифузії. Чисельне моделювання процесу самонагріву FinFET.

Були отримані наступні результати:

1. Проведено чисельне моделювання структури та процесів самонагріву FinFET транзистору за допомогою програмного пакету GTS Framework.
2. Досліджено впливу зміни геометрії на самонагрів FinFET. Показано, що зміна геометричних розмірів транзистору призводить до зменшення потужності, що виділяє пристрій.
3. Виявлено, що при зменшенні геометричних розмірів транзистору щільність теплового потоку, що відводиться, зростає.
4. Продемонстровано, що зменшення висоти каналу призводить до зменшення максимальної температури пристрою, а зменшення ширини – до зростання.
5. Проведено аналіз впливу наномасштабних ефектів на самонагрів FinFET. При урахуванні зменшення теплопровідності каналу максимальна температура зростає.
6. Встановлено, що зменшення теплопровідності каналу внаслідок наномасштабних ефектів призводить до зниження потужності, що виділяється пристроєм.

Наукова новизна дисертації полягає у визначенні впливу факторів геометрії та теплопровідності нанорозмірного кремнію на самонагрів FinFET.

Практичне значення отриманих результатів. Встановлено, що зменшення геометричних розмірів каналу дозволяє знизити потужність, що виділяє транзистор, проте внаслідок того, що площа зменшується швидше, щільність теплового потоку зростає, а відповідно зростає температура всередині пристрою. Отримані дані можуть бути використані для оцінки надійності FinFET даної конфігурації, встановлення потреби у покращенні конструкції та

забезпечення належного тепловідведення для тривалої стабільної роботи пристрою.

Публікації.

Щербина О. В. Фактори, які впливають на процес самонагріву тривимірних транзисторів типу FinFET / О. В. Щербина, А. В. Гільчук. // XVII Всеукраїнська науково-практична конференція студентів, аспірантів та молодих вчених. – 2019. – С. 113–116.

Luminescent Properties of Spark Eroded ZnO Nanopowder / [A. V. Gilchuk, O. V. Shcherbyna, Y. M. Romanenko та ін.]. // 2018 IEEE 38th International Conference on Electronics and Nanotechnology (ELNANO). – 2018. – С. 164–167.

Nanocomposites and nanomaterials Obtaining of Cu/Cu₂O core-shell nanoparticles by spark erosion method / O. V. Shcherbyna, A. V. Gilchuk, D. D. Orgunova, Yu. M. Romanenko, A. O. Perekos, Yu. Yu. Bacherikov // Nanocomposites and Nanomaterials, abs.book, – 2017. – Chernivtsy. – P. 279.

Ключові слова: *FinFET, модель дрейфу та дифузії, самонагрів MOSFET, надійність, рівняння Больцмана, закон Мура.*

SUMMARY

The thesis explanatory note contains 73 pages 4 tables and 31 figures with 35 names of bibliographic sources.

The objective of this work is influence of FinFET-type silicon transistor parameters on its thermal characteristics.

The purpose of this work is to investigate the influence of scaling of FinFET-type silicon transistor at power dissipation and temperature growth.

The challenges are: to design FinFET structure; to calculate distribution of potential and transfer characteristics; to study heat generation; to calculate temperature distribution inside device; to investigate influence of geometry on self-heating of FinFET; to analyze influence of nanoscale effects in FinFET channel on its self-heating.

The object of study is a silicon 32 nm FinFET device.

The subject is an influence of different factors on self-heating of the FinFET type 3D transistor.

Investigation methods. FinFET computer design. Numerical solution of Poisson equation. Obtaining of transfer characteristics according to drift-diffusion model. Numerical simulation of FinFET self-heating.

Next results were received:

1. Numerical modelling of FinFET structure and process of self-heating using GTS Framework was conducted.
2. Influence of changes in device geometry at FinFET self-heating was investigated. Decreasing of device power dissipation due to geometry changes was demonstrated.
3. Increasing of heat flux density due to decreasing of device size was determined.
4. Influence of decreasing of device size on max temperature was studied.
5. Impact of nanoscale effects at FinFET self-heating was analyzed. Decreasing of channel heat conductivity leads to increasing of device max temperature.

6. Effect of channel heat conductivity decreasing on dissipated power was determined.

Scientific novelty follows the definition of influence of geometry factor and heat conduction of nanoscale silicon at FinFET self-heating.

The significance of the results. It was found that channel size decreasing allows reducing device power dissipation, but heat flow density increases due to faster square decreasing and device temperature increases respectively. Obtained results can be used for FinFET design reliability rating, figuring out the structure improvement requirement and ensuring proper heat removal for long-term steady device performance.

Publications.

Shcherbyna O. V. Factors that influence at self-heating of the FinFET-type 3D transistors / O. V. Shcherbyna, A. V. Gilchuk. // XVII All-Ukrainian scientific and practical conference of students, postgraduates and young scientists. – 2019. – P. 113–116.

Luminescent Properties of Spark Eroded ZnO Nanopowder / [A. V. Gilchuk, O. V. Shcherbyna, Y. M. Romanenko та ін.]. // 2018 IEEE 38th International Conference on Electronics and Nanotechnology (ELNANO). – 2018. – C. 164–167.

Nanocomposites and nanomaterials Obtaining of Cu/Cu₂O core-shell nanoparticles by spark erosion method / O. V. Shcherbyna, A. V. Gilchuk, D. D. Orgunova, Yu. M. Romanenko, A. O. Perekos, Yu. Yu. Bacherikov // Nanocomposites and Nanomaterials, abs.book, – 2017. – Chernivtsy. – P. 279.

Key words: *FinFET, drift-diffusion model, MOSFET self-heating, reliability, Boltzmann equation, Moore's law.*

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, ОДИНИЦЬ, СКОРОЧЕНЬ І	
ТЕРМІНІВ	11
ВСТУП.....	12
РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ	14
1.1. Кремній на ізоляторі (SOI) або гетероструктура на ізоляторі (HOI)	17
1.2. High-k технологія.....	17
1.3. Мультизатворні (DG, triple-gate) та затвор-навколо-каналу (GAA) MOSFET.	18
1.4. FinFET	21
1.4.1. Проблеми виробництва.....	23
1.5. MOSFET з деформованого кремнію	24
1.6. Проблеми масштабування MOSFET	25
1.6.1. Теплопровідність нанорозмірного кремнію. Рівняння Больцмана	29
1.7. Постановка мети та задач дисертації.....	31
1.8. Висновки до розділу 1	32
РОЗДІЛ 2 МАТЕРІАЛИ І МЕТОДИ ДОСЛІДЖЕННЯ.....	33
2.1. Моделювання структури FinFET	33
2.2. Числове моделювання процесів у FinFET	36
2.2.1. Режим single-mode.....	37
2.2.2. Граничні умови.....	39
2.3. Висновки до розділу 2	44

РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	45
3.1. Моделювання самонагріву FinFET	45
3.2. Вплив геометричного фактору на самонагрів FinFET	49
3.3. Врахування зменшення теплопровідності каналу транзистору за рахунок нанорозмірних ефектів.....	61
3.4. Висновки до розділу 3	69
ВИСНОВКИ.....	70
ПЕРЕЛІК ПОСИЛАНЬ	71

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ, СИМВОЛІВ, ОДИНИЦЬ, СКОРОЧЕНЬ І ТЕРМІНІВ

Латинські позначення:

f	—	функція розподілу фононів
I_{DS}	—	струм вздовж каналу
J	—	густина струму
v	—	середня швидкість фононів
V_T	—	порогова напруга

Грецькі позначення:

ϵ_0	—	діелектрична проникність вакууму
ϕ_m	—	контактна напруга

Кириличні скорочення:

ВАХ	—	вольт-амперна характеристика
МОП	—	метал-оксид-напівпровідник транзистор

Латинські скорочення:

GAA	—	gate-all-around
MOSFET	—	metal-oxide-semiconductor field-effect transistor
SG	—	shorted-gate
SOI	—	silicon-on-insulator

ВСТУП

Відповідно до закону Мура кожні два роки кількість транзисторів на кристалі має подвоюватись. Тому одночасно зі зменшенням розмірів елементів інтегральних мікросхем вирішення теплових проблем пристроїв, що входять до їх складу набуває все більшої актуальності. Інтегральні схеми, що використовуються у військовій, автомобільній та атомній промисловості потребують високих робочих температур. І саме тому чудові електричні властивості кремнію зробили його важливим напівпровідниковим матеріалом[1].

Кремнієві MOSFET пристрої, які відіграють критичну роль у інтегральних схемах, мають такі основні проблеми як:

1. Порогова напруга. Масштабування каналу MOSFET зазвичай потребує зменшення відповідно також керуючої напруги для збереження електричного поля та потужності, у межах, які потребуються для роботи пристрою.
2. Сильні електричні поля. Рухливість зарядів зменшується за рахунок поперечних електричних полів у каналі транзистору, що у найгіршому випадку може спричинити пробій бар'єру та як наслідок підвищений струм протікання, який може нашкодити пристрою.
3. Тунелювання через оксид у затворі. Тонка плівка оксиду за умов квантовомеханічного тунелювання призводить до експоненційного зросту струму протікання.
4. Паразитні опори та ємності.
5. Вплив «гарячих» носіїв заряду.

Зменшення розмірів пристрою призводить до підвищеного нагріву та збільшення опору елемента, а також посилює вплив короткоканальних ефектів. FinFET на даний момент видається гідною альтернативою планарним MOSFET пристроям та найбільш оптимальною конструкцією для створення транзисторів розмірами менше 32 нм.

Такий пристрій має малу споживану потужність, малу площу, значну швидкодію та імунітет до короткоканальних ефектів. Ширина каналу визначається висотою фіну (тривимірний канал польового транзистору), таким чином, потік заряду може бути краще контрольований шляхом збільшення кількості плавників. Зокрема у мультізатворних транзисторах покращується екранування потенціалу стоку від каналу завдяки наявності додаткових затворів [2-4]. Важливою задачею проектування FinFET є зменшення паразитних ємностей та покращення надійності роботи пристрою.

РОЗДІЛ 1

ОГЛЯД ЛІТЕРАТУРИ

Метал-оксид-напівпровідник транзистор (MOSFET) це найбільш загальний тип транзисторів. Він може бути використаний для перемикання та посилення сигналу у аналогових та цифрових електронних пристроях. Останнім часом MOSFET-структура є найважливішим компонентом у просунутих інтегральних схемах завдяки своїм унікальним властивостям, низькому енергоспоживанню та економічності виробництва [5].

Зазвичай MOSFET складається з метал-оксид-напівпровідник (МОП) конденсатора та двох р-п переходів розташованих суміжно з конденсатором, як показано на рис. 1.1 [6].

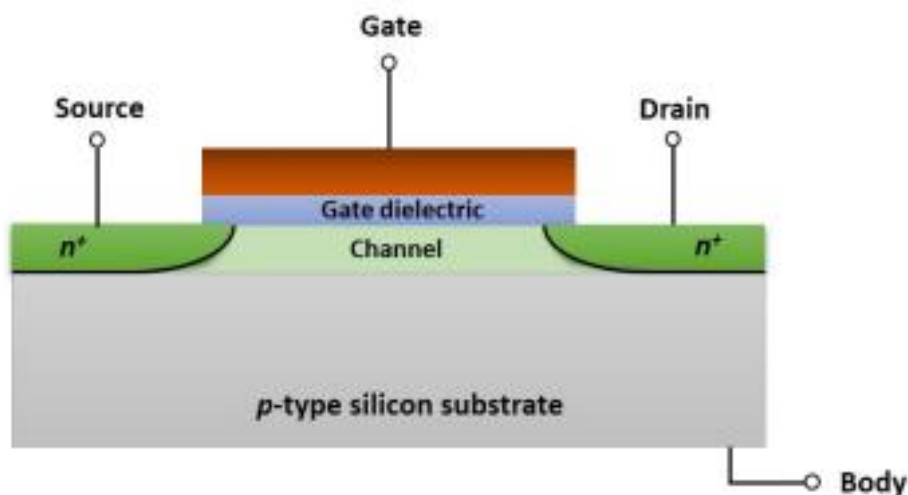


Рис. 1.1. Схематичне зображення планарного МОП-транзистору n-типу з високолегованими областями стоку та витоку [6]

Транзистор включає в себе 3 контакти – сток, виток та затвор. Активна область називається каналом, вздовж якого протікає заряд (електрони або дірки) від витоку до стоку. MOSFET працює за рахунок зміни ширини каналу, яка контролюється затвором, відділеним від каналу дуже тонким шаром оксиду. Крім того, цей шар забезпечує ізоляцію попереджуючи протікання струму через канал [7].

Режими роботи – збіднення, збагачення та інверсії – описують стан зарядів у каналі за різних умов зсуву. У режимі збагачення мажоритарні носії заряду – електрони у n-транзисторах та дірки у p-транзисторах індукуються на поверхні контакту напівпровідника та оксиду. У режимі збіднення мажоритарні носії вичерпуються (їх кількість значно знижується). За умови подачі на затвор зсуву більшого за значення певної порогової напруги V_T , генеруються міноритарні носії, утворюючи інверсний шар на межі оксиду та напівпровідника. Коли кількість міноритарних носіїв починає перевищувати кількість мажоритарних, досягається режим інверсії [7].

Струм вздовж каналу I_{DS} контролюється стоком та витком, розташованими з різних кінців каналу. Величина заряду у каналі залежить від значення енергетичного бар'єру між каналом та контактами сток/виток. Для транзисторів n типу струм близький до нуля якщо напруга на затворі є нижчою за порогову, як показано на рисунку 1.2а. Доки напруга перевищує порогову, електрони протікають від витоку до стоку, як показано на рисунку 1.2b [8].

Низький струм протікання забезпечує досягнення високої енергоефективності приладу у цифрових пристроях. Питома ємність затвор-оксид на одиницю площі визначається як:

$$C_{ox} = \frac{\epsilon_0 \epsilon_r}{d} \quad (1.1)$$

де ε_0 – діелектрична проникність вакууму, ε_r – відносна діелектрична проникність оксид-затвор, а d – товщина ізолятора. Згідно з цим виразом, ємність затвору зростає зі зменшенням товщини оксиду. Тому мала товщина діелектрика може негативно вплинути на характеристики транзистору.

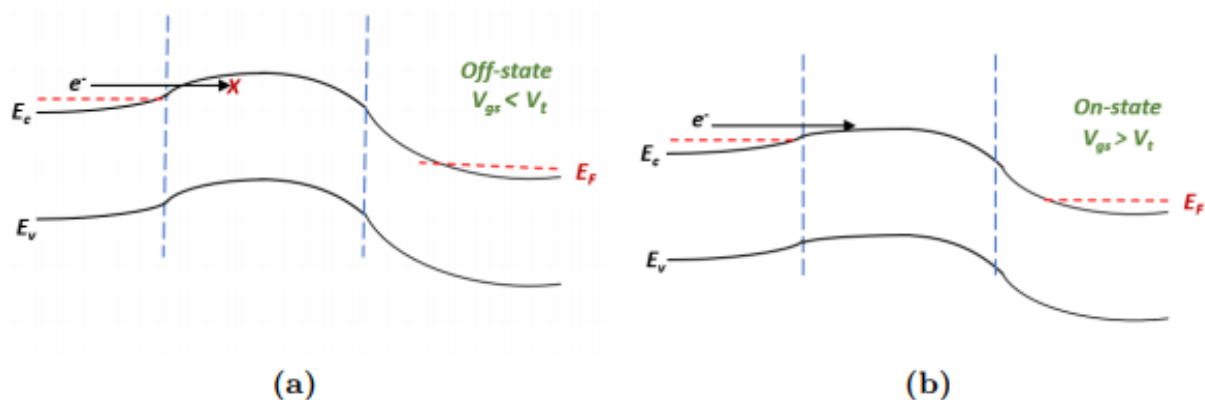


Рис. 1.2. Стани MOSFET транзистору. а – вимкнений, термоелектронна емісія блокується потенціальним бар'єром ($V_{GS} < V_T$). б – увімкнений, напруга вища за порогову, електрони протікають вздовж каналу [6].

Зростає струм протікання, який пов'язаний з квантово-механічним тунелюванням крізь тонкий шар [9]. Таким чином, покращити характеристики транзистору можна, наприклад, замінюючи SiO_2 на діелектрики з високим k – HfO_2 або Al_2O_3 . Ці матеріали дозволяють зменшити вплив тунелювання та струм протікання завдяки тому, що товщина оксиду залишається сталою або відносно тонкою ($\sim \text{нм}$) [6].

Сучасний стан технології MOSFET був досягнутий завдяки еволюції технологій, описаних у наступних підрозділах.

1.1. Кремній на ізоляторі (SOI) або гетероструктура на ізоляторі (HOI)

Технологія, перевага якої полягає у об'ємі оксиду, поміщеного під активним шаром кремнію (рис. 1.3). Така ізоляція дозволяє зменшити паразитну ємність, що значно покращує швидкість перемикавання та знижує енергоспоживання приладу [10].

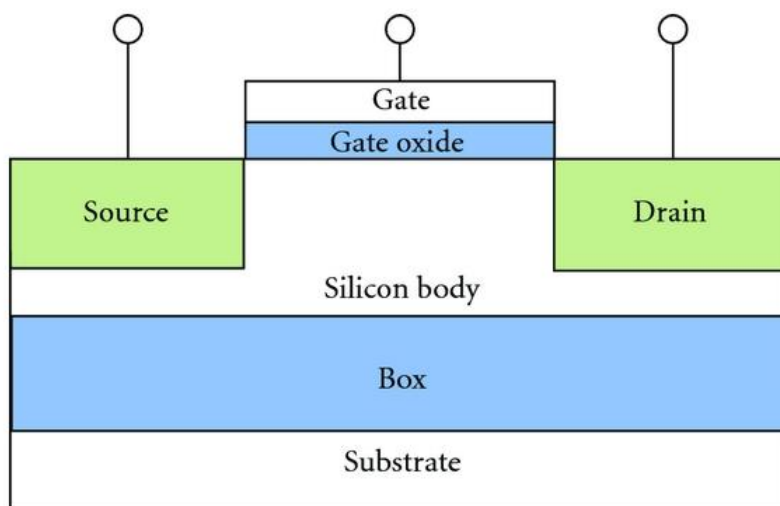


Рис. 1.3. SOI MOSFET [11]

1.2. High-k технологія

Відносна діелектрична проникність це важлива властивість, що визначає можливість матеріалу бути поляризованим у зовнішньому електричному полі. Ємність, властивість матеріалу утримувати заряд, залежить від проникності матеріалу, як вже було зазначено вище у формулі (1.1).

Існує два типи діелектриків, залежно від їх проникності. Діелектрики з низькою проникністю, low-k – це матеріали з незначною схильністю до поляризації [12]. Такі матеріали є гарними ізоляторами. Другий тип – high-k, зі значною проникністю, мають гарну схильність до поляризації та утримування заряду. Для подальших покращень транзисторів, товщина шару оксиду кремнію має зменшуватись, що призводить до

деяких проблем зі струмом протікання. Тому щоб оминати ці проблеми, оксид кремнію замінюють на матеріал з високою діелектричною проникністю. Такі матеріали можуть бути товщими, але в той же час менш проникними для електронів, що означає більшу ємність без пов'язаних з цим ефектів протікання. Основні матеріали, що застосовуються в цій технології – це силікат гафнію, оксид гафнію, силікат цирконію та оксид цирконію [6].

1.3. Мультизатворні (DG, triple-gate) та затвор-навколо-каналу (GAA) MOSFET

Такі пристрої розроблені з метою покращити керування затвору над каналом. Як видно з рисунку 1.4, порівняно з транзистором з одним затвором, у DG, triple-gate та GAA структурах область каналу та оточена контактами затвору у різних напрямках, завдяки чому забезпечується кращий контроль над струмом протікання [11].

Нанорозмірні пристрої, що працюють на квантах чи дискретних електронах є одними з найбільш перспективних для майбутніх поколінь електроніки. Перевага у швидкодії вертикальних MOSFET порівняно з планарними робить їх реальним варіантом для продовження курсу, що задає International Technology Roadmap for Semiconductors [6].

Зменшення розмірів транзисторів примушує дослідників шукати нові технологічні рішення для розробки більш складних тривимірних структур. Ця технологія робить можливим оминати небажані проблеми, пов'язані зі зменшенням розмірів, такі як короткоканальні ефекти та високий струм протікання [13].

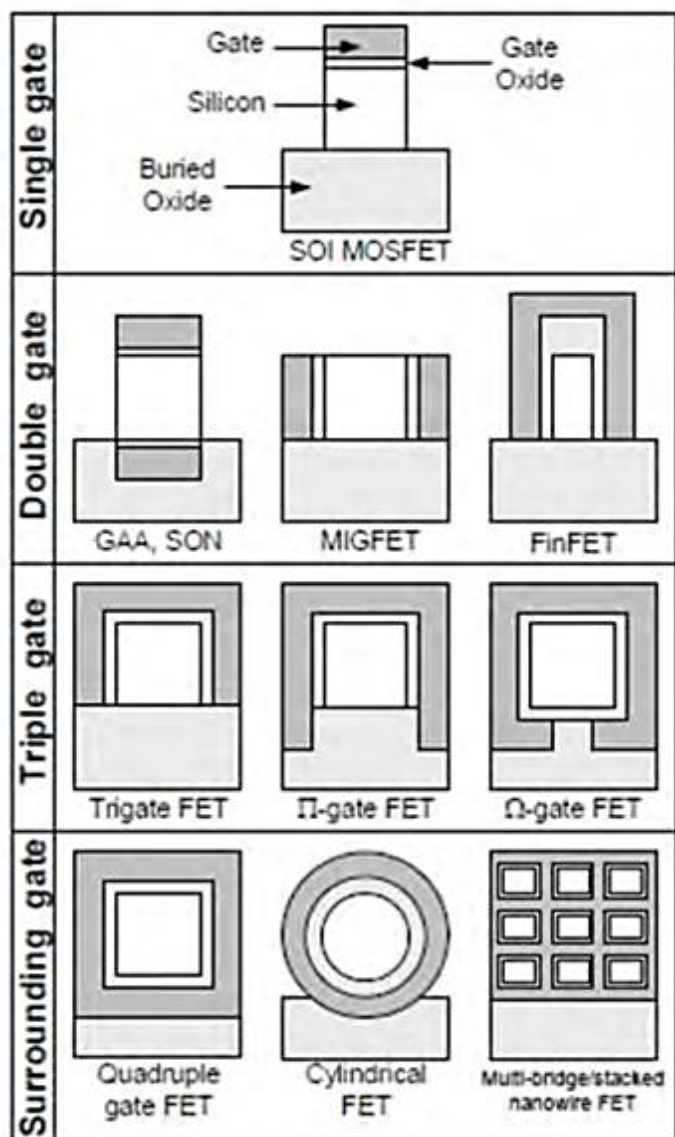


Рис. 1.4. MOSFET з декількома затворами [11]

Циліндрична геометрія нанодротів забезпечує чудовий електростатичний контроль довкола каналу, якраз як у випадку GAA структури. Канал витягується у вертикальному напрямку, а затвор обгортає нанодріт. Це сприяє покращенню контролю над каналом, а відповідно й покращує ефективність пристрою. Більш того, ця технологія дозволяє подальше масштабування довжини затвору, завдяки чудовій електростатиці такої конфігурації [6]. До того ж, вертикальна геометрія забезпечує унікальну можливість для полегшення релаксації між різними кристалічними площинами, що призводить до

чудової можливості створювати поєднання різних матеріалів, так звані гетеропереходи [14]. Додавання в канал матеріалів з високою рухливістю зарядів дозволяє досягти покращену швидкодію та зменшене розсіювання потужності [15]. Крім того, вертикальна геометрія дозволяє виробити пристрій малих розмірів, які не залежатимуть від довжини каналу [16].

Переріз вертикальної MOSFET структури зображено на рисунку 1.5. Структура нанодотового польового транзистору зазвичай складається з масиву нанодотів, розташованих перпендикулярно до підложки. Кількість нанодотів у масиві змінюється від одного до декількох сотен, залежно від бажаної швидкодії транзистору. High- κ оксид застосовується для покращення електростатичного зв'язку з затвором [14].

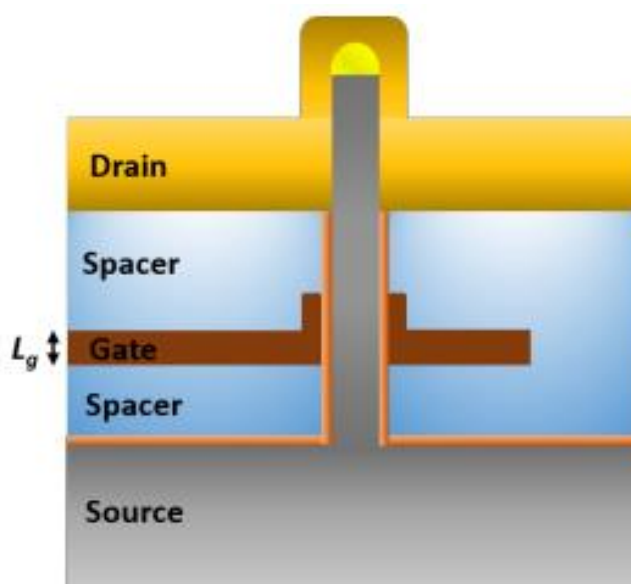


Рис. 1.5. Переріз нанодотового транзистору з затвором довкола дроту.

Матеріал з високим κ вкриває нанодріт (оранжевий колір).

Сток та виток розташовані знизу та зверху відповідно.

Блакитним кольором позначено ізолятор [6]

Ширина затвору у GAA конфігурації визначається як довжина окружності одного нанодроту. Щоб покращити струм збудження, кількість нанодротів у одному масиві може бути змінена, і тому немає потреби у масштабуванні діаметру дроту для збільшення ширини затвору.

Металеві контакти у GAA архітектурі вертикально складені один поверх одного. Контакти розділені між собою діелектриком. Ізолятор має бути механічно і термічно стійким щоб витримати подальшу обробку та покращувати контроль товщини нанесеної плівки [6].

1.4. FinFET

Затвор такого транзистору розташований з 4 сторін або обгортає канал, як показано на рисунку 1.6. Назва походить від того, що канал та сток з витоком утворюють структуру, схожу на плавник (або фін, з англ. Fin - плавник) [11].



Рис. 1.6. Структура FinFET [11]

Такий пристрій має малу споживану потужність, малу площу, значну швидкодію та імунітет до короткоканальних ефектів. Ширина каналу визначається висотою фіну, таким чином, потік заряду може бути краще контрольований шляхом збільшення кількості плавників. На рисунку 1.7 порівняно планарний MOSFET та FinFET [17].

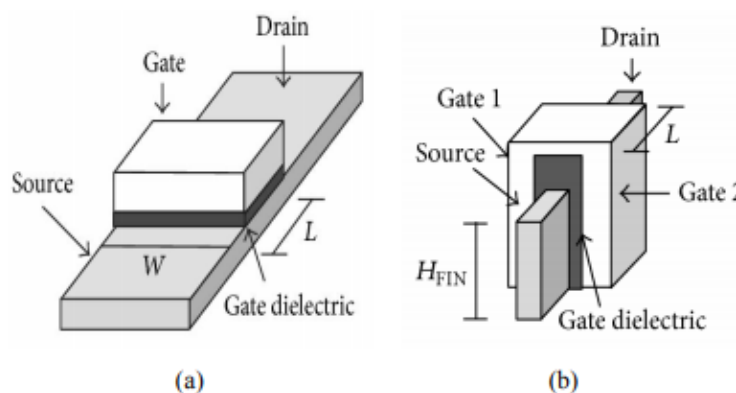


Рис. 1.7. Порівняння планарного MOSFET (a) та FinFET (b) [17]

FinFET поділяють на дві категорії: IG (independent gate, затвори незалежні одне від одного) та SG (short gate, затвори з'єднані між собою) структури. Тобто, IG має 4 контакти, а SG – три (рис. 1.8). В свою чергу, SG поділяються на симетричні та асиметричні [14].

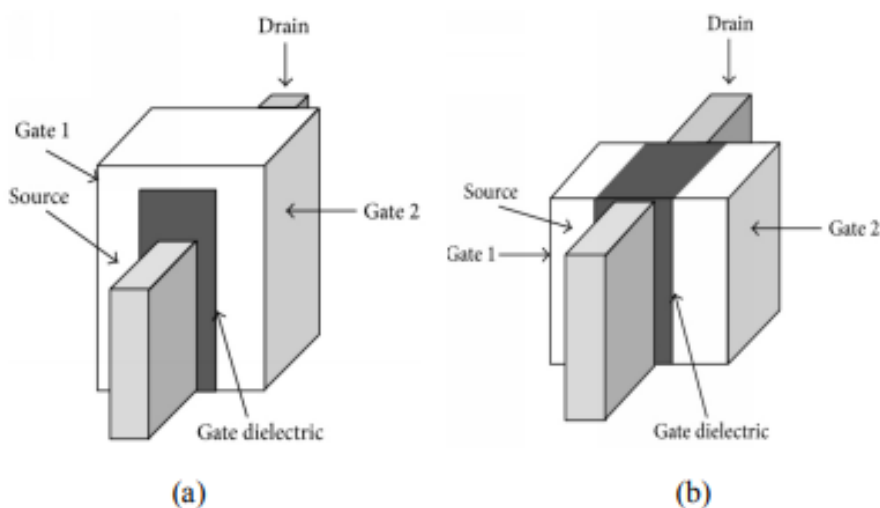


Рис. 1.8. Структури FinFET – SG (a) та IG (b) [17]

Структура з цільним затвором має більший струм увімкнення та краще контролює канал, порівняно зі структурою з ізольованим затвором, але IG структура має більше гнучкість у плані подання сигналу (оскільки на різні затвори можна подати різний сигнал), хоча і за рахунок більшої площі [17].

1.4.1. Проблеми виробництва

Перехід від планарної технології до FinFET викликав чимало задач у виробничому процесі. Нижче перелік основних проблем:

- Форма плавника. Плавник має бути нахиленим приблизно на 8 градусів від вертикалі. Основною причиною цього є міцність структури, тобто, транзистор з меншим співвідношенням ширина-висота є більш міцним. Такий нахил збільшує більший вплив короткоканальних ефектів та ускладнює подальше масштабування [17].

- Паразитні ємності. FinFET структура має більші паразитні ємності, порівняно з планарною структурою. Додатково збільшена область контакту затвору з каналом призводить до збільшення паразитної ємності. Зміна висоти фіну допомагає зменшити ємність приладу збільшуючи зменшуючи нахил фіну [18].

- Концентрація домішок. Канал без домішок є бажаним для такої технології. Однак, для покращення контролю струму протікання незначне легування допускається. У області витоку та стоку потрібна вища концентрація домішок, внаслідок чого зростає опір пристрою, а це небезпечно для геометрії фіну. Щоб оминати цю проблему застосовують метод епітаксiального вирощування на витоку та стоку з або без прибирання фіну з структури [17].

- Надійність. Менше поперечне поле у пристрою може бути досягнуто у повністю збідненому режимі. Це збільшує захист транзисторів n-типу від пробою

діелектрика. А також спостерігається нестабільність порогової напруги при переході від 32 нм планарного до 22 нм FinFET техпроцесу. При цьому надійність р-типу залишається такою ж самою [19].

– Різноманітність розмірів плавнику. Висота фіну є критичним параметром у цій технології, так як вона визначає електричну ширину пристрою [17].

1.5. MOSFET з деформованого кремнію

Для таких пристроїв застосовується неспівпадіння сталої решіток кремнію та германію, що призводить до напруги розтягу або стиснення, завдяки чому покращується рухливість зарядів. На рисунку 1.9 зображено звичайний MOSFET з деформованого кремнію, де тонкий шар кремнію розташований на ненапруженій SiGe підкладці [11].

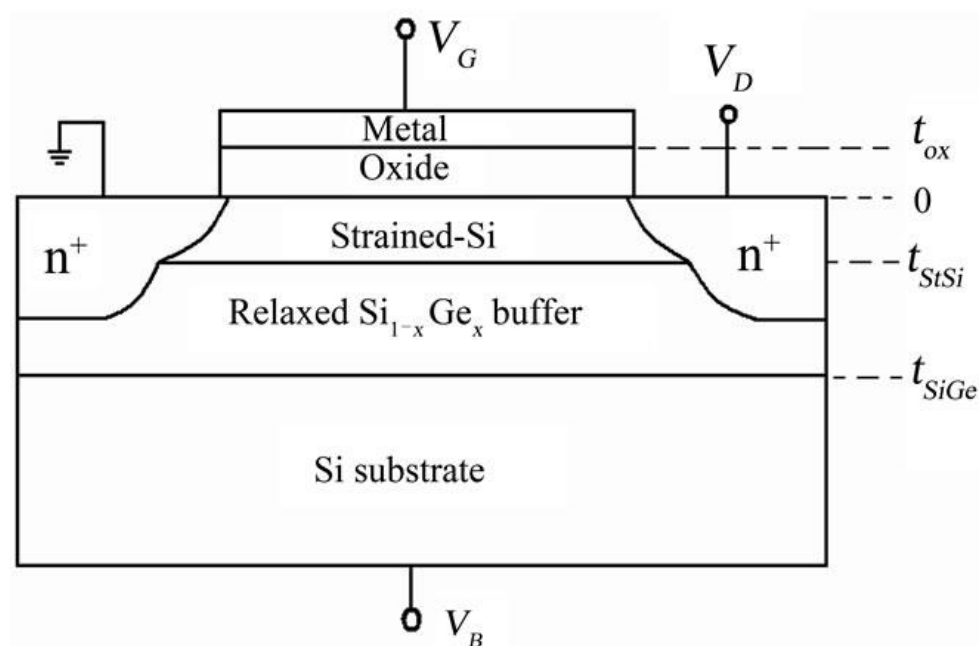


Рис. 1.9. MOSFET з деформованого кремнію [11]

1.6. Проблеми масштабування MOSFET

Розробка польових транзисторів з високою швидкістю та при цьому малим споживанням енергії стикається з багатьма задачами. Швидкість покращується за рахунок зменшення розмірів пристрою, від десятків мікрометрів до декількох нанометрів. Однак таке стрімке масштабування не завжди позитивно впливає на швидкість та ставить завдання, деякі з яких досі не розв'язані [20].

– Порогова напруга. Масштабування каналу MOSFET зазвичай потребує зменшення відповідно також керуючої напруги для збереження електричного поля та потужності, у межах, які потребуються для роботи пристрою. Однак, порогова напруга не може бути так значно знижена. Тому що пасивна потужність (яка існує за рахунок струму протікання) складає значну частку загального енергоспоживання у високоефективних пристроях. Масштабування порогової напруги має бути незначним, щоб не отримати різкого зростання струму протікання [21].

– Сильні електричні поля. Як зазначено вище, керуюча напруга не може бути зменшена пропорційно до розмірів затвору, а отже, збільшує напруженість електричного поля вздовж оксиду. Рухливість зарядів зменшується за рахунок поперечних електричних полів у каналі транзистору, що у найгіршому випадку може спричинити пробій бар'єру та як наслідок підвищений струм протікання, який може нашкодити пристрою.

– Тунелювання через оксид у затворі. Так як термічна напруга електронів kT/q є сталою величиною за кімнатної температури, відношення керуючої напруги та термічної напруги зменшується з масштабуванням MOSFET'у. Це призводить до збільшення струму протікання, пов'язаного з термодифузією електронів. Зі зменшенням розмірів каналу, відповідне зменшення товщини оксиду також потребується. Тонка плівка оксиду за умов квантовомеханічного тунелювання

призводить до експоненційного зросту струму протікання. Подальше масштабування реалізується за рахунок зміни оксиду ізолятора high-k діелектриками, як описано вище.

– Паразитні опори та ємності. Зі зменшенням розмірів пристрою паразитні ємності та опори зменшуються, але з набагато меншою швидкістю. Таким чином, їх вплив навпаки значно зростає. А це в свою чергу негативно впливає на ефективність транзистору.

– Інжекція носіїв заряду. Коли носії досягають високих енергій та мають ефективну температуру, вищу за температуру решітки, їх називають «гарячими». Такі носії не перебувають у тепловій рівновазі з решіткою тому що вони не можуть передавати свою енергію атомам решітки достатньо швидко. Вони утворюються у інвертованій частині каналу, коли пристрій працює у лінійному режимі або режимі насичення. Головними проблемами, що виникають завдяки гарячим носіям, є паразитний струм затвору, деградація струму стоку, зменшення проникності та зсув порогової напруги з часом. Використання виток з несталими розмірами зменшує генерацію гарячих носіїв.

– Випадковість розподілу домішок. Вплив цього явища найбільше помітний у пристроях малих розмірів, так як точне розміщення індивідуальних атомів домішок не може бути кероване. Таким чином, зменшення розмірів транзистору ускладнює розміщення домішок на потрібних позиціях [20].

– Виток/сток тунелювання. Якщо довжина каналу стає достатньо малою, щоб електрони могли тунелювати через бар'єр без подачі напруги на затвор, транзистор не може більше працювати як перемикач. Отже, масштабування має проводитись у певних межах для збереження працездатності пристрою [22].

– Затримка сигналу у контактах. Зменшення ширини дроту збільшує його опір та відповідно затримку сигналу з часом. Це зменшує швидкість роботи MOSFET'у. І це також необхідно враховувати, так як метою масштабування є не лише

збільшення щільності розташування транзисторів на платі, але й збільшення їх швидкодії [20].

Окремо варто виділити теплові ефекти, що виникають. MOSFET виділяє надлишкову потужність у вигляді теплоти у ділянках з найбільшим опором. Якщо це тепло не відводиться належним чином, виникають ділянки підвищеної температури, що призводить до перегріву матеріалу, та, як наслідок – поганого функціонування пристрою [20]. При зменшенні розмірів транзистору, зменшується також потужність, котру він виробляє, а відповідно – й кількість теплоти, яку необхідно відводити. Проте площа, з якої виділяється теплота також зменшується, причому вона зменшується швидше, ніж потужність, внаслідок чого тепловий потік зростає. Отже, виникає проблема тепловідведення, пов'язана з забезпеченням достатньої надійності пристрою та інтегральної схеми в цілому [23].

У FinFET термічний та електричний опір зменшують шляхом зменшення відстані між стоком/витоком та затвором – L_{ex} (рис. 1.10) та епітаксiального збільшення висоти стоку та витоку. Останнє дає дві переваги: зменшення теплового опору за рахунок збільшення площі та збільшення теплопровідності за рахунок зростання шляху вільного пробігу фононів. Зменшення L_{ex} зміщує область теплогенерації ближче до стоку, де теплота може бути відведена набагато ефективніше. Однак завдяки цьому зростає паразитна ємність затвору. Тому необхідно дотримуватись балансу між ефективним тепловідведенням та низькою паразитною ємністю пристрою [23].

Складна тривимірна структура та фізична конфігурація оксидних плавників відіграють важливу роль у самонагріві FinFET. Нижча теплопровідність тонких кремнієвих плівок також значно збільшує вплив самонагріву, особливо порівняно з об'ємними ефектами, так як теплопровідність об'ємного кремнію набагато менша порівняно з теплопровідністю тонких плівок кремнію (табл. 1.1).

Табл. 1.1.

Теплопровідність нанорозмірного кремнію[24-26]

Матеріал	Теплопровідність Вт·м ⁻¹ ·К ⁻¹
Si (об'ємний матеріал)	148
Si (10 нм)	13
Si (7 нм)	11.2
Si (5 нм)	10.7

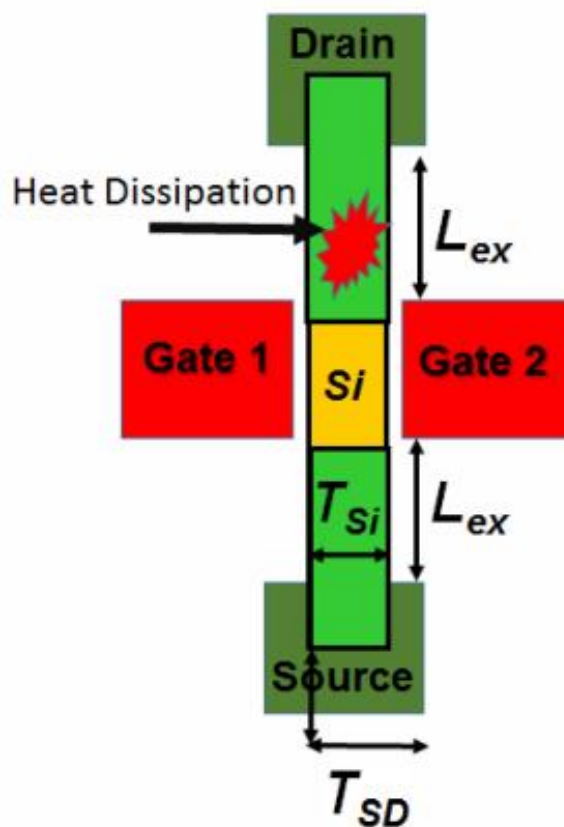


Рис. 1.10. Мінімізація ефектів самонагріву [23]

1.6.1. Теплопровідність нанорозмірного кремнію. Рівняння Больцмана

У напівпровідниках теплопровідність має дві складові – електронна компонента, в якій вільні заряди відповідальні за перенос теплоти, та коливання решітки. На відміну від металів, в яких багато вільних носіїв, вклад електронної компоненти в напівпровідниках складає не більше 1%. Тому теплопровідність може бути виражена як [27, 28]:

$$\kappa_s = \frac{1}{3} C_s \bar{v} \Lambda$$

де C – питома теплоємність, v – середня швидкість, а Λ – середня довжина вільного пробігу фононів. Закон Фур'є визначає класичну неперервну теплопровідність у матеріалі [27]:

$$C_s \frac{\partial T}{\partial t} = \nabla \cdot (\kappa_s \nabla T) + Q''' \quad (1.2)$$

де Q''' - питома потужність внутрішніх джерел теплоти.

Проте рівняння теплопровідності 1.2 не враховує дискретність теплогенерації у напівпровідниках. Більш точну картину переносу фононів у наномасштабах (менших за довжину вільного пробігу) виражає рівняння Больцмана [27]:

$$\frac{\partial f}{\partial t} + \mathbf{v} \cdot \nabla f = \left(\frac{\partial f}{\partial t} \right)_{coll} + \left(\frac{\partial f}{\partial t} \right)_g \quad (1.3)$$

де f – функція розподілу фононів, \mathbf{v} – їхня швидкість.

Перша компонента, що спричинена фононними зіткненнями може бути виражена з використанням часу релаксації як:

$$\left(\frac{\partial f}{\partial t} \right)_{coll} = \frac{f_0 - f}{\tau_{ph}}$$

де $f_0 = \frac{1}{\exp\left(\left(\frac{\hbar\omega}{k_B T}\right) - 1\right)}$ – рівноважний розподіл Планка за температури T , а τ_{ph} –

середній час розсіювання фононів.

Рівняння Больцмана 1.3 можна проінтегрувати за щільністю станів та отримати наступне співвідношення:

$$\frac{\partial u}{\partial t} + \mathbf{v} \cdot \nabla u = \frac{u_0 - u}{\tau_{ph}} + Q'''$$

де u – щільність енергії фононів[27].

Компонента Q''' може бути розрахована з використанням моделі дрейфу та дифузії, описаної у розділі 2.

1.7. Постановка мети та задач дисертації

Дослідження впливу різних факторів на самонагрів FinFET пристроїв є перспективним. Проте наразі чисельних досліджень процесів самонагріву в тривимірних транзисторах типу FinFET недостатньо. Тому цей напрям є актуальним, зважаючи на широкий спектр застосування транзисторів у сучасній напівпровідниковій техніці.

На основі проведеного огляду поставлена мета роботи: дослідження впливу масштабування кремнієвого транзистору типу FinFET на потужність, що виділяється та зростання температури. Обраний комплекс методів дослідження, який складається з чисельного моделювання процесів самонагріву FinFET.

Для досягнення вказаної мети поставлені наступні задачі:

- Ознайомитись з програмним забезпеченням для комп'ютерного моделювання FinFET.
- Ознайомитись з методикою отримання розподілів температури і потенціалу, а також вольт-амперних характеристик та теплогенерації у транзисторах за допомогою програмного пакету GTS Framework.
- Побудувати структурну модель FinFET використовуючи модуль Structure.
- Виконати розрахунок розподілу потенціалу та вольт-амперних характеристик FinFET.
- Дослідити процес теплогенерації та побудувати розподіл температури пристрою використовуючи модуль Minimos-NT.
- Дослідити вплив геометрії на самонагрів транзистору.
- Проаналізувати вплив нанорозмірних ефектів у каналі FinFET на процеси самонагріву.

1.8. Висновки до розділу 1

1. Описано принцип роботи польових транзисторів.
2. Розглянуто еволюцію MOSFET.
3. Описано особливості та проблеми конструювання FinFET.
4. Встановлено основні проблеми масштабування польових транзисторів.
5. Описано особливості теплопровідності у наномасштабному кремнію.
6. Встановлено мету та поставлені задачі дослідження.

РОЗДІЛ 2

МАТЕРІАЛИ І МЕТОДИ ДОСЛІДЖЕННЯ

Для моделювання процесів у FinFET було застосовано програмний пакет GTS Framework. ПЗ GTS Framework надає повний набір потужних інструментів для моделювання напівпровідникових приладів та моделювання схем, що включає в себе генерацію структури, автоматичну побудову розрахункової сітки, моделювання, оцінку/візуалізацію, статистичний аналіз і т. д. [29].

2.1. Моделювання структури FinFET

Структура пристрою була змодельована з використанням компоненти GTS Structure. Для моделювання було використано готові шаблони, створені з допомогою вбудованого CAD-редактору.

Шаблон включає в себе геометричні та фізичні параметри, забезпечуючи основу для адаптації його до реальних пристроїв. Створення структури на основі шаблону включає в себе визначення геометричних розмірів, уточнення розподілу домішок та розрахункової сітки [30].

Досліджувана геометрична 3D модель представлена на рисунку 2.1. Характерний розмір транзистору складав 32 нм. Геометричні розміри каналу наведені у таблицях 2.1-2.2.

Загальний вигляд розрахункової сітки представлено на рисунку 2.2. Параметри сітки наведені в таблиці 2.3.

Табл. 2.1.

Розміри каналу за різних значень ширини

Ширина	Довжина	Висота
10 нм	35 нм	30 нм
7 нм		
5 нм		

Табл. 2.2.

Розміри каналу за різних значень висоти

Ширина	Довжина	Висота
10 нм	35 нм	30 нм
		20 нм
		10 нм

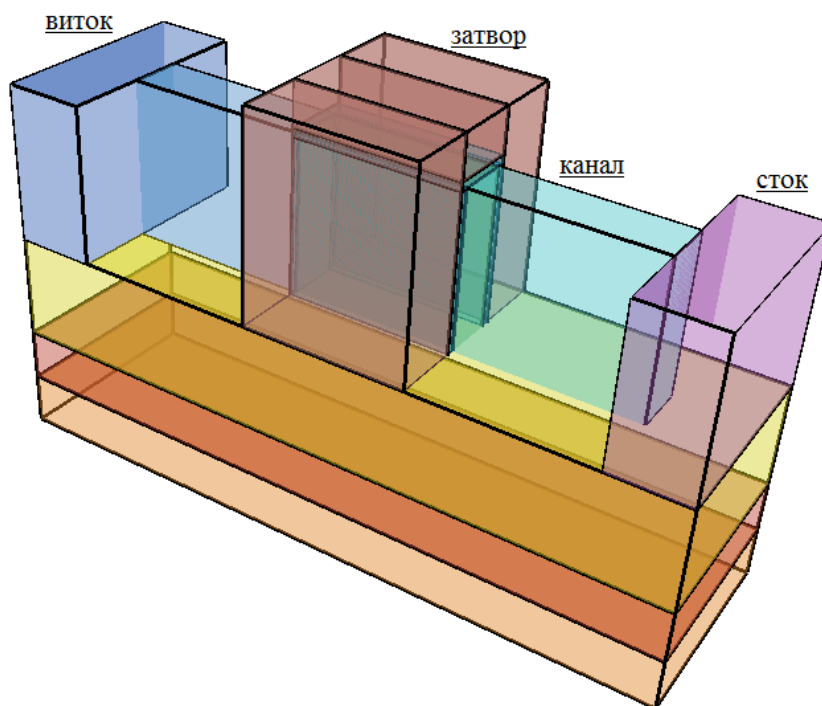


Рис. 2.1. Геометрична модель FinFET пристрою

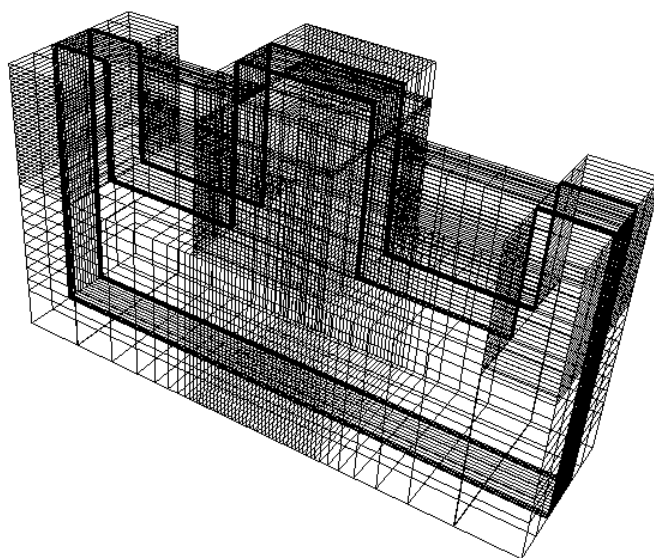


Рис. 2.2. Розрахункова сітка

Табл. 2.3.

Параметри розрахункової сітки

№ моделі	Кількість вузлів	Кількість комірок
1, 4	48014	42800
2	41000	36080
3	36324	31600
5	37744	33520
6	27474	24240

2.2. Числове моделювання процесів у FinFET

Числове моделювання було проведено за допомогою компоненти Minimos-NT. Повний набір фізичних моделей дозволяє симуляцію різних видів вдосконалених структур пристроїв, таких як сучасні пристрої CMOS, SOI та гетероструктурні пристрої. Беручи до уваги атомну природу пасток і легуючих домішок, Minimos-NT забезпечує моделювання надійності високомасштабних транзисторів, таких як об'ємні планарні пристрої та FinFET, що мають довжину каналу 32 нм або менше.

Фізичні ефекти самонагрівання та ударна іонізація, які є суттєвими для моделювання силових пристроїв, можуть бути змодельовані з використанням відповідних сучасних моделей. Використовуючи висококонфігуровані ітераційні схеми, за допомогою Minimos-NT можна проаналізувати чисельно нестабільні проблеми, такі як вторинні пробої та ефекти теплового розгону.

Ключові можливості:

- Моделювання дво- і тривимірних структур
- Аналіз як технологій FinFET, так і планарних пристроїв

- Моделі дрейфу та дифузії; модель енергопереносу
- DC, AC, перехідний і змішаний режим
- Атомні пастки та домішки
- Модель градієнту щільності
- Моделювання самонагріву
- Змішаний режим моделювання схем
- Можливість паралельних розрахунків
- Візуальний редактор схем.

Також важливою перевагою GTS Framework є інтуїтивно зрозумілий інтерфейс, вичерпна можливість застосування скриптів, а також багатоплатформність (Windows, Linux).

Дослідження процесів самонагріву було проведено у режимі single-mode. Режим дозволяє проводити статичний аналіз, а також аналіз перехідного стану [31].

2.2.1. Режим single-mode

Перенос заряду у цьому режимі може бути розраховано з застосуванням моделі дрейфу та дифузії або гідродинамічної моделі. У даній роботі для розрахунків було використано модель дрейфу та дифузії як для електронів, так і для дірок.

Базовими рівняннями є рівняння Пуассона (2.1) та нерозривності для струму дірок (2.2) та електронів (2.3):

$$\text{div}(\varepsilon \text{grad } \psi) = q \cdot (n - p - C), \quad (2.1)$$

$$\text{div} \mathbf{J}_n = q \cdot \left(R + \frac{\partial n}{\partial t} \right), \quad (2.2)$$

$$\text{div} \mathbf{J}_p = -q \cdot \left(R + \frac{\partial p}{\partial t} \right). \quad (2.3)$$

Невідомими у цій системі є електростатичний потенціал ψ та електронна і діркова концентрація, n і p відповідно. C позначає концентрацію іонізованих домішок, ε – діелектрична сприйнятливість напівпровідника, R – швидкість рекомбінації [31].

Густина струму дірок та електронів згідно до моделі дрейфу та дифузії описується наступними рівняннями:

$$\mathbf{J}_n = q \cdot \mu_n \cdot n \cdot \left(\text{grad} \left(\frac{E_C}{q} - \psi \right) + \frac{k_B}{q} \cdot \frac{N_{C,0}}{n} \cdot \text{grad} \left(\frac{n \cdot T_L}{N_{C,0}} \right) \right), \quad (2.4)$$

$$\mathbf{J}_p = q \cdot \mu_p \cdot p \cdot \left(\text{grad} \left(\frac{E_V}{q} - \psi \right) - \frac{k_B}{q} \cdot \frac{N_{V,0}}{p} \cdot \text{grad} \left(\frac{p \cdot T_L}{N_{V,0}} \right) \right). \quad (2.5)$$

Ці співвідношення для струмів враховують енергетичні межі забороненої зони – E_C та E_V , а також ефективні маси, включені до щільності станів – $N_{C,0}$ і $N_{V,0}$. Індекс 0 означає, що щільність станів оцінена за референтної температури T_0 , яка є сталою незалежно від температури решітки та носіїв [31].

Для оцінки самонагріву розв'язують рівняння теплопровідності для решітки:

$$\text{div}(\kappa_L \cdot \text{grad} T_L) = \rho_L \cdot c_L \cdot \frac{\partial T_L}{\partial t} - H, \quad (2.6)$$

де коефіцієнти ρ_L , c_L та κ_L це масова густина, питома теплоємність та теплопровідність матеріалів [31].

Внутрішнє виробництво теплоти H у випадку моделі дрейфу та дифузії відповідає джоулевій теплоті:

$$H = \text{grad} \left(\frac{E_C}{q} - \psi \right) \cdot \mathbf{J}_n + \text{grad} \left(\frac{E_V}{q} - \psi \right) \cdot \mathbf{J}_p + R(E_C - E_V). \quad (2.7)$$

Розв'язуючи систему (2.1)-(2.7) отримують температурне поле пристрою. Потужність, що розсіюється всередині та спричиняє самонагрів розраховується як $P = I \cdot V$ [31].

2.2.2. Граничні умови

Рівняння задані у обмежених розрахункових областях. І тому на межах цих областей для невідомих величин ψ , n , p , T_n та T_p є необхідним визначення граничних умов.

Границі розрахункових комірок не є межами у фізичному сенсі. Граничні умови Неймана гарантують, що комірка є самодостатньою та не має жодних потоків вздовж границь:

$$\mathbf{n} \cdot \mathbf{E} = 0, \quad \mathbf{n} \cdot \mathbf{J}_{n,p} = 0, \quad \mathbf{n} \cdot \mathbf{S}_{n,p} = 0, \quad \mathbf{n} \cdot \mathbf{S}_L = 0, \quad (2.8)$$

$$\mathbf{n} \cdot \mathbf{E} = 0, \quad \mathbf{n} \cdot \mathbf{S}_L = 0, \quad (2.9)$$

де \mathbf{n} позначає вектор нормалі, направлений з границі. Співвідношення (2.8) та (2.9) задають граничні умови для напівпровідників та діелектриків, відповідно [31].

На границі метал-напівпровідник було задано омичний контакт. При такому контакті задають прості граничні умови Діріхле. Контактна різниця потенціалів розраховується за наступним співвідношенням:

$$\begin{aligned} \psi_{bi} &= \frac{k_B T_L}{q} \cdot \ln \left(\frac{1}{2 \cdot C_1} \cdot \left(C + \sqrt{C^2 + 4 \cdot C_1 \cdot C_2} \right) \right) = \\ &= -\frac{k_B T_L}{q} \cdot \ln \left(\frac{1}{2 \cdot C_2} \cdot \left(-C + \sqrt{C^2 + 4 \cdot C_1 \cdot C_2} \right) \right), \end{aligned}$$

де C – концентрація домішок, константи C_1 та C_2 визначаються як [31]:

$$C_1 = N_C \cdot \exp\left(\frac{-E_C}{k_B \cdot T_L}\right),$$

$$C_2 = N_V \cdot \exp\left(\frac{E_V}{k_B \cdot T_L}\right).$$

Концентрації носіїв у напівпровідниках прив'язані до рівноваги концентрацій носіїв на контактах. Вони виражаються як:

$$n_s = N_C \cdot \exp\left(\frac{-E_C + q \cdot \psi_{bi}}{k_B \cdot T_L}\right),$$

$$p_s = N_V \cdot \exp\left(\frac{E_V - q \cdot \psi_{bi}}{k_B \cdot T_L}\right).$$

Температура носіїв задається рівною температурі решітки – $T_n = T_p = T_L$. За наявності термічного контакту температура решітки розраховується з використанням температури контактів T_C та термічного опору R_{Th} (відповідно, 300 К та $10^{-4} \frac{\text{К} \cdot \text{см}^2}{\text{Вт}}$ у даній роботі). Щільність теплового потоку S_L на контактах визначена як:

$$\mathbf{n} \cdot \mathbf{S}_L = \frac{T_L - T_C}{R_{Th}}.$$

За наявності самонагріву пристрою враховується додаткова енергія, яка виділяється коли заряди долають різницю потенціалів зони провідності або валентної зони та квазі-Фермі рівня металу. Рівняння енергії має вигляд:

$$\mathbf{J}_n \cdot \left(\frac{E_C}{q} + \varphi_m \right) + \mathbf{J}_p \cdot \left(\frac{E_V}{q} + \varphi_m \right) = \text{div}_A \mathbf{S}_L,$$

де вираз $\text{div}_A \mathbf{S}_L$ означає відхилення теплового потоку біля границі [31].

На границі метал-діелектрик модель граничних умов задається подібною до контакту Шотткі для розрахунку контактного потенціалу ізолятора. Контактний потенціал напівпровідника це різниця між квазі-Фермі рівнем (що задається контактною напругою φ_m) та потенціалом виходу металу:

$$\varphi_S = \varphi_m - \Phi_{ms}, \quad \Phi_{ms} = -\frac{E_w}{q},$$

де E_w – різниця між роботами виходу металу та діелектрику (в даній роботі для затвору та ізолятору складає 0.55 еВ). Температура решітки задається рівною температурі контакту T_C [31].

За відсутності поверхневого заряду на поверхні контакту напівпровідник-діелектрик нормальна компонента електричного зміщення є нерозривною і потенціал також [31]:

$$\mathbf{n} \cdot \varepsilon_S \cdot \mathbf{E}_S - \mathbf{n} \cdot \varepsilon_{ins} \cdot \mathbf{E}_{ins} = 0, \quad \varphi_S = \varphi_{ins}.$$

За наявності поверхневого заряду вздовж поверхні зміщення розраховується з застосуванням теореми Гауса:

$$\mathbf{n} \cdot \varepsilon_S \cdot \mathbf{E}_S - \mathbf{n} \cdot \varepsilon_{\text{ins}} \cdot \mathbf{E}_{\text{ins}} = \sigma_S.$$

На поверхні контакту напівпровідник-діелектрик густини струмів носіїв (або рушійні сили) та теплові потоки носіїв нормальні до поверхні зникають:

$$\mathbf{n} \cdot \mathbf{J}_{\text{n,p}} = 0, \quad \mathbf{n} \cdot \mathbf{S}_{\text{n,p}} = 0, \quad \mathbf{n} \cdot \mathbf{F}_{\text{n,p}} = 0.$$

Температура решітки вздовж поверхні є нерозривною. На поверхні контакту діелектрик-діелектрик граничні умови є аналогічними [31].

Граничні умови для електростатичного потенціалу на поверхні контакту двох напівпровідників є схожим на умови на межі напівпровідник-діелектрик:

$$\mathbf{n} \cdot \varepsilon_{S1} \cdot \mathbf{E}_{S1} - \mathbf{n} \cdot \varepsilon_{S2} \cdot \mathbf{E}_{S2} = \sigma_S, \quad \varphi_{S1} = \varphi_{S2},$$

де σ_S – поверхнева густина заряду.

Для розрахунків концентрацій та температур носіїв прийнято 3 моделі. Це моделі з нерозривним квазі-Фермі рівнем по нормалі до поверхні контакту, модель термоелектронної емісії та модель автоелектронної емісії [31, 32].

Рівняння, що описують першу модель:

$$v_2 = v_1 \cdot \left(\frac{m_{v_2}}{m_{v_1}} \right)^{3/2} \cdot \exp \left(- \frac{\Delta E_v}{k_B \cdot T_{v_1}} \right),$$

$$S_{v_2} = S_{v_1} - \frac{1}{q} \cdot E_C \cdot J_{v_2},$$

$$T_{v_2} = T_{v_1},$$

де S — щільність потоку енергії, v — концентрація носіїв [31].

Рівняння, що описують модель автоелектронної емісії:

$$\begin{aligned} \mathbf{J}_{v_2} &= \mathbf{J}_{v_1}, \\ \mathbf{J}_{v_2} &= q \cdot \left(\mathbf{v}_{v_2} \cdot v_2 - \frac{m_{v_2}}{m_{v_1}} \cdot \mathbf{v}_{v_1} \cdot v_1 \cdot \exp\left(-\frac{\Delta E_v - \delta E_v}{k_B \cdot T_{v_1}}\right) \right), \\ S_{v_2} &= S_{v_1} - \frac{1}{q} (\Delta E_v - \delta E_v) \cdot \mathbf{J}_{v_2}, \\ S_{v_2} &= - \left(k_B \cdot T_{v_2} \cdot \mathbf{v}_{v_2} \cdot v_2 - \frac{m_{v_2}}{m_{v_1}} \cdot k_B \cdot T_{v_1} \cdot \mathbf{v}_{v_1} \cdot v_1 \cdot \exp\left(-\frac{\Delta E_v - \delta E_v}{k_B \cdot T_{v_1}}\right) \right), \end{aligned}$$

де швидкість термоелектронної емісії та зниження висоти енергетичного бар'єру виражаються як [31]:

$$\begin{aligned} v_{v_i} &= \sqrt{\frac{2 \cdot k_B \cdot T_{v_i}}{\pi \cdot m_{v_i}}}, \\ \delta E_v &= \begin{cases} q \cdot E_{\perp 2} \cdot d_{tun}, & E_{\perp 2} > 0 \\ 0, & E_{\perp 2} \leq 0 \end{cases}. \end{aligned}$$

Зниження висоти бар'єру залежить від електричного поля, ортогонального до поверхні $E_{\perp 2}$ та ефективного шляху тунелювання d_{tun} . При $\delta E_v = 0$ модель автоелектронної емісії зводиться до моделі термоелектронної емісії [31].

При моделі квазі-Фермі рівня застосовуються граничні умови Діріхле. Концентрація носіїв визначається таким чином, що квазі-Фермі рівень залишається неперервним при переході через поверхню. Така модель зручна для гомопереходів. Для гетеропереходів краще використовувати моделі авто- та термоелектронної емісії, в яких застосовуються граничні умови Неймана.

Температура решітки вважається неперервною при переході через поверхню контакту напівпровідників. Для поверхонь з гетеропереходами враховується додаткова теплова енергія, що виділяється коли заряди долають енергетичний бар'єр у зоні провідності та валентній зоні, ΔE_c та ΔE_v відповідно [31].

Рівняння енергії має вигляд:

$$\frac{\mathbf{J}_n}{q} \Delta E_c + \frac{\mathbf{J}_p}{q} \Delta E_v = \text{div}_A \mathbf{S}_L,$$

де вираз $\text{div}_A \mathbf{S}_L$ означає відхилення теплового потоку біля границі [31].

2.3. Висновки до розділу 2

1. Описано моделювання структури FinFET та особливості розрахованих моделей.
2. Розглянуто методику розрахунку процесів самонагріву за допомогою модуля Minimos-NT.
3. Визначені граничні умови.

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Моделювання самонагріву FinFET

Досліджувана геометрична модель представлена на рисунку 3.1. Характерний розмір транзистору (довжина затвору) складав 32 нм, параметри фіну – 10 нм ширина, 30 нм висота, 102 нм довжина.

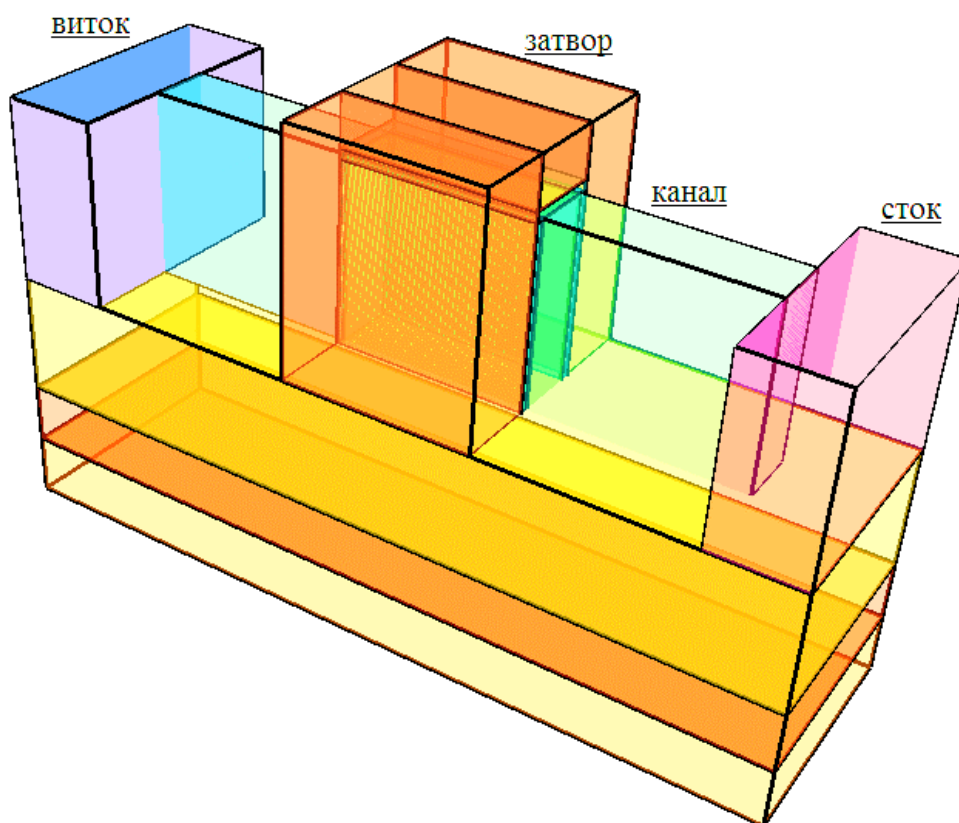


Рис. 3.1. Геометрична модель

На затворі було підключено напругу в 1В, на стоку – 0.5 В. Розподіл потенціалу у розрахований з рівняння 2.1. наведено на рис. 3.2.

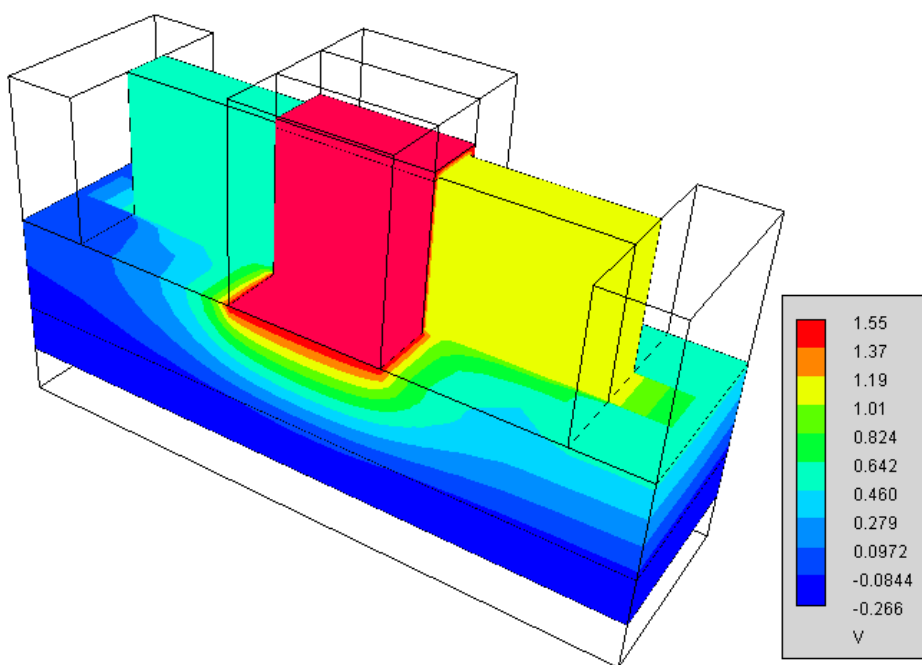


Рис. 3.2. Розподіл потенціалу у nmos FinFET

На рис. 3.3. наведено вольт-амперну характеристику транзистору. Значення були розраховані з рівнянь 2.4, 2.5. Розподіл внутрішніх джерел теплоти, обрахований відповідно до 2.7 з використанням результатів, представлених на рис. 3.2-3.3, наведено на рисунку 3.4. Видно, що максимум потужності теплогенерації зміщений до стоку. Потужність, що виділяється складала $5,53 \cdot 10^{-5}$ Вт.

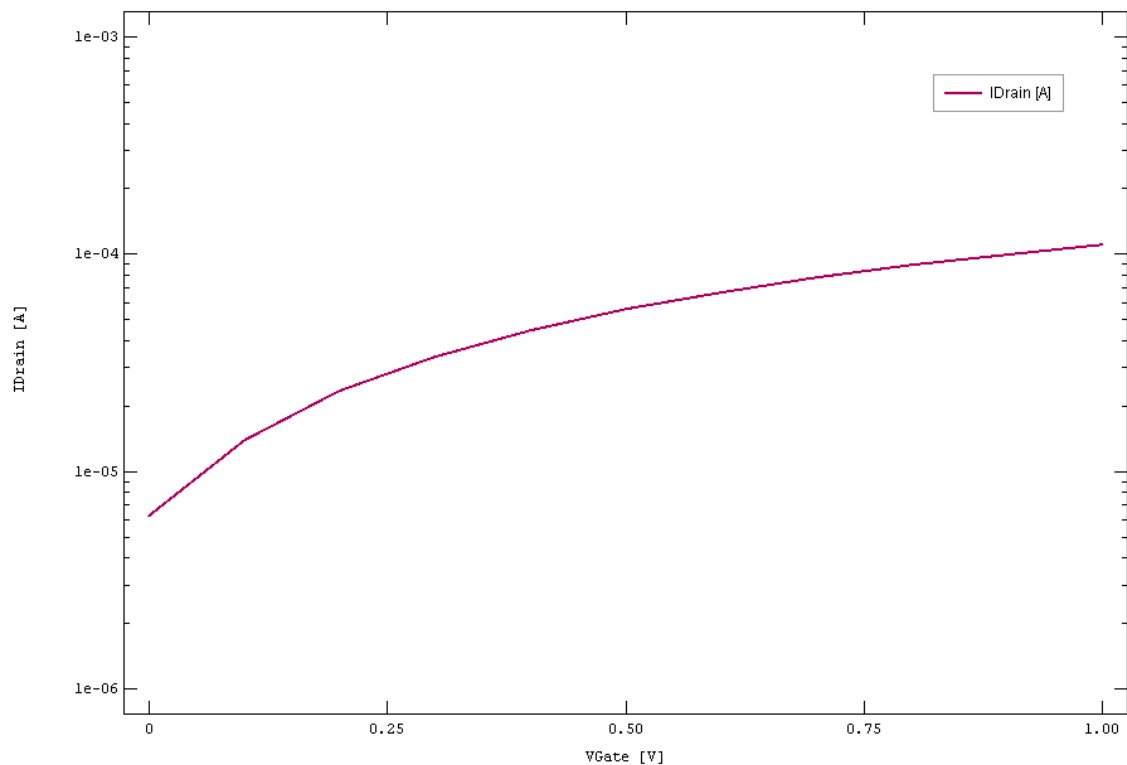
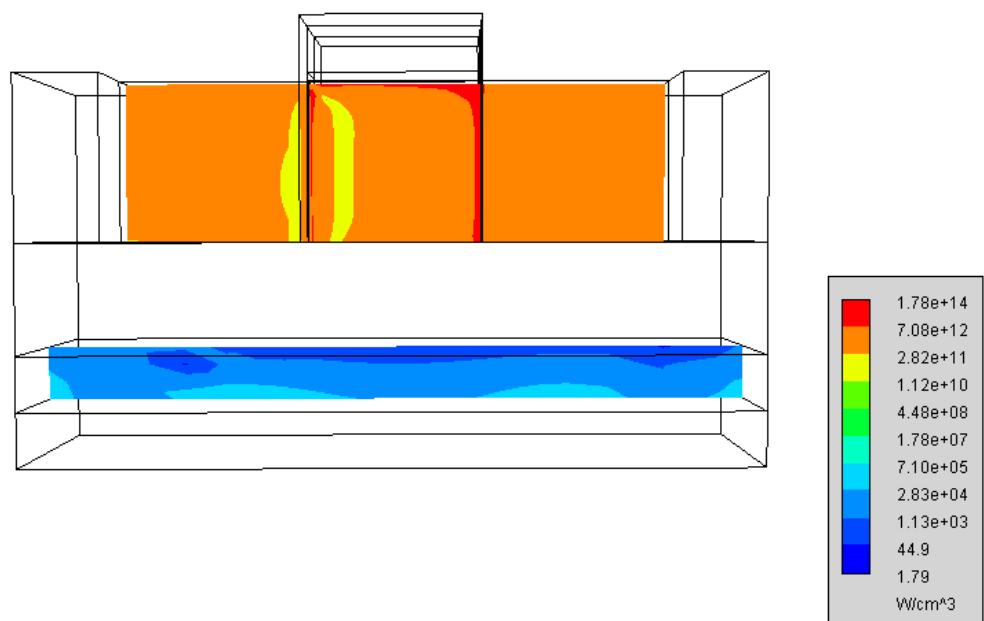


Рис. 3.3. BAX FinFET

Рис. 3.4. Потужність теплогенерації у FinFET ($V_G=1$ В)

Шляхом розв'язання рівняння 2.6 при заданих граничних умовах – температура контактів 300 К та тепловий опір $10^{-4} \frac{\text{К} \cdot \text{см}^2}{\text{Вт}}$ – було отримано розподіл температури всередині пристрою, наведений на рисунку 3.5.

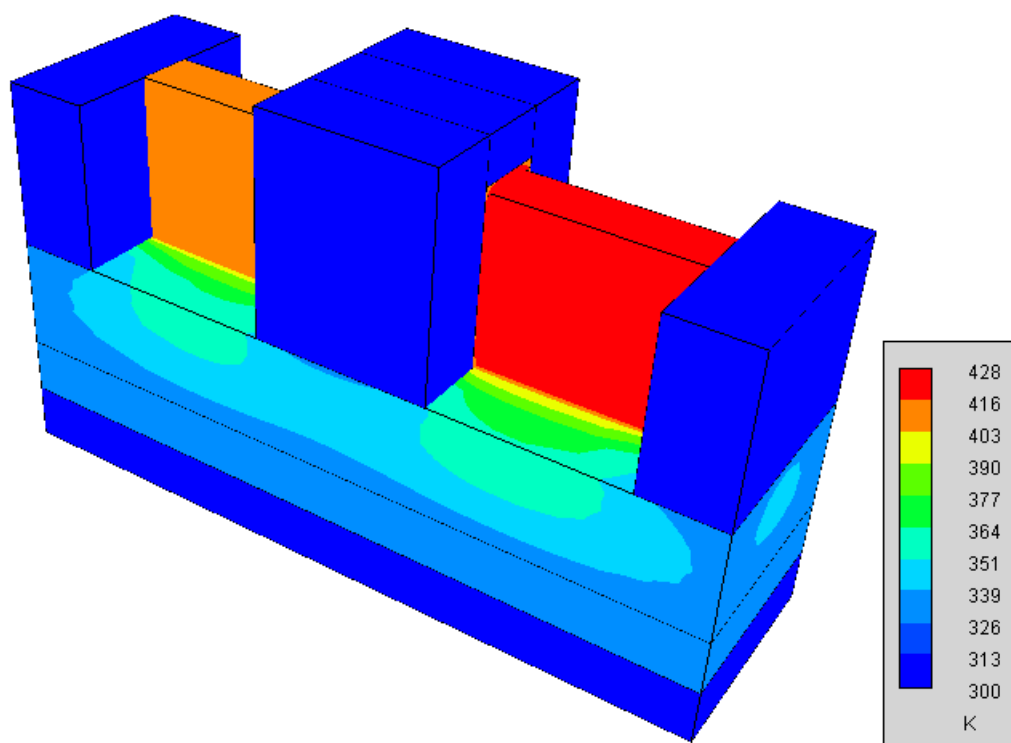
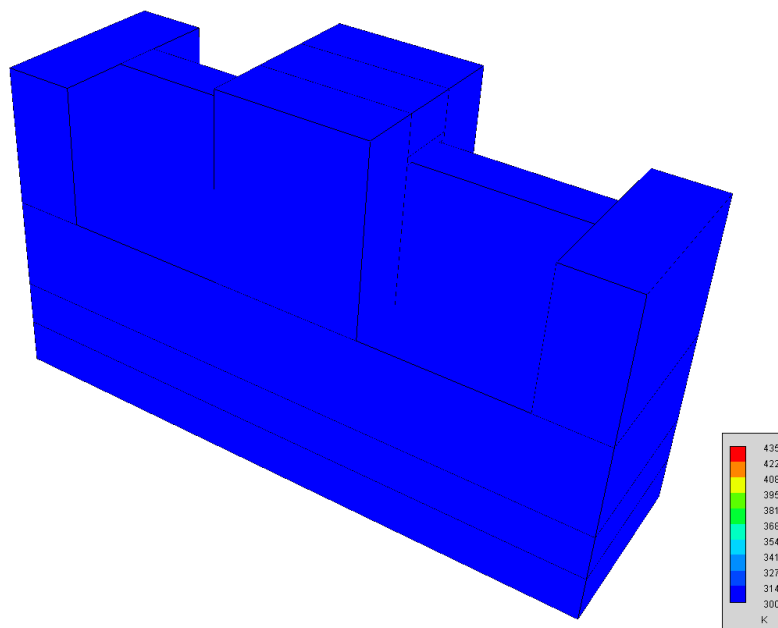


Рис. 3.5. Розподіл температури у pmos FinFET транзисторі з напругою на затворі 1 В

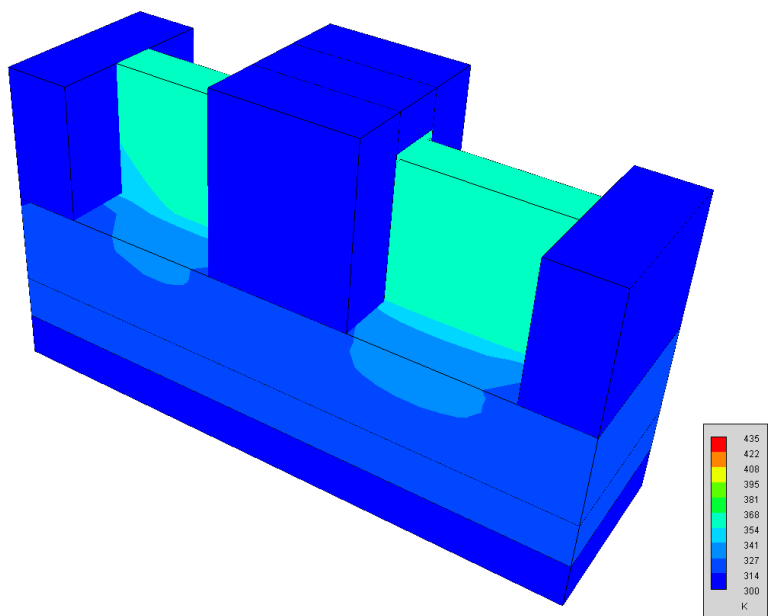
3.2. Вплив геометричного фактору на самонагрів FinFET

Масштабування пристрою дозволяє регулювати потужність, що виділяється та інтегрувати значну кількість транзисторів на невеликій площі. Для визначення впливу геометричних розмірів каналу було досліджено розподіл температури всередині пристрою та потужності, що виділяється, при зміні висоти та ширини фіну.

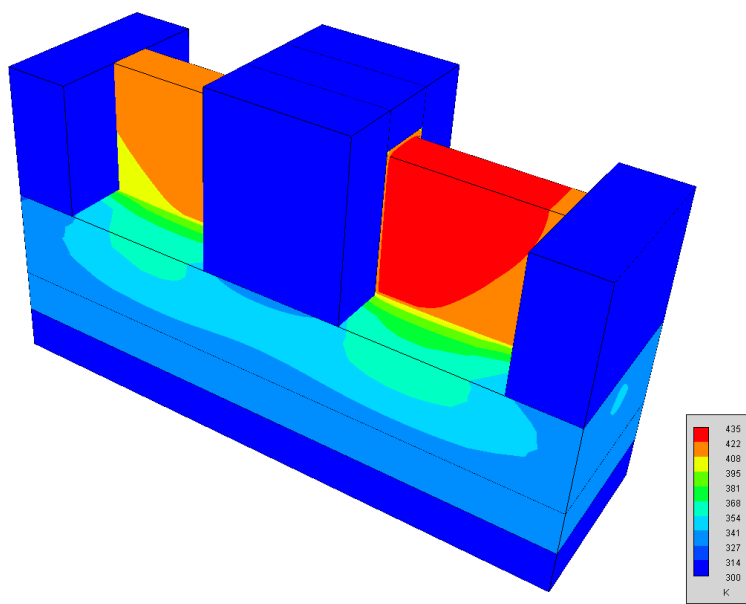
Результати чисельного моделювання самонагріву pmos FinFET пристрою з різними значеннями ширини фіну представлено на рис. 3.6-3.8. Моделювання самонагріву pmos FinFET транзисторів виконано у випадку зміни напруги на затворі від 0 до 1 В. Прикладена до стоку напруга складала 0.5 В.



a)

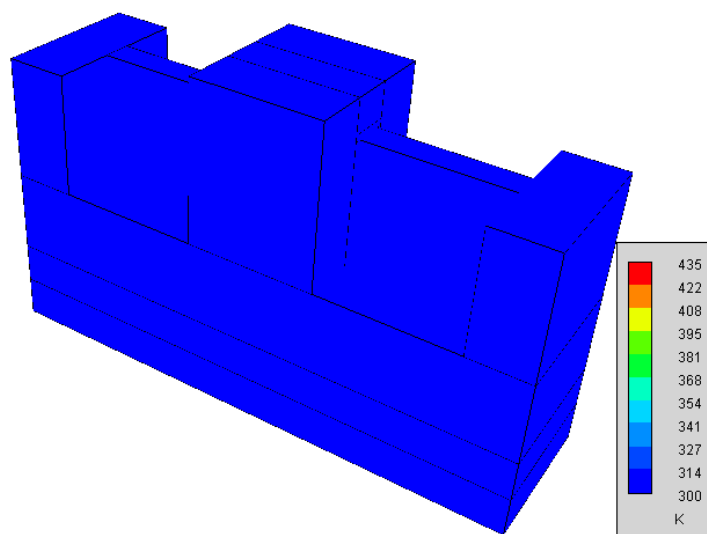


б)

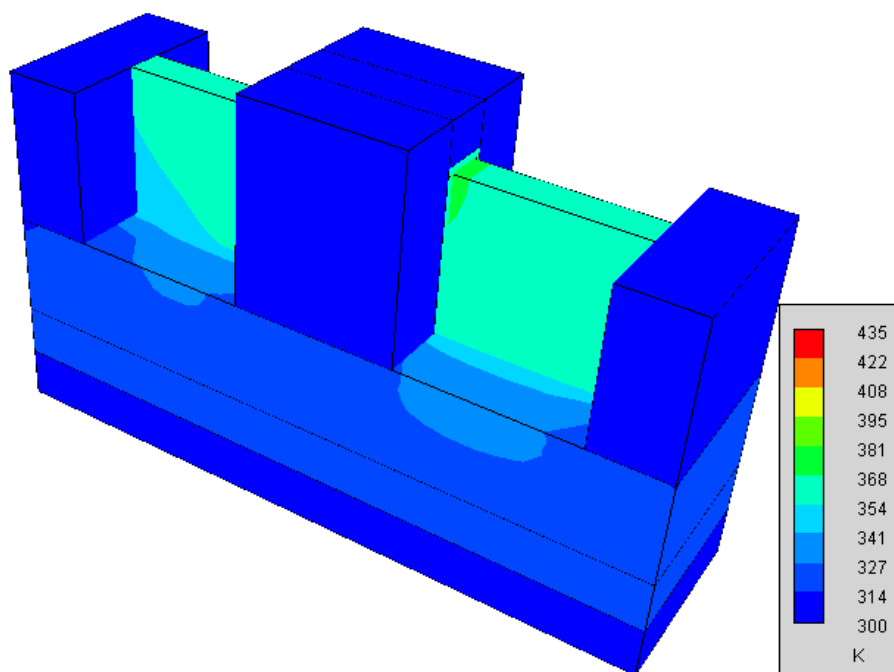


в)

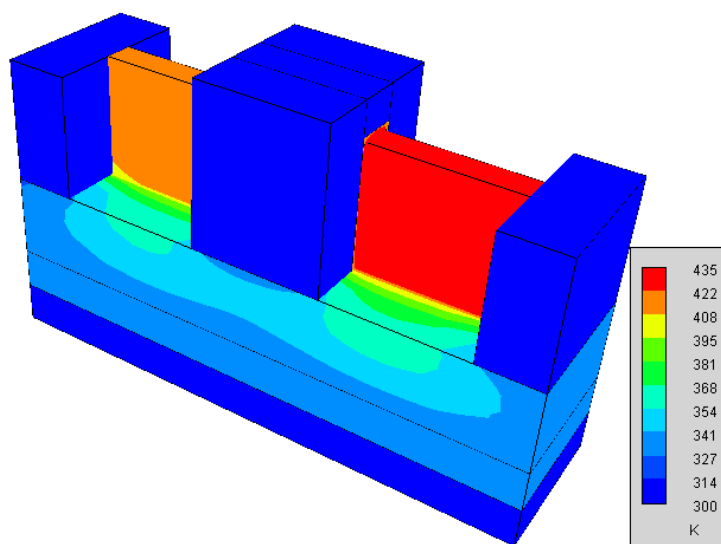
Рис. 3.6. Розподіл температури у pmos FinFET транзисторі з шириною фіну 10 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В



a)

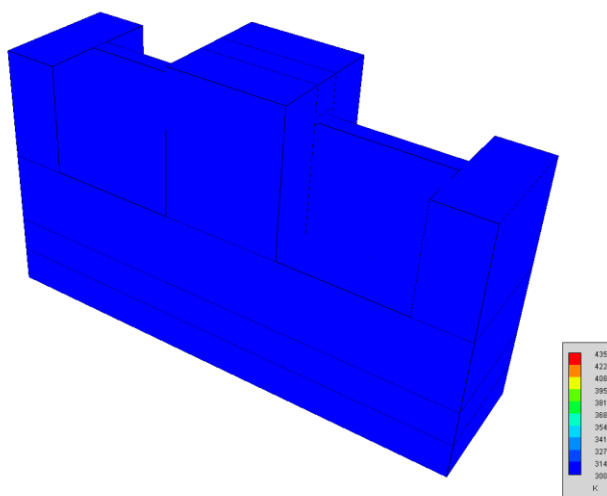


b)

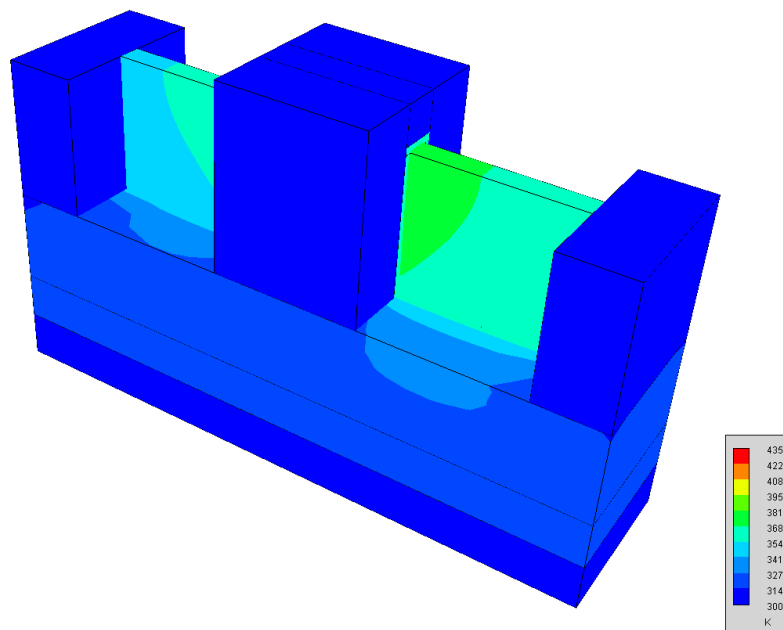


в)

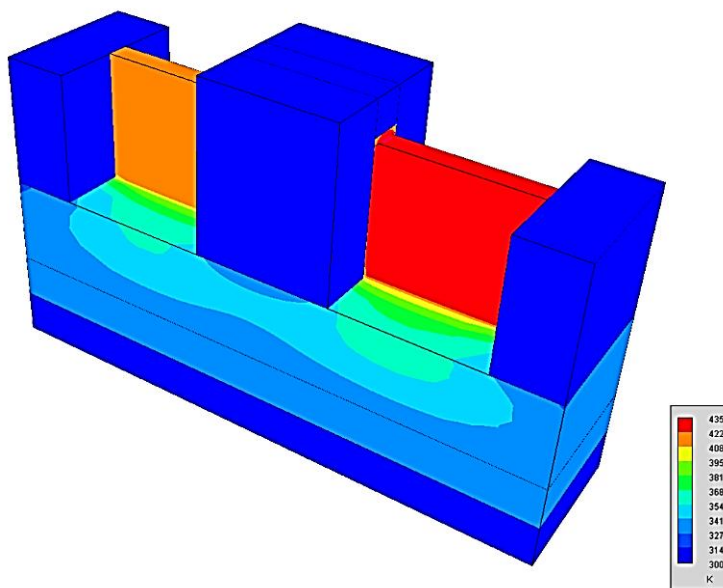
Рис. 3.7. Розподіл температури у pmos FinFET транзисторі з шириною фіну 7 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В



а)



б)



в)

Рис. 3.8. Розподіл температури у pmos FinFET транзисторі з шириною каналу 5 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В

На рисунку 3.9 наведено залежність потужності, що виділяє пристрій від значення напруги на затворі для різних значень ширини каналу FinFET.

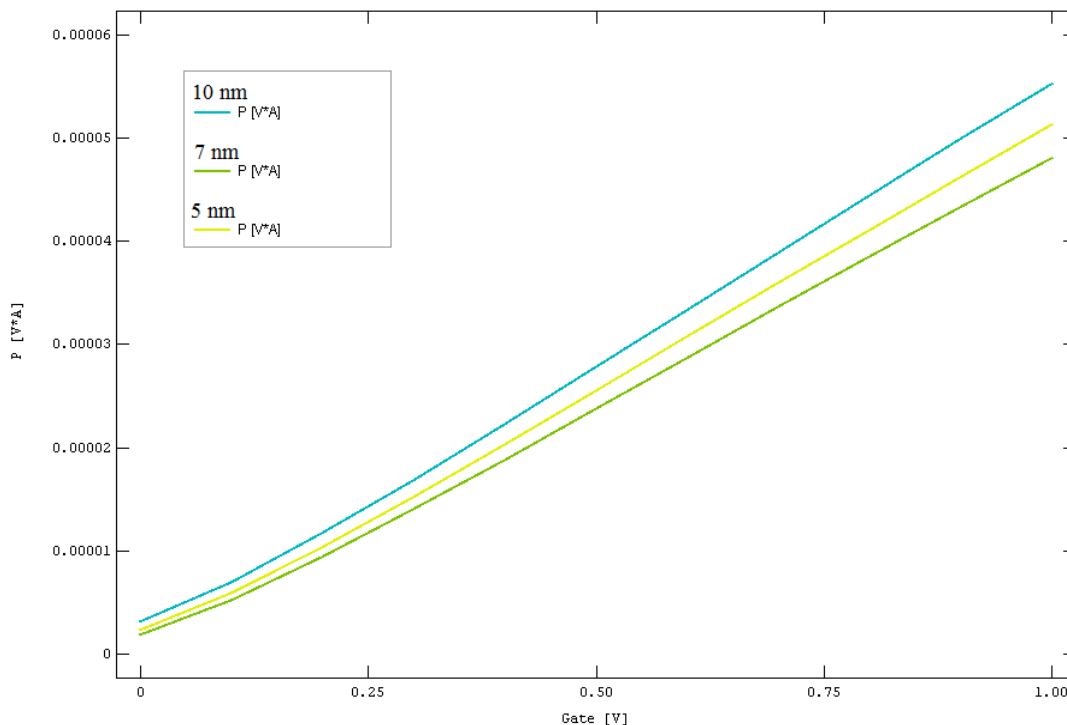
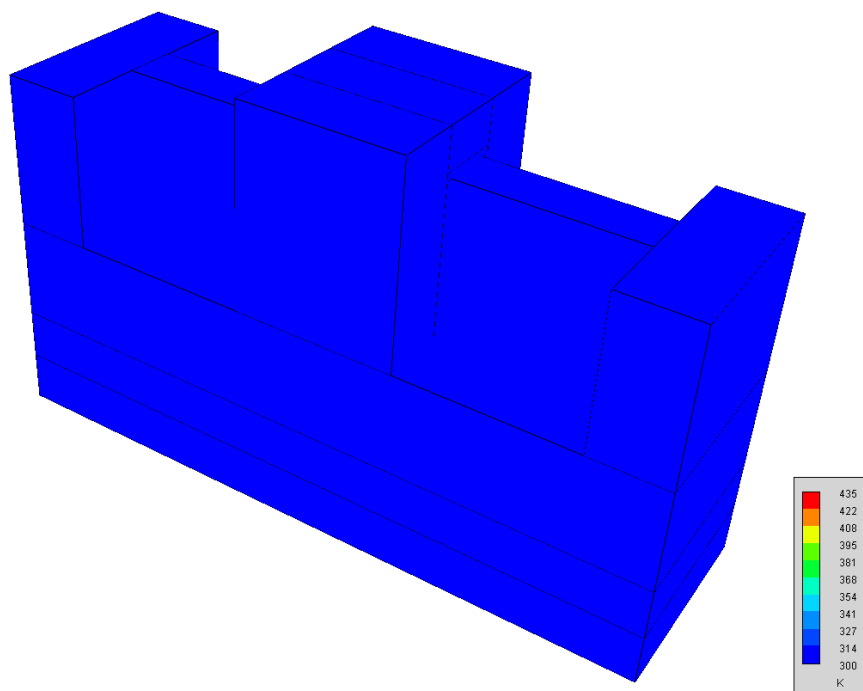


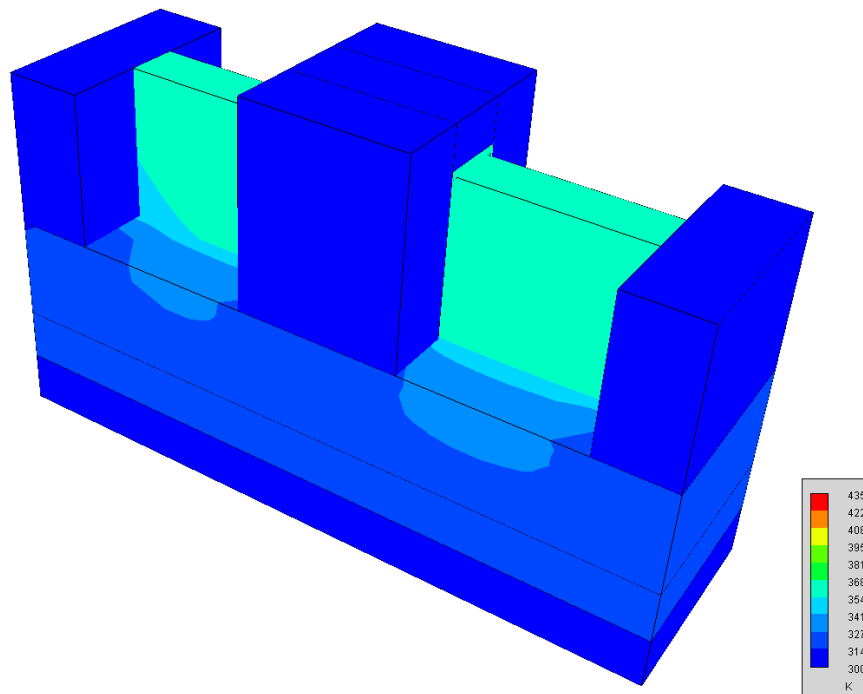
Рис. 3.9. Залежність потужності, що виділяється від напруги на затворі для різних значень ширини фіну

Розрахунки показали, що при зменшенні ширини фіну з 10 до 7 нм (на 30%) потужність, що виділяється зменшується на 7%, а щільність теплового потоку збільшується на 5%. При зменшенні ширини фіну до 5 нм (на 50%) потужність зменшується на 13%, а щільність потоку теплоти зростає на 10%. Максимальна температура пристрою при цьому зростає, відповідно, на 1.1 та 1.6%.

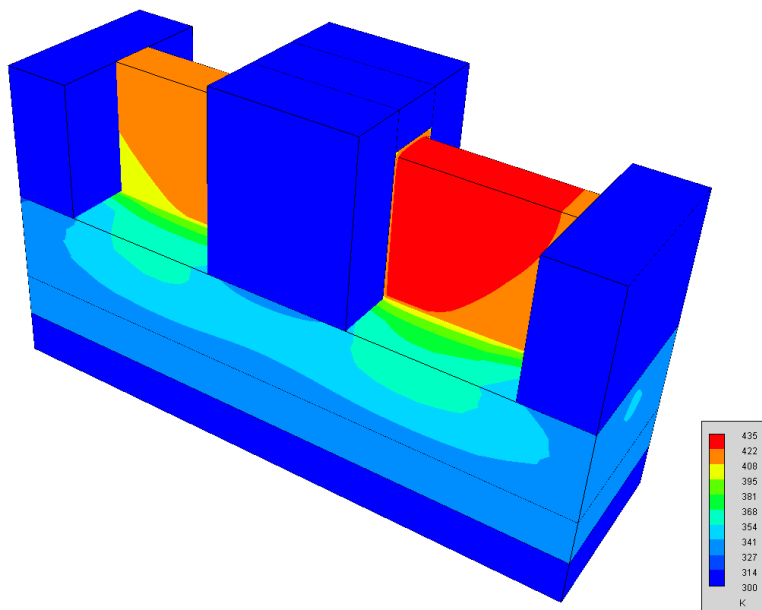
На рисунках 3.10.-3.12. наведено результати чисельного моделювання самонагріву nmos FinFET пристрою з різними значеннями висоти фіну.



a)

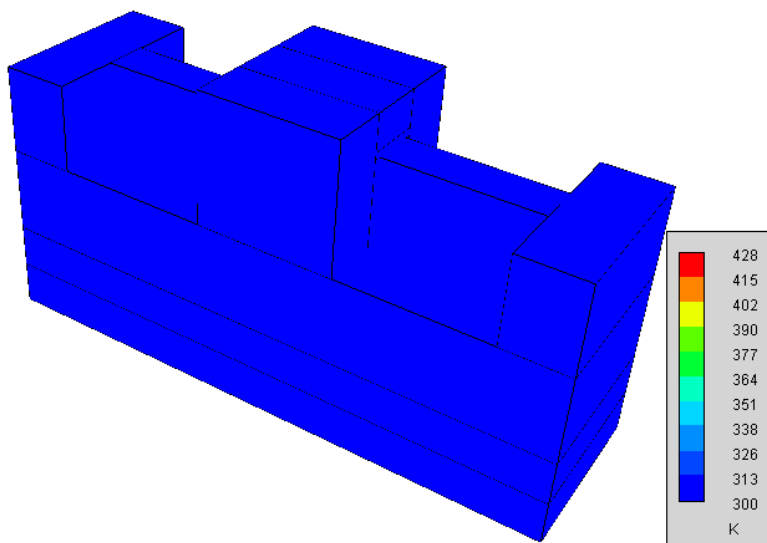


б)

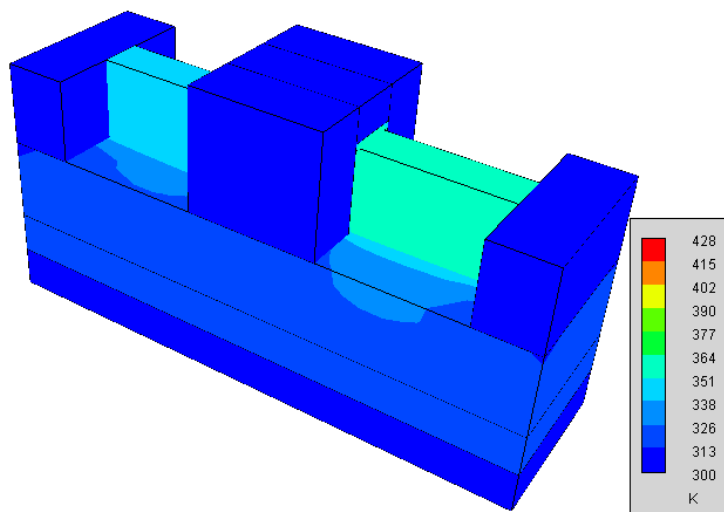


в)

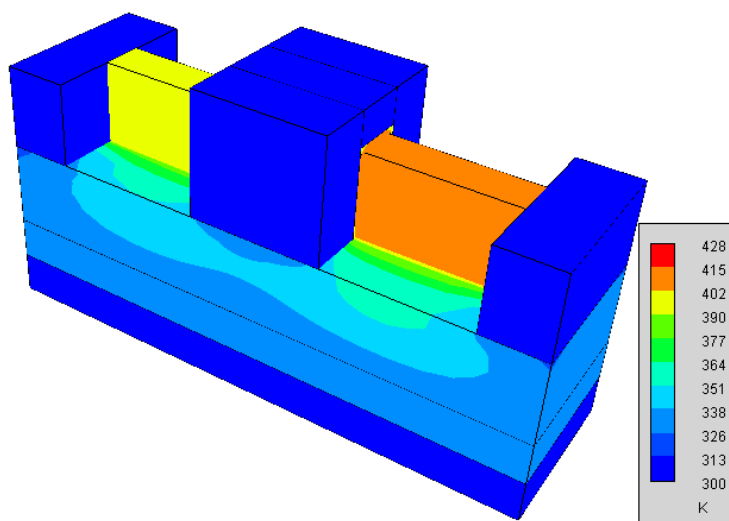
Рис. 3.10. Розподіл температури у pmos FinFET транзисторі з висотою фіну 30 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В



а)

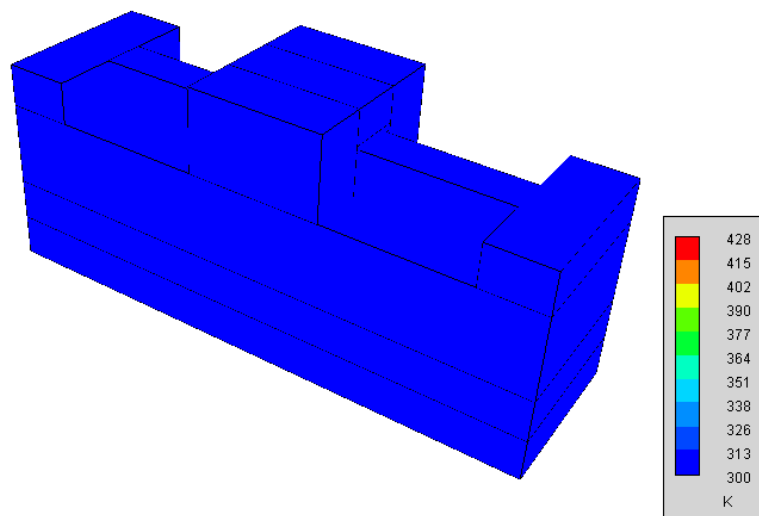


б)

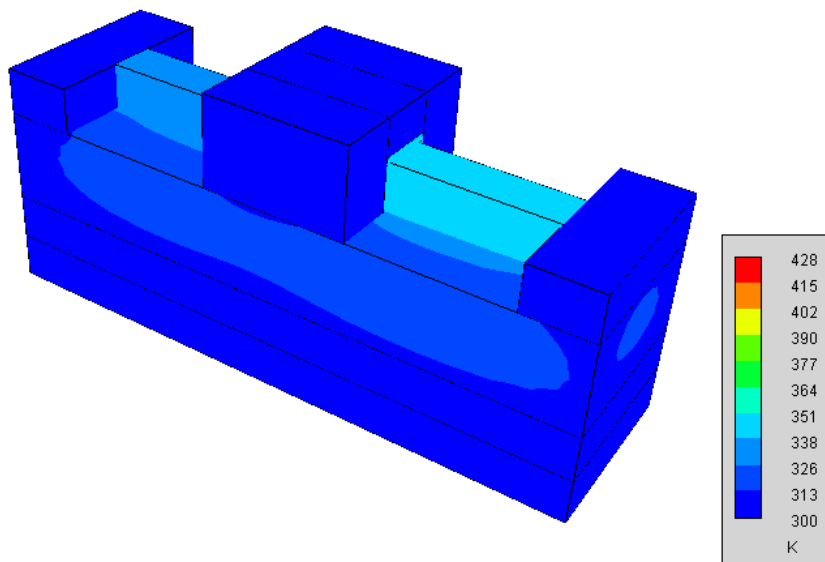


в)

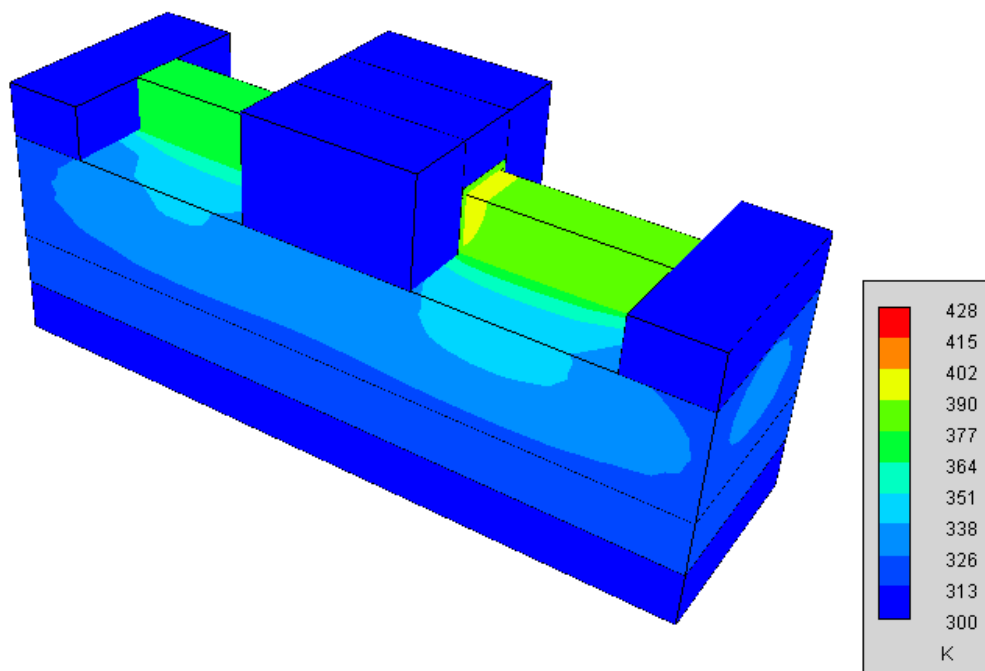
Рис. 3.11. Розподіл температури у pmos FinFET транзисторі з висотою фіну 20 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В



a)



б)



в)

Рис. 3.12. Розподіл температури у pmos FinFET транзисторі з висотою фіну 10 нм та напругою на затворі: а – 0 В, б – 0.5 В, в – 1 В

На рисунку 3.13 наведено залежність потужності, що виділяє пристрій від значення напруги на затворі для різних значень висоти каналу FinFET.

Зменшення висоти фіну з 30 до 20 нм (на 33%) призводить до того, що потужність зменшується на 27%, щільність теплового потоку збільшується на 10%. Зменшення до 10 нм (на 67%) призводить до зменшення потужності на 54%, а щільність потоку теплоти при цьому зростає на 20%. Максимальна температура пристрою у обох випадках зменшується, відповідно, на 3 та 15%.

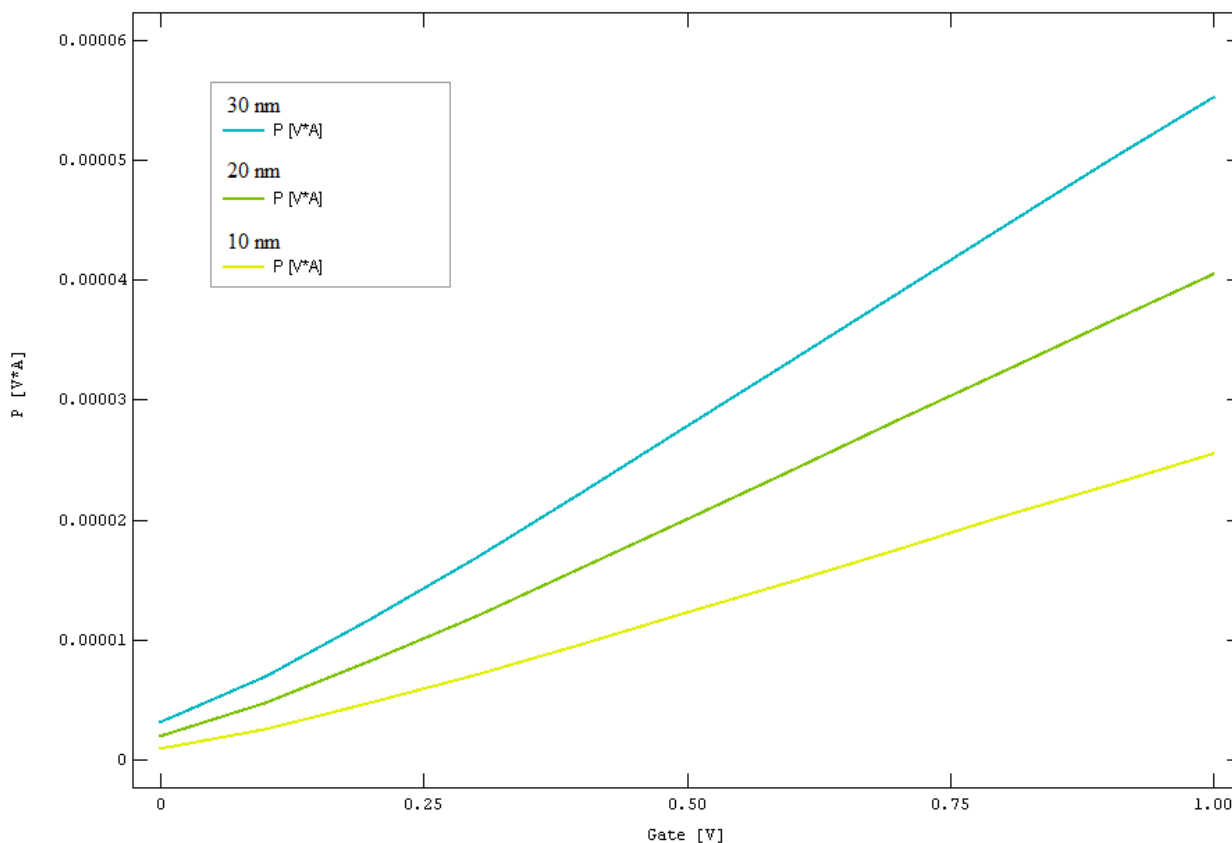


Рис. 3.13. Залежність потужності, що виділяється від напруги на затворі для різних значень висоти фіну

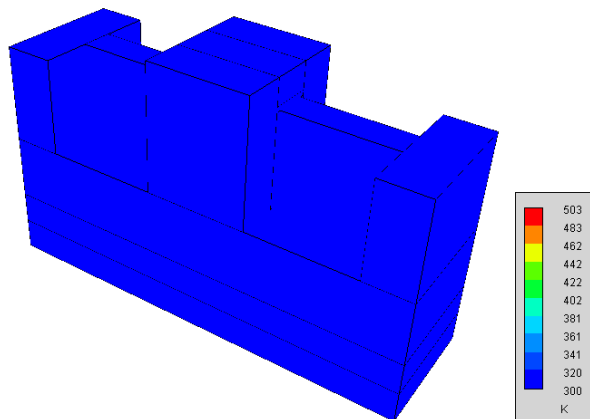
Таким чином, результати демонструють, що зменшення розмірів каналу FinFET призводить до зменшення потужності, що виділяється. Однак, в той же час зростає щільність теплового потоку, що посилює вплив ефектів, пов'язаних з самонагрівом. Отже, виникає проблема тепловідведення, пов'язана з забезпеченням надійності пристрою та інтегральної схеми в цілому.

3.3. Вплив зменшення теплопровідності каналу транзистору за рахунок нанорозмірних ефектів

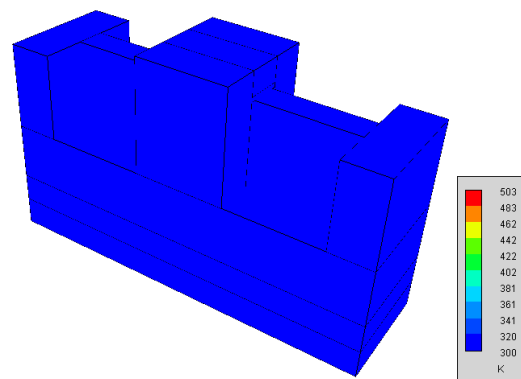
При конструюванні нанорозмірних транзисторів виникає проблема управління тепловим потоком конкретного пристрою, оскільки нові ускладнені геометрії транзисторів ускладнюють задачу тепловідведення, а окрім того більшість матеріалів, що використовуються, мають меншу теплопровідність ніж об'ємний кремній.

Самонагрів пристрою під час роботи відбувається у наслідок взаємодії електронів з коливаннями решітки (фононами). Електрон-фононна взаємодія є неоднорідною як просторово, так і енергетично [33, 34], а фонони, що генеруються, роблять різний внесок у перенесення теплоти: оптичні фонони мають малу групову швидкість та майже не сприяють теплопровідності, у якій переважає акустичний фононний транспорт [33, 35]. Крім того, теплопровідність напівпровідникових плівок з товщиною меншою за довжину вільного пробігу фононів значно знижується за рахунок затримування фононів та їх розсіювання. Це підвищує термічний опір пристрою, що призводить до зростання температури решітки у тонкоплівкових транзисторах, порівняно з об'ємними елементами, які працюють за тих же значень напруги [26].

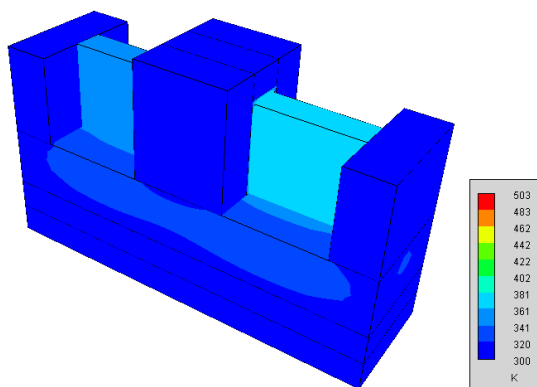
Для визначення впливу теплопровідності наномасштабного кремнію було досліджено розподіл температури всередині пристрою при урахуванні зменшення теплопровідності каналу різної ширини. Для ширини 10 нм теплопровідність каналу складала 13 Вт/м·К, для 7 нм – 11,2 Вт/м·К, для 5 нм – 10,7 Вт/м·К. Результати чисельного моделювання самонагріву nmos FinFET пристрою з різними значеннями ширини фіну представлено на рис. 3.14-3.16. Прикладена до стоку напруга складала 0.5 В.



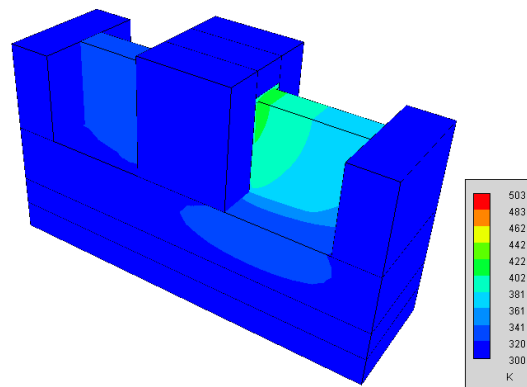
a)



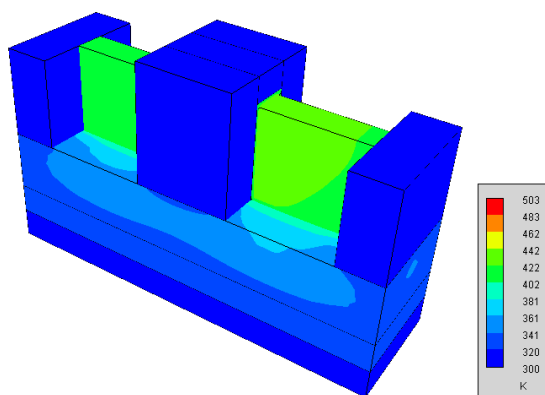
б)



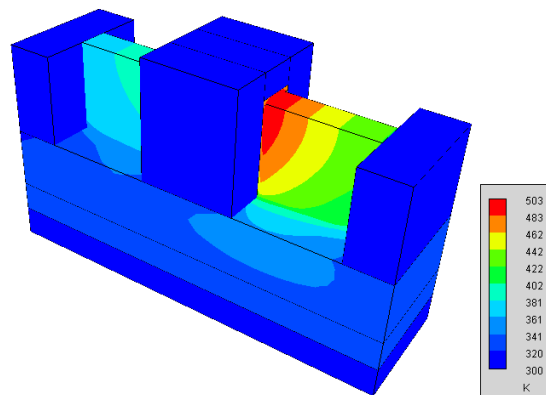
в)



г)

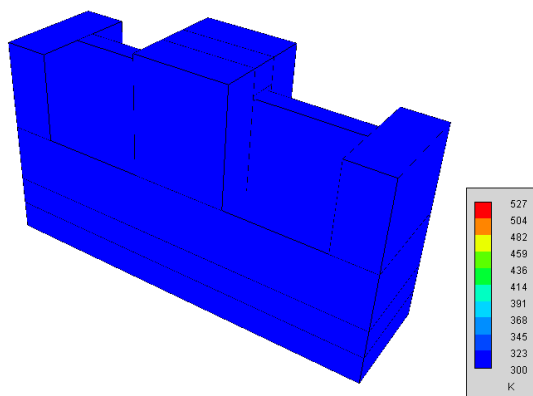


д)

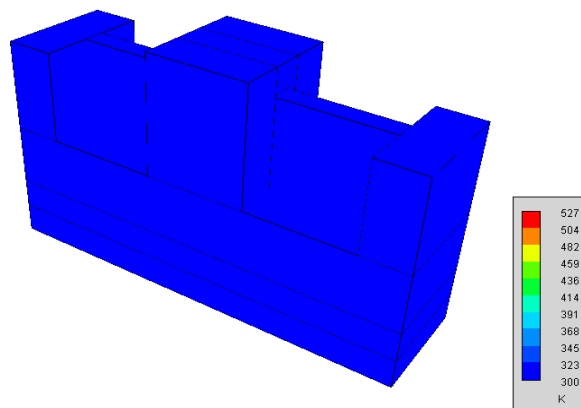


е)

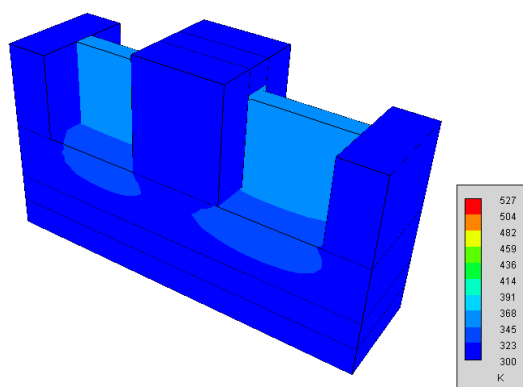
Рис. 3.14. Розподіл температури у pmos FinFET транзисторі з шириною фіну 10 нм та напругою на затворі: а, б – 0 В, в, г – 0.5 В, д, е – 1 В. Значення теплопровідності: а, в, д – 148 Вт/м·К, б, г, е – 13 Вт/м·К



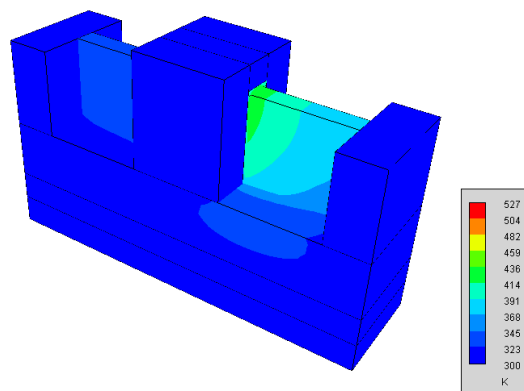
а)



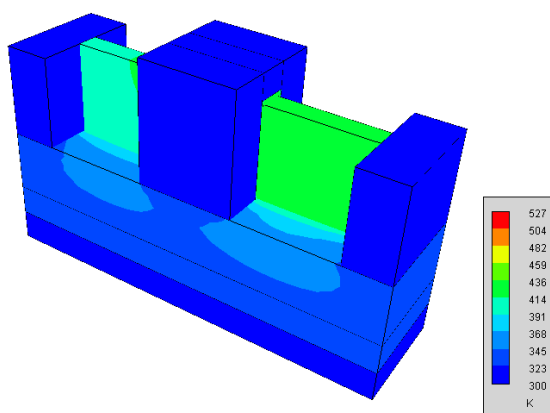
б)



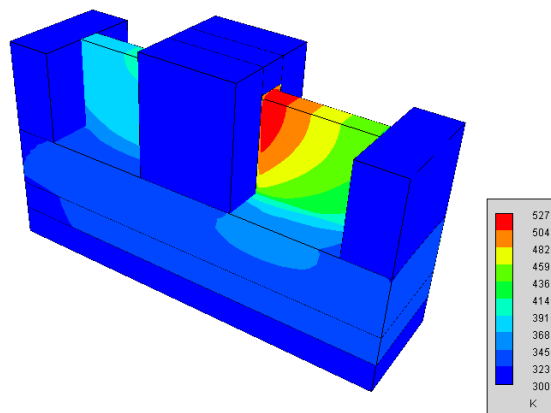
в)



г)

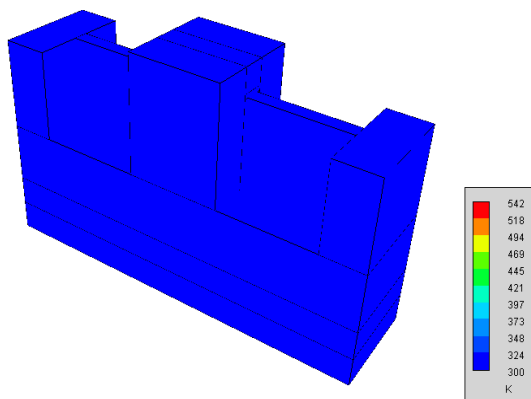


д)

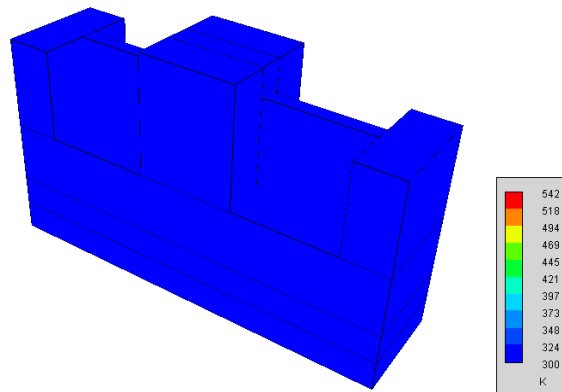


е)

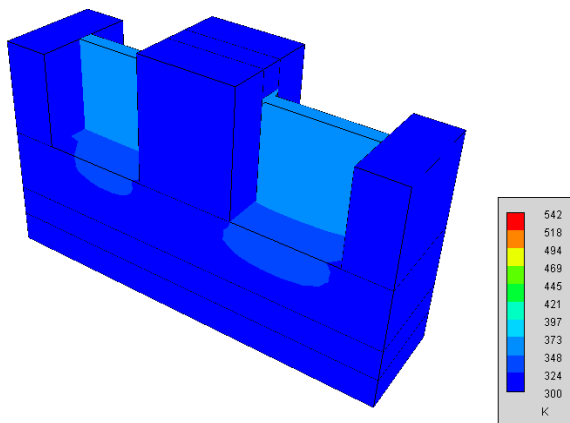
Рис. 3.15. Розподіл температури у pmos FinFET транзисторі з шириною фіну 7 нм та напругою на затворі: а, б – 0 В, в, г – 0.5 В, д, е – 1 В. Значення теплопровідності: а, в, д – 148 Вт/м·К, б, г, е – 11,62 Вт/м·К



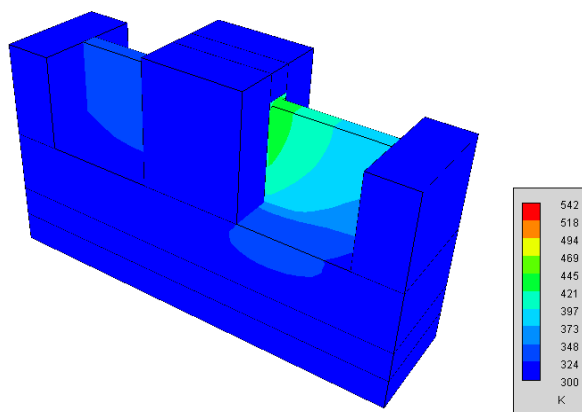
a)



б)



в)



г)

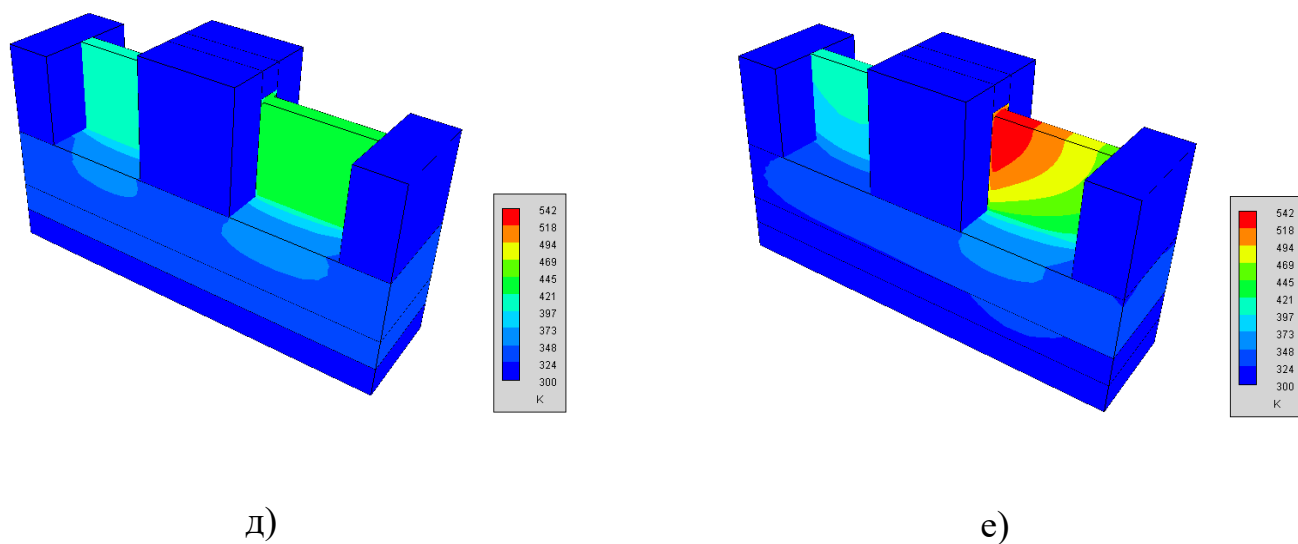


Рис. 3.16. Розподіл температури у pmos FinFET транзисторі з шириною фіну 5 нм та напругою на затворі: а, б – 0 В, в, г – 0.5 В, д, е – 1 В. Значення теплопровідності: а, в, д – 148 Вт/м·К, б, г, е – 10,7 Вт/м·К

З рисунків 3.14-3.16 видно, що при зменшенні теплопровідності у нанорозмірному кремнію каналу максимальна температура пристрою зростає. Так, при значенні теплопровідності об'ємного матеріалу максимальна температура пристрою з шириною каналу 10 нм складає 428 К, а при урахуванні нанорозмірних ефектів – 503 К, тобто збільшується на 15%. Для пристрою з шириною каналу 7 нм максимальна температура при урахуванні нанорозмірних ефектів зростає на 18%, а з шириною 5 нм – на 20%.

На рисунках 3.17-3.19 наведено залежність потужності, що виділяється пристроєм від напруги на затворі у двох випадках – при значенні теплопровідності об'ємного матеріалу та при урахуванні наномасштабних ефектів.

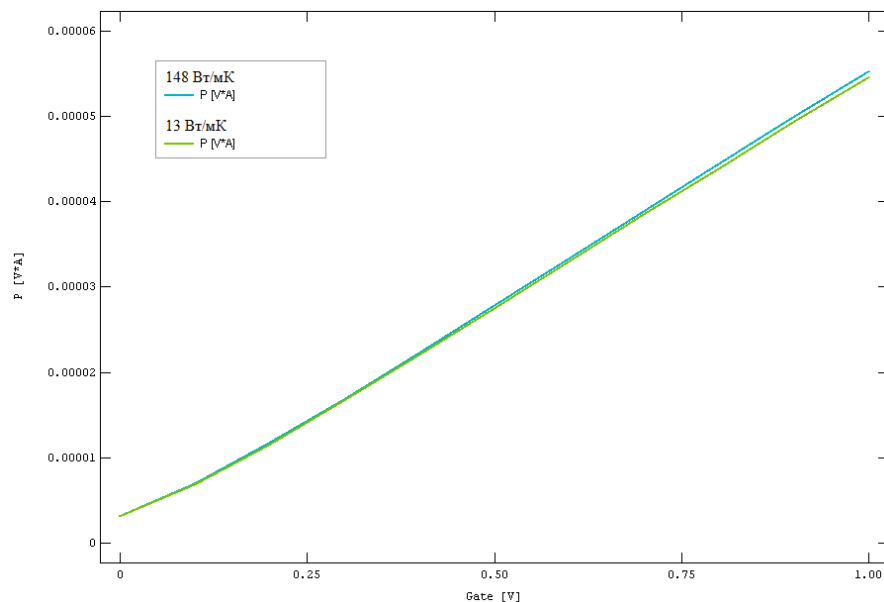


Рис. 3.17. Залежність потужності, що виділяється пристроєм з шириною каналу 10 нм від напруги на затворі при урахуванні зменшення теплопровідності каналу та без урахування

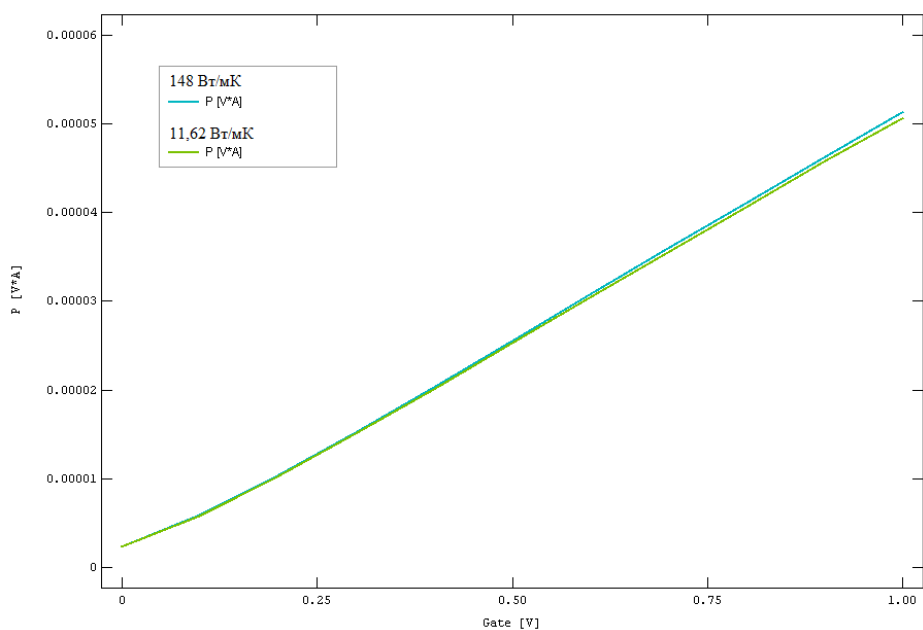


Рис. 3.18. Залежність потужності, що виділяється пристроєм з шириною каналу 7 нм від напруги на затворі при урахуванні зменшення теплопровідності каналу та без урахування

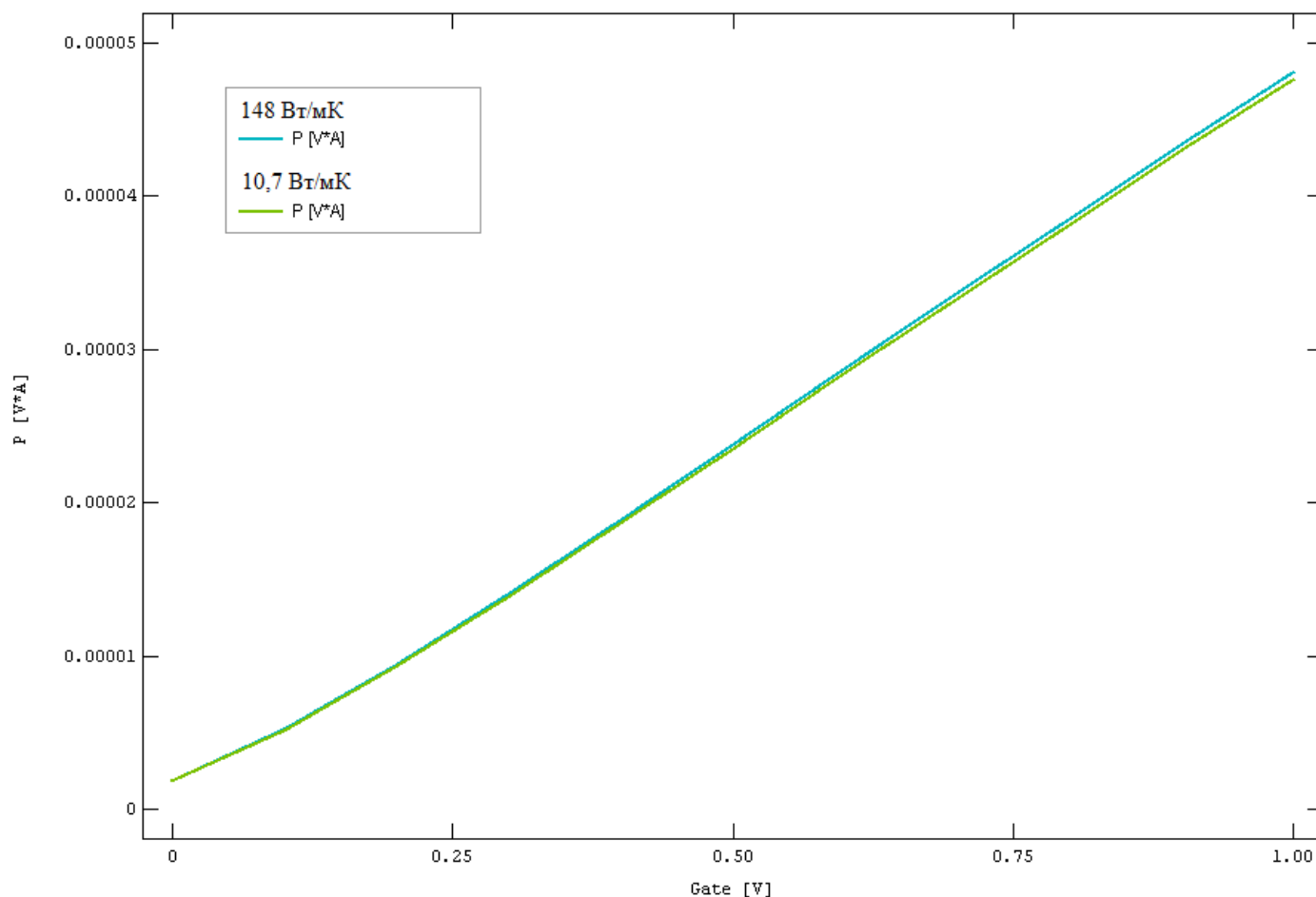


Рис. 3.19. Залежність потужності, що виділяється пристроєм з шириною каналу 5 нм від напруги на затворі при урахуванні зменшення теплопровідності каналу та без урахування

Видно, що при урахуванні зменшення теплопровідності кремнію у каналі призводить до зменшення потужності, що виділяє пристрій. Розрахунки показали, що потужність зменшується на 1% при всіх значеннях ширини каналу.

Таким чином, коректне урахування теплопровідності у нанорозмірних системах дозволяє уникнути проблем при розрахунку температури FinFET, оскільки похибка при використанні значення теплопровідності для об'ємного матеріалу складає не менше 10%.

3.4. Висновки до розділу 3

1. Проведено моделювання процесу самонагріву FinFET транзистору.
2. Встановлено вплив зміни геометрії на процес самонагріву. Виявлено особливості поведінки потужності, що виділяється, потоку теплоти, що відводиться, а також максимальної температури пристрою.
3. Проведено аналіз врахування зменшення теплопровідності каналу внаслідок наномасштабних ефектів. Встановлено, що зменшення теплопровідності каналу призводить до збільшення максимальної температури та зменшення потужності, що виділяється.

ВИСНОВКИ

1. Проведено чисельне моделювання структури та процесів самонагріву FinFET транзистору за допомогою програмного пакету GTS Framework.
2. Досліджено впливу зміни геометрії на самонагрів FinFET. Показано, що зміна геометричних розмірів транзистору призводить до зменшення потужності, що виділяє пристрій. При зменшенні ширини каналу на 30% потужність зменшується на 7%, при зменшенні на 50% – потужність зменшується на 13%. Зменшення висоти каналу на 33% призводить до зниження виділення потужності на 27%, а при зменшенні висоти на 67% потужність, що виділяється, знижується на 54%.
3. Виявлено, що при зменшенні геометричних розмірів транзистору щільність теплового потоку, що відводиться, зростає внаслідок того, що площа контактів зменшується повільніше, ніж потужність, що виділяється. При зменшенні ширини каналу на 30% щільність потоку теплоти зростає на 5%, при зменшенні на 50% – на 10%. Зменшення висоти каналу на 33% призводить до збільшення щільності теплового потоку на 10%, а при зменшенні висоти на 67% – 20%.
4. Продемонстровано, що зменшення висоти каналу на 33 та 67% призводить до зменшення максимальної температури пристрою відповідно на 3 та 15%, а зменшення ширини на 30 та 50% – до зростання відповідно на 1.1 та 1.6%.
5. Проведено аналіз впливу наномасштабних ефектів на самонагрів FinFET. При урахуванні зменшення теплопровідності каналу шириною 10 нм максимальна температура зростає на 15%, для каналу шириною 7 нм – на 18%, максимальна температура каналу з шириною 5 нм – на 20%.
6. Встановлено, що зменшення теплопровідності каналу внаслідок наномасштабних ефектів призводить до зниження потужності, що виділяється пристроєм, на 1%.

ПЕРЕЛІК ПОСИЛАНЬ

1. Goel A. High-temperature and self-heating effects in fully depleted SOI MOSFETs / A. Goel, T. Tan. // *Microelectronics Journal*. – 2006. – №37. – С. 963–975.
2. Wong H. Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation / H. Wong, D. Franks, P. Solomon. // *IEEE Electron Devices Meeting*. – 1998. – С. 407–410.
3. Scaling theory for double-gate SOI MOSFET's / [K. Suzuki, T. Tanaka, Y. Tosaka та ін.]. // *IEEE Trans. Electron Devices*. – 1993. – №40. – С. 2326–2329.
4. Two gates are better than one / [P. Solomon, K. Guarini, Y. Zhang та ін.]. // *IEEE Circuits and Devices Magazine*. – 2003. – №19. – С. 48–62.
5. Moore G. E. Cramming more components onto integrated circuits / Moore. // *Electronics*. – 1965. – №38.
6. Alothmani A. Capacitance Optimization and Ballistic Modeling of Nanowire Transistors / Alothmani – Lund, Sweden, 2018. – 61 с.
7. Sze S. M. *Semiconductor Devices: Physics and Technology* / S. M. Sze, M. Lee – USA, 2010. – С. 161–163.
8. Integrated circuit [Електронний ресурс] // *Britannica*. – 2018. – Режим доступу до ресурсу: <https://www.britannica.com/technology/integrated-circuit#ref837139>.
9. Seabaugh A. The Tunneling Transistor-Quantum tunneling is a limitation in today's transistors, but it could be the key to future devices / Seabaugh. // *IEEE Spectrum*. – 2013.
10. Mehandia B. Study of electrical characteristics of SOI MOSFET using Silvaco TCAD simulator / Mehandia. // *Current Trends in Technology and Sciences*. – 2012. – №1.
11. State-of-the-art MOSFET and TCAD in the advancement of technology: A review / L.Khiangte, R. S. Dhar, K. Kumar, J. L. Pachuau. // *Advances in Engineering Research*. – 2018. – №178. – С. 37–41.

12. Z.-Q Hu // Modern Inorganic Synthetic Chemistry / Z.-Q Hu, 2017. – C. 641–667.
13. Katsuhiko T. A III-V nanowire channel on silicon for high-performance vertical transistors / Katsuhiko. // Nature. – 2012. – №488. – C. 11293.
14. Robertson J. Defect state passivation at III-V oxide interfaces for complementary metal–oxide–semiconductor devices / Robertson. // Journal of Applied Physics. – 2015. – №117. – C. 112806.
15. Alamo J. Nanowire-scale electronics with III-V compound semiconductors / Jesus Alamo. // Microsystems Technology Laboratories. – 2011. – №479.
16. Yakimets D. Vertical GAAFETs for the Ultimate CMOS Scaling / Yakimets. // IEEE Journals and Magazines. – 2015. – №62.
17. Pal R. S. Recent Trend of FinFET Devices and its Challenges: A Review / R. S. Pal, S. Sharma, S. Dasgupta. // Proc. IEEE Conference on Emerging Devices and Smart Systems (ICEDSS 2017). – 2017. – C. 150–154.
18. Kang C. Effect of layout and process parameter on device/circuit performance and variability for 10nm node FinFET technology / C-Y Kang. // Symp. VLSI Technol. Technical Dig.. – 2013. – C. 90–91.
19. Ramey S. Intrinsic transistor reliability improvement from 22 nm tri-gate technology / Ramey. // IEEE International Reliability Physics Symposium. – 2013.
20. Chopra S. A Review on Challenges for MOSFET Scaling / S. Chopra, S. Subramaniam. // IJISSET - International Journal of Innovative Science, Engineering & Technology. – 2015. – №2. – C. 1055–1057.
21. Sun X. Nanoscale Bulk MOSFET Design and Process Technology for Reduced Variability / Sun – Berkeley, 2010.
22. Subramaniam S. Drain Current Models for Single-Gate MOSFETs & Undoped Symmetric & Asymmetric Double-Gate SOI MOSFETs and Quantum Mechanical Effects / S. Subramaniam, R. N. Awale, S. M. Joshi. // International Journal of Engineering Science & Technology. – 2013. – №5.

23. Khan M. I. Self-Heating and Reliability Issues in FinFET and 3D ICs / M. I. Khan, A. R. Buzdar, L. Fujiang. // 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). – 2014.
24. Shunri O. Nanoscale Silicon Devices / O. Shunri, D. Ferry., 2016. – 288 с.
25. Pop E. Thermal Analysis of Ultra-Thin Body Device Scaling / E. Pop, R. Dutton, K. Goodson. // Electron Devices Meeting. – 2003.
26. Pop E. Heat Generation and Transport in Nanometer-Scale Transistors / E. Pop, S. Sinha, K. Goodson. // Proceedings of the IEEE. – 2006. – №94. – С. 1587 – 1601.
27. Pop E. Self-heating and scaling of thin body transistors: PhD thesis / Pop Eric, 2004.
28. Busch G. Heat conduction in semiconductors / G. Busch, M. Schneider. // Physica. – 1954. – №20. – С. 1084–1086.
29. GTS Framework [Электронный ресурс]. – 2019. – Режим доступа до ресурсу: <http://www.globaltcad.com/en/products/gts-framework.html>.
30. GTS Vision / Structure – User Manual [Электронный ресурс]. – 2018. – Режим доступа до ресурсу: <https://www.globaltcad.com/en/mygts/document-library.html>.
31. Minimos-NT User Manual [Электронный ресурс]. – 2018. – Режим доступа до ресурсу: <https://www.globaltcad.com/en/mygts/document-library.html>.
32. ISE Integrated Systems Engineering. // ISE TCAD Manuals vol. 5. – 1997. – №4. – С. 163,168.
33. Pop E. Monte Carlo simulation of Joule heating in bulk and strained silicon / E. Pop, R. Dutton, K. Goodson. // Appl. Phys. Lett.. – 2005. – №86.
34. Joule heating under quasi-ballistic transport conditions in bulk and strained silicon devices / E.Pop, J. Rowlette, R. Dutton, K. Goodson. // Proc. Int. Conf. Simulation of Semiconductor Processes and Devices (SISPAD). – 2005. – С. 307–310.
35. Goodson K. Phonon scattering in silicon thin films with thickness of order 100 nm / K. Goodson, Y. Ju. // Appl. Phys. Lett.. – 1999. – №74. – С. 3005–3007.