

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ім. Ігоря Сікорського»**

**ФАКУЛЬТЕТ ЕЛЕКТРОНІКИ  
КАФЕДРА КОНСТРУЮВАННЯ ЕЛЕКТРОННО-ОБЧИСЛЮВАЛЬНОЇ  
АППАРАТУРИ**

«До захисту допущено»  
Завідувач кафедри  
\_\_\_\_\_ Лисенко О.М.  
(підпис) (ініціали, прізвище)  
“ \_\_\_ ” \_\_\_\_\_ 20\_\_ р.

**Дипломний проект**  
на здобуття ступеня бакалавра

зі спеціальності 6.050902 РАДІОЕЛЕКТРОННІ АПАРАТИ  
(код та назва напрямку підготовки або спеціальності)

на тему Сtereo ресивер

Виконав: студент IV курсу, групи ДК-51  
Максимович Богдан Олександрович  
(прізвище, ім'я, по батькові)

\_\_\_\_\_ (підпис)

Керівник ст. викл. Губар В.Г.  
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

\_\_\_\_\_ (підпис)

Консультант \_\_\_\_\_  
(назва розділу) (вчені ступінь та звання, прізвище, ініціали)

\_\_\_\_\_ (підпис)

Консультант \_\_\_\_\_  
(назва розділу) (вчені ступінь та звання, прізвище, ініціали)

\_\_\_\_\_ (підпис)

Рецензент \_\_\_\_\_  
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

\_\_\_\_\_ (підпис)

Засвідчую, що у цьому дипломному  
проекті немає запозичень з праць інших  
авторів без відповідних посилань.

Студент \_\_\_\_\_  
(підпис)

Київ - 2019

**Національний технічний університет України**  
**«Київський політехнічний інститут ім. Ігоря Сікорського»**  
Факультет електроніки  
Кафедра конструювання електронно-обчислювальної апаратури

Освітньо-кваліфікаційний рівень – бакалавр

Спеціальність 6.050902 РАДІОЕЛЕКТРОННІ АПАРАТИ

(код і назва)

ЗАТВЕРДЖУЮ

Завідувач кафедри

\_\_\_\_\_ Лисенко О.М.

(підпис) (прізвище ініціали)

«\_\_\_» \_\_\_\_\_ 20\_\_р.

**ЗАВДАННЯ**

**на дипломний проект студенту**

\_\_\_\_\_ Максимовича Богдана Олександровича

(прізвище, ім'я, по батькові)

1. Тема проекту Сtereo ресивер

керівник проекту Губар Вячеслав Григорович, старший викладач  
затверджені наказом по університету від

2. Термін подання студентом проекту 10 червня 2018 року

3. Вихідні дані до проекту Пристрій має конструкцію що передбачає додавання додаткового функціоналу з підключенням в спеціально відведені місця, та складається з двох друкованих плат. Кліматичне виконання – УХЛ 4.2.

4. Зміст розрахунково-пояснювальної записки:

- Короткі теоретичні відомості та аналіз технічного завдання
- Опис структурної схеми
- Вибір елементної бази
- Розробка схеми електричної принципової
- Конструкторсько-технологічні розрахунки
- Електричний розрахунок материнської плати
- Розрахунок надійності друкованих плат
- Створення фільтрів в Matlab
- Розробка проекту в Quartus
- Проектування в Altium Designer
- Висновки

5. Перелік графічного матеріалу (із зазначенням обов'язкових креслень, плакатів, презентацій тощо):

- Схема електрична принципова материнської плати
- Схема електрична принципова блоку керування
- Друкована плата материнського вузла
- Друкована плата блоку керування
- Складальне креслення материнської плати
- Складальне креслення блоку керування
- Складальне креслення сигнального джгута
- Складальне креслення джгута живлення

6. Консультанти розділів проекту

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Розділ 6	Лебедев Д.Ю. к.т.н., доцент		
Розділ 7	Антонюк О.І. ст.викладач		

7. Дата видачі завдання 04.03.19

**КАЛЕНДАРНИЙ ПЛАН**

№ з/п	Назва етапів виконання Дипломного проекту	Термін виконання етапів проекту	Примітка
1	Аналіз технічного завдання	02.04.2019-09.04.2019	виконано
2	Вибір елементної бази та друкованої плати	9.04.2019-16.04.2019	виконано
3	Схемо-технічне проектування	16.04.2019-23.04.2019	виконано
4	Виконання креслення схеми електричної принципової	23.04.2019-30.04.2019	виконано
5	Виконання конструкторсько-технологічних та електричних розрахунків	01.05.2018-14.05.2019	виконано
6	Проектування у Altium Designer	14.05.2019-21.05-2019	виконано
7	Виконання креслення друкованої плати та складального креслення друкованого вузла	21.05.2019-28.05-2019	виконано
8	Оформлення пояснювальної записки	28.05.2019-10.06.2019	виконано

Студент \_\_\_\_\_ Максимович Б.О.  
(підпис) (прізвище та ініціали)

Керівник проекту \_\_\_\_\_ Губар В.Г.  
(підпис) (прізвище та ініціали)

## Анотація

Дипломний проект викладено в 77 сторінках, він містить 8 розділів, 50 ілюстрацій, 8 таблиць та 29 джерел у переліку посилань.

Об'єктом розробки є стерео ресивер.

Предмет роботи – створення приладу, що матиме модульну конструкцію та гнучке налаштування параметрів.

Метою даного проекту є розробка системи обробки аудіо потоку даних з аналого-цифровим та цифро-аналоговими перетвореннями, що дає можливість користувачу конфігурувати параметри системи.

У першому розділі виконано пошук аналогів даному пристрою, а також розроблена структурна схема приладу, згідно якої відбувалась подальша розробка.

У другому розділі, згідно структурної схеми, обрана елементна база системи та схема електрична принципова.

У третьому розділі виконується вибір параметрів друкованої плати, виходячи з компонентної бази та експлуатаційних умов.

У четвертому та п'ятому розділах виконані конструкторські та електричні розрахунки, що підтверджують правильність конструкторських рішень та працездатність системи.

У шостому розділі описується процес створення фільтрів для смуг еквалайзеру.

У сьомому розділі виконана реалізація проекту для програмування матриці логічних вентилів.

У восьмому розділі описано процес створення друкованої плати в системі автоматизованого проектування.

## Abstract

The graduation project is presented in 77 pages, it contains 8 sections, 50 illustrations, 8 tables and 29 sources in the list of references.

The object of development is a stereo receiver.

The subject of the work is the creation of a device that will have a modular structure and a flexible setup of parameters.

The purpose of this project is to develop a system for processing audio data stream with analog-digital and digital-to-analog conversion, which allows the user to configure the parameters of the system.

In the first section we searched for analogues of this device and created a structural diagram of the device, according to which further development took place.

In the second section, according to the structural scheme, the elemental base of the system is selected and its circuit is electric principal.

In the third section, the choice of PCB parameters is performed, based on the component basis and operating conditions.

In the fourth and fifth chapters, design and electrical design have been completed, which confirm the correctness of design solutions and system performance.

The sixth section describes the process of creating filters for the equalizer bands.

In the seventh section, implementation of the project for programming the matrix of logic valves has been completed.

The eighth chapter describes the process of creating a printed circuit board in the automated design system.

**Пояснювальна записка  
до дипломного проекту**

на тему: **Стерео ресивер**

Київ – 2019

## ЗМІСТ

Список прийнятих скорочень.....	4
Вступ.....	5
Розділ 1. Аналіз технічного завдання та створення структурної схеми.....	6
1.1 Короткі теоретичні відомості та пошук аналогів.....	6
1.2 Аналіз технічного завдання.....	6
1.3 Розробка структурної схеми.....	8
Розділ 2. Схемотехнічне проектування.....	11
2.1 Вибір та обґрунтування елементної бази.....	11
2.1.1 Вибір компонентів материнської плати.....	11
2.1.2 Вибір компонентів плати керування.....	17
2.2 Розробка функціональних блоків материнської плати.....	18
2.2.1 Вхід системи.....	18
2.2.2 Блок аналого-цифрового перетворення.....	24
2.2.3 Блок цифро-аналогового перетворення.....	25
2.3 Розробка функціональних блоків плати керування.....	27
Розділ 3. Вибір параметрів друкованої плати.....	31
3.1 Вибір матеріалу ДП.....	31
3.2 Вибір класу точності ДП.....	33
3.3 Обґрунтування методу виготовлення ДП.....	35

					<h1 style="margin: 0;">ДК51.468152.001 ПЗ</h1>			
Змн.	Арк.	№ докум.	Підпис	Дат	<b>Сtereo ресивер.</b> Пояснювальна записка	Літ.	Арк.	Архів
Розробив		Максимович					1	77
Перевінив		Махньов О.І.						
Реценз.								
Н. Контр.		Лисенко О.І.						
Затвердив		Губар В.Г.						КПІ ім. І.Сікорського, ФЕЛ, гр. ДК-51



3.4	Визначення мінімальної ширини друкованого провідника по струму для ланцюгів живлення та землі.....	35
Розділ 4. Електричний розрахунок друкованої плати.....		38
4.1	Визначення падіння напруги на найдовшому провіднику.....	38
4.2	Визначення взаємної індуктивності двох паралельних провідників однакової довжини.....	38
4.3	Визначення ємності між двома сусідніми провідниками.....	39
4.4	Визначення потужності втрат двосторонньої ДП.....	40
Розділ 5. Розрахунок надійності.....		42
5.1	Розрахунок надійності материнської плати.....	42
5.2	Розрахунок надійності плати керування.....	45
5.3	Розрахунок надійності приладу.....	48
Розділ 6. Розробка та аналіз програмного забезпечення в Matlab.....		51
6.1	Короткі теоретичні відомості та ознайомлення з інтерфейсом.....	51
6.2	Розробка фільтрів.....	53
6.2.1	Фільтр низьких частот.....	54
6.2.2	Фільтр високих частот.....	56
6.2.3	Принцип побудови смугових та режекторних фільтрів.....	59
6.2.4	HDL coder.....	62
Розділ 7. Розробка системи в Quartus.....		63
7.1	Тестування розроблених фільтрів.....	63
7.2	Структурна схема системи.....	65
7.3	Розробка в Quartus.....	66

7.4 Симуляція керування системи.....	68
Розділ 8. Проектування в Altium Designer.....	70
Висновки.....	72
Список використаних джерел.....	74
Додаток А. Технічне завдання	
Додаток Б. Лістинг програмного коду	
Додаток В. Участь у XII МІЖНАРОДНІЙ НАУКОВО-ТЕХНІЧНІЙ КОНФЕРЕНЦІЇ МОЛОДИХ ВЧЕНИХ «ЕЛЕКТРОНІКА-2019»	
Додаток Г. Стерео ресивер. Материнська плата. Перелік елементів	
Додаток І. Стерео ресивер. Плата керування. Перелік елементів	
Додаток Д. Материнська плата. Специфікація	
Додаток Е. Плата керування. Специфікація	
Додаток Є. Сигнальний джгут. Специфікація	
Додаток Ж. Джгут живлення. Специфікація	

## Список прийнятих скорочень

АЦП	Аналого-цифрове перетворення (перетворювач)
ЦАП	Цифро-аналогове перетворення (перетворювач)
SMD	Surface mount device
ДП	Друкована плата
ІІР	Infinite impulse response
ПЗ	Програмне забезпечення
FPGA	Field-Programmable Gate Array
ПЛІС	Програмована логічна інтегральна схема
ОП	Операційний підсилювач
S/PDIF	Sony/Philips Digital Interface Format
FM	Frequency modulation
MSPS	Million Signal Per Second
KSPS	Kilosamples Per Second
ФНЧ	Фільтр нижніх частот
ФВЧ	Фільтр вищих частот

## ВСТУП

Сtereo ресивер – це пристрій, що призначений для обробки звукових сигналів з різних доступних джерел. В залежності від призначення та експлуатаційних умов встановлюються відповідні характеристики приладу по якості обробки сигналу, кількості джерел приймання сигналу, тощо. Взагалі представлено дуже багато конструктивних та технічних рішень для аудіо апаратури. Різні виробники намагаються по-різному переконати користувача використовувати саме їх продукцію. Але, в більшості випадків, це призводить до збільшення функціоналу, який може не використовуватись в повному обсязі. Нажаль користувач не має вибору в функціональній частині приладу крім розподілення на менш потужні і більш потужні рішення.

Метою цього проекту є розробка пристрою, котрий матиме ряд гнучких налаштувань та свободу вибору вищесказаних для кінцевого користувача зі збереженням функціоналу. В більшості випадків такі прилади мають конструкцію, що має ряд заздалегідь встановлених функцій або параметрів та не передбачає втручення користувача в зміни конуструкції. Набагато краще мати базу, що забезпечить роботу, та, за необхідності, мати можливість додати додаткові функції без заміни всього приладу.

Практична новизна полягає в тому, що подібні системи і рішення в зазначеній конструкції не практикуються для побутової електроніки, що в свою чергу вказує на наявність простору для створення продукції саме такого типу.

Практичне значення. Проектування приладу відбувається з огляду на те, де і для чого він буде використовуватись. Одна з основних умов експлуатації – інтеграція в різнотипні аудіо системи з прицілом використання в побутових умовах.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		5

# Розділ 1. АНАЛІЗ ТЕХНІЧНОГО ЗАВДАННЯ ТА СТВОРЕННЯ СТРУКТУРНОЇ СХЕМИ

## 1.1 Короткі теоретичні відомості та пошук аналогів

Сtereo ресивер – пристрій, що повинен забезпечувати приймання сигналів з різних джерел, обробку та передачу обробленого сигналу. Спочатку слово «ресивер» в радіотехніці означало всього-на-всього радіоприймач, тобто тюнер з вбудованим підсилювачем. Сьогодні - це складний пристрій, здатний обробляти цифрові й аналогові багатоканальні звукові сигнали, а також відеосигнали, і служить центром домашнього кінотеатру. Зазвичай такі пристрої мають назву AV-ресивер [1]. Основними аудіо джерелами, з яких ресивер приймає сигнал, є: аналоговий вхід, S/PDIF, приймання сигналу по безпроводним технологіям, FM - діапазон.

Проаналізувавши ситуацію на ринку таких, можна дійти висновку, що в широкому доступі повних аналогів розроблюваному приладу немає на території України. Тому основна ціль цієї розробки – створення приладу, який дотримувався б модульної концепції, а саме можливості апаратного або програмного додавання окремо розроблених модулів до основного друкованого простору (так званої материнської плати) без її зміни. Це допоможе виділитись на фоні вже існуючих подібних рішень. В план на подальший розвиток входить створення таких блоків і програмних можливостей вдосконалення системи, а також розробка вбудованого потужного підсилювача.

## 1.2 Аналіз технічного завдання

Виходячи з отриманого технічного завдання на дипломний проект необхідно створити прилад, який матиме моноблочну конструкцію та дві основних ДП, а саме: материнська плата з розміщеним на ній обчислювальним блоком, та панель керування пристроєм.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		6

Також необхідно забезпечити модульність констукції, що передбачає можливість користувачу, за бажанням, додавати до основного пристрою додатковий функціонал.

До базового набору функцій входять: система керування, система обробки сигналу, аналоговий інтерфейс прийому сигналу та вихід на зовнішній підсилювач низьких частот. Ці функції повинні знаходитись на материнській платі приладу, крім системи керування, що виноситься на окремий ДП.

Витримка встановлених параметрів по якості повинна забезпечуватись використанням якісних компонентів, що мінімально будуть впливати на характеристики приладу. Більш детально вибір елементної бази розглянуто в розділі 2.

В технічному завданні вказано, що необхідно забезпечити умови експлуатації згідно УХЛ-4.2 згідно ГОСТ 15150-69, що означає використання в помірного та холодному макрокліматичному районах з роботою в лабораторних або капітальних житлових приміщеннях. Параметрами такого середовища є:

Таблиця 1.1 Встановлені значення згідно УХЛ-4.2

Параметр	Значення
Робоча температура	Від +1 до +35, °C
Критична робоча температура	Від +1 до +40, °C
Відносна вологість повітря	60% при 20 °C

Незважаючи на те, що основним місцем використання цього приладу буде житлове приміщення, необхідно захистити ДП від потрапляння вологи та пилу. Для цього необхідно покрити ДП трьома захисними шарами лаку, що забезпечить достатній захист для даних експлуатаційних умов.

### 1.3.1 Розробка структурної схеми

Для початку необхідно описати доволі стандартну блок-схему створення таких пристроїв. Вона складається з основних функціональних блоків, які наявні, без винятку, в кожній системі.



Рисунок 1.1 - Блок-схема

До зображеної на рис.1.1 блок-схеми входять наступні блоки:

- Вхід системи
- Аналогово-цифрове перетворення
- Процесор
- Цифро-аналогове перетворення
- Вихід

Блок входу, для даного приладу, повинен мати кілька джерел прийому сигналу, а також елемент керування поточним активним входом. Для цього, необхідно уточнити, що блок входу матиме, щонайменше, наступну структуру:



Рисунок 1.2 - Блок входу

Блок аналого-цифрового перетворення. Ця частина складається не лише з мікросхеми АЦП. Для коректної роботи такої мікросхеми необхідно задати

певні умови. Цими умовами є антиелайсінговий фільтр [2], а також, в залежності від АЦП, підсилювач сигналу на вході.

Тому більш детальна структурна схема АЦП буде виглядати наступним чином:

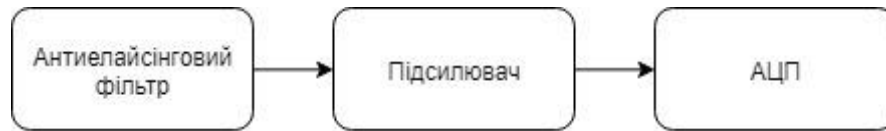


Рисунок 1.3 - Блок АЦП

Для будь-якої системи цифрової обробки звукових частот характерна наявність процесору, що буде виконувати всі необхідні операції та обчислення. Більш детально вибір процесора описано у розділі 2, на даному етапі ця частина структурної схеми не потребує додаткових частин для своєї роботи.

Блок цифро-аналогового перетворення схожий своєю структурою на блок АЦП. Йому також необхідно мати аналоговий фільтр, але вже на виході ЦАП. Фільтр виконує згладжування сигналу, що виходить з ЦАП. В залежності від мікросхеми є потреба у встановленні на виході блоку попереднього підсилювача, щоб основний підсилювач мав достатній сигнал на своєму вході.

Тому, структурна схема блоку ЦАП матиме наступний вигляд:

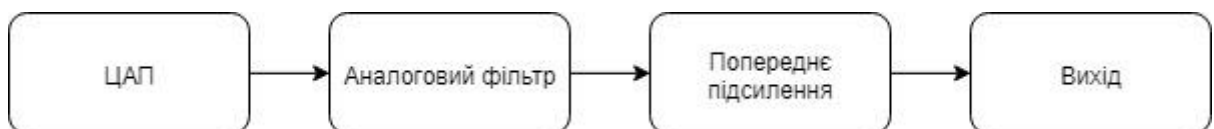


Рисунок 1.4 - Блок ЦАП

Вище показано з яких функціональних блоків складається система моно-ресиверу. Оскільки, в дані роботі розглядається створення стерео-ресиверу, треба подвоїти кількість блоків АЦП та ЦАП. Остаточна структурна схема зображена на рис.1.5.



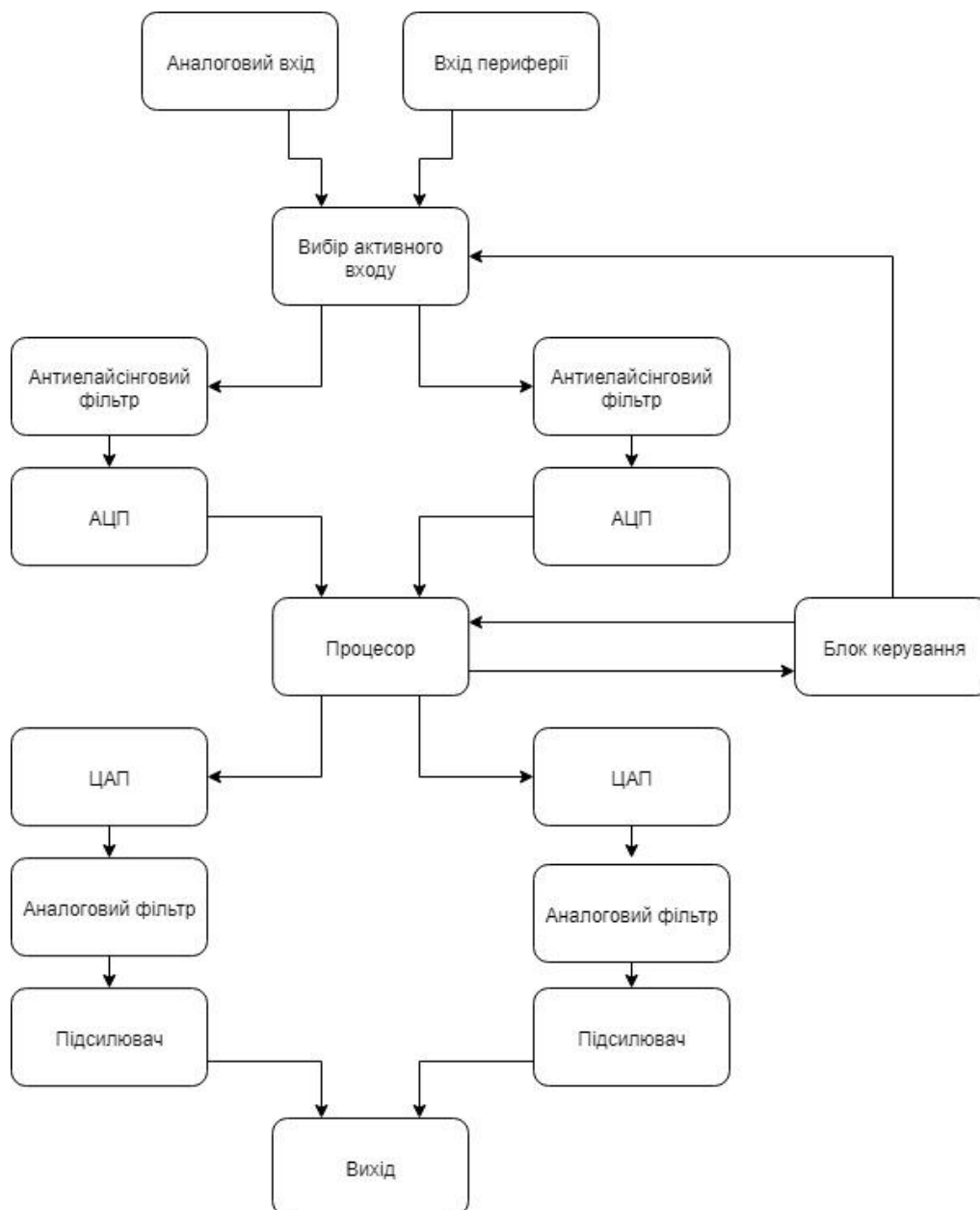


Рисунок 1.5 - Структурна схема приладу

Блок керування, що знаходиться на окремій ДП забезпечує подачу команд на процесор, та вхідний вузол системи.

Висновок до розділу: Вивчення тенденцій ринку аудіо апаратури та потреб користувача в цілому, склало базове уявлення про пристрій, що допомогло створити структурну схему приладу. На основі якої буде створено схему електричну принципіву.

## Розділ 2. СХЕМОТЕХНІЧНЕ ПРОЕКТУВАННЯ

### 2.1 Вибір та обґрунтування елементної бази

В розділі 1 створено структурну схему приладу. Для створення схеми електричної принципової необхідно визначитися з компонентами, що будуть входити до складу схеми.

#### 2.1.1 Вибір компонентів материнської плати

Головним критерієм вибору мікросхем є їх напруга живлення. Вона повинна складати 3.3 В або 5 В, оскільки напруга такого номіналу буде використовуватись в даному проекті. Це стандартні значення напруги для більшості мікросхем, що спрощує пошук необхідних блоків живлення та DC-DC перетворювачів

Спочатку треба обрати головний компонент системи – процесор, але вибір процесору залежить від того, який буде обрано АЦП та ЦАП.

Поставлена задача створити систему з затримкою сигналу не більше 10 (мс), для досягнення цієї цілі прийнято рішення використовувати АЦП та ЦАП з паралельним інтерфейсом. Такі мікросхеми характеризуються високою швидкістю опрацювання даних завдяки одночасному прийманню всіх необхідних бітів. Це пришвидшує обробку в порівнянні з послідовним інтерфейсом більшості мікросхем такого типу, де біти надходять по-черзі по тактовому сигналу. Для даного проекту буде використано АЦП і ЦАП з розрядністю 14 біт. Вибір розрядності цифрової аудіоапартури - комплексна задача. Під час вирішення такої задачі необхідно враховувати декілька факторів, такі як: рівень спотворень сигналів при дискретизації, затримки, пропускну здатність цифрових каналів даних та конструкційна складність отриманого рішення. Тому для вибору звернемося до роботи [3], виходячи з якої можна вибрати розрядність у 14 біт - достатньо для малих спотворень, та реалізуємо на сучасній компонентній базі

В якості виробника обрано Analog Devices, як лідера в виробництві прецизійних компонентів. З наявного асортименту на сайті виробника [4] використовуючи фільтри пошуку, задаємо необхідні параметри: паралельний інтерфейс, розрядність 14 біт, або більше, тип входу - Single ended.

З представлених моделей було обрано АЦП LTC2245 [5], оскільки ця мікросхема має найменше значення потужності, підходить за визначеними параметрами. Єдиним недоліком для використання в цьому проекті є надлишкова кількість обчислень за секунду. Вона може досягати 10MSPS. Це значення прямопропорційно залежить від величини тактового сигналу, тому можна знизити значення до 1MSPS.

При виборі ЦАП з заданими параметрами на сайті виробника вказана невелика кількість моделей. Серед них, в якості ЦАП обрано мікросхему AD9744 [6], котра також має надлишкові характеристики, але з представлених моделей найкраще співвідношення ціни до потужності.

Важливим параметром при виборі АЦП та ЦАП є однакове сприйняття бітової послідовності. В обраних мікросхемах старший розряд бітової послідовності відповідає за знак, що дає змогу обробляти дані з розрядністю 13 біт на кожні півперіоду гармонійного сигналу.

Після визначення мікросхем АЦП та ЦАП переходимо до вибору процесора. Наразі велика кількість систем виконується з використанням цифрових сигнальних процесорів - це спеціалізований програмований мікропроцесор, призначений для маніпулювання в реальному масштабі часу потоком цифрових даних. [7]

Архітектура сигнальних процесорів має помітні особливості:

- Швидке виконання операцій, характерних для цифрової обробки сигналів, наприклад, операція «множення з накопиченням» зазвичай виконується за один такт.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		12

- Вільні за часом цикли із заздалегідь відомою довжиною.
- Детермінована робота з відомим часом виконання команд, що дозволяє виконувати планування роботи в реальному часі.
- Досить велика довжина конвеєра, так що незаплановані умовні переходи можуть займати відносно багато часу.

З опису сигнальних процесорів можна дійти висновку, що використання їх в аудіо-апаратурі - це найкращий варіант, але наразі широко розвивається та інтегрується в багато систем технологія програмованих матриць - ПЛІС[8]. Основна властивість такої системи – повністю гнучке програмування під потреби розробника. Тому для даного проекту прийнято рішення використовувати саме ПЛІС, в якості центрального процесору. Для вибору мікросхеми необхідно знати кількість потрібних виводів мікросхеми, кількість ресурсів, що займає програма для ПЛІС, а також визначитись з серією мікросхеми.

Спершу обираємо серію мікросхеми. На ринку представлено наступні серії програмованих матриці фірми Intel: Max, Cyclone, Aria, Stratix, Agilex. Позиції розташовані по росту потужності, від найменшої, до найбільшої.

З представлених серій прийнято рішення обрати наймолодшу серію MAX та підсерію MAX10, оскільки її потужності повинно вистачити для обробки цифрового потоку даних на частоті дискретизації 48KSPS. Крім того, використання даного чіпу зменшує споживчу потужність вузла, та зменшує ціну продукту.

Тільки для АЦП та ЦАП необхідно 56 виводів на мікросхемі, враховуючи необхідність підключення блоку керування та додаткової периферії прийнято рішення використовувати корпус з 144-виводами.

Для вибору мікросхеми необхідно визначити кількість логічних вентилів, що використовує блок обробки вхідного потоку цифрових даних. Створена програма займає близько 6500 вентилів, тому можна обирати мікросхему на 8000 логічних вентилів, запас в 1500 дасть можливість оновити програмну частину або додати нові функції, якщо це буде необхідно.

На сайті виробника [9] в документі «Intel Max10 FPGA's Product Table» [10] обираємо необхідну мікросхему – 10M08SAE144C8G [11].

Далі виконуємо вибір по блокам структурної схеми.

З рис.1.3.2 блок вибору активного входу реалізується на базі мультиплексорів. Для цього компоненту немає вимог щодо вибору крім підтримки напруги живлення системи, тому серед представлених моделей обрано 74AUP1G157 [12].

Наступна частина схеми це блок АЦП. Аналізуючи технічну документацію на АЦП, можна побачити, що для його роботи підсилювач на вході не є обов'язковим. Замість нього може стояти обв'язка у вигляді пасивних компонентів, тому підсилювач для АЦП не розглядається в даній роботі.

Для коректної роботи системи необхідно встановлення аналогових фільтрів, як на вході АЦП, так і на виході ЦАП. Фільтр побудований на базі поширеної схеми Саллена-Кея [13], що зображена на рис.2.1.

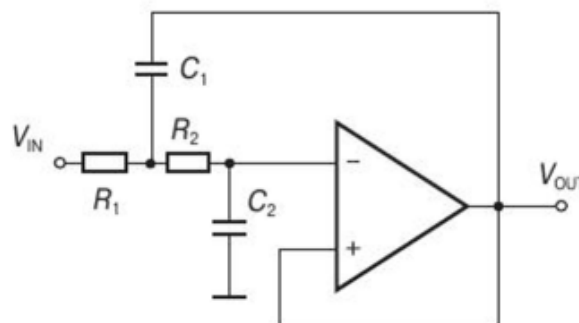


Рисунок 2.1 - Схема Саллена-Кея

Для створення такого фільтру необхідно використати будь-який операційний підсилювач з наступними характеристиками:

- частота роботи більша ніж частота вхідного сигналу;
- сумісна напруга живлення.

Для схеми було обрано підсилювач AD8031 [14], що відповідає встановленим вимогам.

На виході деяких ЦАП необхідно перетворити вихідний струм в напругу. В технічній документації часто наведено декілька схем. Найбільш поширені схеми включення з використанням ОП та трансформатору. Оскільки трансформатори такого типу набагато дорожчі ніж ОП, прийнято рішення встановити в систему саме рішення на ОП. Для цього блоку необхідно використати будь-який підсилювач, що задовольняє наступним параметрам:

- підтримка напруги системи;
- робота на частотах більше частоти вхідного сигналу;
- Rail-to-Rail структура;
- низький рівень шуму.

Також бажано, щоб обраний підсилювач рекомендувався виробником для інтеграції в аудіо системи. Виходячи з параметрів, обрано ОП AD8606 [15].

Вибрана мікросхема ПЛІС є частиною плати для розробників «MAX10 FPGA Evaluation Kit» [16]. Згідно схеми електричної принципової використовуються наступні мікросхеми:

- EPS5388QI – DC-DC перетворювач з 5 В в 3.3 В з струмом 800 мА
- MCP1525T – DC-DC перетворювач з 3.3 В в 2.5 В для створення опорної напруги.

В якості генератора тактової частоти обрано кварцевий резонатор на 50 МГц – «CB3LV-3C-50M0000», виробника «CTS-Frequency Control».

Котушки індуктивності необхідно обрати такого ж номіналу як зображено в технічній документації на плату розробника. Знайдено наступні аналоги: BLM21AG601SN1D та BLM18HE601SN1D виробника Murata.

Для мікросхем АЦП та ЦАП необхідно на вході тактового сигналу розмістити буфер, який забезпечить коректне сприйняття частоти мікросхемою. Оскільки буфер може бути створений на базі або буферної мікросхеми, або мікросхеми логічних вентилів, прийнято рішення обрати мікросхему SN74LVC1G08, що є логічним елементом «І».

Вибір резисторів та конденсаторів залежить від їх використання в схемі, номіналів та потужностей. Для даної схеми використовувати компоненти в корпусі 0402, але, якщо по технічним параметрам неможливо знайти необхідний компонент в такому корпусі, допускається використання більших корпусів.

В якості роз'ємів використовувати компоненти, що призначені для роботи з поставленою задачею та мають SMD виконання. На ресурсі Digi-Key обираємо необхідні роз'єми:

- Аналоговий вхід: SJ-3523-SMT-TR, CUI.inc
- Вхід периферії та роз'єм живлення плати керування: 3-794636-4, CUI.inc
- Роз'єм живлення материнської плати: PJ-036BH-SMT-TR, TE Connectivity AMP Connectors
- JTAG роз'єм: 0702461004, Molex
- Сигнальний роз'єм для плати керування: 0878326023, Molex
- Аналоговий вихід: RCJ-011-SMT-TR, CUI.inc

## 2.1.2 Вибір компонентів плати керування

В якості блока керування приладом вирішено зробити відображення рівнів еквайзера на світлодіодній матриці. Для її створення необхідно підібрати світлодіоди за наступними параметрами:

- Колір: жовтий та зелений
- Максимальний споживчий струм: 20 мА

Зелений колір використовується для візуалізації активної смуги еквайзера, а жовтий – для рівня підсилення або послаблення певної частоти.

Оскільки немає необхідності в яскравій індикації, прийнято рішення про встановлення малопотужних світлодіодів, що в свою чергу гарантує малі розміри компоненту.

Після введення необхідних фільтрів на ресурсі Digi-Key, обрано наступні світлодіоди: «LW Q38E-Q100-3K6L-1» та «LW Q38E-Q100-3K6L-1» виробника «OSRAM Opto Semiconductors Inc.».

Керування смугами еквайзера відбуватиметься по натисканню кнопки. Основні вимоги до вибору кнопки, це фіксація положення, витягнутий тактильний елемент, для зручної інтеграції в корпус приладу та SMD виконання. Серед представленого асортименту обрано кнопку «ESB-33535A» виробника Panasonic.

Для керування індикацією необхідно обрати дешифратор сигналів з процесору. Для поставленої задачі можна використовувати будь-яку мікросхему дешифратора для семисегментного індикатора рівнем логічної одиниці сигналу на виході, яка працює від 5 В та має три вхідні змінні. Було обрано мікросхему 74НС237D.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		17



Виходячи з технічної документації[17] на дешифратор, його виходи не розраховані на такий струм, щоб заживити світлодіоди, тому постає необхідність в пошуку мікросхеми, яка б підсилила струм для світлодіодів.

В якості такої мікросхеми обрано збірку логічних вентилів «І» SN74AS1008A, яку можна використовувати як буфер. Згідно технічної документації [18], мікросхема може мати навантаження на один вихід близько 50 мА. Сумарний струм при цьому не повинен перевищувати 200 мА.

Для правильної роботи індикації необхідно обрати інвертор сигналу на керуючому вході дешифратора. Для цієї задачі підходить будь-який інвертор з напругою живлення 5 В. Обрано «SN74LVC1G04DBVR» виробника «Texas Instruments».

В якості регулятора рівня обрано енкодер «PEC12R-4220F-S0024» виробника «Bourns Inc.», оскільки він має вертикальне розміщення керуючого елемента, що необхідно для інтеграції в корпус приладу.

Вибір резисторів та конденсаторів аналогічний материнській платі.

## **2.2 Розробка функціональних блоків схеми електричної принципової материнської плати**

### **2.2.1 Вхід системи**

Вхід системи повинен забезпечувати пермикання між різними джерелами живлення. Для цього необхідно встановити 2 мультиплексори 2в1, по одному на кожний канал. Сигнал керування «CTRL» надходить на роз'єм, потім на кнопку, що знаходиться на панелі керування. Тим самим забезпечується одночасний вибір необхідного джерела вхідного сигналу.

Вихід мультиплексора з'єднується з фільтром другого порядку за схемою Саллена-Кея з частотою зрізу 22 кГц для подавлення антиелайсінгового ефекту

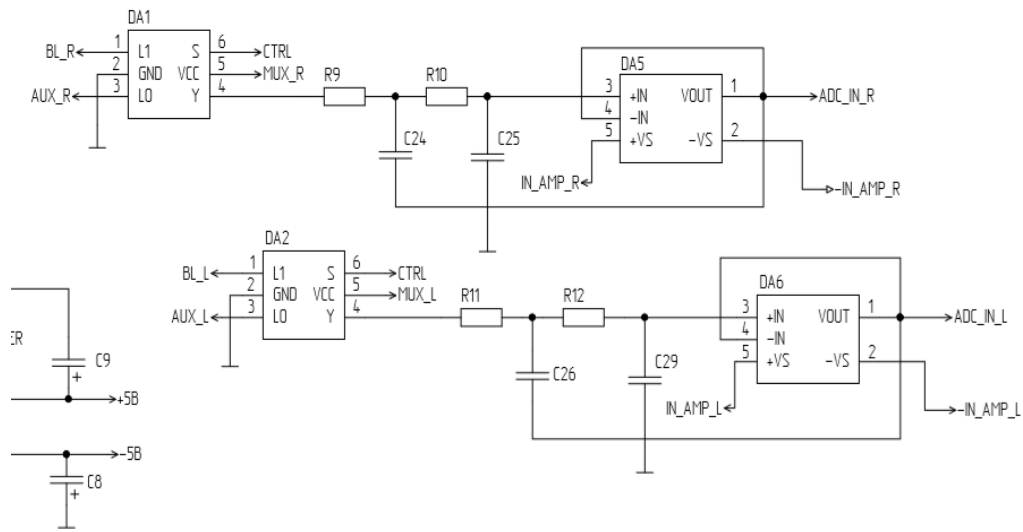


Рисунок 2.2 - Вхід системи схема електрична принципова

Елайсінг – в статистиці, обробці сигналів і суміжних дисциплінах ефект, що призводить до накладення, нерозрізненості різних неперервних сигналів при їх дискретизації. Суть ефекту полягає в тому, що при неправильній дискретизації високочастотна складова сигналу відбивається на його низькочастотну складову, даний ефект зображено на рис.2.3. Для подавлення цього ефекту на вході системи необхідно встановити фільтр, котрий зріже високі частоти вхідного сигналу. Зріз повинен відбуватись щонайменше на половині частоти дискретизації.

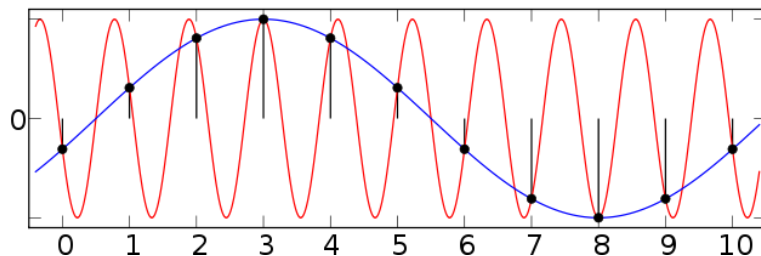


Рисунок 2.3 - Ефект аліасінгу

Схема фільтру на рис.2.1 має одиничний коефіцієнт підсилення сигналу, оскільки в ній відсутній резисторний подільник напруги на виході ОУ, який задає коефіцієнт підсилення.

Ця схема може реалізувати три типи фільтрів: Чебишева, Бесселя та Баттерворта. Який саме фільтр буде використовуватись залежить від вхідних даних та, як наслідок – номіналів компонентів.

Для вибору номіналів компонентів фільтру необхідно знати коефіцієнти фільтру, тому, користуючись середовищем MATLAB [19] виконаємо його моделювання та отримаємо коефіцієнти фільтру для розрахунку за наступною формулою:

$$C_1 = \frac{K_{C1}}{2\pi FR} \quad (2.1)$$

$$C_2 = \frac{K_{C2}}{2\pi FR} \quad (2.2)$$

де,

$K_{C1}$  та  $K_{C2}$  – коефіцієнти фільтру.

$F$  – частота зрізу фільтра, Гц.

$R$  – номінал резистора який задається в межах від 1кОм до 100кОм.

Використовуючи додаток «Filter Designer» налаштуємо необхідні нам параметри:

- ФНЧ IIR-фільтр Баттерворта.
- Порядок фільтру – 2.
- Частота дискретизації - 48кГц.
- Частота зрізу – 22кГц.

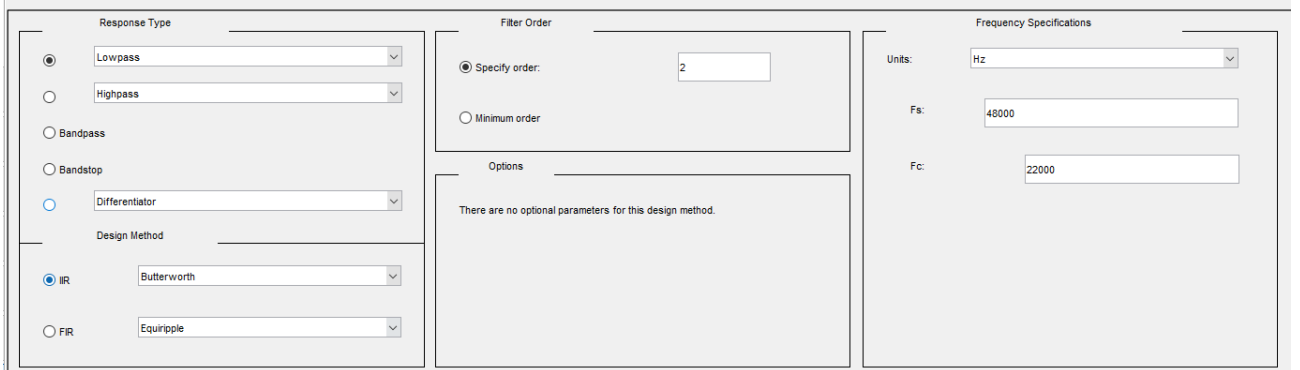


Рисунок 2.4 - Налаштування Filter designer

Отримуємо наступні коефіцієнти:

$$K_{c1} = 0,83089$$

$$K_{c2} = 0,69059$$

Номінал резистору приймаємо за 10 кОм, тоді, використовуючи формули 2.2.1.1 та 2.2.1.2 виконаємо розрахунок:

$$C_1 = \frac{0,83089}{2 * 3,14 * 22000 * 10000} = 660 \text{ (пФ)}$$

$$C_2 = \frac{0,69059}{2 * 3,14 * 22000 * 10000} = 500 \text{ (пФ)}$$

Найближчі номінали відповідно до E24 це 680 пФ та 510 пФ. Отже для побудови фільтру обираємо конденсатори з розрахованими номіналами, та резистори номіналом 10 кОм.

Тепер необхідно перевірити роботу фільтра на моделі. Для цього скористаємось середовищем LTspice[20].

Створюємо схему з розрахованими номіналами та обраним ОП:

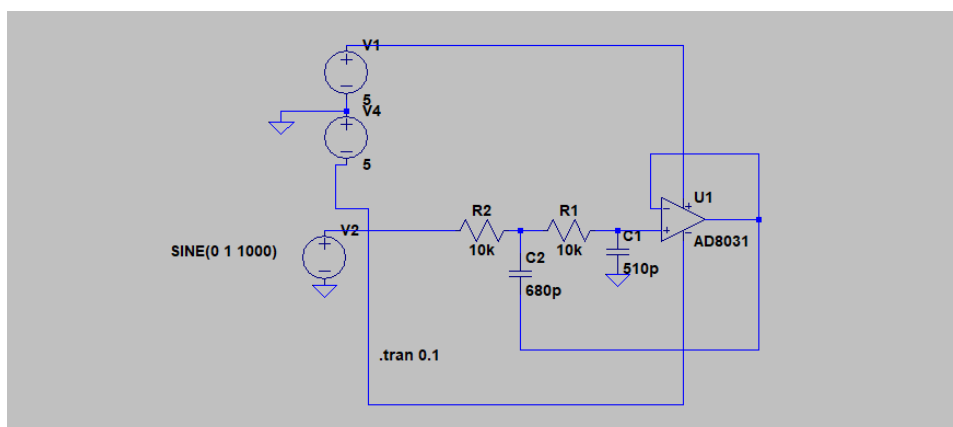


Рисунок 2.5 - Схема фільтру

Після чого протестуємо вихідний сигнал при подачі на вхід фільтру сигналів 1 кГц, 10 кГц, 20 кГц, 40 кГц з амплітудою 1 В. Отримаємо наступні результати:

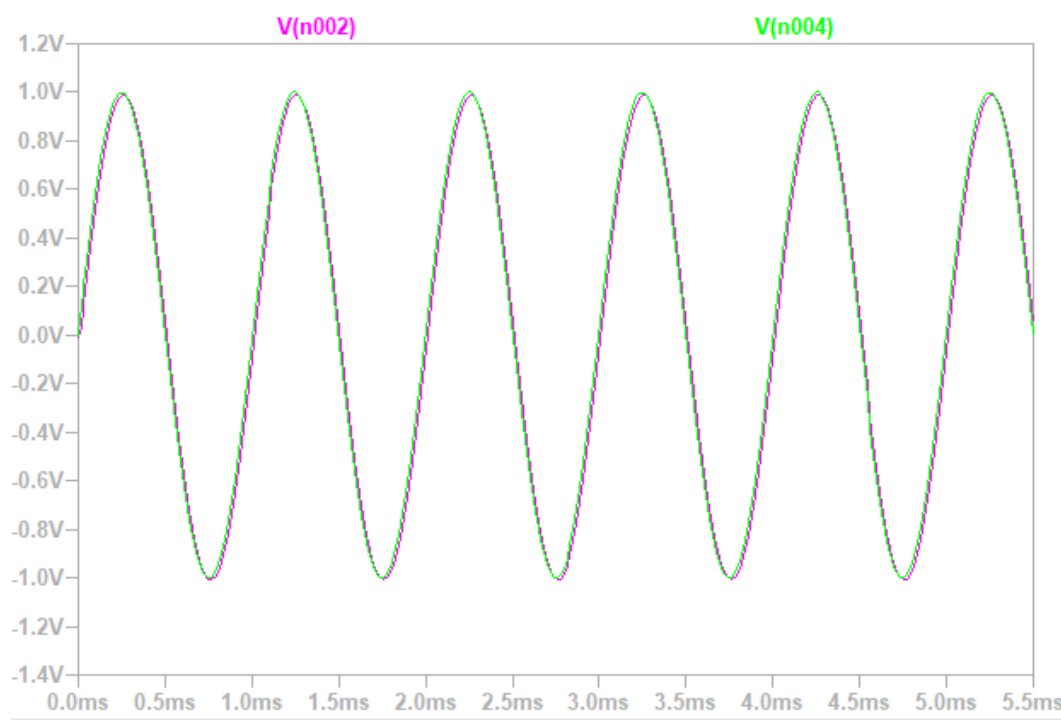


Рисунок 2.6 - Вхідний сигнал 1 кГц, та вихідний сигнал

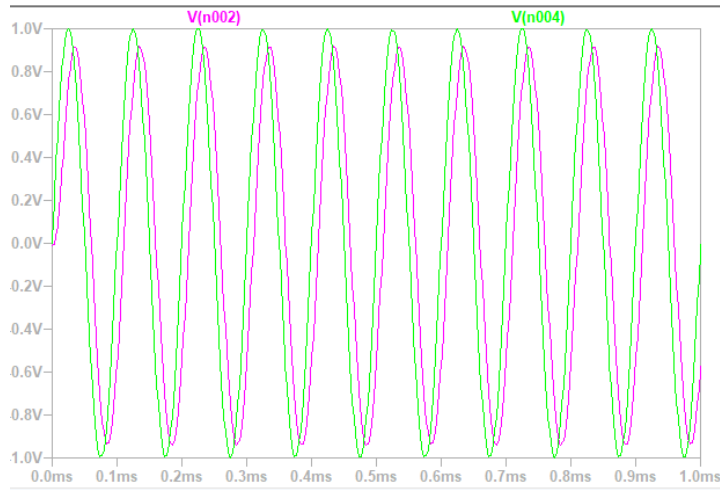


Рисунок 2.7 - Вхідний сигнал 10 кГц, та вихідний сигнал

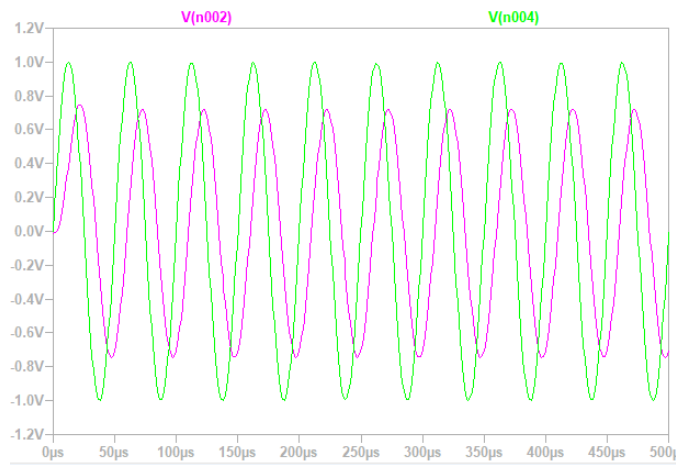


Рисунок 2.8 - Вхідний сигнал 20 кГц, та вихідний сигнал

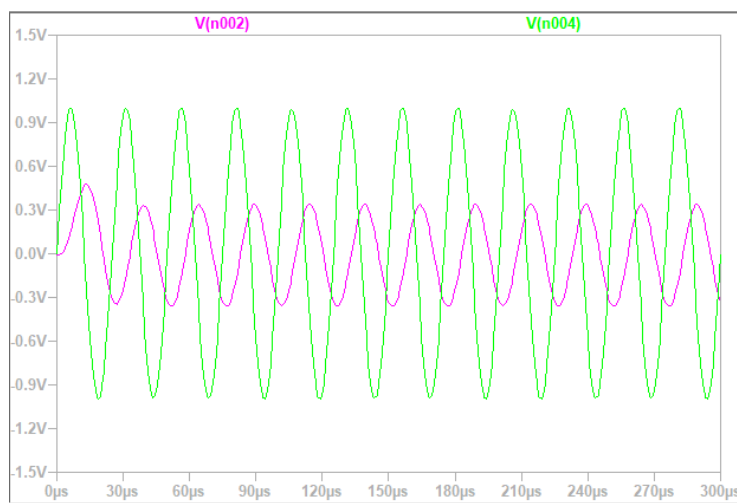


Рисунок 2.9 - Вхідний сигнал 40 кГц, та вихідний сигнал

З ростом частоти зменшується амплітуда вихідного сигналу і відбувається зсув фаз, оскільки фільтр Баттерворта має нелінійну фазову характеристику.

### 2.2.2 Блок аналого-цифрового перетворення

При створенні принципової схеми блоку АЦП використовувались варіанти підключення, що наведені в технічній документації на вибрану мікросхему АЦП – LTC2245. На рис.2.10 зображено схему підключення входу до АЦП.

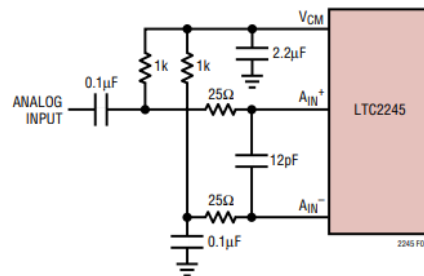


Рисунок 2.10

Деякі елементи обв’язки мікросхеми були встановлені згідно плати розробника, схема якої наведена в технічній документації. В результаті отримуємо принципову схему вузлу АЦП на рис.2.11.

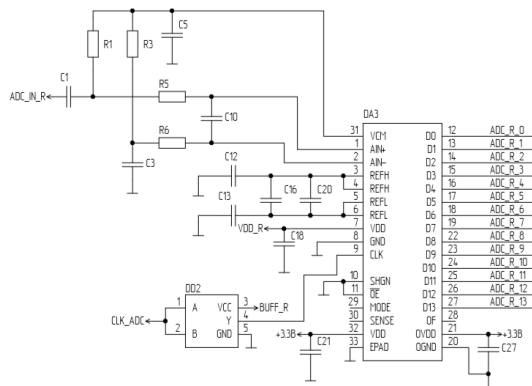


Рисунок 2.11

## 2.2.3 Блок цифро-аналогового перетворення

Типова схема включення ЦАП AD9744 представлена на рис.2.12.

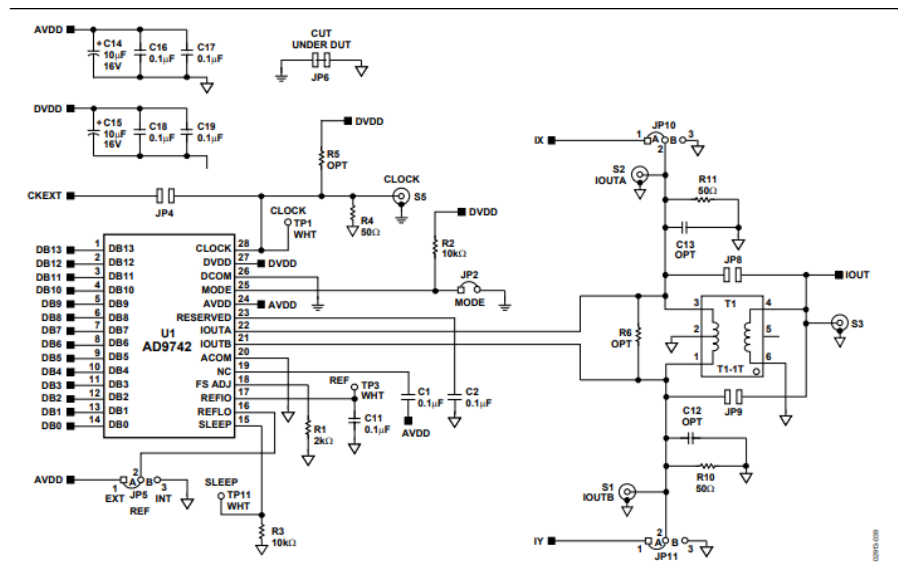


Рисунок 2.12

З даної схеми буде використано вся обв'язка мікросхеми, лінія виходу буде замінена на інший варіант перетворення вихідного струму в напругу з використанням ОУ AD8606. Схема зображена на рис.2.13.

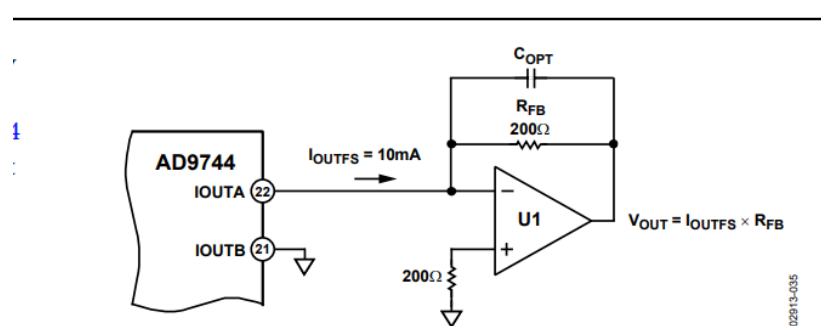


Figure 38. Unipolar Buffered Voltage Output

Рисунок 2.13



Проведемо моделювання даної схеми в середовищі LTspice:

Для перевірки роботи на вхід системи встановимо джерело струму, яке буде видавати 10 мА на ОП. Сигнал зніматимемо з виходу ОП.

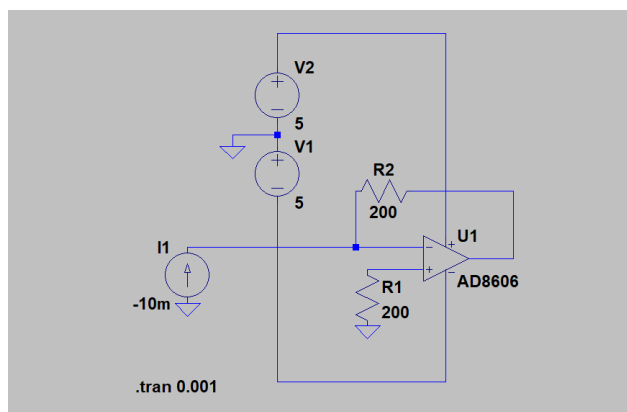


Рисунок 2.14 - Схема моделювання

З результатів, що зображено на рис.2.15 видно, що 10 мА на вході перетворюються в -2 В напруги на виході ОП. Цього значення достатньо для попереднього підсилення. Позитивне значення на вході, що відповідає негативному значенню на виході підтверджує, що ОП включений за інвертованою схемою. Кінцева схема блоку ЦАП зображена на рис.2.16.

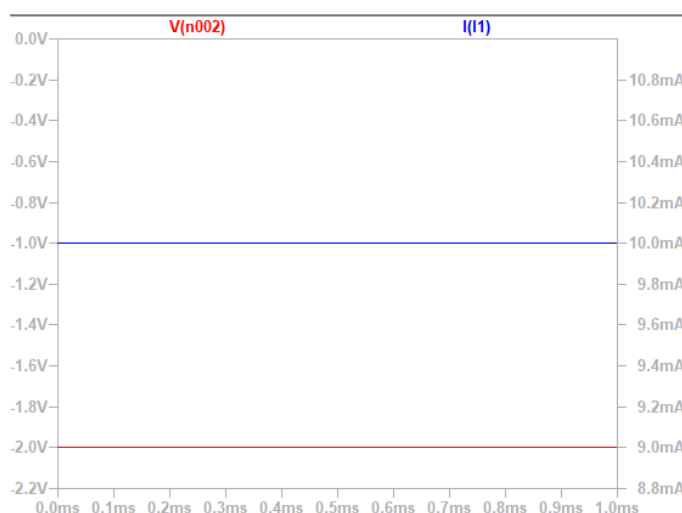


Рисунок 2.15 - Результат моделювання

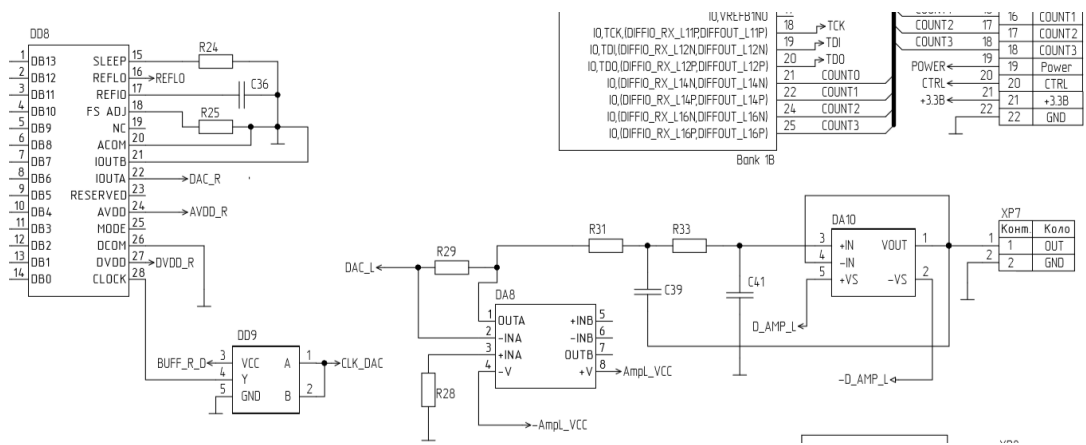


Рисунок 2.16 - Кінцева схема блоку ЦАП.

### 2.3 Розробка функціональних блоків схеми електричної принципової блоку керування

Побудована матриця світлодіодів 9x11 є єдиним блоком індикації станів параметрів системи. Для керування процесами необхідно одночасно керувати рядками та стовпчиками матриці світлодіодів. Щоб це реалізувати потрібно контролювати одночасне підключення землі та живлення в потрібний момент часу в потрібному положенні. Для цього, катоди світлодіодів з'єднуються рядками до керуючих кнопок.

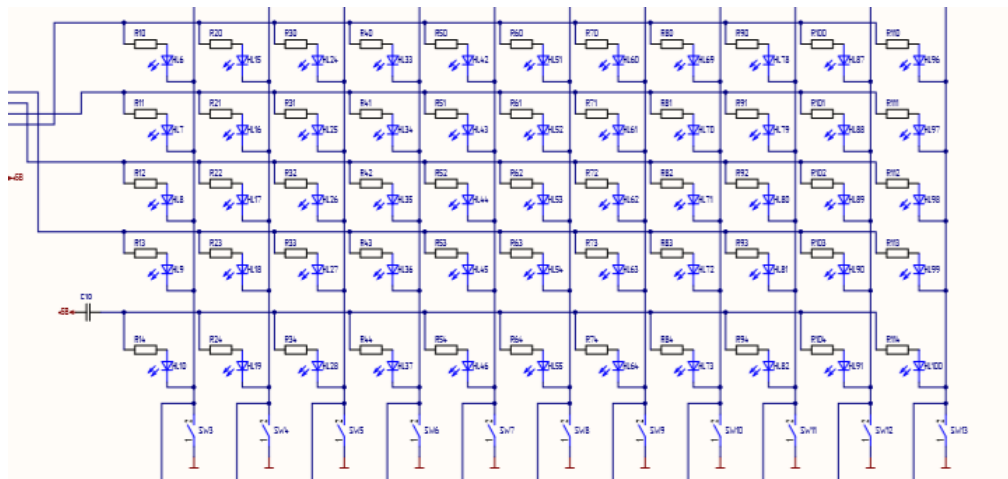


Рисунок 2.17

Один контакт кнопки з'єднаний з світлодіодом, інший – з землею. Чотири верхні рядки відповідають за відображення рівня підсилення сигналу, середній рядок – індикація смуги еквалайзера, що регулюється, та нижні чотири рядки за рівень послаблення сигналу. Схема зображена на рис.2.17.

Для запобігання виходу світлодіодів з ладу, їх підключення потребує встановленого резистору. Його опір розраховується наступним чином:

$$R_{HL} = \frac{U_{ж} - U_{HL}}{I_{HL}} \quad (2.3)$$

де:  $U_{ж}$  – напруга живлення [В],

$U_{HL}$  – Напруга падіння на світлодіоді [В],

$I_{HL}$  – Необхідний струм через світлодіод [А].

Згідно технічної документації на світлодіод[21] його максимальний струм становить 20 мА, а значення прямої напруги становить 2.8 В. Оскільки немає необхідності в яскравому випромінненні, струм через світлодіод обмежимо на рівні 5 мА, вирахуємо номінал резистору:

$$R_{HL} = \frac{5 - 2.8}{5 * 10^{-3}} = 440 \text{ (Ом)}$$

Згідно ряду номіналів E24 найближчий номінал в сторону збільшення складає 470 Ом.

Так само виконаємо розрахунок для інших світлодіодів, які керуються дешифратором. Єдина відмінність буде в напрузі живлення, оскільки на виході мікросхеми SN74AS1008A рівень логічної одиниці при 3.3 В.

$$R_{HL} = \frac{3.3 - 2.8}{5 * 10^{-3}} = 100 \text{ (Ом)}$$

Потужність резистора визначається формулою:

$$P = I^2 * R$$

$$P = (5 * 10^{-3})^2 * 100 = 0,0025 \text{ (Вт)}$$

Наступним кроком буде організація керування живленням. Сигнал з енкодера детектується на ПЛІС, тим самим встановлює значення підсилення, або послаблення сигналу. Цей чотирьох розрядний сигнал, у двійковому коді, надходить на два дешифратори. Старший розряд вказує на тип фільтру, що активний в цей момент, а три молодших – на рівень сигналу. Таким чином інвертор DD2 на керуючому вході дешифратора DD3 встановлює яку саме частину індикації робити активною.

В технічній документації на дешифратор [22] необхідно знайти таблицю істинності, вона зображена на рис.2.18.

Inputs						Outputs							
Enable			Address			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
$\overline{G1}$	$\overline{G2}$	G1	C	B	A								
X	X	L	X	X	X	L	L	L	L	L	L	L	L
X	H	X	X	X	X	L	L	L	L	L	L	L	L
L	L	H	L	L	L	H	L	L	L	L	L	L	L
L	L	H	L	L	H	L	H	L	L	L	L	L	L
L	L	H	L	H	L	L	L	H	L	L	L	L	L
L	L	H	L	H	H	L	L	L	H	L	L	L	L
L	L	H	H	L	L	L	L	L	L	H	L	L	L
L	L	H	H	L	H	L	L	L	L	L	H	L	L
L	L	H	H	H	L	L	L	L	L	L	L	H	L
L	L	H	H	H	H	L	L	L	L	L	L	L	H
H	L	H	X	X	X	Depends upon the address previously applied while $\overline{G1}$ was at a low level							

Рисунок 2.18 - Таблиця істинності дешифратора

Згідно рис.2.18 при подачі на керуючий вхід  $\overline{G1}$  логічної одиниці, на виході дешифратора буде логічний нуль. Тому верхня половина матриці буде неактивна, натомість буде активна інша половина матриці.

Оскільки, згідно технічної документації, дешифратор може одночасно видавати на виходи не більше 50 мА струму, цю мікросхему не можна напряму підключати до анодів світлодіодів. Тому необхідно встановити буфер, що матиме достатнє для керування значення струму. В якості такого рішення обрано мікросхему де зібрано чотири логічні вентиля «І».

Висновок до розділу:

Розглянуто функціональні блоки схеми електричної принципової. Для покращення параметрів схеми прийнято рішення опиратись на приклади підключення, що наведені в технічній документації на мікросхеми.

Розроблені схеми наведено на кресленнях:

- ДК51.468152.001 ЕЗ – для материнської плати
- ДК51.466964.001 ЕЗ – для блоку керування

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		30

## РОЗДІЛ 3. ВИБІР ПАРАМЕТРІВ ДРУКОВАНОЇ ПЛАТИ

### 3.1 Вибір типу та матеріалу ДП

Друкована плата – пластина діелектрику, на поверхні якої сформовані струмопровідні вузли з мідної фольги. Найбільш часто для їх виробництва використовують гетинакс та склотекстоліт, окремими випадками існують плати, що створені з металічною основою, що покрита діелектричним шаром. Такі підходи застосовують при виробництві плат для силової електроніки та елементів, яким необхідно забезпечити відвід тепла (транзистори, світлодіоди, тощо). ДП поділяють на односторонні, двосторонні та багатошарові. При проектуванні ДП необхідно аналізувати необхідність створення того чи іншого типу ДП, краще створити двосторонню плату замість багатошарової, якщо є така можливість. Також при проектуванні ДП необхідно враховувати умови експлуатації та механічні навантаження, та в разі потреби, забезпечити стабільну роботу вузлу додатковими конструкторськими рішеннями.

Враховуючи обрану компонентну базу для даного приладу, прийнято рішення створити материнську плату на основі 6 шарів, два шари якої призначені для полігону землі, а один для полігону живлення. Плата керування матиме 2 шари, оскільки її наповнення не потребує багатошарової структури.

Важливим параметром вибору матеріалу ДП є опірність займання. Для цього параметру виділені полімерні композиційні матеріали FR-1 ... FR-5 в залежності від класу точності. В даному проекті питання вогнестійкості не є критичним, тмоу використовується матеріал FR-4, саме він є найбільш поширеним матеріалом для виробництва ДП. Стандартний FR-4 представляє собою композитний матеріал на основі скловолокна (склотекстоліти). Має товщину 1,5 мм і складається з 8 шарів склотекстоліту.

В якості провідників використовується фольгована мідь різної товщини. Для даного проекту використовується стандартний шар міді з

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		31

товщиною 35 мкм, що забезпечить кращі характеристики провідника при меншій його ширині ніж з шаром меншої товщини.

Таким чином, для реалізації ДП обраний сучасний, з високими параметрами матеріал FR4-6-35-1,5 для материнської плати та FR4-2-35-1,5 - для плати керування. Даний матеріал є фольгованим склотекстолітом з підвищеною нагрівостійкістю, товщиною 1,5 мм, облицювальний мідною фольгою товщиною 35 мкм.

В електронній промисловості існує два типи SMD збірок [23]:

- Тип «1»: Компоненти що встановлюються (монтуються) тільки на верхню сторону плати.
- Тип «2»: Компоненти, що встановлюються (монтуються) на обидві сторони плати.

Кожен з яких поділяється на шість різних класів А, В, С, а також Х, Y, Z які використовуються в більш складних приладах, тому не будемо брати їх до уваги.

- Клас «А»: тільки компоненти, що монтуються в отвори – традиційні штирьові компоненти.
- Клас «В»: тільки компоненти поверхневого монтажу (SMD)
- Клас «С»: змішаний. Компоненти, що монтуються в отвори та компоненти поверхневого монтажу.

Оскільки в елементній базі обрані як вивідні так і SMD компоненти, що розміщуються на обох сторонах ДП, необхідно обрати клас «2С». Характерне розміщення компонентів для даного типу схематично зображено на рис.5.1

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		32

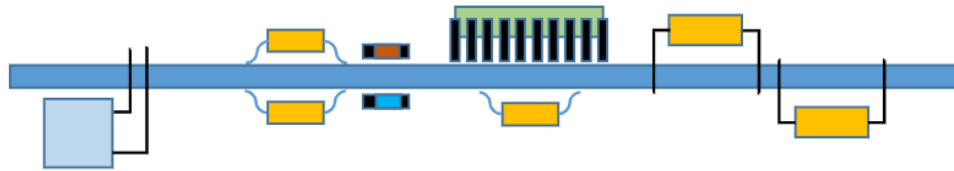


Рисунок 3.1 - «PCB Type 2C»

### 3.2 Вибір класу точності ДП

Точність виготовлення ДП залежить від комплексу технологічних параметрів і з практичної точки зору визначає основні параметри елементів ДП. В першу чергу це відноситься до мінімальної ширини провідників, мінімального зазору між елементами провідного малюнка тощо.

ГОСТ 23571-86 передбачає п'ять класів точності ДП. Вибір класу точності завжди пов'язаний з конкретним виробництвом. Спроба вирішити цю задачу в зворотному порядку може призвести до того, що проект не буде реалізований.

При конструкторському-технологічному розрахунку необхідно використовувати граничні значення елементів друкованого монтажу з урахуванням похибки їх виконання. Необхідні граничні значення елементів друкованого монтажу і допустимі похибки наведені в таблицях 3.1. і 3.2.

Виготовлення ДП п'ятого класу точності вимагає застосування унікального високоточного обладнання, спеціальних (як правило, дорогих) матеріалів і навіть створення у виробничих приміщеннях «чистої зони». Таким вимогам відповідає не кожне виробництво. Однак, ДП невеликого розміру можуть виконуватися по п'ятому класу на обладнанні, що забезпечує виробництво плат четвертого класу.



Таблиця 3.1 – Граничні значення основних параметрів ПМ

Параметер	Позначення	Клас точності			
		2	3	4	5
Ширина друкованого провідника, мм	$b_{прг}$	0,45	0,25	0,15	0,10
Відстань між елементами друкованого монтажу, мм	$lг$	0,45	0,25	0,15	0,10
Гарантований поясок, мм	$b_{по}$	0,20	0,10	0,05	0,03
Відношення номінального діаметру найменшого з металізованих отворів до товщини друкованої плати, мм	$K_{дт}$	0,40	0,33	0,25	0,20

Таблиця 3.2 – Допустимі похибки виконання елементів ПМ

Похибка	Обозначення	Максимальне значення, мм
Зміщення провідників відносно ліній КС	$\delta_{сп}$	0,05
Розташування отворів (всіх) відносно вузлу КС	$\delta_o$	0,07
Розташування КМ відносно вузлу КС	$\delta_{км}$	0.015(0.05)
Фотокопії та фотошаблону	$\delta_{фф}$	0,06
Розташування КМ відносно вузлу КС на фотошаблоні	$\delta_{фш}$	0,05

ДП четвертого класу випускаються на високоточному обладнанні, але вимога до матеріалів, обладнання і виробничих приміщень нижче, ніж для п'ятого класу.

ДП третього класу - найбільш поширені, оскільки, з одного боку, забезпечують досить високу щільність трасування і монтажу, а з іншого - для їх виробництва достатньо звичайного спеціалізованого обладнання.

Випуск ДП другого і третього класів здійснюється на звичайному не спеціалізованому обладнанні. Такі ДП, з невисокими конструктивними параметрами, призначені для недорогих пристроїв з малою щільністю монтажу.

Першочергово при виборі класу точності плат необхідно звертати увагу на посадкові місця компонентів, що встановлюються на друкованому

просторі, тому переглянувши технічну документацію на обрані мікросхеми встановлено, що найменшу відстань між контактними майданчиками має процесор - 0.2 мм.

Згідно таблиці 4.1 обираємо клас точності, що задовільнить вимоги стандарту. За третім класом точності встановлено мінімальну відстань між провідниками 0.25 мм, а за четвертим - 0.15 мм. Тому для якісного відтворення друкованого вузлу необхідно обрати четвертий клас точності ДП.

### 3.3 Обґрунтування методу виготовлення ДП

При виборі необхідного методу виготовлення розглянули наступні методи: субтрактивний, адитивний, напівадитивний, комбіновані методи.

Проаналізувавши всі переваги і недоліки викладених методів [24] обрано комбінований позитивний метод виготовлення ДП, оскільки завдяки своєму технологічному процесу метод забезпечує відтворення всіх типів друкованих елементів з високою точністю та хороша адгезія провідника, що забезпечить більшу механічну стійкість плати.

### 3.4 Визначення мінімальної ширини друкованого провідника по постійному струму для ланцюгів живлення та землі

Мінімальна ширина друкованого провідника по постійному струму  $b_{\min I}$  (мм) для ланцюгів живлення та «землі» визначається виразом (3.1):

$$b_{\min I} = \frac{I_{\max}}{j_{\text{доп}} \cdot t_{\text{пров}}}, \quad (3.1)$$

де  $I_{\max}$  – максимально можливий струм в ланцюгу, А

$j_{\text{доп}}$  – допустима щільність струму для ДП, яка виготовлена

комбінованим позитивним методом, згідно ГОСТ 23770-79  $j_{\text{доп}} = 48 \frac{\text{А}}{\text{мм}^2}$

$t_{\text{пров}}$  – товщина друкованого провідника, яка визначається виразом (3.2)

Друкований провідник виготовлюється комбінованим позитивним методом. Згідно методу виготовлення:

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		35

$$t_{\text{пров}} = h_{\text{ф}} + h_{\text{ГМ}} + h_{\text{ХМ}}, \quad (3.2)$$

де  $h_{\text{ф}}$  – товщина фольги,  $h_{\text{ф}} = 0,035$  мм

$h_{\text{ГМ}}$  – товщина шара гальванічно осадженої міді,  $h_{\text{ГМ}} = 0,055$  мм

$h_{\text{ХМ}}$  – товщина шара хімічно осадженої міді,  $h_{\text{ХМ}} = 0,0065$  мм

$$t_{\text{пров}} = 0,035 + 0,055 + 0,0065 = 0,0965 \text{ (мм)}$$

Параметр  $I_{\text{max}}$  в виразі (3.1) визначається як сума струмів, які споживають усі активні елементи схеми.

Для розрахунку товщини провідника живлення 5В необхідно відштовхуватись від максимального струму DC-DC перетворювача на материнській платі та струму споживання блоку керування. Згідно технічної документації на DC-DC перетворювач може максимально видати на вихід струм 800 мА, щоб не дотримуватись критичної межі роботи перетворювача, прийнято рішення розрахувати доріжку під струм 1 А.

Згідно розрахованим значенням струму через світлодіод та технічній документації на встановлені мікросхеми виконано розрахунок сумарного споживчого струму блоку керування, він становить 750 мА. Повертаючись до ухилення від роботи на критичній межі необхідно закласти мінімальний струм в 1 А.

Таким чином Виконаємо розрахунок мінімальної ширини друкованого провідника для ланцюга живлення «5 В»:

$$b_{\text{min I}} = \frac{I_{\text{max}}}{j_{\text{доп}} \cdot t_{\text{пров}}} = \frac{1}{48 \cdot 0,0965} = 0,215 \text{ (мм)}$$

Мінімальна ширина друкованого провіднику становить 0.215 мм. Допускається провести більше значення разі можливості створити більш

ширший провідник, це позитивно вплине на характеристики провідника, а саме зменшення паразитних характеристик.

Висновок до розділу:

Метод виробництва друкованої плати – комбнований позитивний на основі FR4 склотекстоліту з 4-м класом точності. Клас точності задають мікросхеми, у яких конструктивно мала відстань між выводами, використання таких мікросхем потребує високого класу точності ДП. Мінімальна ширина провідника живлення, згідно розрахунків, сягає 0.215 мм, але використання більш широких провідників не вплине на роботу схеми та зназить паразитні параметри.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		37

## РОЗДІЛ 4. ЕЛЕКТРИЧНИЙ РОЗРАХУНОК ДРУКОВАНОЇ ПЛАТИ

### 4.1 Визначення падіння напруги на найдовшому друкованому провіднику

Падіння напруги на друкованому провіднику визначається за формулою (4.1):

$$U_{\text{пад}} = \frac{\rho \cdot I_{\text{max}} \cdot l_{\text{пр}}}{b_{\text{пр}} \cdot t_{\text{пр}}}, \quad (4.1)$$

де  $\rho$  - питомий об'ємний опір для комбінованого позитивного методу виготовлення ДП,

$$\rho = 0,0175 \frac{\text{Ом} \cdot \text{мм}^2}{\text{м}}$$

$l_{\text{пр}}$  – максимальна довжина друкованого провідника,  $l_{\text{пр}} = 0,455$  м

$t_{\text{пр}}$  - товщина провідника,  $t_{\text{пр}} = 0,0965$  мм

$I_{\text{max}}$  – максимальний струм у провіднику,  $I_{\text{max}} = 800$  мА

$b_{\text{пр}} = 0,5$  мм

$$U_{\text{пад}} = \frac{\rho \cdot I_{\text{max}} \cdot l_{\text{пр}}}{b_{\text{пр}} \cdot t_{\text{пр}}} = \frac{0,0175 \cdot 0,8 \cdot 0,455}{0,5 \cdot 0,0965} = \frac{0,00637}{0,04825} = 0,13 \text{ (В)}$$

Розраховане падіння напруги не перевищує 5% від напруги живлення ( $U_{\text{ж}} = 5\text{В}$ ).

### 4.2 Визначення взаємної індуктивності двох паралельних провідників однакової довжини

$$M = 0,02 \left( l_{\text{пр}} \lg \frac{\sqrt{l_{\text{пр}}^2 - L_0^2} + l_{\text{пр}}}{L_0} - \sqrt{l_{\text{пр}}^2 - L_0^2} + l_{\text{пр}} \right), \quad (4.2)$$

$l_{\text{пр}}$  – довжина перекриття паралельних провідників

$L_0$  – відстань між осьовими лініями двох паралельних провідників

Дані що необхідні для розрахунку:

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		38

$$l_{\text{пр}} = 15 \text{ мм}$$

$$L_0 = 0,4 \text{ мм}$$

За формулою (4.2) розрахунок:

$$M = 0,02 \left( l_{\text{пр}} \lg \frac{\sqrt{l_{\text{пр}}^2 - L_0^2} + l_{\text{пр}}}{L_0} - \sqrt{l_{\text{пр}}^2 - L_0^2} + l_{\text{пр}} \right) =$$
$$= 0,02 \left( 15 \cdot \lg \frac{\sqrt{225 - 0,16} + 15}{0,4} - \sqrt{225 - 0,16} + 15 \right) = 0,5622 \text{ (пГн)}$$

**4.3 Визначення ємності між двома сусідніми провідниками, які розташовуються на одній стороні ДП**

$$C = 0,12 \cdot \varepsilon \cdot l_{\text{пр}} \cdot \left[ \lg \frac{2 \cdot S}{b_{\text{пр}} + t_{\text{пр}}} \right]^{-1} \quad (4.3)$$

S – відстань між двома паралельними провідниками

$b_{\text{пр}}$  - ширина друкованого провідника

$t_{\text{пр}}$  - товщина друкованого провідника

$l_{\text{пр}}$  - довжина взаємного перекриття двох паралельних провідників

Дані що необхідні для розрахунку:

$$S = 0,3 \text{ (мм)}$$

$$b_{\text{пр}} = 0,254 \text{ (мм)}$$

$$t_{\text{пр}} = 0,0965 \text{ (мм)}$$

$$l_{\text{пр}} = 15 \text{ (мм)}$$

$$\varepsilon = 4.5$$

$$t_{\text{пр}} = 0,0965$$

Розрахунок:

$$C = 0,12 \cdot 4.5 \cdot 15 \cdot \left[ \lg \frac{2 \cdot 0,3}{0,254 + 0,0965} \right]^{-1} = 34.7 \text{ (пФ)}$$

#### 4.4 Визначення потужності втрат двосторонньої друкованої плати

Потужність втрат визначається формулою (4.4):

$$P_{\text{пот}} = 2 \cdot \pi \cdot f \cdot C \cdot E_n^2 \cdot \text{tg}\sigma \quad (4.4)$$

$$C = \frac{0,009 \cdot \varepsilon \cdot S_m}{h}$$

$$\text{tg}\sigma = \frac{\varepsilon_{\text{лаку}} \cdot h_{\text{матеріал ДП}} \cdot \text{tg}\sigma_{\text{матеріал ДП}} + 2 \cdot \varepsilon_{\text{матеріал ДП}} \cdot h_{\text{шару лаку}} \cdot \text{tg}\sigma_{\text{лаку}}}{2 \cdot \varepsilon_{\text{матеріал ДП}} \cdot h_{\text{шар лаку}} + \varepsilon_{\text{лаку}} \cdot h_{\text{матеріалу ДП}}}$$

$\text{tg}\sigma$  – тангенс кута діелектричних втрат

$C$  – ємність ДП

$S_m$  - площа металізації

$\varepsilon$  – діелектрична проникність

$h$  - товщина ДП

Дані що необхідні для розрахунку:

$$f = 48000 \text{ Гц}$$

$$\text{tg}\sigma_{\text{матеріал ДП}} = 0,002$$

$$\text{tg}\sigma_{\text{лаку}} = 0,016$$

$$\varepsilon = 4.5$$

$$S_m = 4200 \text{ (мм}^2\text{)}$$

$$h = 1.5 \text{ (мм)}$$

$$h_{\text{шар лаку}} = 3 \cdot 5 \cdot 10^{-6} \text{ (м)}$$

Розрахунок:

$$\text{tg}\sigma = \frac{4.5 \cdot 1.5 \cdot 10^{-3} \cdot 0.002 + 2 \cdot 4.5 \cdot 5 \cdot 10^{-6} \cdot 0.016}{2 \cdot 4.5 \cdot 5 \cdot 10^{-6} + 4.5 \cdot 1.5 \cdot 10^{-3}} = 0.002$$

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		40

$$C = \frac{0,009 \cdot \varepsilon \cdot S_m}{h} = \frac{0,009 \cdot 4,5 \cdot 4200}{1,5} = 113 \text{ (нФ)}$$

$$P_{\text{пот}} = 2 \cdot 3,14 \cdot 48000 \cdot 113 \cdot 10^{-9} \cdot 5^2 \cdot 0,002 = 1,7 \text{ (мВт)}$$

Висновок до розділу:

Всі розраховані значення паразитних параметрів мають дуже мале значення та суттєво не впливатимуть на роботу приладу.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		41



## РОЗДІЛ 5. РОЗРАХУНОК НАДІЙНОСТІ ДРУКОВАНОГО ВУЗЛА

Розрахунки виконані згідно методичних вказівок [25].

### 5.1 Розрахунок надійності материнської плати

Таблиця 5.1 Коефіцієнти навантаження та інтенсивність відмов

№	Найменування Елемента	$\lambda_{0i} * 10^{-6}$ (1/год)	К- ть	$\lambda_t$	$\lambda_e$	$K_n$	$\lambda_i * 10^{-6}$ (1/год)
1	Керамічний конденсатор	0.022	84	0.4	10	0.066	0.48
2	Електролітичний конденсатор	0.028	3	0.4		0.206	0.05
4	Танталовий конденсатор	0.022	16			0.09	0.12
5	Резистор	0.05	49	0.15		0.017	0.062
6	Кварцовий резонатор	0.026	1	1		1	0.26
7	Мікросхема	0.023	19	1		1	4.37
8	Роз'єм	0.14	10	1		1	14
9	Пайка	0.005	713	1		1	35.65
11	Друкована плата	0.2	6	1		1	12
12	Перехідні отвори	0.0375	337	1		1	126,38
13	Дросель	0.033	2	1		1	0.66

Коефіцієнт навантаження для резисторів:

Для розрахунку навантаження обрано номінал 10 кОм, який найбільше використовується на ДП.

$$K_{н.р} = \frac{P_{роб}}{P_{ном}} = \frac{U_{роб}^2}{R \cdot P_{ном}} = \frac{3.3^2}{10000 \cdot 0.0625} = 0.017 \quad (5.1)$$

Для керамічних конденсаторів:

$$K_{н.к} = \frac{U_{роб}}{U_{ном}} = \frac{3.3}{50} = 0.066 \quad (5.2)$$

Для електrolітичних конденсаторів:

$$K_{н.к} = \frac{U_{роб}}{U_{ном}} = \frac{3.3}{16} = 0.206 \quad (5.3)$$

Для танталових конденсаторів конденсаторів:

$$K_{н.к} = \frac{U_{роб}}{U_{ном}} = \frac{3.3}{35} = 0.09 \quad (5.4)$$

U[V], R[Ом], P[Вт]

Для всіх інших елементів коефіцієнт навантаження взято за 1.

$\lambda_e$  – поправочний коефіцієнт щодо впливу зовнішніх факторів (для наземної стаціонарної апаратури  $\lambda_e = 10$ )

$\lambda_t$  – поправочний температурний коефіцієнт

$\lambda_{oi}$  – коефіцієнт інтенсивності відмов

Результуюча інтенсивність відмов:

$$\Sigma \lambda_i = 192,372 \cdot 10^{-6} \text{ (1/Год)}$$

Середній час напрацювання до першої відмови:

$$T_{ср} = \frac{1}{\lambda} = \frac{1}{192,372} \cdot 10^6 = 5198 \text{ (годин)}$$

Залежність вірогідності безвідмовної роботи від часу роботи:

t – час роботи

$$P(t) = e^{-\lambda t} = \exp(-192,372 * 10^{-6} * t) \quad (5.5)$$

Ймовірність безвідмовної роботи протягом року:

$$P(t) = e^{-\lambda t} = \exp(-192,372 * 10^{-6} * 8760) = 0.185$$

Залежність вірогідності відмови від часу роботи:

$$Q(t) = 1 - P(t) = 1 - 0.185 = 0,815$$

Для знаходження ресурсу роботи приладу було виконано розрахунок  $P(t)$  та  $Q(t)$  в діапазоні від 0 годин до 30000 годин. Отриманий ресурс роботи – 3700 годин. Залежність  $P(t)$  та  $Q(t)$  зображено на рис 5.1.

Частина таблиці підрахованих значень в околі значення ресурсу роботи зображена в таблиці 5.2.

Таблиця 5.2 Значення ресурсу роботи

t, год	P(t)	Q(t)
3200	0,540322	0,459678
3300	0,530027	0,469973
3400	0,519928	0,480072
3500	0,510022	0,489978
3600	0,500304	0,499696
3700	0,490772	0,509228
3800	0,481421	0,518579

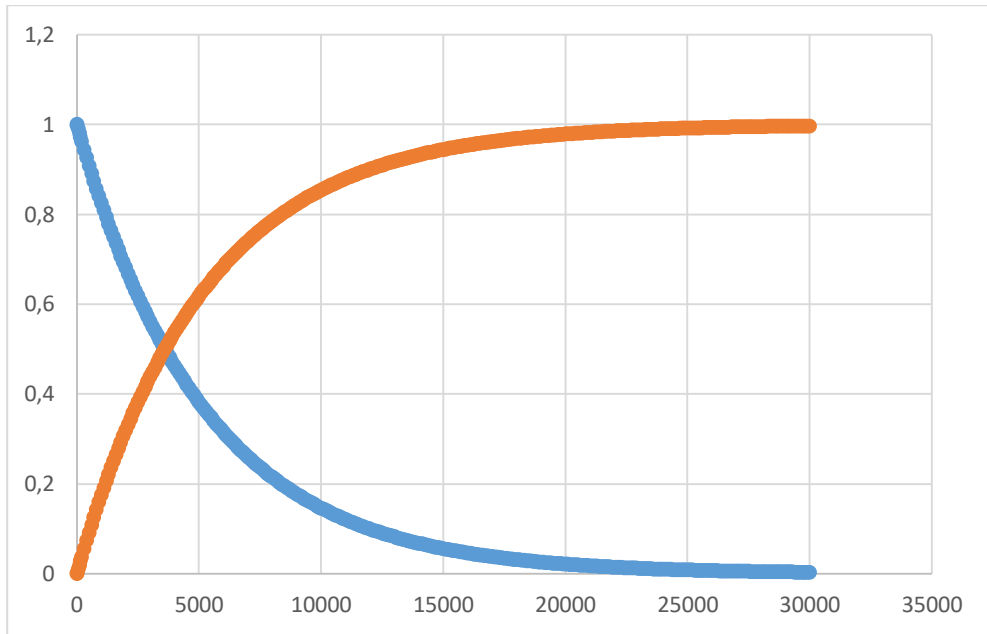


Рисунок 5.1 - Залежність Q(t) та P(t) від часу роботи

## 5.2 Розрахунок надійності плати керування

Коефіцієнт навантаження для резисторів:

Для розрахунку навантаження обрано номінал 120 Ом, який найбільше використовується на ДП.

$$K_{н.р} = \frac{P_{роб}}{P_{ном}} = \frac{U_{роб}^2}{R \cdot P_{ном}} = \frac{0,5^2}{120 \cdot 0,0625} = 0,03$$

Для керамічних конденсаторів:

$$K_{н.к} = \frac{U_{роб}}{U_{ном}} = \frac{5}{50} = 0,1$$

Для електролітичних конденсаторів:

$$K_{н.к} = \frac{U_{роб}}{U_{ном}} = \frac{5}{16} = 0,3125$$

U[V], R[Ом], P[Вт]

Для всіх інших елементів коефіцієнт навантаження взято за 1.

Таблиця 5.3 Коефіцієнти навантаження та інтенсивність відмов

№	Найменування Елемента	$\lambda_{0i} * 10^{-6}$ (1/год)	К- ть	$\lambda_t$	$\lambda_e$	$K_H$	$\lambda_i * 10^{-6}$ (1/год)
1	Керамічний конденсатор	0.022	10	0.4	10	0.1	0.088
2	Електролітичний конденсатор	0.022	1	0.4		0.3125	0.027
5	Резистор	0.05	115	0.15		0.03	0.26
7	Мікросхема	0.023	6	1		1	1.38
8	Роз'єм	0.14	2	1		1	2.8
	Світлодіод	0.06	100	1		1	60
	Кнопка	0.16	13	1		1	20.8
9	Пайка	0.005	624	1		1	31.2
11	Друкована плата	0.2	2	1		1	4
12	Перехідні отвори	0.0375	201	1		1	7.5375

Результуюча інтенсивність відмов:

$$\Sigma \lambda_i = 128 * 10^{-6} \text{ (1/год)}$$

Середній час напрацювання до першої відмови:

$$T_{cp} = \frac{1}{\lambda} = \frac{1}{128} * 10^6 = 7812 \text{ (годин)}$$

Залежність вірогідності безвідмовної роботи від часу роботи:

t – час роботи

$$P(t) = e^{-\lambda t} = \exp(-128 * 10^{-6} * t)$$

Ймовірність безвідмовної роботи протягом року:

$$P(t) = e^{-\lambda t} = \exp(-156,2 * 10^{-6} * 8760) = 0.32$$

Залежність вірогідності відмови від часу роботи:

$$Q(t) = 1 - P(t) = 1 - 0.32 = 0,68$$

Для знаходження ресурсу роботи приладу було виконано розрахунок  $P(t)$  та  $Q(t)$  в діапазоні від 0 годин до 30000 годин. Отриманий ресурс роботи – 5400 годин. Залежність  $P(t)$  та  $Q(t)$  зображено на рис 5.2.

Частина таблиці підрахованих значень в околі значення ресурсу роботи зображена в таблиці 5.4.

Таблиця 5.4 Значення ресурсу роботи

t, год	P(t)	Q(t)
5200	0,513965	0,486035
5300	0,507428	0,492572
5400	0,500975	0,499025
5500	0,494603	0,505397
5600	0,488312	0,511688
5700	0,482102	0,517898
5800	0,47597	0,52403

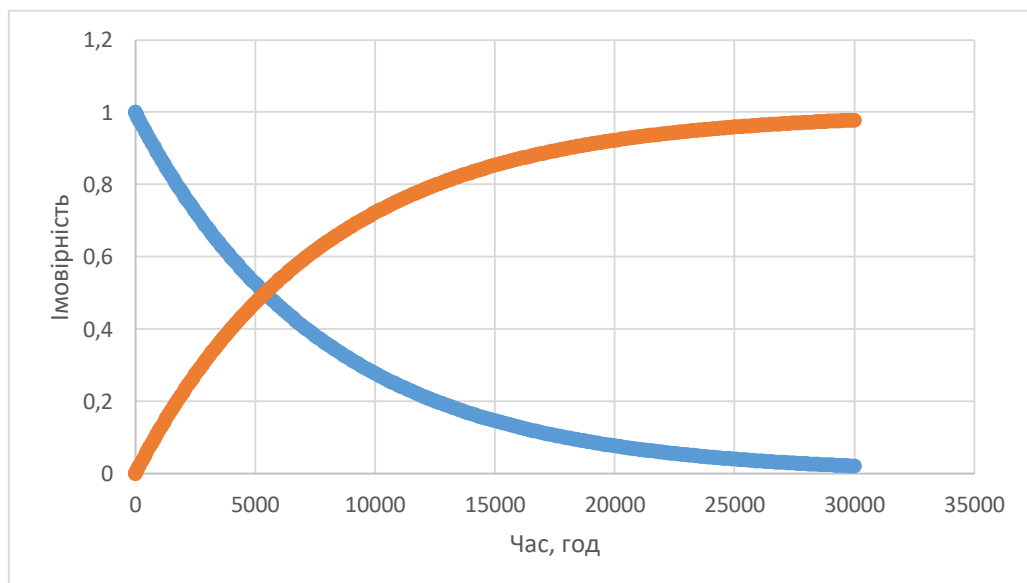


Рисунок 5.2 - Залежність  $Q(t)$  та  $P(t)$  від часу роботи

### 5.3 Розрахунок надійності приладу

Для підрахунку загальної надійності приладу, необхідно взяти раніше розраховані результуючі інтенсивності відмов, врахувати інтенсивність відмов з'єднувальних провідників між платами та виконати розрахунок повторно.

Таблиця 5.5 Коефіцієнти навантаження та інтенсивність відмов з'єднувачів

№	Найменування Елемента	$\lambda_{0i} * 10^{-6}$ (1/год)	К- ть	$\lambda_t$	$\lambda_e$	$K_H$	$\lambda_i * 10^{-6}$ (1/год)
1	Провідникк	0.1	15	1	10	1	15
2	Роз'єм	0.14	4	1		1	5.6

Результуюча інтенсивність відмов:

$$\Sigma \lambda_i = 20,6 * 10^{-6} \text{ (1/год)}$$

Результуюча інтенсивність відмов приладу:

$$\Sigma \lambda_i = (192.37 + 128 + 20,6) * 10^{-6} \text{ (1/год)}$$

$$\Sigma \lambda_i = 341 * 10^{-6} \text{ (1/год)}$$

$$P(t) = e^{-\lambda t} = \exp(-341 * 10^{-6} * t)$$

Ймовірність безвідмовної роботи протягом року:

$$P(t) = e^{-\lambda t} = \exp(-341 * 10^{-6} * 8760) = 0.05$$

Залежність вірогідності відмови від часу роботи:

$$Q(t) = 1 - P(t) = 1 - 0.05 = 0,95$$

Середній час напрацювання до першої відмови:

$$T_{cp} = \frac{1}{\lambda} = \frac{1}{341} * 10^6 = 2932 \text{ (годин)}$$

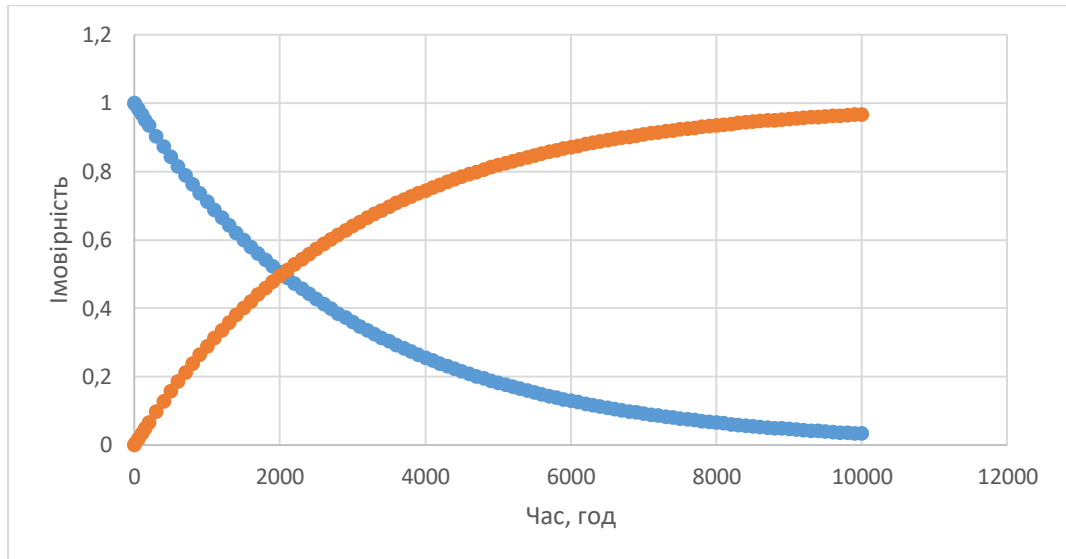


Рисунок 5.3 - Залежність  $Q(t)$  та  $P(t)$  від часу роботи

Для знаходження ресурсу роботи приладу було виконано розрахунок  $P(t)$  та  $Q(t)$  в діапазоні від 0 годин до 10000 годин. Отриманий ресурс роботи – 2000 годин. Залежність  $P(t)$  та  $Q(t)$  зображено на рис 5.2.

Частина таблиці підрахованих значень в околі значення ресурсу роботи зображена в таблиці 5.6.

Таблиця 5.6 Значення ресурсу роботи

t,год	P(t)	Q(t)
1800	0,54129	0,45871
1900	0,523143	0,476857
2000	0,505605	0,494395
2100	0,488654	0,511346
2200	0,472272	0,527728
2300	0,456439	0,543561
2400	0,441137	0,558863



Висновок до розділу: Розрахований час напрацювання до першої відмови материнської плати становить 5198 годин безперервної роботи, а ресурс роботи приладу складає 3700 годин безперервної роботи. Час напрацювання до першої відмови плати керування становить 7812 годин безперервної роботи, а ресурс роботи приладу складає 5400 годин безперервної роботи. Ресурс роботи приладу складає 2000 годин, а час напрацювання до першої відмови – 2932 годин.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		50

## Розділ 6. РОЗРОБКА ТА АНАЛІЗ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ В MATLAB

### 6.1 Короткі теоретичні відомості та ознайомлення з інтерфейсом

Розробка програмного забезпечення виконується з використанням ПЗ «Quartus»[26] та «Matlab».

Quartus – система, котра повністю контролює процес створення ПЗ для ПЛІС виробництва Intel. В ній знаходяться елементи, що автоматично виконують трасування програмованої матриці, різні типи аналізу створеної системи, конфігурація пінів та можливість моделювання роботи блоків або всієї системи.

В свою чергу Matlab – потужний інструмент для роботи з сигналами. За допомогою цього ПЗ можна конфігурувати сигнали різного типу, фільтри та моделювати створену сигнальну систему.

Для розробки проекту використовуються такі додатки до Matlab як: FilterBuiler[27], HDLCoder[28]. Перший дозволяє створити необхідний фільтр з заданими параметрами , другий – перетворити Matlab скрипт на синтезований Verilog HDL або VHDL код.

Для початку виконаємо ознайомлення з інтерфейсами цих додатків. Почнемо з FilterBuilder.

Для запуску цього додатку необхідно виконати команду «filterbuilder» в командному рядку Matlab та натиснути клавішу Enter.

Після чого впливає нове діалогове вікно, котре пропонує вибрати фільтр який нас цікавить. З даного набору для реалізації еквалайзера необхідно ФНЧ (lowpass), ФВЧ (highpass), Смуговий (bandpass), Режекторний (bandstop):

На прикладі ФНЧ фільтру розглянемо налаштування цього додатку. На рис.6.1 зображено основне вікно створення фільтру.

Для даного додатку характерно три стадії створення: перша – налаштування параметрів, друга – вибір формату в якому будуть представлені коефіцієнти фільтру та третя – вибір додатку конвертації коду.

Спочатку розглянемо вікно «main».

В пункті «Impulse response» можна обрати імпульсну характеристику фільтру, КІХ або БІХ фільтр.

«Order mode» - порядок фільтру.

«Filter type» - тип фільтру. Для даної системи залишаємо значення «Single-rate».

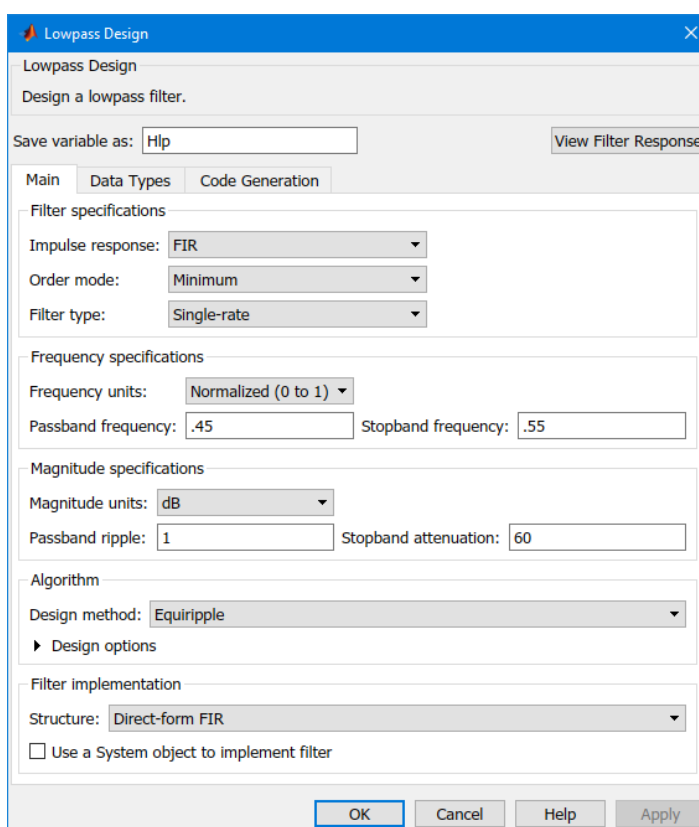


Рисунок 6.1 - Основне вікно створення фільтру

В полі “Frequency specifications” необхідно замінити значення на Гц, виставити частоту дискретизації, частоту пропускання (Passband freq.) та частоту з якої будуть подавлятися сигнали (Stopband attenuation).

Також можна обрати метод фільтру, та його представлення.

В наступному вікні під назвою «Data types» необхідно замінити представлення числа “Double” на “Fixed point” для створення синтезуючого Verilog HDL коду.

На даному етапі доступні налаштування довжин значень, що будуть представляти певні змінні. Якщо не встановити позицію «Specify precision» в полі “Filter internals”, згенерований блок фільтру матиме таку розрядність, яку вирішить застосувати FilterBuilder, тому краще мати можливість вручну встановлювати розрядність сигналу на виході, це дасть змогу налаштувати програмну частину під роботу з обраними мікросхемами та уникнути несподіваних результатів генерування фільтру.

Оскільки в попередньому меню обрано “Fixed point” тип даних, генератор коду виконає повністю синтезований код для ПЛІС. В наступному вікні «Code generation» обираємо “Generate HDL”.

Після вибору генератору коду користувачу спливає вікно, де доступні налаштування мови програмування, можливість вручну задати розподіл ресурсів, ввести необхідні налаштування глобальних параметрів та налаштування методів відладки коду.

## 6.2 Розробка фільтрів

Використовуючи раніше згадані додатки, виконаємо розробку чотирьох, вище згаданих, типів фільтрів:

## 6.2.1 Фільтр низьких частот

Перед тим як генерувати Verilog код. Необхідно впевнитись в теоретично вірних характеристиках фільтру, тому в утиліті «filter builder» обираємо «lowpass» та налаштовуємо фільтр наступним чином:

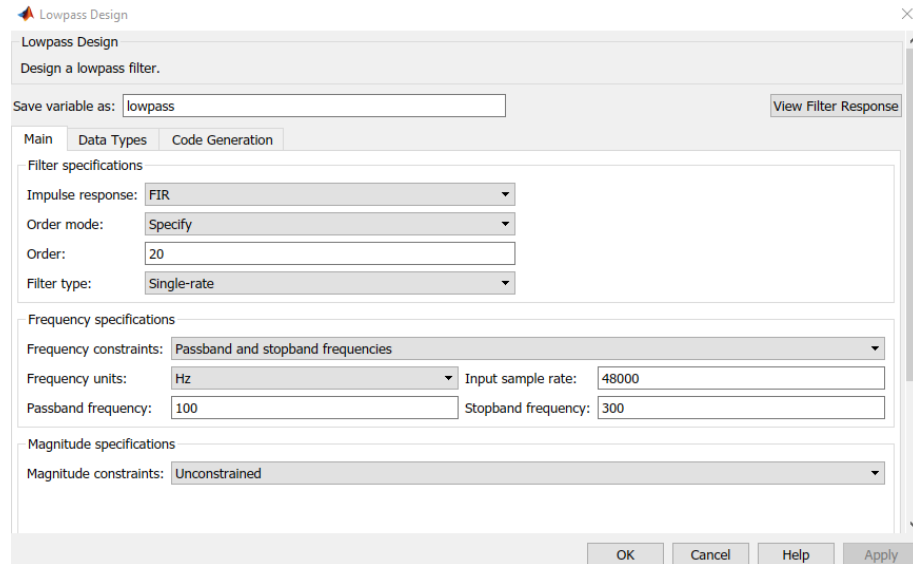


Рисунок 6.2 - Налаштування ФНЧ

Застосовуємо налаштування та натискаємо кнопку «View filter response». На рис.6.3 видно, що амплітуда фільтру починається з позначки -8 дБ, що вказує на значне послаблення низькочастотної складової, оскільки згідно теорії, амплітуда повинна знаходитись в межах від 0 до -3 дБ. Це можна вирішити двома методами:

- 1) Підвищувати порядок фільтру.
- 2) Встановити необхідне обмеження в параметрах фільтру.

В полі «Magnitude specifications» змінимо параметр з «Unconstrained» на «Passband ripple» та встановлюємо значення приблизно 0.1 дБ. Отримана АЧХ зображена на рис.6.4

Таким чином розроблено ФНЧ з частотою зрізу 60 Гц для еквайзера.

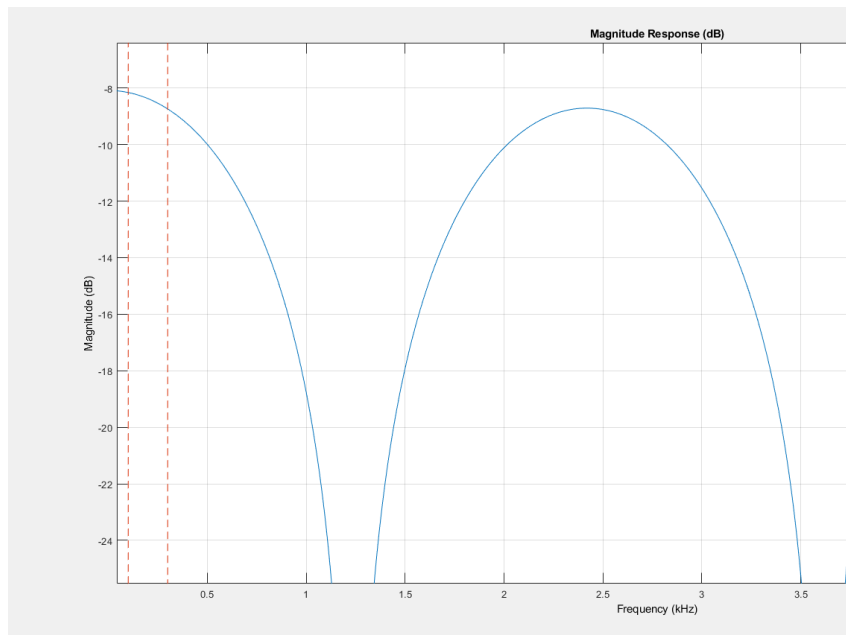


Рисунок 6.3 - АЧХ ФНЧ

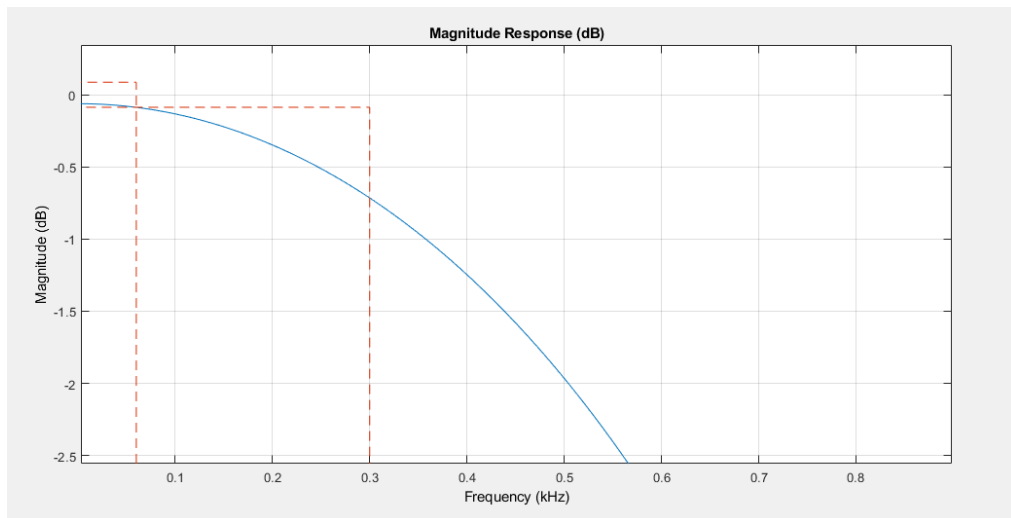


Рисунок 6.4 - АЧХ ФНЧ

## 6.2.2 Фільтр високих частот

Аналогічним чином виконується розробка ФВЧ. Тільки частота зрізу знаходиться близько 16 кГц.

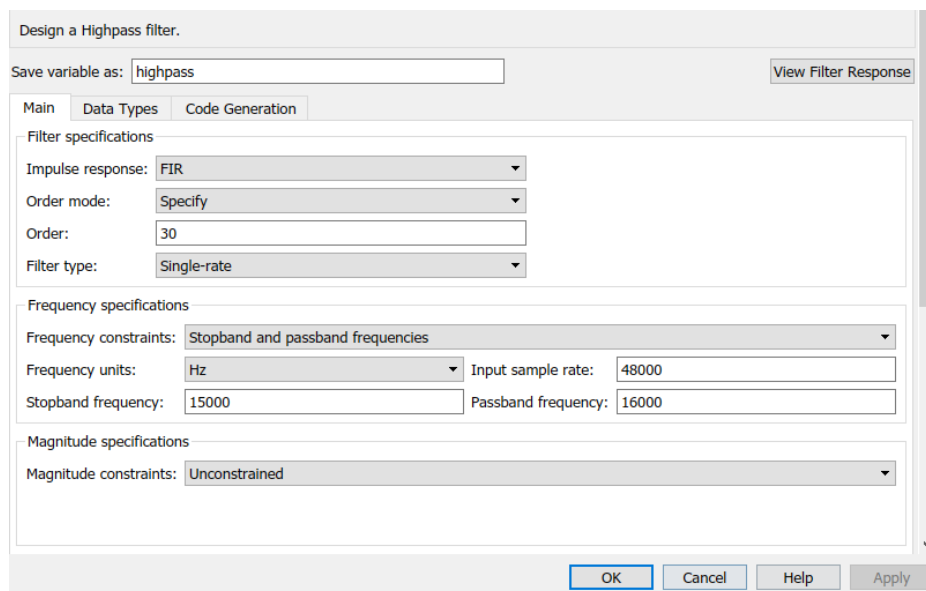


Рисунок 6.5 - Налаштування ФВЧ

Встановивши вказані на рис.6.5 налаштування отримаємо наступну АЧХ:

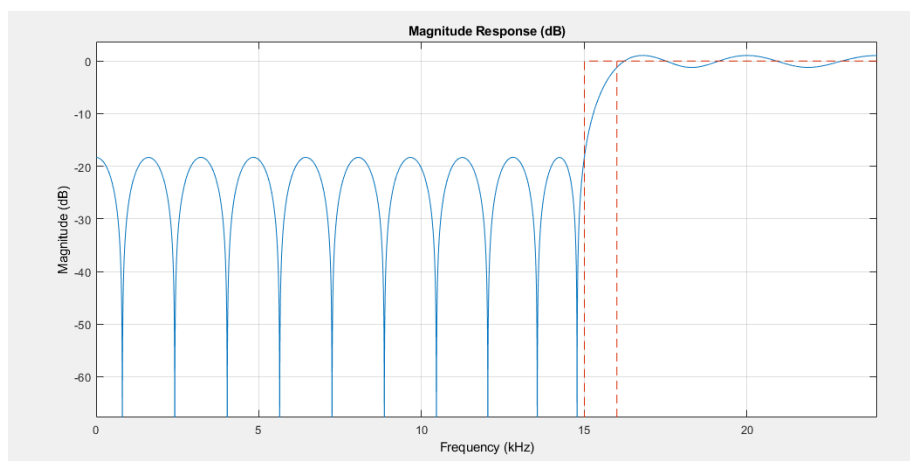


Рисунок 6.6 - АЧХ ФВЧ

З рис.6.7 можна встановити, що при таких налаштуваннях наявні нерівномірності в області пропускання сигналу. Щоб вирівняти АЧХ необхідно винести дії аналогічні попередньому пункту розділу, а саме налаштувати «Passband ripple». Встановивши це значення на рівні 0.1 дБ спостерігаємо наступну ситуацію, коли АЧХ в області пропускання майже лінійне, під «майже» мається на увазі незначні коливання  $\pm 0.1$  дБ, які були встановлені в налаштуваннях.

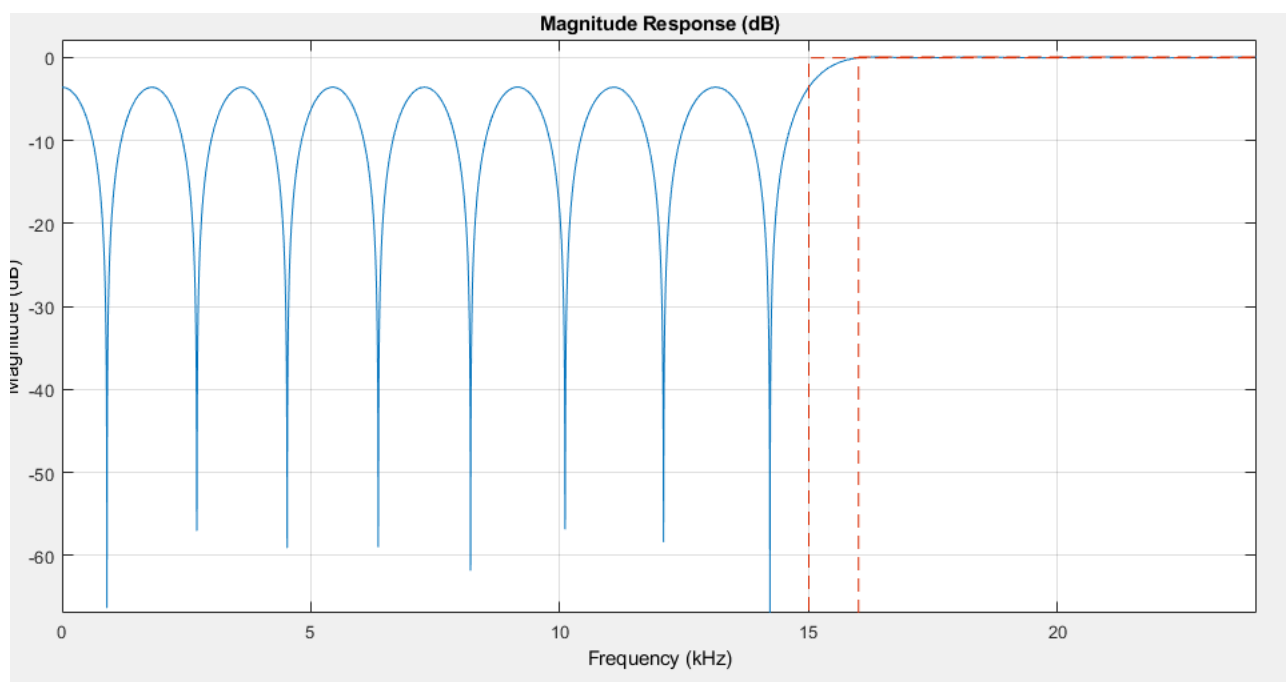


Рисунок 6.7 - АЧХ ФВЧ

Єдиним недоліком такого АЧХ є погана амплітудна характеристика області послаблення частоти (0-16) кГц, це можна вирішити встановивши параметр «Stopband attenuation» замість «Passband ripple» в полі «Magnitude specifications» тоді система витримає якісне послаблення частоти, але в такому випадку АЧХ області пропускання не буде відповідати необхідним нормам (рис.6.8). Для уникнення подібних ситуацій можна підвищити порядок фільтру, але істотно це вплине лише у випадку вище 100 номіналу порядку (рис.6.9). Така система буде неефективною з точки зору використання програмних ресурсів. Єдиним правильним рішенням є залишити першочергові



налаштування системи з АЧХ на рис.3.12. Якщо нерівномірність в полосі пропускання буде занадто високою, можна збільшити порядок фільтра. В будь-якому випадку таке рішення буде більш правильне з точки зору використаних ресурсів.

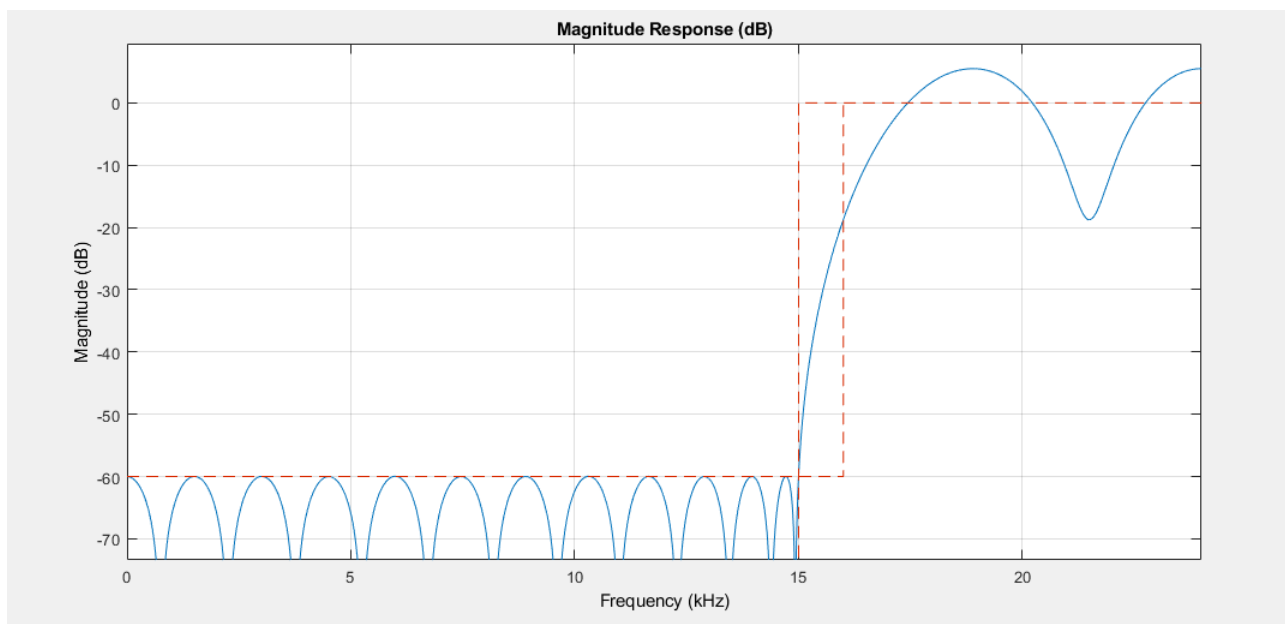


Рисунок 6.8

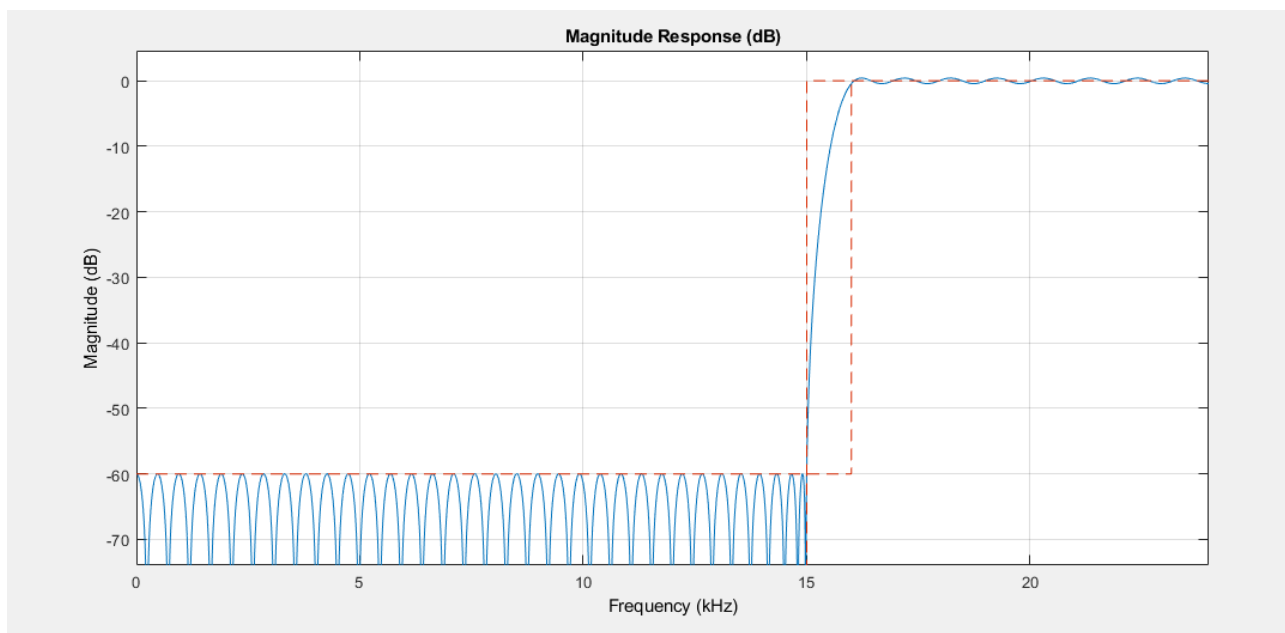


Рисунок 6.9 - АЧХ з 100 порядком фільтра

### 6.2.3. Принцип побудови смугових та режекторних фільтрів

Налаштування смугового фільтру включає в себе всі попередні пункти, єдиною відмінністю є встановлення початку та кінця смуги пропускання. Розробка групи фільтрів вимагає розподілення частотних зрізів таким чином, щоб проміжні частоти не послаблялись фільтрами. На рис.6.10 зображено смугові фільтри, перший налаштований на частоту пропускання 10 кГц, інший – на 12 кГц. Необхідно налаштувати фільтр таким чином, щоб його смуги затухання перетинались подібно зображеного на малюнку. В такому випадку проміжні смуги, які не регулюються, не будуть затухати, і будуть підсилюватись разом з визначеними зонами помітно меншим коефіцієнтом. Зрештою створиться ситуація, що зображена на рис.6.11.

Для забезпечення подібної структури еквайзера створено таблицю 3.1 з значеннями які необхідно встановити при створенні фільтру.

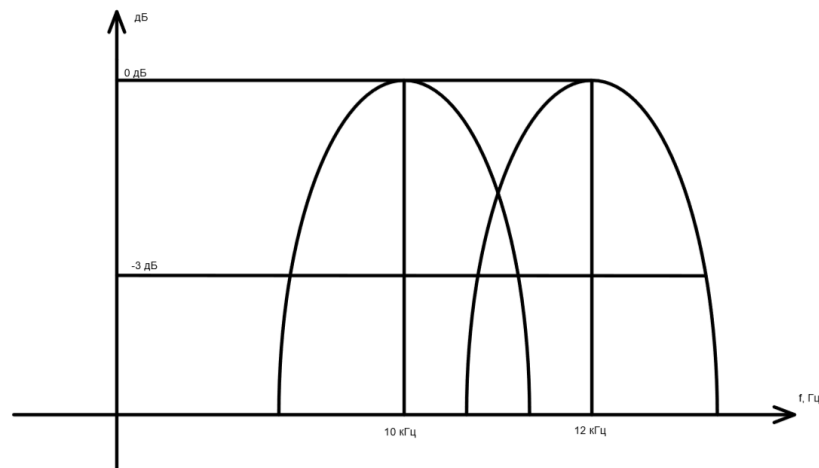


Рисунок 6.10

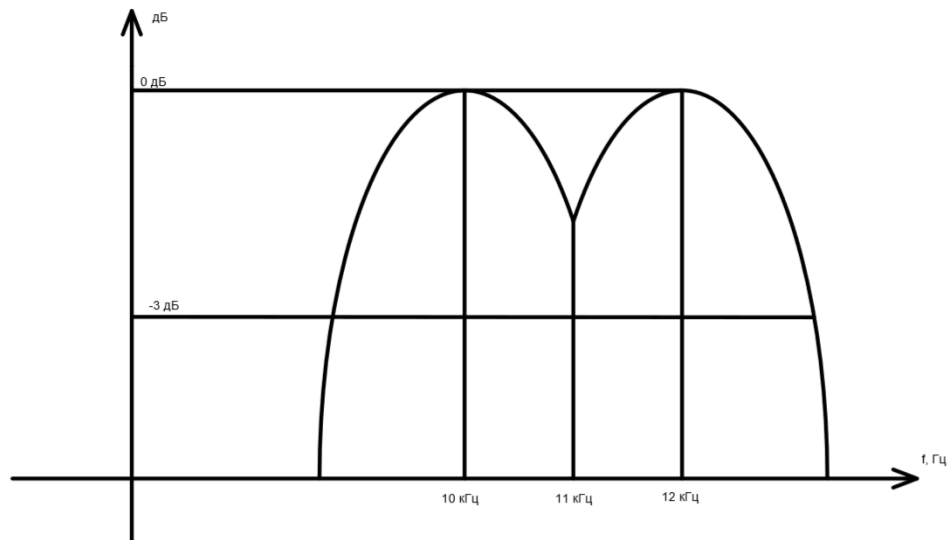


Рисунок 6.11

Таблиця 6.1 - Параметри фільтрів системи (Гц)

Fc, Гц	stopband frec1, Гц	passband frec1, Гц	stopband frec2, Гц	passband frec2, Гц
<60				
100	60	100	101	200
200	150	200	201	400
400	300	400	401	1000
1000	700	1000	1001	1500
1500	1250	1500	1501	2300
2300	1900	2300	2301	4000
4000	3200	4000	4001	6300
6300	5100	6300	6301	10000
10000	8200	10000	10001	16000
16000				

В спливаючому вікні утиліти «Filter builder» обираємо «bandpass» - смуговий фільтр, «bandstop» - режекторний. Використовуючи дані таблиці 3.1 та попередньо розглянуті пункти розроблюємо необхідні фільтри. Для кращої візуалізації, як приклад, розглянемо створення смугового та режекторного фільтрів на частоті 12 кГц.

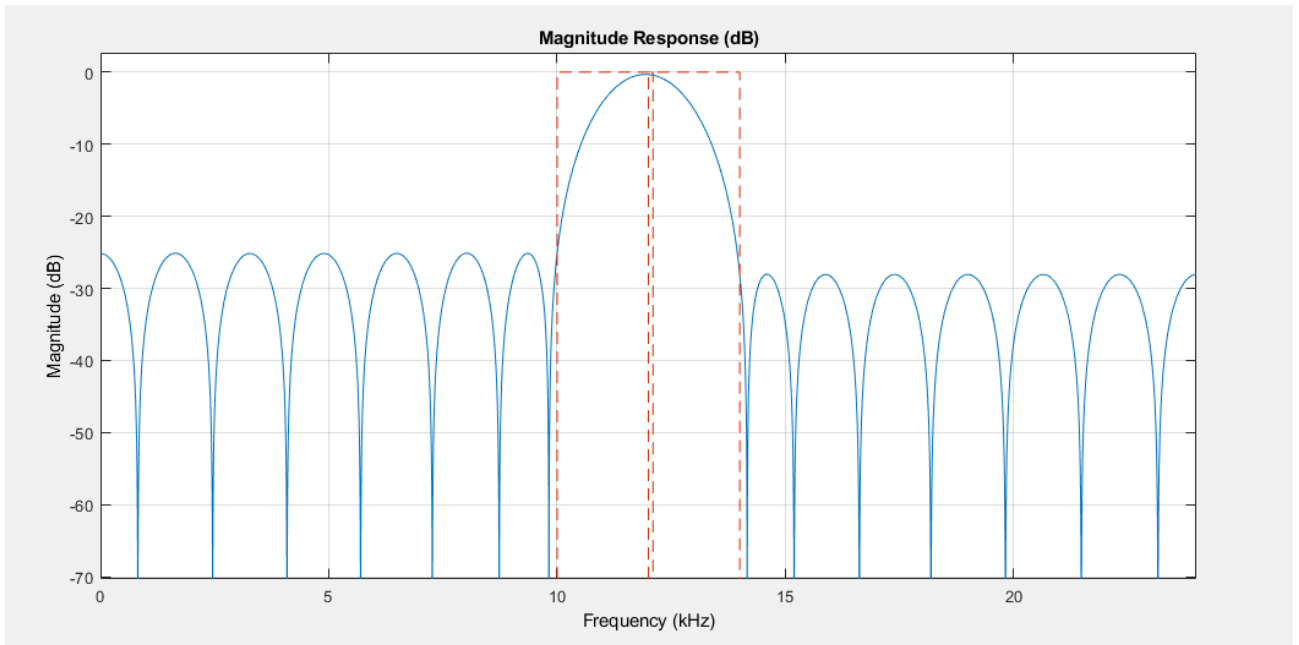


Рисунок 6.12 - АЧХ смугового фільтру

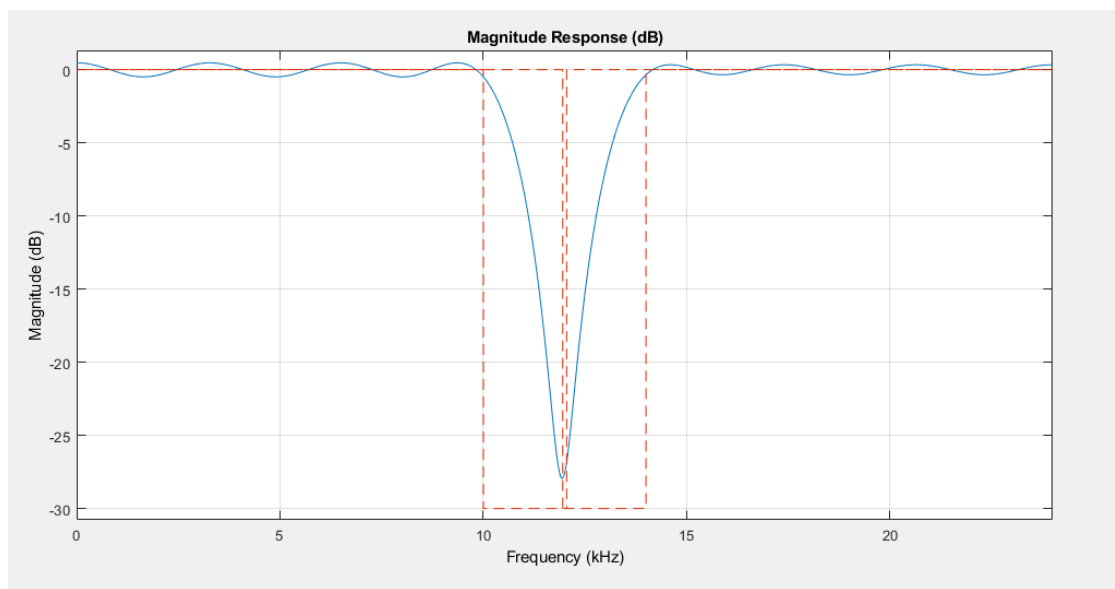


Рисунок 6.13 - АЧХ режекторного фільтру

Зменшення нерівномірності в смузі пропускання можна зменшити встановлюючи більший порядок фільтру, але це призведе до збільшення об'єму коду та збільшення навантаження на процесор.

Змн.	Арк.	№ доквм.	Підпис	Дат

**ДК51.468152.001 ПЗ**

Арк.

61

## 6.2.4 HDL coder

Для створення синтезованого Verilog коду розроблених фільтрів, в кожному випадку необхідно встановити налаштування, що зображені на рис.6.14 А саме вказується:

- Тип даних. Лише Fixed point для генерації синтезованого коду.
- Розрядність вхідних та вихідних даних.
- Налаштування розрядності коефіцієнтів.

	Mode	Signed	Word length	Fraction length
Input signal	Binary point scaling	yes	14	13
Coefficients	Specify word length	<input checked="" type="checkbox"/>	16	
Filter internals	Specify precision			
Product	Binary point scaling	yes	16	15
Accum	Binary point scaling	yes	20	15
Output	Binary point scaling	yes	14	13

Fixed-point operational parameters

Rounding mode: Convergent    Overflow mode: Wrap

Рисунок 6.14 - Налаштування даних

Висновок до розділу: Розглянута розробка фільтрів в середовищі Matlab. Всі фільтри системи виконуються за вище розглянутими правилами та принципами. Покращення характеристик фільтру можна досягти збільшенням порядку фільтру, але це впливає на ресурси процесору. Фільтри, що виконані за вказаними налаштуваннями мають лінійну ФЧХ, що необхідно для розробки систем такого типу.

## Розділ 7. РОЗРОБКА СИСТЕМИ В QUARTUS

### 7.1 Тестування розроблених фільтрів

Для тестування фільтрів, створених в Matlab, відбувається шляхом створення проекту в середовищі ModelSim [29] та імпортом створених Verilog файлів. Matlab генерує не тільки виконавчий код, а ще і код для його перевірки, так званий TestBench-файл. Для виконання симуляції варто обрати саме його, тоді, він підставить необхідні числа до змінних основного файлу, що продемонструє робоздатність системи.

Створено чотири проекти, для демонстрації роботи кожного типу фільтру. Оскільки вони створювались по одному набору правил, можна стверджувати, що інші будуть працювати так само, як і протестовані зразки.

Для симуляції ФНЧ розроблено окремий файл, оскільки в даному середовищі буде проблематично показати зріз частоти на 60 Гц, тому створено ідентичний ФНЧ з частотою зрізу 5 кГц, для демонстрації роботи. З рис.7.1 видно, що фільтр пропускає вхідний сигнал, до певного моменту, цей момент – частота зрізу 5 кГц. Після, на графіку промальовані шуми та вищі частоти, оскільки фільтр не ідеальний і видавати на виході нульову характеристику він не здатний.

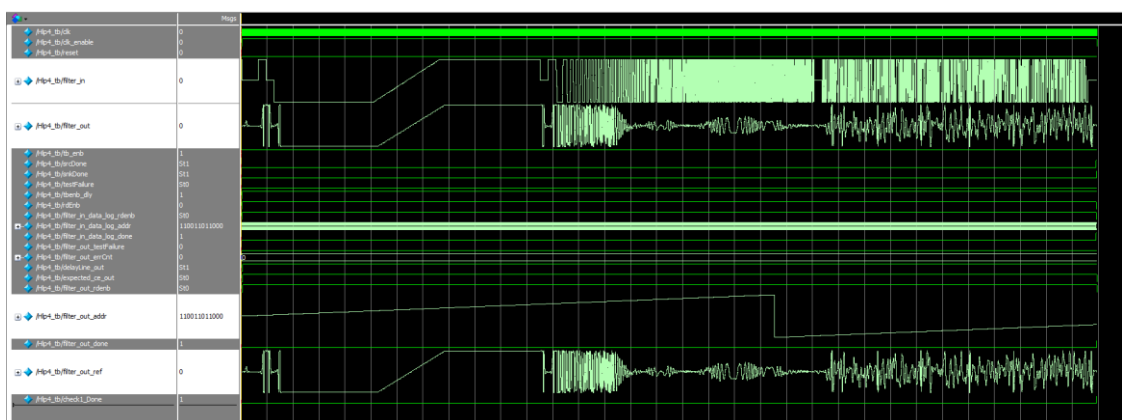


Рисунок 7.1 - Тест ФНЧ

Далі створимо аналогічний проект, тільки з використанням ФВЧ фільтру та файлу тестування для нього. На рис.7.2 зображено, як фільтр послаблює амплітуду вхідного сигналу до частоти зрізу, після неї на виході присутня частотна складова сигналу 16 кГц і вище.

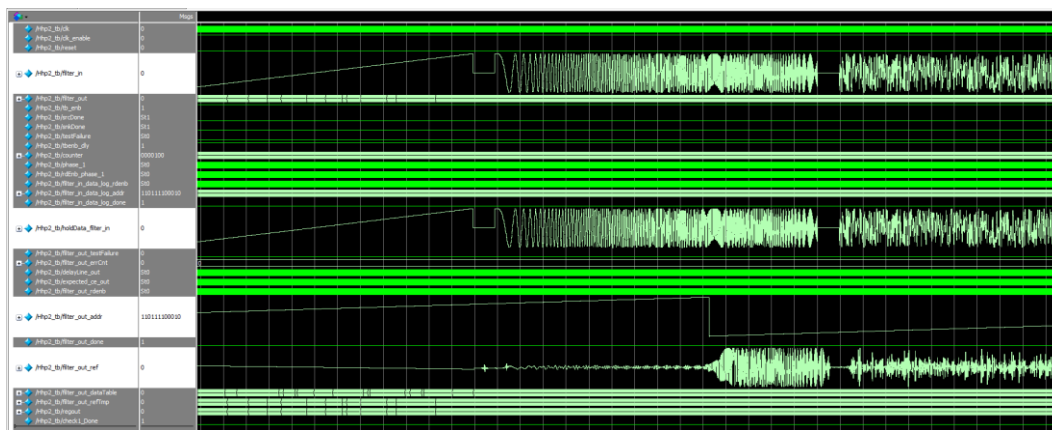


Рисунок 7.2 - Тест ФВЧ

Аналогічним чином тестуємо смуговий та режекторний фільтри на частоті зрізу 12 кГц. На рис.7.3. чітко видно, як фільтр пропускає частоту лише в одному місці – частота 12 кГц, а в інших – шуми та прояви неідеальності фільтру. Так само рис.7.4, фільтр пропускає всі частоти, крім одного діапазону, в околі 12 кГц.

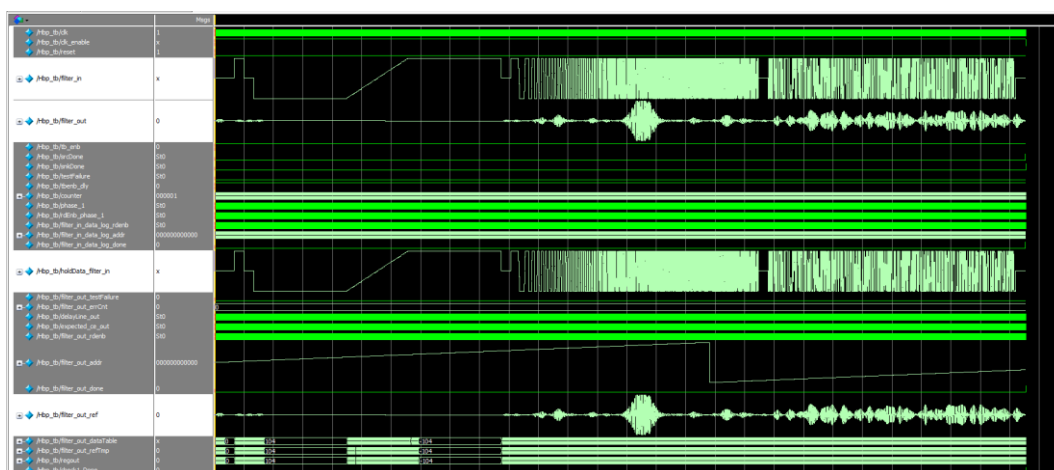


Рисунок 7.3 - Смуговий фільтр

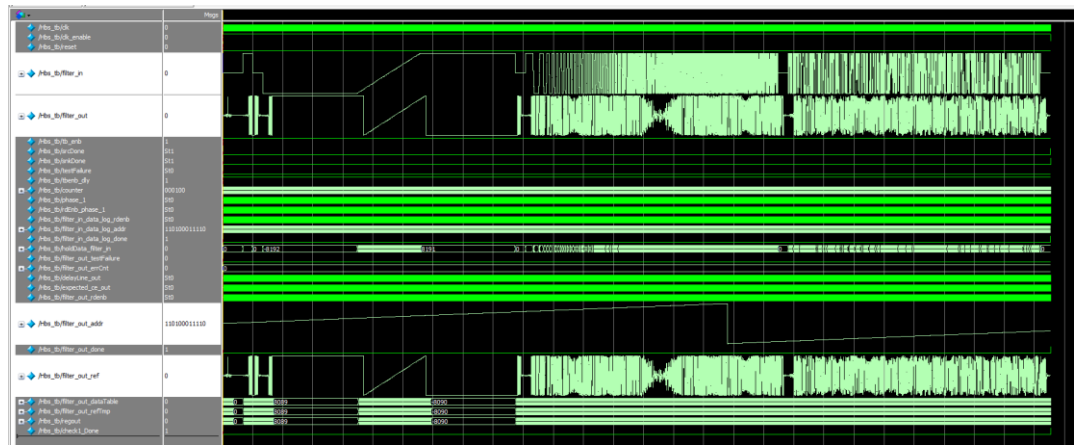


Рисунок 7.4 - Режекторний фільтр

## 7.2 Структурна схема системи

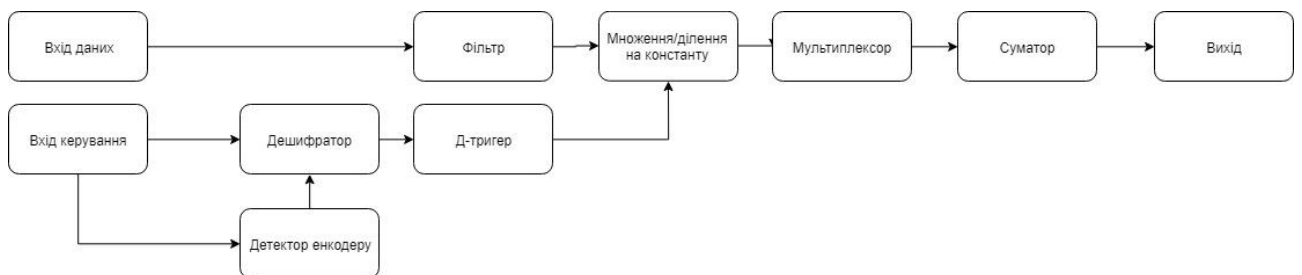


Рисунок 7.5 - Структурна схема системи

Дані повинні надходити на вхід блоку фільтра, але оскільки розробляється система, що має в сумі 44 фільтри необхідно створити систему керування та складання сигналів.

Почнемо з виходу системи. На один канал створюється система на 11 смуг еквайзера, що означає наявність 11-ти фільтрів. Кожен фільтр працює тільки з власними частотами, тому для збереження цілісності сигналу на виході необхідно встановити суматор, який з'єднуватиме всі окремі частини сигналу разом.

Оскільки еквайзерам властиве не тільки підвищення певної частоти, а й її послаблення, необхідно на кожну смугу встановити 2 фільтри – смуговий та режекторний (для крайніх смуг ФНЧ + режекторний та ФВЧ + режекторний).



Над вибором типу фільтру в смузі треба мати контроль, тому створено чотирьох розрядний сигнал, старший біт якого вказує на вибір активного фільтру ( 0 – смуговий, 1 – режекторний). Цей сигнал керує мультиплексором на виході, а молодші три біти – коефіцієнт підсилення. У випадку смугового блоку над вихідним з фільтру сигналом виконується операція множення для збільшення амплітуди сигналу. Натомість, для режекторного блоку використовується блок ділення сигналу на константу, тим самим зменшуючи послаблення сигналу що призводить до кращого сприйняття частоти вухом людини. Отримана схема зображена на рис.7.6 з зображенням Д-тригером, смуговим та режекторним фільтрами, помножувачем, подільником, мультиплексором та суматором.

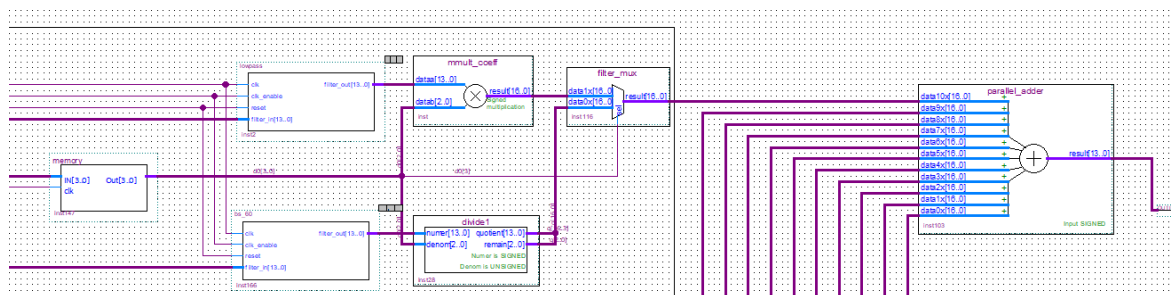


Рисунок 7.6 - Схема смуги еквайзера

### 7.3 Розробка в Quartus

В підрозділі 7.1 було протестовано роботу створених фільтрів, тому зараз їх необхідно імпортувати в Quartus. При створенні нового проекту задаємо мікросхему, яка буде виконувати роль процесора в системі стерео ресиверу.

Фільтри мають розширення «.v» та сприймаються в Quartus як Verilog-файл. Тому після створення проекту обираємо пункт «Add/Remove files in project» та обираємо всі файли створених фільтрів. Після чого створюємо символ з лістингу програми.

Для створення системи керування необхідний демультимплексор, що буде приймати на вхід 11-ти розрядний сигнал. Він відповідає за вибір активної

смуги еквалайзеру, та сигнали, що надходять з блоку енкодера і несуть інформацію про константу підсилення частоти. Для того, щоб налаштування не скидались після кожного перемикання, прийнято рішення встановити Д-тригери для кожного коефіцієнту.

Якщо модуль пам'яті не матиме вхідного сигналу дозволу запису, при перемиканні смуг дані, що керували рівнями смуг спектру будуть скидатись в нуль. Тому в ролі сигналу дозволу виступає натиснута кнопка з панелі керування, сигнал якої надходить на логічний елемент «І» разом з сигналом тактової частоти. Якщо кнопка натиснута – тактова частота надходить на модуль пам'яті якщо ні – не надходить і пам'ять не оновлює значення на виході.

Вся система працює з знаковими числами. В ході розробки системи була знайдена проблема, яка проявлялась в детектуванні коефіцієнту множення як знакового числа, хоча він повинен бути завжди беззнаковим. Для вирішення проблеми додано додатковий старший розряд, що постійно знаходиться на землі та має рівень логічного нуля, це дозволить завжди мати беззнакове число без некерованої зміни значення коефіцієнту. Для подільника, в налаштуваннях мегафункції, можна обрати тип даних дільника, тому таке рішення неактуальне, але тоді отримуємо виходи з різною кількістю розрядів, щоб такого не відбувалось, додатковий старший нульовий біт введено і для подільника.

Також наявна потреба передбачити можливість відключення системи, якщо немає необхідності в регулюванні рівня частот. Для цього на виході кожного каналу встановлюється мультиплексор, який по сигналу з панелі керування видає на вихід сигнал з системи фільтрів; або ж вхідний сигнал, що надходить з АЦП, без будь-яких втручань в його спектральну складову.

Остаточний вигляд Quartus проекту показано на рис.7.9.

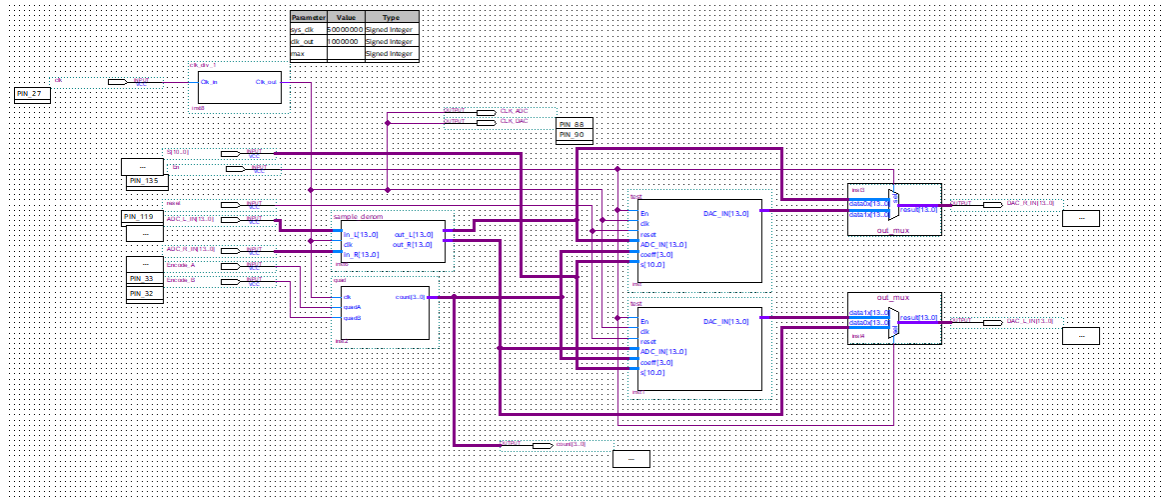


Рисунок 7.9

#### 7.4 Симуляція керування системою

Фільтри були протестовані в пункті 7.1 тому для симуляції керування їх можна закоротити та подавати на вхід прості числа, щоб мати змогу на простому прикладі протестувати систему керування.

Щоб протестувати помножувач та дільник, оберемо невелике число. Для прикладу це будуть числа 32 та 70.

Шина «coeff» позначає коефіцієнт множення сигналу, «div\_out» «mmult\_out» та «mux\_out» відповідно назві демонструють значення сигналу на виході відповідного блоку.

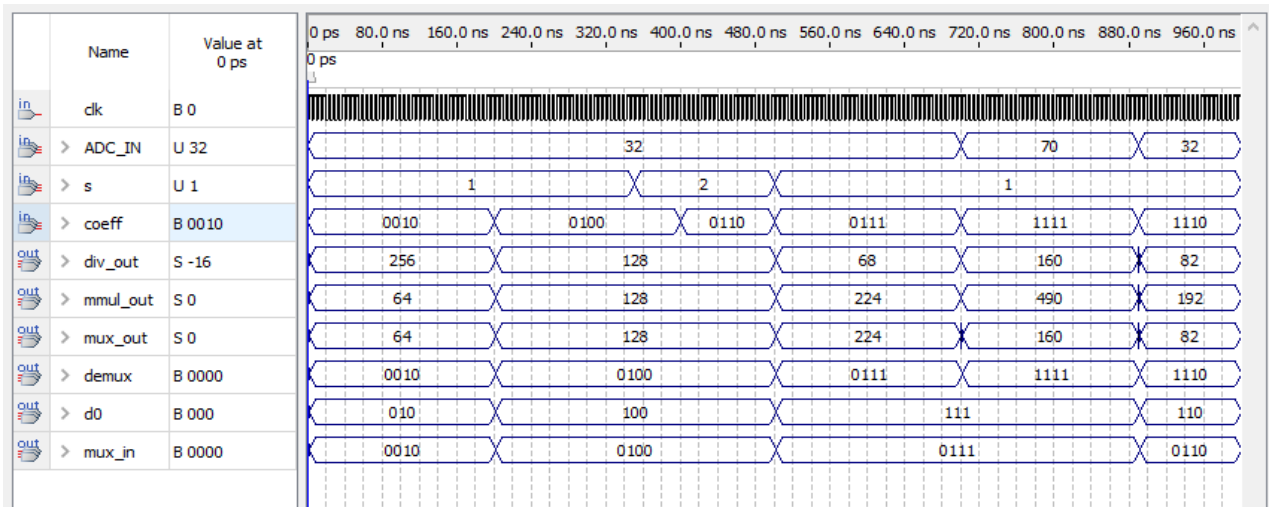


Рисунок 7.10 – Результат симуляції

Коли старший розряд сигналу «coeff» має рівень логічного нуля – активується помножувач, коли рівень логічної одиниці – дільник. Для першого стовпчику коефіцієнт дрівнює 2, а отже вхідний сигнал зі значенням 32 множитья на 2, отримуємо 64.

Якщо змінити смугу з першої на другу (шина «S»), значення на виході мультиплектора першої смуги залишаються незмінними, оскільки не спрацьовує сигнал дозволу запису в пам'ять.

Сигнал тактової частоти є дуже важливим в системах подібного типу. Необхідно підібрати оптимальне значення для роботи зовнішніх мікросхем та обчислювальної частини ПЛІС. В якості тактового сигналу обрано сигнал з частотою 1 МГц. Він надходить на обчислювальну частину ПЛІС, на АЦП та ЦАП. АЦП буде оцифровувати сигнал на частоті 1 MSPS, це надмірно велике значення, тому необхідно створити блок в ПЛІС, котрий видаватиме на свій вихід сигнал раз за 20 тактів. Це дасть змогу зменшити кількість семплів до 50 KSPS, що майже дорівнює частоті дискретизації. ЦАП також працюватиме зі швидкістю 1 MSPS, але дані на його вхід приходитимуть зі швидкістю 50 KSPS, тому тут не треба додаткових блоків.

Тактування обчислювальної системи повинно бути на порядок вище ніж тактування ЦАП і АЦП, але оскільки дані надходять з частотою 50 кГц, то для ПЛІС можна використовувати також 1 МГц, що в 20 разів більше ніж частота оновлення даних. В проекті використано готову реалізацію подільника частоти [30].

Висновок до розділу: Розроблено систему керування та обчислення для центрального процесору стерео ресиверу. Система використовує майже всі ресурси обраної мікросхеми. В середньому, по використаним ресурсам, наповнення мікросхеми сягає 80% від максимального значення, що вказує на правильний вибір мікросхеми ПЛІС

## Розділ 8. ПРОЕКТУВАННЯ В ALTIUM DESIGNER

Для створення деяких видів документації, а саме: креслення плати, креслення схеми електричної принципової, переліку елементів та специфікації було використано середовище Altium Designer [31].

Altium Designer – це комплексна система автоматизованого проектування радіоелектронних засобів, що дозволяє проектувати друковані плати.

Для створення складального креслення було використано редактор схем. Але для того щоб створити схему необхідно мати умовно-графічні позначення (далі УГП) компонентів схеми. Тому було створено бібліотеку УГП компонентів. Оскільки створення переліку елементів та специфікації відбувається на основі схеми електричної принципової, в параметрах кожного компоненту необхідно задати наступні пункти:

- Для всіх компонентів: назву та виробника;
- Для резисторів: потужність, корпус, номінал;
- Для конденсаторів: максимальну напругу, ємність, тип діелектрику, корпус.

Виконання цієї умови дозволить створити перелік елементів та специфікацію використовуючи шаблон, що наданий викладачем.

Після формування УГП для кожного компонента було створено схему електричну принципову. Всі буквено-цифрові позначення виконані згідно ГОСТ 2.710-81.

Створення плати відбувається на основі вже створеної схеми електричної принципової оскільки враховуються з'єднання між компонентами схеми, а також нової бібліотеки посадкових місць для кожного компонента схеми.

Створення цієї бібліотеки відбувається з урахуванням габаритних розмірів всіх компонентів, оскільки важливо не тільки правильно виконати рисунок посадкових місць, а й відобразити, хоча б приблизний, зовнішній

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		70

вигляд кожного компоненту. Це необхідно для створення складального креслення.

Розподіл компонентів по друкованій платі виконується по методу «від найбільш зв'язаного». Таким компонентом є процесор – ПЛІС. Половина ніжок ПЛІС зайнята під АЦП та ЦАП, тому їх необхідно росташувати як можна ближче один до одного. Крім того, це розміщення конструктивно важливе, оскільки це основна сигнальна лінія і вона повинна мати провідники як можна меншої довжини для уникнення впливу паразитних ефектів на сигнал.

Розташування всіх інших компонентів виконано таким чином, щоб збільшити щільність монтажу та зменшити габаритні розміри. Також цьому сприяє багатошарова ДП, та можливість розподілити компоненти по обох сторонах ДП.

Висновок до розділу:

Друковані плати для даного проекту розроблені в середовищі Altium Designer. При трасуванні виконувались всі умови, що задані 4-му класу точності згідно ГОСТ 23571-86. Результат трасування наведений на кресленні ДК51.758723.001 та ДК51.758723.002

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		71

## ВИСНОВКИ

Згідно технічного завдання поставлено задачу виконати розробку стерео ресиверу за встановленими параметрами. Завдання виконано в повному обсязі та витримані пункти вимог технічного завдання.

Розроблена система має наступні технічні характеристики:

Параметр	Отримане значення	Значення ТЗ
Частота дискретизації	48 кГц	48 кГц
Розрядність даних	14 біт	$\geq 14$ біт
Рівень сигнал/шум	74 дБ	$\geq 50$ дБ
Напрацювання на відмову	2932 години	2000 годин
Споживання струму	1.5 А	$\leq 2$ А
Напруги живлення	5В, 3.3В, 2.5В	5В, 3.3 В

Провередні етапи розробки зафіксовані в розділах пояснювальної записки. В якості процесору системи встановлено програмовану логічну матрицю замість звичайних цифрових сигнальних процесорів. Це рішення надає можливість не використовувати окремі цифрові мікросхеми, якщо їх реалізацію можна запрограмувати на ПЛІС.

Для покращення відношення сигнал/шум використовувались Low noise мікросхеми, тому як значення рівню сигнал/шум теоретично можна прийняти найгірший випадок серед мікросхем, він складає 74 дБ у мікросхеми АЦП

Для збільшення надійності приладу майже всі компоненти схеми мають поверхневий тип монтажу, а збірка плати виконується згідно IPC Type 2С.

Розміщення компонентів виконано таким чином, щоб забезпечити мінімальну довжину зв'язків. Вся система будувалась навколо мікросхеми

ПЛІС, це забезпечило зменшення сумарної довжини друкованих провідників, а також більш раціональне використання місця на платі.

Як матеріал для виготовлення друкованої плати було обрано склотекстоліт з класом вогнестійкості FR-4, оскільки він широко застосовується в побутовій електроніці та має ряд важливих параметрів, наприклад: чудові механічні та електричні властивості, стабільність геометричних розмірів. Плата має двошарову конструкцію з наскрізними металізованими отворами, такий тип плат забезпечує високу трасувальну здатність та високу щільність монтажу елементів.

Обрано четвертий клас точності трасування, оскільки мікросхеми, що встановлюються в даному приладі потребують клас точності 4 або вище. Перевагами такого класу точності є більша доступність з технічної точки зору, оскільки багато ДВ виконуються саме за четвертим класом точності, тому багато компаній мають обладнання для виготовлення такого типу плат.

Розраховані значення паразитних параметрів є незначними і не будуть впливати на роботу схеми. Розрахований час напрацювання до першої відмови материнської плати становить 5198 годин безперервної роботи, а ресурс роботи приладу складає 3700 годин безперервної роботи. Час напрацювання до першої відмови плати керування становить 7812 годин безперервної роботи, а ресурс роботи приладу складає 5400 годин безперервної роботи. Ресурс роботи приладу складає 2000 годин, а час напрацювання до першої відмови – 2932 годин.

Отриманих значень надійності цілком вистачить для безперервної роботи протягом декількох років, оскільки даний клас приладів не працює безперервно.

Виконані розрахунки і графічна частина дипломного проекту підтверджують виконання вимог технічного завдання і правильність конструкторських рішень.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Дат		73



## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Wikipedia / [Електронний ресурс] – [AV-ресивер](#)
2. Wikipedia / [Електронний ресурс] - [Anti-aliasing filter](#)
3. Choose the right A/D converter for your application – Texas Instruments /  
Режим доступу до ресурсу:  
<https://www.ti.com/europe/downloads/Choose%20the%20right%20data%20converter%20for%20your%20application.pdf>
4. Analog Devices / [Електронний ресурс] – Режим доступу:  
<https://www.analog.com/en/index.html>
5. LTC2245 Datasheet / [Електронний ресурс] – Режим доступу:  
<https://www.analog.com/media/en/technical-documentation/data-sheets/2245fa.pdf>
6. AD9744 Datasheet / [Електронний ресурс] – Режим доступу:  
<https://www.analog.com/media/en/technical-documentation/data-sheets/AD9744.pdf>
7. Wikipedia / [Електронний ресурс] – [Процесор цифрових сигналів](#)
8. Wikipedia / [Електронний ресурс] – [FPGA](#)
9. Intel FPGA / [Електронний ресурс] – Режим доступу:  
<https://www.intel.ru/content/www/ru/ru/products/programmable.html>
10. Intel MAX10 FPGA`s product table – Intel / [Електронний ресурс] –  
Режим доступу:  
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/pt/max-10-product-table.pdf>
11. Intel MAX10 FPGA device datasheet / [Електронний ресурс] – Режим  
доступу:  
[https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/max-10/m10\\_datasheet.pdf](https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/max-10/m10_datasheet.pdf)
12. 74AUP1G157 Datasheet / [Електронний ресурс] – Режим доступу:  
<https://assets.nexperia.com/documents/data-sheet/74AUP1G157.pdf>

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ докum.	Підпис	Лат		74

13. Wikipedia / [Электронный ресурс] - [Фильтр Саллена-Ки](#)
14. AD8031 Datasheet / [Электронный ресурс] – Режим доступа:  
[https://www.analog.com/media/en/technical-documentation/data-sheets/AD8031\\_8032.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD8031_8032.pdf)
15. AD8606 Datasheet / [Электронный ресурс] – Режим доступа:  
[https://www.analog.com/media/en/technical-documentation/data-sheets/AD8605\\_8606\\_8608.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD8605_8606_8608.pdf)
16. Intel MAX10 FPGA Evaluation Kit / [Электронный ресурс] – Режим доступа:  
[https://www.intel.com/content/www/us/en/programmable/products/boards\\_and\\_kits/dev-kits/altera/kit-max-10-evaluation.html.html](https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/dev-kits/altera/kit-max-10-evaluation.html.html)
17. 74HC237D Datasheet / [Электронный ресурс] – Режим доступа:  
<https://toshiba.semicon-storage.com/info/docget.jsp?did=37370&prodName=74HC237D>
18. SN74AS1008A Datasheet / [Электронный ресурс] – Режим доступа:  
<http://www.ti.com/lit/ds/sdas071b/sdas071b.pdf>
19. Matlab / MathWorks/ [Электронный ресурс] – Режим доступа:  
<https://www.mathworks.com/products/matlab.html>
20. LTspice XVIII / Linear Technology/Analog Devices / [Электронный ресурс] – Режим доступа: <http://www.linear.com/designtools/software/>
21. LW Q38E Datasheet / [Электронный ресурс] – Режим доступа:  
<https://dammedia.osram.info/media/resource/hires/osram-dam-2493068/LW%20Q38E.pdf>
22. 74HC237D Datasheet / [Электронный ресурс] – Режим доступа:  
<https://toshiba.semicon-storage.com/info/docget.jsp?did=37370&prodName=74HC237D>
23. Techniformula / [Электронный ресурс] – Типы SMT сборок.
24. Медведев А.М. Печатные платы. Конструкции и материалы – М.: Техносфера, 2005, 306с.

25. Методичні вказівки «Нормування показників надійності технічних засобів» - Вінниця ВНТУ 2011р. – Режим доступу: <http://ignatenko.vk.vntu.edu.ua/file/2ab752029c3431add731d96088fae79.pdf>
26. Quartus Prime / Intel / [Електронний ресурс] – Режим доступу: <https://www.intel.ru/content/www/ru/ru/software/programmable/quartus-prime/download.html>
27. Filter Builder / Matlab / MathWorks/ [Електронний ресурс] – Режим доступу: <https://www.mathworks.com/help/signal/ug/filterbuilder-design-process.html>
28. HDL Coder / Matlab / MathWorks/ [Електронний ресурс] – Режим доступу: <https://www.mathworks.com/products/hdl-coder.html>
29. ModelSim / Intel / [Електронний ресурс] – Режим доступу: <https://www.intel.ru/content/www/ru/ru/software/programmable/quartus-prime/model-sim.html>
30. Verilog clock divider 50 MHz to 1 MHz / EdaBoards / [Електронний ресурс] – Режим доступу: <https://www.edaboard.com/showthread.php?283537-Verilog-clock-divider-50-MHz-to-1-MHz>
31. Altium Designer / Altium LLC / [Електронний ресурс] - Режим доступу: <https://www.altium.com/ru>

ГОСТ 15150-69 МАШИНЫ, ПРИБОРЫ И ДРУГИЕ ТЕХНИЧЕСКИЕ ИЗДЕЛИЯ Исполнения для различных климатических районов. Категории, условия эксплуатации, хранения и транспортирования в части воздействия климатических факторов внешней среды

ГОСТ 23571-86 Платы печатные. Основные параметры конструкции.

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Лат		76

ГОСТ 23770-79 Платы печатные. Типовые технологические процессы химической и гальванической металлизации

ГОСТ 2.710-81 Обозначения буквенно-цифровые в электрических схемах

IEC 60063:2015 International Standart Norme Internationale

IPC-SM-782A Surface Mount Design and Land Pattern Standart

IPC-4101A Specification for Base Materials for Rigit and Multilayer Printed Boards

					<b>ДК51.468152.001 ПЗ</b>	Арк.
Змн.	Арк.	№ доквм.	Підпис	Дат		77