

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ  
імені ІГОРЯ СІКОРСЬКОГО»

Факультет електроніки

(повна назва інституту/факультету)

Кафедра мікроелектроніки

(повна назва кафедри)

«До захисту допущено»

В. о. завідувача кафедри

Анатолій ОРЛОВ

(підпис)

(ініціали, прізвище)

“ ” \_\_\_\_\_ 2021 р.

**Дипломна робота**

на здобуття ступеня бакалавра

за спеціальністю 153 Мікро- та наносистемна техніка

(код і назва)

на тему: МДН транзистор з субмікрометровою довжиною каналу

Виконав: студент IV курсу, групи ДП-71

(шифр групи)

Срьоменко Ігор Вікторович

(прізвище, ім'я, по батькові)

(підпис)

Керівник асист. каф. МЕ Королевич Л. М.

(посада, науковий ступінь, вчене звання, прізвище та ініціали)

(підпис)

Консультант з нормоконтролю

доц., к.ф.-м.н., с.н.с. Георгій СВЄЧНІКОВ

Консультант з інформаційних питань доц., к.т.н., Юрій ДІДЕНКО

Рецензент \_\_\_\_\_

(посада, науковий ступінь, вчене звання, прізвище та ініціали)

(підпис)

Засвідчую, що у цій дипломній роботі  
немає запозичень з праць інших авторів  
без відповідних посилань.

Студент \_\_\_\_\_

(підпис)

Київ – 2021 року

## Завдання на дипломну роботу

### Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського»

Інститут/факультет \_\_\_\_\_ факультет електроніки  
(повна назва)

Кафедра \_\_\_\_\_ кафедра мікроелектроніки  
(повна назва)

Рівень вищої освіти – перший (бакалаврський)

Спеціальність (спеціалізація) \_\_\_\_\_ 153 Мікро- та наносистемна техніка  
(код і назва)

ЗАТВЕРДЖУЮ  
В. о. завідувача кафедри  
\_\_\_\_\_ Анатолій ОРЛОВ  
(підпис) (ініціали, прізвище)  
« \_\_\_ » \_\_\_\_\_ 2021 р.

### ЗАВДАННЯ на дипломний проект (роботу) студенту

\_\_\_\_\_ Єрмоєнку Ігорю Вікторовичу  
(прізвище, ім'я, по батькові)

1. Тема проекту (роботи) \_\_\_\_\_ 153 МДН транзистор з субмікрометровою довжиною каналу

керівник проекту (роботи) \_\_\_\_\_ Королевич Любомир Миколайович, асист. каф. МЕ  
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом по університету від « \_\_\_ » \_\_\_\_\_ 20\_\_ р. №\_\_

2. Строк подання студентом проекту (роботи) \_\_\_\_\_

3. Вихідні дані до проекту (роботи) \_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

4. Зміст (дипломної роботи) пояснювальної записки (перелік завдань, які потрібно розробити) \_\_\_\_\_

\_\_\_\_\_

5. Перелік графічного (ілюстративного) матеріалу (із зазначенням обов'язкових креслеників, плакатів, презентацій тощо) Презентація

6. Консультанти розділів проекту (роботи)\*

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв

7. Дата видачі завдання \_\_\_\_\_

#### Календарний план

№ з/п	Назва етапів виконання дипломного проекту (роботи)	Строк виконання етапів проекту (роботи)	Підпис керівника

Студент \_\_\_\_\_

(підпис)

Єрмоєнко І. В.  
(ініціали, прізвище)

Керівник проекту (роботи) \_\_\_\_\_

(підпис)

Королевич Л. М.  
(ініціали, прізвище)

\* Консультантом не може бути зазначено керівника дипломного проекту (роботи)

## РЕФЕРАТ

Роботу викладено на 53 сторінках, вона містить 5 розділів, 28 ілюстрацій, 1 таблицю та 24 джерела в переліку посилань.

Об'єктом дослідження є МДН транзистор із субмікрометровою довжиною каналу та їх конструктивно-технологічні особливості реалізації.

Предметом роботи є порівняння результатів моделювання МДН транзистора та КНІ МДН транзистора зі структурою затвору  $\text{TiAl/HfO}_2$ .

Метою роботи є огляд сучасних конструкцій МДН транзисторів та вибір матеріалів підзатворних діелектриків та затвору для їх виготовлення.

У першому розділі подаються способи застосування МДН транзисторів з субмікрометровою довжиною каналу.

У другому розділі описуються коротко-канальні ефекти та способи їх усунення.

У третьому розділі проводиться аналіз матеріалів для затвору та підзатворного діелектрика.

У четвертому розділі розглядаються конструктивні та технологічні особливості реалізації МДН транзисторів з субмікрометровою довжиною каналу.

У п'ятому розділі надаються способи моделювання та проводиться порівняння вольт-амперних характеристик змодельованих МДН транзисторів.

Ключові слова: МДН транзистор, КНІ, high-k, FinFET, GAAFET.

## ABSTRACT

This work is presented on 53 pages, it contains 5 sections, 28 illustrations, 1 table and 24 sources in the list of references.

The object of study is MOSFET with a submicrometer channel length and its design and technological features of implementation.

The subject of the work is the comparison of the simulation results of the MOSFET and the SOI MOSFET with gate structure of TiAl/HfO<sub>2</sub>.

The aim of the work is to review the modern designs of MOSFETs and the choice of materials for gate dielectrics and gate.

The first section presents application of MOSFETs with a submicrometer channel length.

The second section describes short-channel effects and ways to eliminate them.

The third section has analysis of the materials for the gate and gate dielectric.

The fourth section considers construction design and technological features of MOSFETs with a submicrometer channel length.

The fifth section provides simulation methods and compares the current-voltage characteristics of the simulated MOSFETs.

Keywords: MOSFET, SOI, high-k, FinFET, GAAFET.

## ЗМІСТ

ПЕРЕЛІК СКОРОЧЕНЬ ТА УМОВНИХ ПОЗНАЧЕНЬ.....	7
ВСТУП .....	8
1 ОСОБЛИВОСТІ РЕАЛІЗАЦІЇ МДН ТРАНЗИСТОРА З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ .....	9
1.1 КНІ транзистор .....	9
1.2 FinFET .....	15
1.3 GAAFET .....	21
2 КОРОТКО-КАНАЛЬНІ ЕФЕКТИ ТА МЕТОДИ ЇХ УСУНЕННЯ.....	24
2.1 Викликане стоком пониження бар'єру .....	24
2.2 Ефект гарячих носіїв.....	25
2.3 Зменшення рухливості.....	26
2.4 Ударна іонізація .....	27
3 ПРОБЛЕМАТИКА HIGH-K ДІЕЛЕКТРИКІВ ТА MID-GAP ЗАТВОРІВ .....	29
3.1 High –k діелектрики .....	29
3.2 Mid-gap металеві затвори .....	33
4 ЗАСТОСУВАННЯ МДН ТРАНЗСТОРА З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ .....	39
4.1 Застосування КНІ та FinFET транзисторів.....	39
4.2 Застосування GAAFET .....	40
5 МОДЕЛІ МДН ТРАНЗИСТОРІВ З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ .....	42
5.1 Моделі МДНТ.....	42
5.2 Моделювання МДНТ та КНІ МДНТ з high-k діелектриком.....	45
ВИСНОВКИ.....	50
ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ .....	51

## ПЕРЕЛІК СКОРОЧЕНЬ ТА УМОВНИХ ПОЗНАЧЕНЬ

КНІ – кремній на ізоляторі

МДН – структура метал – діелектрик – напівпровідник

МДНТ – польовий транзистор зі структурою метал – діелектрик – напівпровідник

Box – (англ. Buried oxide) прихований оксидний шар

DIBL – (англ. Drain induced barrier lowering) стокове пониження бар'єру

Eltran – перенесення епітаксійного шару

EFW – (англ. Effective work function) ефективна робота виходу

FD-SOI – (англ. Fully depleted silicon on insulator) повністю збіднений кремній

FinFET – (англ. Fin field effect transistor) польовий транзистор із каналом типу плавник

GAAFET – (англ. Gate-all-around field effect transistor) польовий транзистор із всестороннім затвором

PD-SOI – (англ. Partially depleted silicon on insulator) частково збіднений кремній

SIMOX – розділення шляхом імплантації кисню

SRAM – (англ. static random access memory) статична оперативна пам'ять з довільним доступом

## ВСТУП

МДН транзистори є базовим елементом сучасної цифрової електроніки. Їх широкому застосуванню посприяли можливість зменшення розмірів та добре налагоджене масове виробництво. Зі зменшенням каналу МДН транзистора виникають проблеми пов'язані з коротко-канальними ефектами. Для усунення ефектів, викликаних масштабуванням дослідники застосовували спочатку різні матеріали складових частин МДН транзистору, наприклад в якості під-затворного оксиду high-k діелектрики. Але щоб продовжити зменшення розмірів транзисторів надалі вже доводилось відходити від планарних структур. В теперішній час широко застосовуються різноманітні різновиди структур МДН транзисторів таких як КНІ, FinFET. Як приклад можна навести, що понад 60% мобільних пристроїв та понад 80% ігрових консолей, вироблених у 2012 році, використовували ІС виготовленні з SOI [1]. Для подальшого зменшення розмірів та збільшення швидкодії також виконуються дослідження транзисторних структур типу GAAFET. Очікується, що GAAFET замінить FinFET у майбутніх технологічних процесах завдяки своїй відмінній керованості каналом [2].

В нинішній час МДН транзистори з субмікрометровою довжиною каналу є досить актуальними, так як вони є основою для покращення характеристик сучасних приладів електронної техніки та їх економічної конкурентоспроможності. Усі передові технології цифрової логіки тепер використовують транзистори FinFET із-за їх щільності упаковки та чудових низьковольтних характеристик в порівнянні з планарними транзисторами [3].

Цілю роботи є огляд сучасних конструкцій МДН транзисторів з коротким каналом та ознайомлення з методами їх моделювання. Розгляд використовуваних конструктивних особливостей поліпшення роботи МДН транзисторів при зменшенні довжини каналу.



## 1 ОСОБЛИВОСТІ РЕАЛІЗАЦІЇ МДН ТРАНЗИСТОРА З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ

### 1.1 КНІ транзистор

Головна відмінність між типовою структурою МДН транзистору та структурою кремній на ізоляторі (КНІ) полягає в тому, що транзистор з КНІ має прихований оксидний шар, який ізолює основну підкладку від тонкого шару кремнію на оксиді (Рисунок 1.1).



Рисунок 1.1 – Структура КНІ МДНТ [1].

Транзистори КНІ є планарними і їх процес виготовлення подібний до масового виробництва звичайних МДН транзисторів, але з відмінністю в структурі кремнієвої підкладки. Підкладки типу КНІ мають три шари - верхній шар це тонкий поверхневий шар кремнію, на якому й будуть надалі формуватися транзистори, середній шар це шар діелектричного матеріалу і нижній шар це сама підкладка.

Основна ідея, що стоїть за прихованим оксидним шаром, полягає в тому, що він зменшує паразитну ємність переходу [1]. Чим менша паразитна ємність, тим швидше буде працювати транзистор. Завдяки прихованому оксидному шару немає небажаних шляхів витікання, далеких від затвору. Як результат це приводить до зниження енергоспоживання.

В залежності від товщини каналу під час роботи, транзистори типу КНІ класифікуються як КНІ з частково збідненим (PD-SOI) та повністю збідненим КНІ (FD-SOI) (рисунок 1.2).

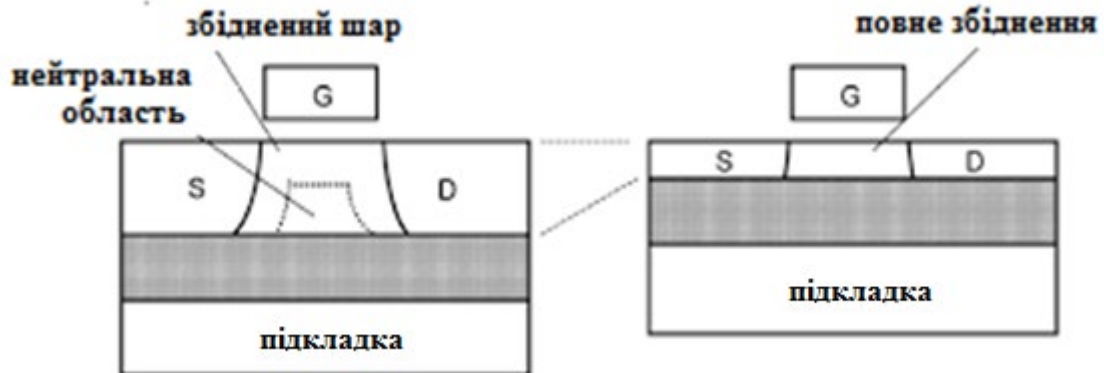


Рисунок 1.2 – Схематичне зображення частково збідненого (ліворуч) та повністю збідненого (праворуч) КНІ МДН транзисторів [4]

У порівнянні з PD-SOI, FD-SOI мають дуже тонкий канал і це призводить до його повного збіднення під час роботи транзистора. Для PD-SOI канал має товщину від 50 нм до 90 нм. У той час як для FD-SOI, канал має товщину приблизно від 5 нм до 20 нм. FD-SOI має переваги над PD-SOI, такі як мала порогова напруга, невеликий струм витоку. Завдяки цим характеристикам транзистори на FD-SOI демонструють кращі характеристики при цьому маючи низьке енергоспоживання [4].

До переваг транзисторів КНІ можна віднести низьке енергоспоживання та радіаційну стійкість. До недоліків належать порівняно висока вартість виробництва та можливість перегріву із-за наявності діелектрику з низькою теплопровідністю.

Виготовлення КНІ підкладок має декілька технологічних напрямків. Один із способів виготовлення є процес розділення шляхом імплантації кисню (SIMOX). Він полягає в прямому вирощенні прихованого оксидного шару  $\text{SiO}_2$  шляхом початкової імплантації іонів кисню та застосуванням високотемпературного відпалу (Рисунок 1.3).

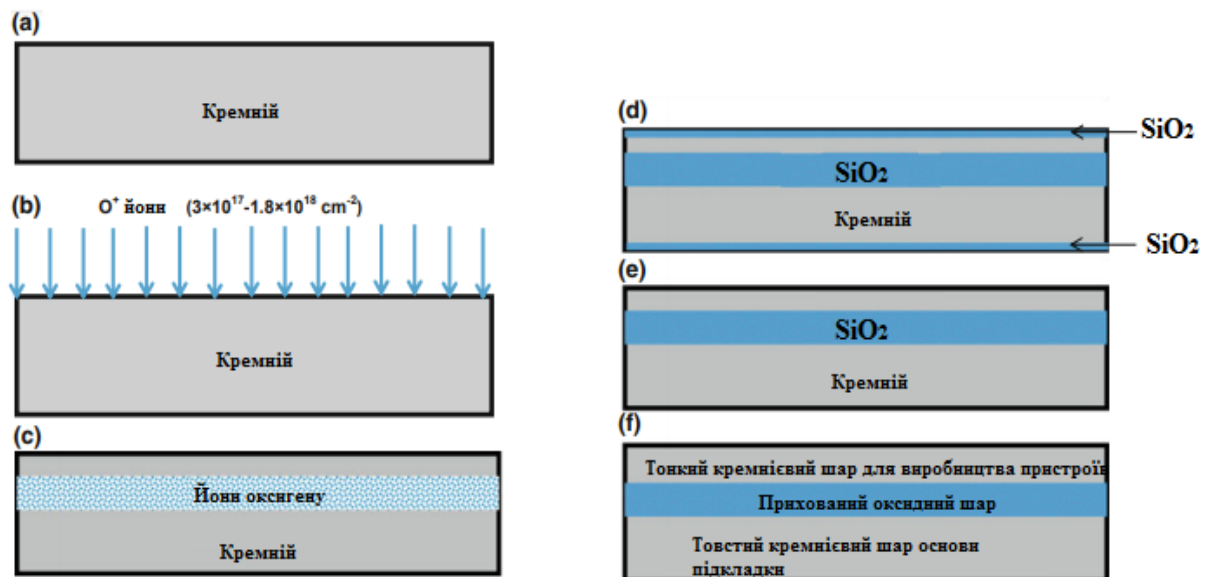


Рисунок 1.3 – Схематичне зображення SIMOX процесу [5]

Для отримання суцільного прихованого шару потрібні потоки іонів в кількості близько  $2 \times 10^{18}$  на  $\text{см}^2$ , але така висока доза приводить до високої щільності дефектів в кристалічній решітці, тому щоб вирішити цю проблему, був розроблений метод відпалу при  $600^\circ\text{C}$  під час імплантації іонів кисню, який зберігав в цілості монокристалічний нар кремнію поблизу поверхні пластини, де енергія іонів була найвищою та, таким чином, дефекти зміщення були нівельовані [1]. Після імплантації необхідний відпал при високих температурах близько  $1300^\circ\text{C}$  для формування прихованого оксидного шару шляхом реагування іонів кисню з кремнієм, та для відновлення пошкоджень кристалу у верхньому шарі кремнію та в шарі кремнію, що знаходиться під прихованим оксидом.

У технології SIMOX вартість пластини має значну залежність від дози імплантації іонами кисню. Приблизний потік в кількості  $2 \times 10^{18}$  іонів на  $\text{см}^2$  підвищує вартість підкладки [1]. Але при цьому знижується щільність дефектів при імплантації, і використання такого процесу призводить до зменшення кількості дефектів у КНІ підкладі після відпалу.

Для отримання високоякісних КНІ підкладок за SIMOX технологією потрібно розв'язати декілька проблем. Одним з недоліків є ймовірність утворення в шарі прихованого оксиду великої кількості кремнієвих мікротрубок,

які можуть призвести до пропускання струму між верхнім шаром кремнію та підкладкою під прихованим оксидним шаром. Для вирішення цієї проблеми виконують повторне окислення КНІ підкладок при 1350 °С, що дозволяє окислити як верхній шар кремнію, так і окислити шар кремнію під прихованим оксидним шаром [1]. Причиною окислення нижнього шару є дифузія кисню через верхній шар кремнію. Цей спосіб дозволяє окислити кремнієві мікротрубки, але при цьому збільшує товщину прихованого оксидного шару на незначну величину.

Іншим методом виготовлення КНІ пластин є процес зрощування пластин. На рисунку 1.4 показана типова схема процесу зрощування пластин для виготовлення КНІ. Першим етапом є підготовка вихідної пластини, далі утворюють оксидний шар, який потім очищують та полірують його поверхню. Наступним етапом є пряме з'єднання між собою двох пластин кремнію на межі оксидного шару та зменшення товщини однієї з пластин для отримання шару кремнію на ізоляторі.

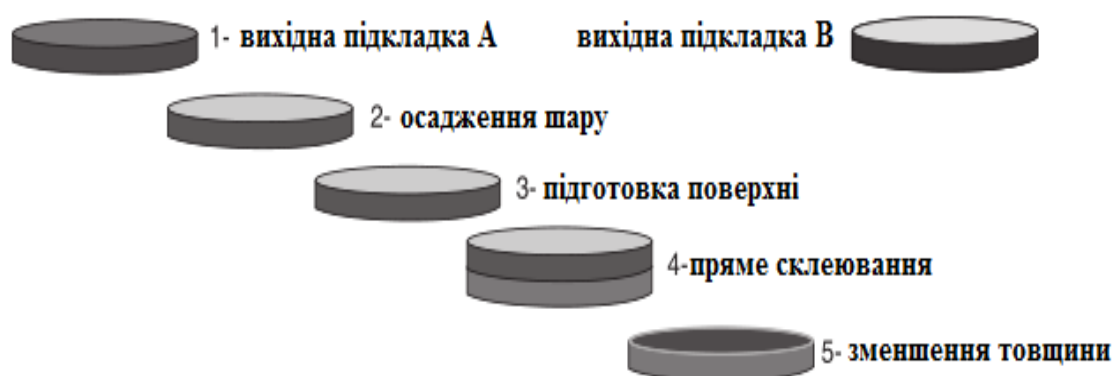


Рисунок 1.4 - Типові кроки, які використовуються в процесі зрощування пластин

[1]

Шар оксиду вирощують термічним окисленням. Пізніше цей шар стане шаром прихованого оксиду. Для підготовки поверхонь до прямого склеювання виконують полірування та додаткове очищення. Процес склеювання пластин виконується шляхом відпалу для кращої адгезії між ними. Далі зменшують товщину однієї з пластин шліфуванням, хімічними методами такими як вологе

або сухе травлення. Пластини КНІ, виготовлені за допомогою цього процесу, виготовляються з високою якістю та у промисловій кількості [1].

Інший метод виготовлення КНІ підкладки це процес перенесення епітаксійного шару кремнію (Eltran). Цей процес використовує механічні та структурні властивості шару пористого кремнію. Основні етапи процесу виготовлення епітаксійних КНІ пластин Eltran показані на рисунку 1.5.

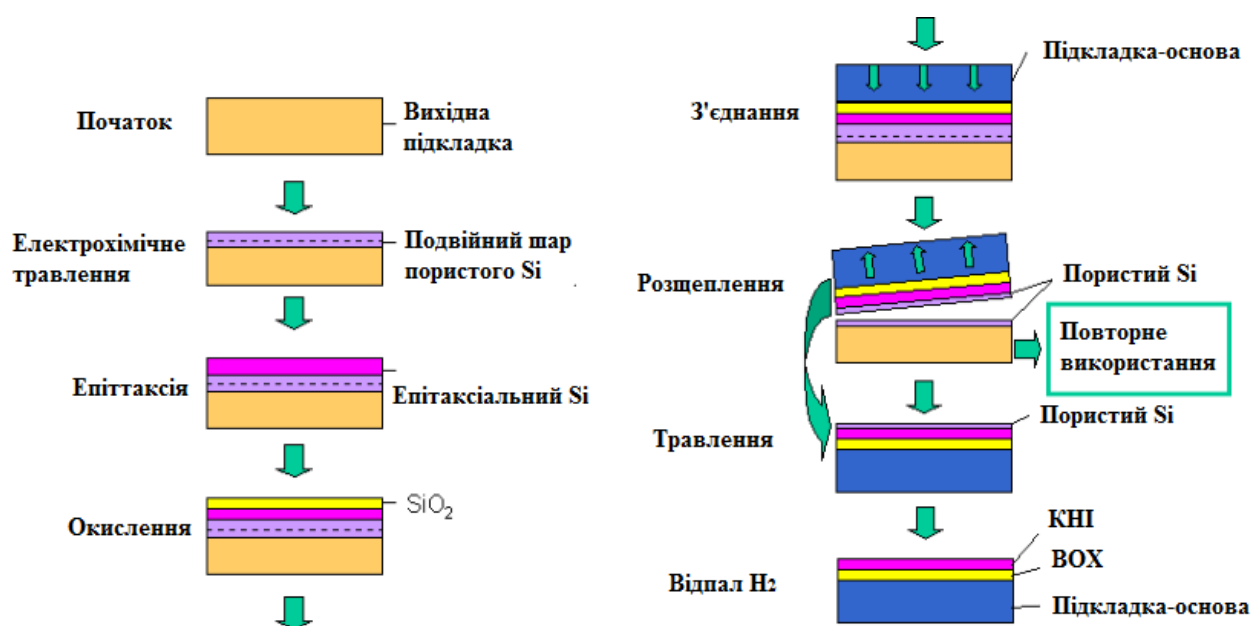


Рисунок 1.5 – Процес Eltran [1]

Процес Eltran починається з формування шару пористого кремнію на поверхні вихідних пластин. Потім поверх шару пористого кремнію вирощуються епітаксійні шари кремнію, які пізніше стануть активними шарами КНІ. Отримані шари частково окислюються з утворенням оксиду кремнію, що слугуватиме прихованим оксидним шаром. Він повинен забезпечувати низьку щільність дефектів і якісне з'єднання з границею розділу кремнію. Пластину з отриманими шарами з'єднують з пластиною, що слугуватиме нижньою частиною підкладки та механічним навантаженням виконується розділення пористого кремнію. Шари пористого кремнію, що залишились на пластинці з прихованим оксидним шаром видаляються та згладжуються згладжуються відпалом у водні для остаточного отримання підкладок з КНІ. Водневий відпал, дозволяє отримувати однорідність

по товщині набагато вищу, ніж можна отримати за допомогою звичайних процесів хіміко-механічної поліровки.

Товщина шарів КНІ та прихованого оксидного шару за процесом Eltran легко регулюється в нанометровому діапазоні [1].

Іншою технологією яку використовують є Smart Cut. Цей метод заснований на прямому з'єднанні двох пластин, одна з яких імпантована іонами легкого газу, та розділенням цих пластин в області, де здійснювалась імпантация. Імпантацию легких іонів, наприклад водню або гелію, застосовують з метою утворення ослабленої прихованої області, розташованої на деякій глибині проникнення іонів. Після з'єднання пластини на якій виконувалась імпантация до іншої пластини відбувається їх розщеплення, при якому тонкий шар закріплюється з пластини, на якій виконувалась імпантация до основи пластини підкладки.

Технологія Smart Cut досить добре розвинена для отримання високоякісних КНІ підкладок в промисловому масштабі [1]. Процес Smart Cut для виробництва КНІ пластин складається з етапів показаних на рисунку 1.6.

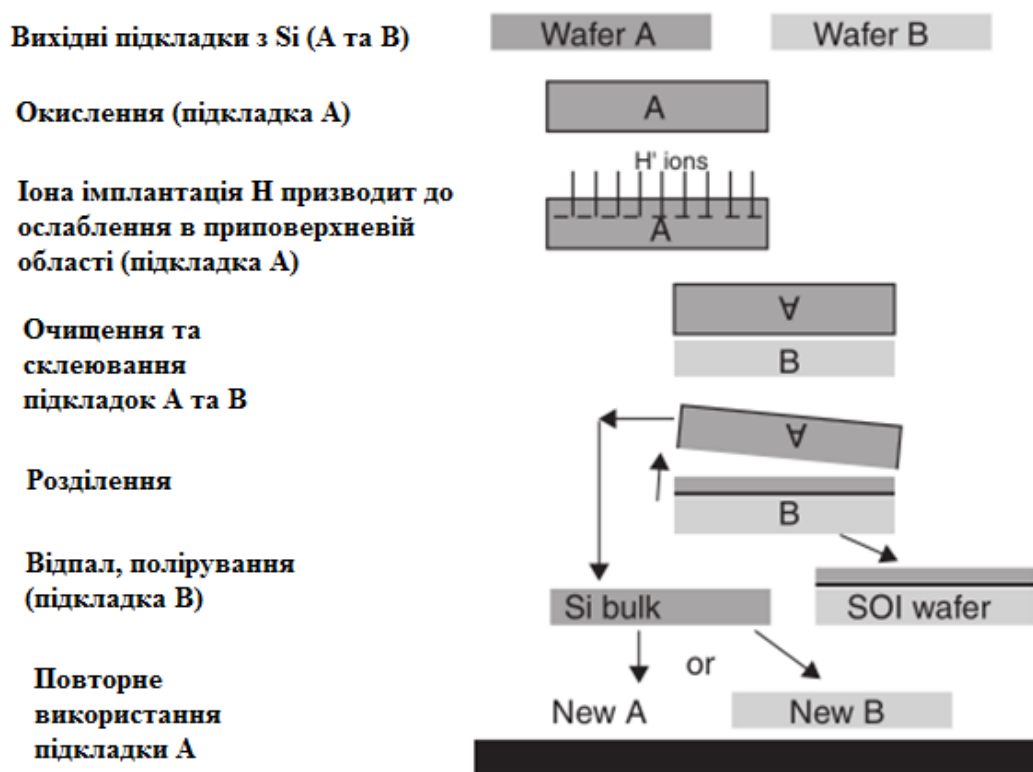


Рисунок 1.6 – Схематичний процес Smart Cut [1]

Одна з кремнієвих пластина спочатку піддається термічному окисленню. Іони водню або гелію імпантуються в цю окислену пластину, щоб створити приховану послаблену область. Після процесу імпантації пластина очищається і з'єднується з іншою пластиною, яка слугує основою підкладки. У ослабленій області відбувається розкіл, при якому тонкий шар кремнію переноситься з першої пластини на другу. Заключним етапом являється зрівнювання нерівностей, що залишилися на поверхні після розколу, і як результат отримується КНІ підкладка. В свою чергу донорну підкладку можна утилізувати або повторно використати. Smart Cut процес має декілька переваг, таких як висока однорідність по та якість перенесеного шару кремнію [1]. Також є економія коштів за наявності способу утилізації залишків першої пластини для повторного використання. Крім того, цей процес можна використовувати для отримання широкого спектру монокристалічних шарів різних матеріалів на пластинах з інших матеріалів.

## 1.2 FinFET

Назва FinFET походить від геометричної форми каналу, який має вигляд плавника. Структура FinFET, складається з каналу, який керується більше ніж одним затвором. У випадку тризатворної структури, FinFET складається з тонкого вертикального каналу кремнієвої підкладки та затвора, який обгортається навколо нього (Рисунок 1.7).

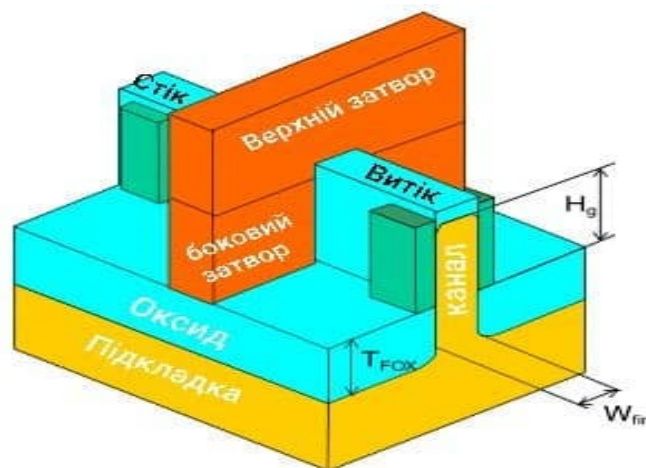


Рисунок 1.7 - Схематичне зображення FinFET [6].

Така конструкція дозволяє добре керувати електростатичним полем каналу зі всіх трьох сторін. Робочий струм FinFET може бути збільшений за рахунок збільшення висоти каналу. Також робочий струм можна збільшити побудувавши паралельно кілька таких вертикальних каналів, з'єднаних між собою одним затвором. Ефективна ширина  $W_{eff}$  такого каналу визначається за формулою 1.1:

$$W_{eff} = W_{fin} + 2 * H_g, \quad (1.1)$$

де  $W_{fin}$  – ширина каналу,  $H_g$  – висота каналу.

У FinFET транзисторах виокремлюють два різновиди конструктивної реалізації: із закороченими між собою затворами (SG FinFET) та з незалежними затворами (IG FinFET). SG FinFET мають затвори по обидві бокові сторони, які з'єднані разом і використовується як один цілий затвор для керування транзистором. IG FinFET має окремі затвори з двох сторін каналу, якими можна керувати окремо. Також IG FinFET можуть мати асиметричне та симетричне конструктивне виконання (Рисунок 1.8).

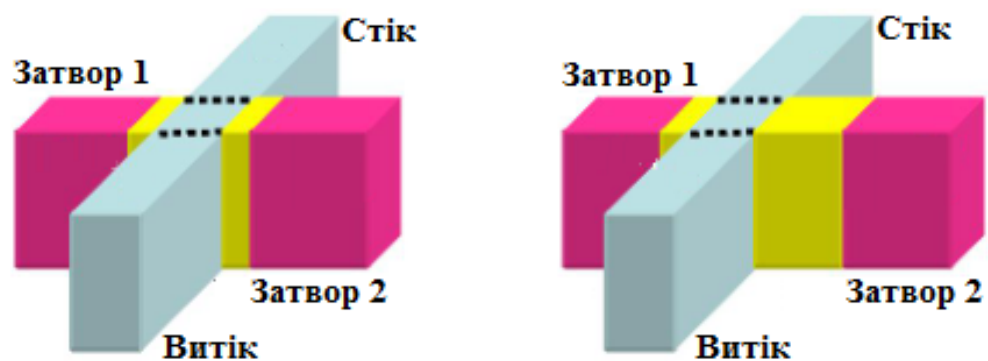


Рисунок 1.8 Схематичне зображення симетричного (праворуч) та асиметричного (ліворуч) IG FinFET [7]

Асиметрична конструкція дозволяє краще керувати пороговою напругою [7].

У таких транзисторах матеріалом затвором може бути сильно легований полі-кремній для випадку використання у якості під-затворного діелектрика



оксиду кремнію, або ж у випадку використання high-k діелектриків тугоплавкі метали, такі як Ti, W, Mo або сплави на їх основі.

У звичайному МДН транзисторі додають домішки для збільшення порогової напруги. У FinFET транзисторах, затвор обгорнений навколо каналу, і завдяки такій конструкції легування каналу стає необов'язковим або воно незначної величини. Низький рівень легування каналу забезпечує кращу рухливість носіїв усередині каналу [8]. Таке рішення дозволяє уникнути результат проблем з похибкою при легуванні, зменшити енергоспоживання та збільшити щільність упаковки транзисторів на кристалі.

Технологія виробництва FinFET була впроваджена на практиці, проте в виробничому процесі є кілька проблем і труднощів. Для виробництва структур FinFET потрібно мати високий ступінь технології контролю параметрів транзистора, що обумовлено дуже тонкою структурою і труднощами у формуванні вертикальних каналів. На Рисунку 1.9 показано пошкодження під час імплантації домішок та проблема рекристалізації під час відпалу після імплантації домішок.



Рисунок 1.9 – Пошкодження імплантацією та проблема рекристалізації [8]

Якість каналу FinFET впливає на характеристики напруги і струму пристрою. Зернистість металевого затвора та шорсткість країв ребра викликають зміну порогової напруги. Ці можливі виробничі труднощі можуть вплинути на продуктивність роботи FinFET. Незначне легування в каналі може змінити

порогову напругу та допомогти краще контролювати струми витікання біля ребер каналу. Однак цей процес також пошкоджує структуру самого каналу. Високотемпературний відпал домішок або термічне легування можуть зменшити ці пошкодження [8].

Також нерівномірна форма вертикального каналу з гострими краями може привести до утворення паразитних інверсійних каналів вздовж верхньої поверхневої частини плавника. Цю проблему можна вирішити за допомогою нанесення товстого діелектричного шару на верхню частину каналу. З такою жорсткою маскою частина, що складає верх каналу не буде брати участь в протіканні струму та керування струмом виконуватиметься боковими частинами затвору [9].

В основному FinFET транзистори виготовляють на підкладках типу КНІ. Процес виготовлення починають з травлення кремнієвої КНІ підкладки, для формування плавника. Травлення має зупинитися на певній глибині після того, як буде досягнута необхідна висота плавника. При використанні підкладки КНІ травлення зупиняється автоматично, так як кремній протравлюється до рівня прихованого оксиду. Таким чином, пластини КНІ можуть дозволяють отримувати канали з точною висотою. Прихований оксидний шар слугує обмежувальним шаром для травлення і саме це дозволяє отримувати канали з дуже схожими параметрами. Після виготовлення вертикального каналу процес подальшого виготовлення транзистора аналогічний стандартному процесу, в який входять легування витоку та стоку і подальше формуванням затвора. На рисунку 1.10 показані етапи процесу виготовлення плавників на пластинах КНІ [5]: (a) підготовка вихідної підкладки КНІ, (b) нанесення твердої маски з  $\text{SiO}_2$  або  $\text{SiN}$ , (c) нанесення фоторезисту та фотолітографія для формування плавників, (d) травлення областей  $\text{SiO}_2$  або  $\text{SiN}$ , які залишились після фоторезисту, (e) травлення до прихованого оксидного шару з наступним формуванням плавників.

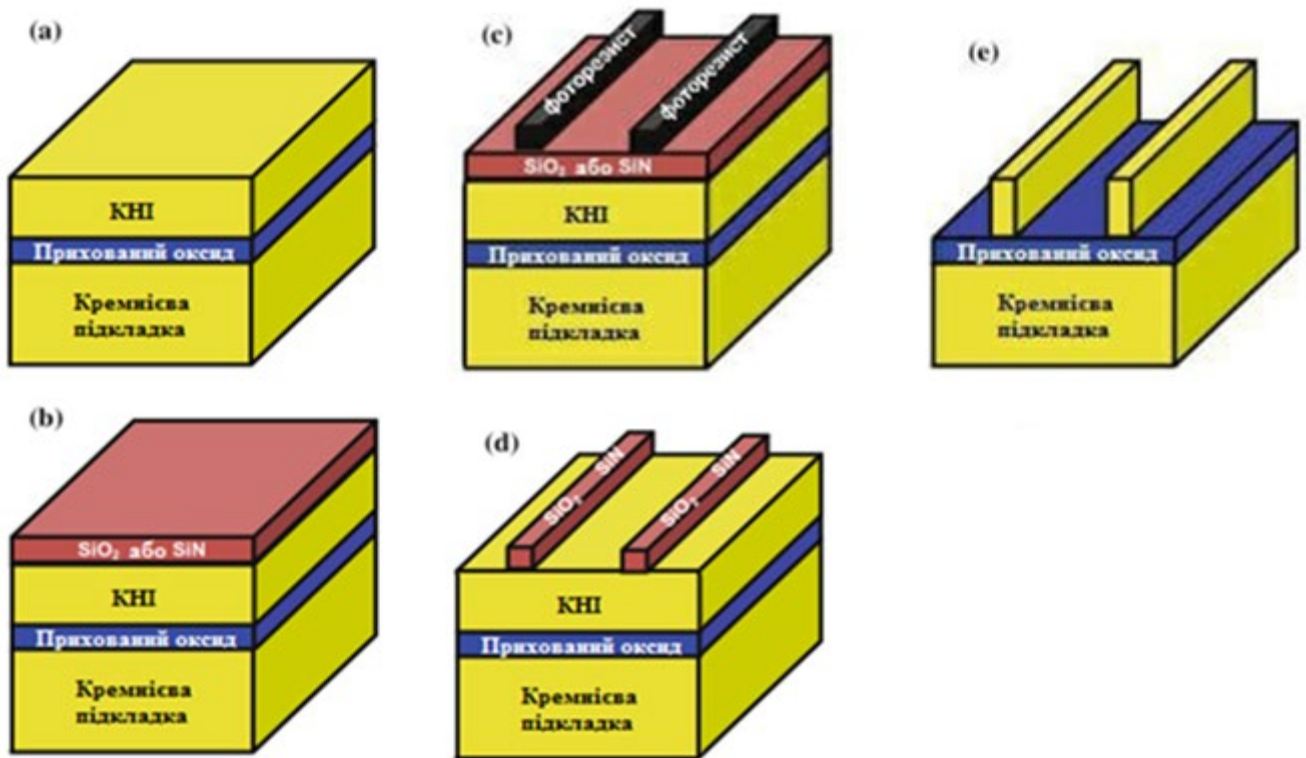


Рисунок 1.10 - Виготовлення плавників на підкладці КНІ [5]

У випадку виготовлення вертикального каналу на звичайній кремнієвій підкладці травленням необхідно керувати враховуючи час, за який воно виконується. Так як травлення залежить від параметрів середовища, які не можна точно повторити, воно може викликати відхилення в технологічних параметрах транзистора, наприклад канали з різною висотою, навіть для тієї самої партії виготовлених транзисторів. Інша проблема, полягає в тому, що оксид, необхідний для заповнення та ізоляції одного каналу від іншого, може мати різну висоту в місцях між каналами і поза ним. Це призводить до різної висоти каналів над оксидом. Технологічний процес виготовлення FinFET транзисторів на стандартній кремнієвій підкладці показано на рисунку 1.1.

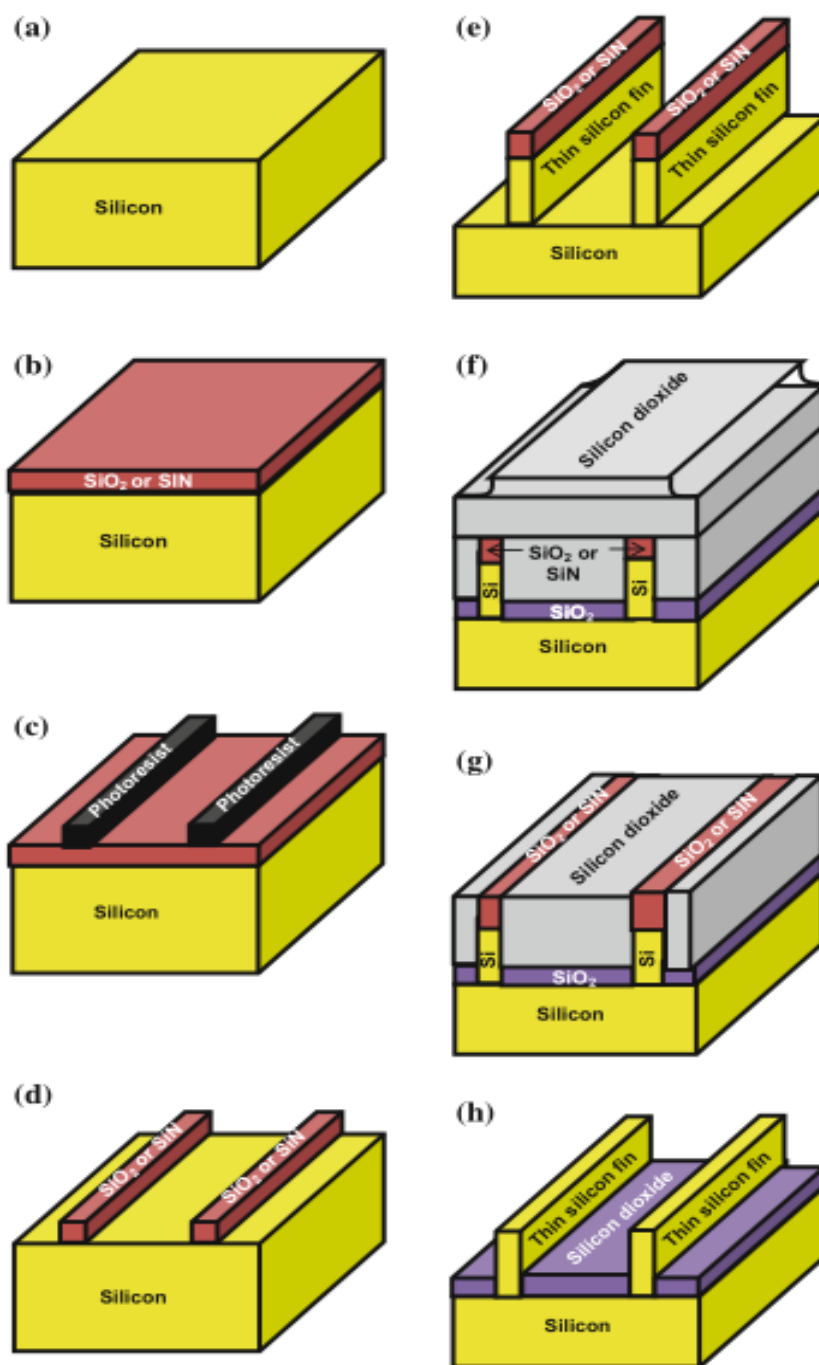


Рисунок 1.11 Виготовлення плавників на стандартних кремнієвих підкладках [5]

Процес складається з початкової підготовки вихідної кремнієвої підкладки та нанесення жорсткої маски  $\text{SiO}_2$  або  $\text{Si}_3\text{N}_4$ . Потім виконують фотолітографію для виділення місця майбутніх каналів. Маску протравлюють до того часу поки не отримають необхідну висоту каналу. Далі виконується заповнення оксидом і вирівнювання поверхні за допомогою хімічно-механічного полірування. Повторне травлення для подальшого формування затвору областей стоку та витoku.

Складність контролю травлення, не дозволяє широко застосовувати стандартні кремнієві підкладки для виготовлення FinFET транзисторів [5]. Хоча при цьому ці кремнієві підкладки є порівняно дешевшим, ніж підкладки КНІ. Окрім цінової переваги кремнієві підкладки мають набагато більш високу теплопровідність ніж оксид кремнію, що дозволяє не турбуватись про перегрів пристрою. В свою чергу у КНІ підкладок прихований оксидний шар є тепло ізолятором.

### 1.3 GAAFET

Очікується, що транзистори з всестороннім затвором (GAAFET) замінять FinFET в майбутніх технологічних процесах завдяки своїй чудовій керованості каналом, а також матимуть велику щільність упаковки завдяки своїм горизонтальним або вертикальним транзисторним структурам [2]. GAAFET можуть мати конструктивне виконання у вигляді нанодротів або нанолістів. За положенням каналу вони поділяються на вертикальні та горизонтальні. Вертикальна конструкція може дати кращу щільність інтеграції в порівнянні з горизонтальною. Довжина всестороннього затвору у вертикальному конструктивному виконанні, визначається товщиною нанесеного матеріалу, що використовується в якості затвора. Структуру горизонтального GAAFET показано на Рисунку 1.12.

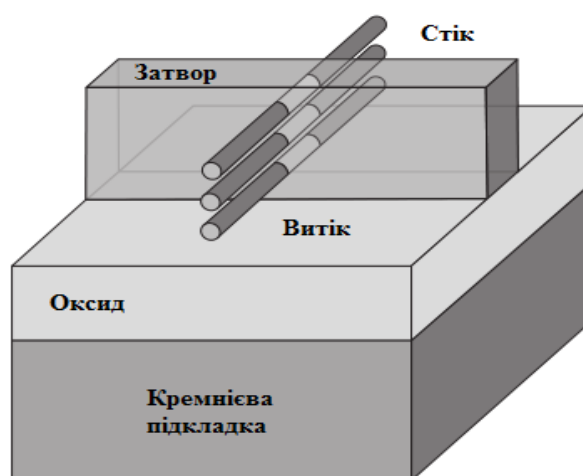


Рисунок 1.12 - Схематичне зображення горизонтального GAAFET [2].

В свою чергу, вертикальні транзистори можна розташовувати один над одним, що дозволяє значно збільшити щільність елементів на одиниці площі кристалу Рисунок 1.13.

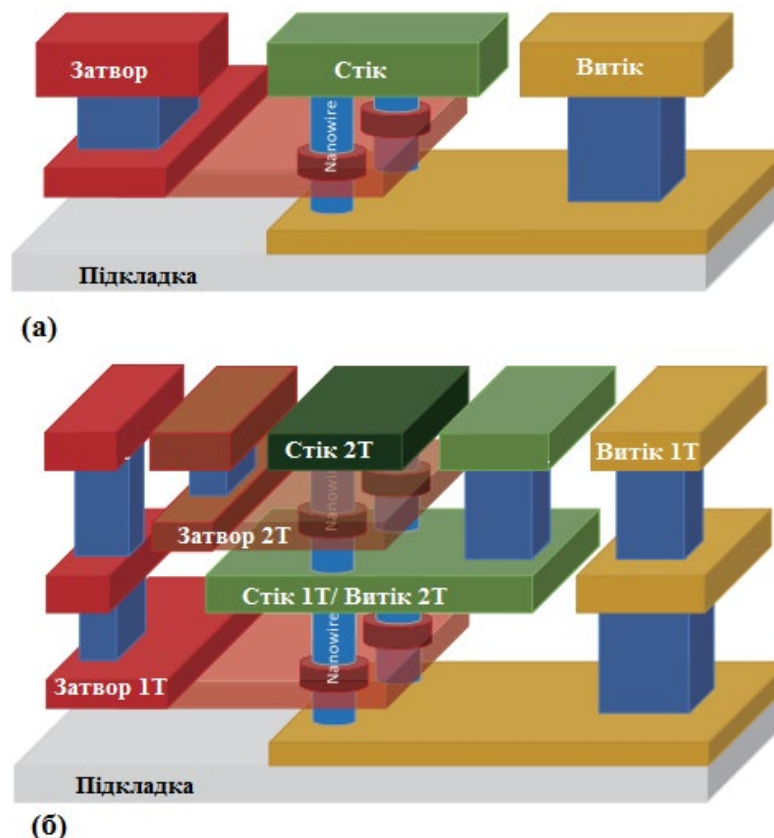


Рисунок 1.13 - Схематичне зображення одношарової (а) та двошарової (б) структур з вертикальних транзисторів із всестороннім затвором [2].

Транзистори із всестороннім затвором мають багато проблем при їх виробництві. Для переходу на виробництво GAAFET потрібно впроваджувати нові матеріали, що робить процес більш складним і вимагає жорсткіших умов середовища виробництва. Також виникає проблема між'єднань, які стають все більш компактнішими за розмірами в кожному наступному технологічному процесі.

Один з можливих технологічних процесів виготовлення вертикальних GAAFET за методом зверху-вниз представлено на рисунку 1.14.

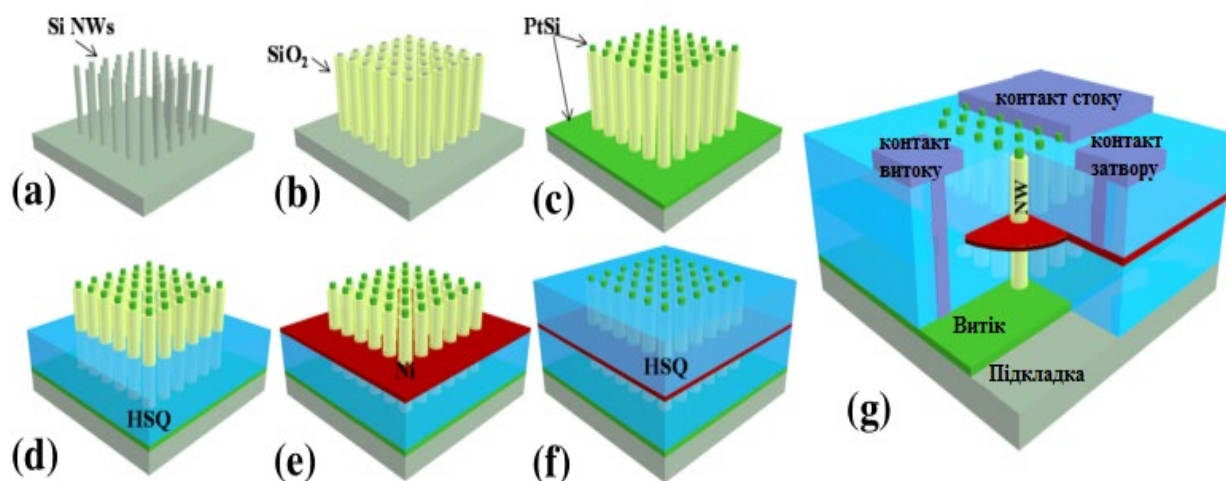


Рисунок 1.14 – Схематичне зображення виготовлення вертикальних транзисторів з всестороннім затвором навколо кремнієвого нанодроту [10]

Для формування вертикальних GAAFET необхідні кремнієві нанодроти, які можна отримати наприклад хімічним травленням [11]. Після виготовлення вертикальних нанодротів кремнію вирощують шар оксиду кремнію, який буде слугувати підзатворним діелектриком. При цьому оксид має бути тільки на бічних стінках нанодротів. Далі осаджують силіцид платини для формування контактів витоку та стоку. Потім утворюють ізолюючий шар для подальшого формування затвору над ним. Наступним наносять шар діелектрику та формують контакти. Підзатворний оксид отримують сухим окисленням. Шар платини наносять за допомогою випаровування електронним пучком з подальшим швидким термічним відпалом силіциду платини. Наступним кроком наноситься ізоляційний шару між витоком та затвором. Вирівнювання поверхні діелектрика можна виконати за допомогою хімічного травлення розчину плавикової кислоти в деіонізованій воді у відношенні 1:1000 [10]. Потім за допомогою електронно-променевого випаровування наноситься шар нікелю, який слугуватиме матеріалом затвору. Далі знову виконується повторне нанесення ізоляційного шару від контакту затвору до контактів стоку. З використанням плазмового травлення в діелектрику створюються отвори під контакти, які заповнюються випаровуванням алюмінію, що і слугуватиме контактами.



## 2 КОРОТКО-КАНАЛЬНІ ЕФЕКТИ ТА МЕТОДИ ЇХ УСУНЕННЯ

### 2.1 Викликане стоком пониження бар'єру

Один з ефектів короткого каналу називається стокове пониження бар'єру (DIBL), який полягає в зменшенні порогової напруги під дією високої напруги стоку. У довго-каналних транзисторах, якщо значення напруги на затворі недостатньо для інверсії каналу, тобто напруга на затворі має значення менше порогової напруги, носії в каналі не можуть перетнути потенційний бар'єр. Збільшуючи напругу затвору, потенційний бар'єр зменшується і носії заряду можуть рухатись. Але для коротко-каналних транзисторів на потенційний бар'єр окрім напруги затвору має ще вплив і напруга стоку (Рисунок 2.1).

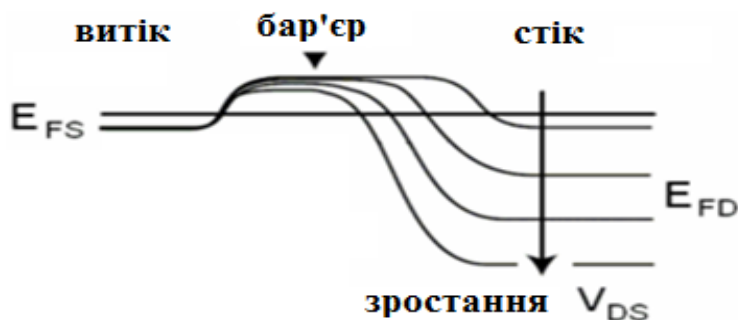


Рисунок 2.1 – Зниження бар'єру між стоком та витоким, викликане напругою стоку [12].

Так як стік стає близько розташованим до витоким, область збіднення стоку простягається до витоким легко утворюючи таким чином можливість пробію. Отже, висока напруга стоку може відкривати транзистор без прикладання напруги затвору. Якщо напруга стоку збільшується, область збіднення стокової області збільшується в розмірі і починає простягатися під затвором. Струм, що протікає за таких умов, називається допороговим струмом. Якщо занадто сильно зблизити витік і стік відбудеться пробій. Коли напруга стоку збільшується, область збіднення, що оточує стік, може простягнутися далі до області збіднення витоким і



таким чином злитися з двох областей в одну. Якщо ж розглядати вольт-амперні характеристики транзистору то можна побачити що струм стоку починає слабкіше залежати від напруги затвору і сильніше залежить від напруги стоку, що не є бажаним для транзисторів (Рисунок 2.2).

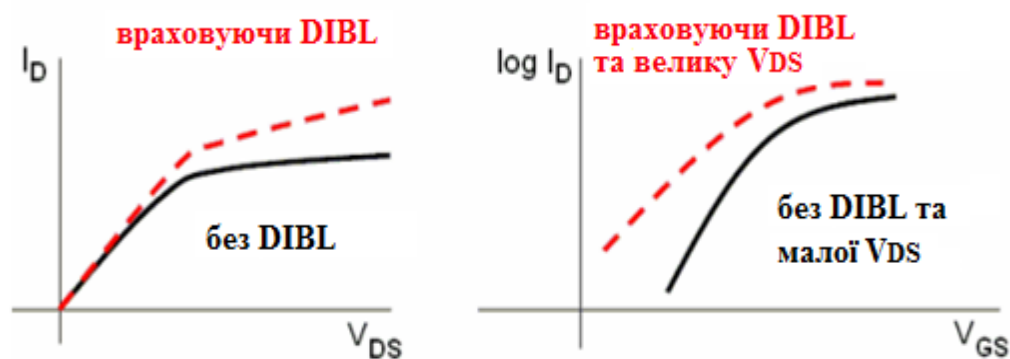


Рисунок 2.2 – Вплив індукованого стоком пониження бар'єру на вихідні (зліва) та передавальні (праворуч) характеристики МДН транзистора [12].

Ефект індукованого стоком пониження бар'єру можна усунути зменшуючи товщину під-затворного діелектрику, збільшивши рівень легування підкладки, зменшити області легування стоку та витоків [5]. Також можна використовувати інші геометричні структури каналу, які дозволяють краще керувати електростатикою транзистора, в цьому випадку лінії електричного поля що простягаються від стоку не будуть доходити значною мірою до витоків. Як приклад таких геометричних структур можна навести транзистори типу FinFET та GAAFET.

## 2.2 Ефект гарячих носіїв

Носії заряду називаються гарячими, тому що їх взаємодія з електричним полем надає їм значно більш високу кінетичну енергію, ніж енергія, що відповідає температурі навколишнього середовища [13]. Гарячими носіями можуть бути як дірки так і електрони. Зі зменшенням геометричних розмірів транзистору поздовжнє електричне поле в ньому сильно збільшується особливо біля стоку. В результаті цього носії заряду отримують значну кількість енергії. Ефект гарячих

носіїв виражений сильніше для МДН транзисторів n-типу ніж р-типу тому, що електрони мають більшу рухливість ніж дірки. Деякі носії заряду отримують достатньо енергії для подолання енергетичного бар'єру на межі діелектрик-напівпровідник, що може призвести до утворення дефектів на межі розділу діелектрика з напівпровідниковою підкладкою. Дефекти заряду на межі розділу, що утворені гарячими носіями призводять до погіршення параметрів транзисторів, а саме - зменшення швидкодії пристрою та зсуву порогової напруги.

Послабити ефект гарячих носіїв можна завдяки використанні в якості підзатворних діелектриків більш стійких до утворення дефектів матеріалів (наприклад оксинітридів кремнію), знизити напругу живлення, що якраз відбувається під час масштабування розмірів транзисторів [12]. Найкращим методом є введення слабо легованої області біля стоку (Рисунок 2.3).

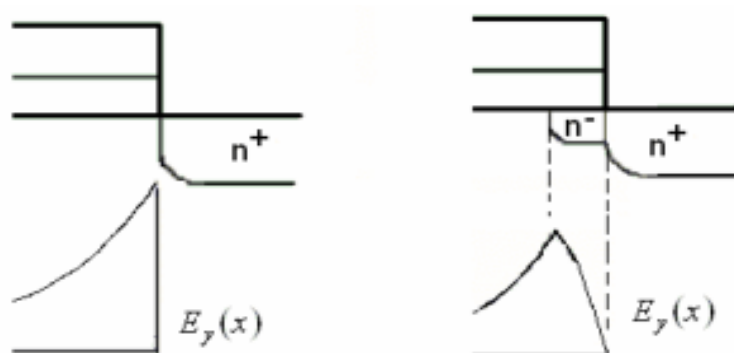


Рисунок 2.3 – Схема розподілу електричного поля вздовж каналу, зменшення пікового значення електричного поля в слабо легованому стоці [12].

Таке введення слабо легованої області біля стоку, яка прилягає до каналу полягає в послабленні електричного поля поблизу краю стоку.

### 2.3 Зменшення рухливості

Для польових МДНТ з малими геометричними розмірами рухливість електронів в каналі значною мірою залежить від горизонтального та вертикального електричного поля. Рухливість носіїв зменшується у випадку

насичення їх швидкості до певного сталого значення. Поверхнєве розсіювання відбувається у випадку, коли електрони прискорюються під дією вертикальної складової електричного поля до поверхні розділу. Поблизу поверхні відбувається посилене розсіювання носіїв із-за поверхневих акустичних фонів і шорсткості поверхні. Так як рух носіїв обмежений інверсійним шаром МДН транзистора поблизу межі розділу кремній – оксид кремнію, носії заряду зазнають великих труднощів при паралельному русі вздовж межі розділу. Таким чином, поверхнева рухливість знижується до значень менших за половину об'ємної рухливості.

У міру того, як довжина каналу стає меншою через бокове розширення збідненого шару в область каналу, поздовжня складова електричного поля збільшується, і рухливість носіїв теж стає залежати від цього поля. Щоб компенсувати це, вертикальне електричне поле, створюване напругою затвора, має пропорційно збільшуватися, що може бути досягнуто за рахунок зменшення товщини оксиду. Як побічний ефект, поверхнєве розсіювання стає сильнішим, знижуючи ефективну рухливість в порівнянні з більш довгими каналами.

Найбільш дієвим методом збільшення рухливості носіїв є використання напружених напівпровідників. Наприклад у випадку використання напруженого кремнію збільшується рухливість носіїв, за рахунок того що в напруженому кремнії атоми кремнію відхиляються від своїх нормальних положень у решітці, збільшуючи між ними міжатомну відстань на незначне значення приблизно в 4,2%. Наприклад для n-канальних МДН транзисторів канал вирощується на поверхні SiGe. Внаслідок відмінності в значеннях кристалічної решітки Si та SiGe у шарі кремнію виникає механічне розтягування. Якщо Ge складає 30% сплаву SiGe то рухливість електронів в напруженому кремнії збільшується приблизно на 80% [14].

## 2.4 Ударна іонізація

У коротко-канальному МДН транзисторі n-типу електрони, які прискорені до високих швидкостей великим поздовжнім електричним полем починають

бомбардувати атоми кремнію, вивільняючи нові електрони з їх зовнішніх оболонок у валентній зоні. Надлишкова енергія передається цьому електрону і він піднімається вже до зони провідності. Утворені таким чином нові електрони також набувають високої швидкості під дією того самого поля, беручи участь в подальших таких зіткненнях і генеруючи електронно-діркові пари. В результаті цього до стоку притягуються електрони, а дірки що утворились на їх місці рухаються до підкладки з кремнію р-типу (рисунок 2.4).

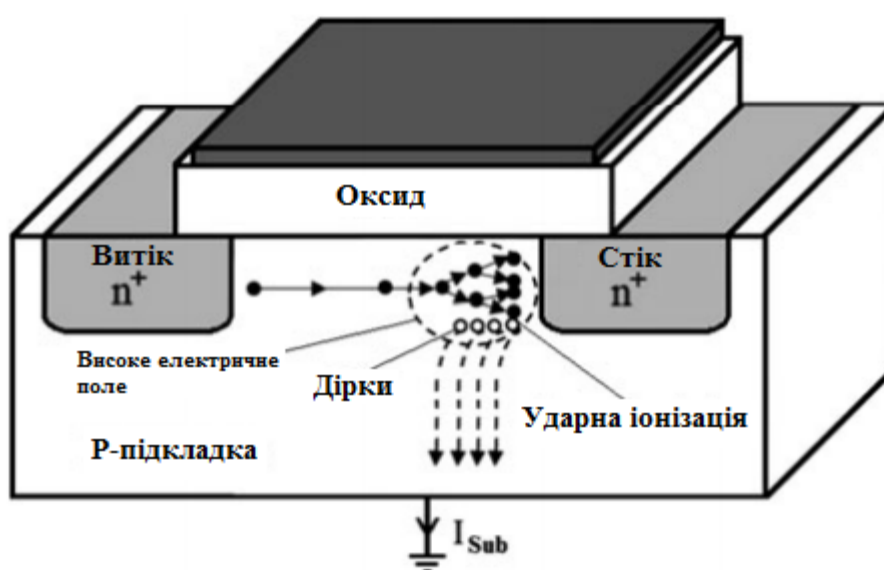


Рисунок 2.4 – Ударна іонізація в МДН транзисторі [15]

Такий повторюваний процес виробляє лавину вільних носіїв. Структура транзистора починає діяти як паразитний NPN-транзистор [9]. Це призводить до падіння напруги. Якщо ж дірки накопичуються біля витіку то дірковий струм викликає падіння напруги в підкладці, перехід витік-підкладка буде зміщений в прямому напрямку. Потім розпочнеться інжекція електронів від витіку до підкладки і потім до стоку, за рахунок накопичення дірок на підкладці. Ці електрони можуть знову рухатимуться до стоку, утворюючи нові електронно-діркові пари і призводитимуть до подальшого погіршення роботи транзистора.

### 3 ПРОБЛЕМАТИКА HIGH-K ДІЕЛЕКТРИКІВ ТА MID-GAP ЗАТВОРІВ

#### 3.1 High –k діелектрики

Широкому застосуванню оксиду кремнію посприяло, його відносно легкий спосіб виготовлення термічним окисненням кремнієвої підкладки. Оксиди утворені на основі інших напівпровідникових матеріалів мають не такі гарні ізоляційні властивості або не досить різку межу розділу діелектрик-напівпровідник. Оксид кремнію є матеріалом, що має аморфну структуру з малою кількістю електронних дефектів та утворює різку межу розділу з кремнієвою підкладкою. Також до переваг оксиду кремнію належить можливість використання травлення для формування потрібної топології зображення в манометровому масштабі. Не зважаючи на перелік переваг SiO<sub>2</sub> має один недолік, що нівелює їх. Цей недолік полягає в тому, що при доволі малій товщині цього діелектрика виникає тунелювання носіїв. З цієї причини для продовження масштабування розмірів транзисторів доводиться використовувати high-k діелектрики. В технологічних процесах що використовують high-k діелектрики вводять нове значення товщини діелектрика - еквівалентної товщини оксиду (ЕТО) під-затворного діелектрика в порівнянні з товщиною двоокису кремнію яка визначається за формулою 1:

$$ETO = \frac{3.9}{K} * t_{hk}, \quad (3.1)$$

де  $K$  – діелектрична проникність high-k діелектрика,  $t_{hk}$  – товщина high-k діелектрика.

ЕТО показує якою була б товщина двоокису кремнію, що забезпечує такі ж характеристики як і відповідна йому товщина high-k діелектрика, якщо б він не зазнав тунелювання. High-k оксиди мають відповідати певним вимогам [16]:

- Значення діелектричної проникності  $k$  має бути високим, щоб економічно використовувати для значної кількості технологічних процесів масштабування.
- Діелектрик має бути термічно стабільним, так як знаходиться в близькому контакті з кремнієвим каналом.
- Діелектрик має бути кінетично стабільним, щоб витримувати температури в  $1000\text{ }^\circ\text{C}$  протягом 5 с.
- Діелектрик повинен утворювати різку поверхню розділу із Si.
- Діелектрик повинен мати малу кількість електрично активних дефектів.

З огляду на значення діелектричної проникності потрібно обирати то оксиди що мають діелектричну проникність більшу за 12, переважно це 25 – 35 [16]. На Рисунку 3.1 показано, що залежність діелектричної проникності від ширини забороненої зони діелектрика має приблизно схожий на обернену пропорційність розподіл.

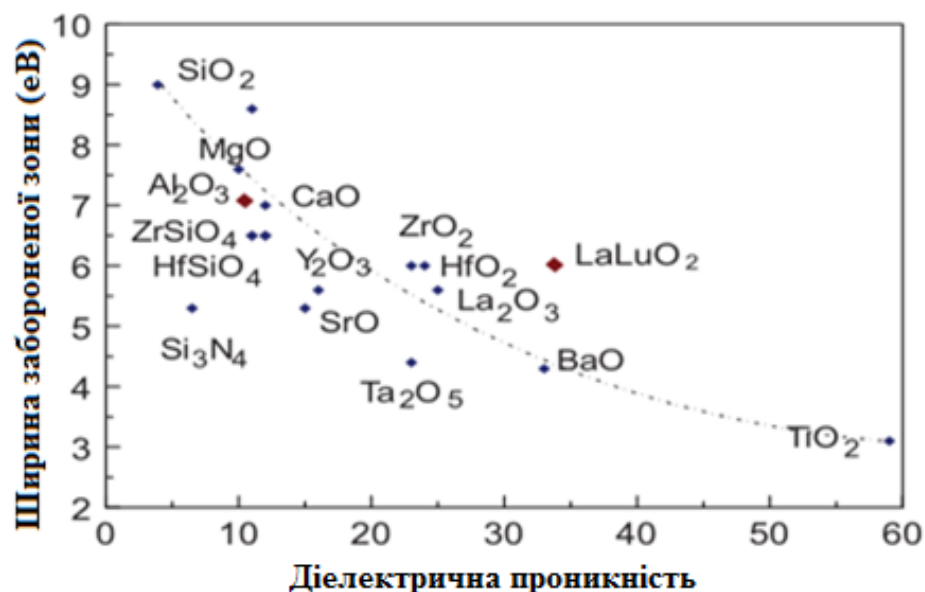


Рисунок 3.1 – Залежність ширини забороненої зони від діелектричної проникності для можливих кандидатів в під-затворні оксиди [16].

Вибір оксидів падає на ті оксиди, що мають середні значення діелектричної проникності та ширину забороненої зони. Якщо ж обирати оксиди з малим значенням ширини забороненої зони то з'являтимуться струми витікання.

Друга вимога щодо обрання оксиду полягає в тому що він не повинен взаємодіяти в хімічних реакціях з кремнієвою підкладкою. Оксиди можуть утворювати сполуки оксиду кремнію або силіциди. Якщо утвориться оксид кремнію то ефективна товщина оксиду збільшиться і застосування нового оксиду буде марним. Якщо ж утворяться силіциди в реакціях з металами, то може виникнути коротке замикання каналу, так як вони є провідниками.

Для уникнення реагування з підкладкою треба обрати оксид, який має вищу температуру утворення ніж оксид кремнію. Ця вимога зводить вибір оксиду до таких сполук як SrO, CaO, BaO, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, Y<sub>2</sub>O<sub>3</sub>, La<sub>2</sub>O<sub>3</sub> та оксидів на основі лантаноїдів [11]. Але враховуючи вимогу високого значення діелектричної проникності, можна виключити оксиди SrO, CaO, BaO як такі що мають мале значення діелектричної проникності. В такому випадку залишаються Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>, Y<sub>2</sub>O<sub>3</sub> та деякі лантаноїди наприклад як Pr<sub>2</sub>O<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub> і Lu<sub>2</sub>O<sub>3</sub>. В свою чергу елементи Zr та Hf мають дуже подібні властивості взаємодії в хімічних реакціях, окрім тієї особливості що оксид цирконію взаємодіє з кремнієм утворюючи силіцид. З врахуванням цього HfO<sub>2</sub> має більшу перевагу щодо вибору ніж ZrO<sub>2</sub>. Розглядаючи інші оксиди La<sub>2</sub>O<sub>3</sub> є гігроскопічним хоча при цьому має трохи вище значення діелектричної проникності ніж у HfO<sub>2</sub>. Оксиди Y<sub>2</sub>O<sub>3</sub> та Lu<sub>2</sub>O<sub>3</sub> мають менше значення діелектричної проникності тому теж не враховуються. Оксиди лантаноїдів Pr<sub>2</sub>O<sub>3</sub>, Gd<sub>2</sub>O<sub>3</sub> схожі до оксиду лантану, але без наявності значних переваг [16]. В результаті вибір падає на HfO<sub>2</sub>. Але в ньому кінетичні ефекти матимуть вплив на межу розділу на якій можуть утворюватись силікати.

Так як high-k оксиди повинні виконувати функції ізолятора їх потенційні бар'єри в кожній зоні повинні бути більшими за 1 eV, щоб уникнути провідності за рахунок емісії електронів і дірок в оксидні області (Рисунок 3.2).

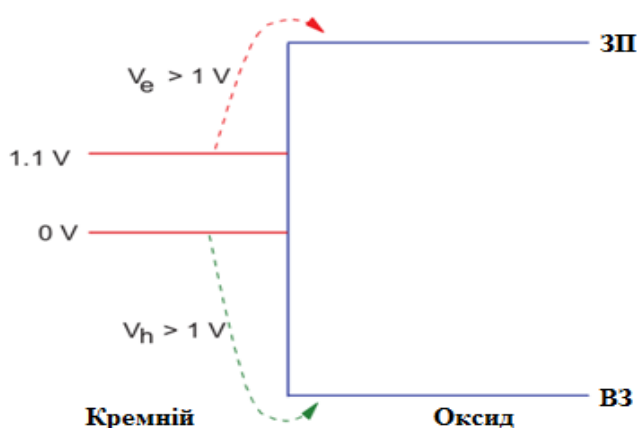


Рисунок 3.2 – Необхідність зміщення енергетичних зон на 1 В [16].

Оксид кремнію має ширину забороненої зони рівну 9 еВ, тому цей оксид має високі потенціальні бар'єри як для електронів, так і для дірок. Для оксидів з малою шириною забороненої зони як наприклад  $\text{SrTiO}_3$  (3.3 еВ), енергетичні зони мають бути вирівнянні майже симетрично до енергетичних зон кремнію щоб потенційні бар'єри для електронів та дірок мали значення більше 1 еВ. Практично для зони провідності зміщення є меншим в порівнянні зі зміщенням для зони валентності. Це звужує використання оксидів до тих що мають ширину забороненої зони близько 5 еВ. До таких матеріалів належать  $\text{Al}_2\text{O}_3$ ,  $\text{ZrO}_2$ ,  $\text{HfO}_2$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$  та ще різні лантаноїди, в тому числі і силікати з алюмінатами на їх основі [16].

Також оксид повинен витримувати температури виробництва наприклад відпал для активації домішок протягом 5с при  $1000^\circ\text{C}$ . Оксид кремнію в такому процесі набуває аморфної структури, але у випадку матеріалів  $\text{HfO}_2$  та  $\text{ZrO}_2$  вони мають нищу температуру кристалізації, близько  $400^\circ\text{C}$  і утворюють нанокристалні зерна. Цю проблему можна вирішити шляхом легування склоформуєчими оксидами  $\text{SiO}_2$  або  $\text{Al}_2\text{O}_3$ , які в результаті утворять силікат або алюмінат. Цей спосіб надає стійкості кристалізації до значень температури в  $1000^\circ\text{C}$ . Недоліком цього способу є те що силікати мають значно менші значення діелектричної проникності. Також не використовують полікристалічні оксиди, так як зерна з яких вони складаються можуть викликати струми витікання і мати не точне значення діелектричної проникності. До  $\text{HfO}_2$  іноді додають азот, так як він



є ефективним матеріалом для зменшення швидкості дифузії та збільшення температур кристалізації [16].

Межа розділу між кремнієм та high-k діелектриками повинна бути найвищої якості з точки зору шорсткості і відсутності дефектів, щоб уникнути розсіювання носіїв. Електрично-активні дефекти це атомарні структури, які призводять до виникнення електронних станів у забороненій зоні оксиду, які в свою чергу можуть захоплювати носії заряду [16]. Це можуть бути області що знаходяться на межі розділу або в самому діелектрику та мають надлишок або нестачу кисню чи домішок. Заряди, захоплені дефектами, зміщують порогову напругу затвору транзистора. Також захоплений заряд змінюється з часом, як результат значення порогової напруги також змінюватиметься з часом, що може викликати нестабільність робочих характеристик пристрою.

### **3.2 Mid-gap металеві затвори**

Заміни потребують не тільки підзатворні діелектрики, але й матеріал затвору. Зазвичай використовується полі-кремнієвий затвор, але з використанням нових діелектриків він стає несумісним тому його замінюють металевим матеріалами. Металеві електроди затвору повинні мати таку роботу виходу, з якою можна досягти необхідної порогової напруги як для p-МДНТ, так і для n-МДНТ. Для цього використовують один mid-gap метал або ж два різних метали з різними функціями виходу, у одного біля дна зони провідності  $E_c$ , а у іншого біля вершини валентної зони  $E_v$  (Рисунок 3.3).

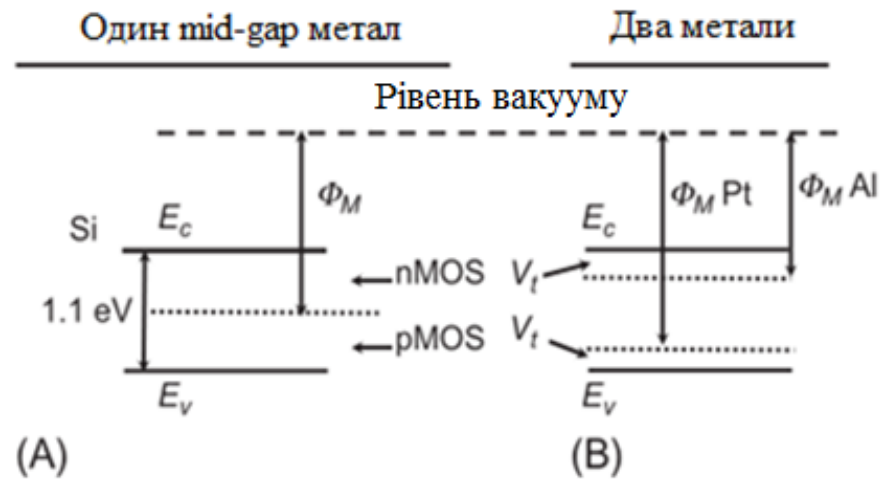


Рисунок 3.3 – Енергетичні діаграми порогової напруги для р-МДНТ та n-МДНТ (А) mid-gap металевий затвор (В) затвор з двох металів [17].

Тому при виготовленні КМДН приладів в якості затворів використовуються метали або нітриди металів, що мають роботу виходу з рівнем Фермі поблизу середини забороненої зони кремнію Co(4,45 eV), Cr(4,5 eV), W(4,52 eV), Ru(4,68 eV), TiN(4,7 eV),  $WN_x$ (4,6 eV) [18]. З використанням таких металів порогові напруги для р-МДНТ та n-МДНТ протилежної полярності і майже однакові за значенням. Це забезпечує більш просту схему обробки КМДН, оскільки для електрода затвора потрібні тільки одна маска і один метал без етапу іонної імплантації [18]. Але є один недолік з точки зору покращення продуктивності планарних МДНТ. Робота виходу mid-gap металу збільшує порогову напругу на 0,55 В в порівнянні до полі-кремнієвих затворів [18]. Для новітніх конструкцій пристроїв, таких як FinFET та FD-SOI ситуація інша. FD-SOI використовує надтонкий монокристал кремнію осаджений на оксидному ізоляторі, як канал для планарних польових МДН транзисторів. FinFET має надтонкий канал у вигляді ребра-плавника з кількома затворами. Для цих структур транзисторів, можливе застосування каналів без легування як для р-МДНТ так і для n-МДНТ тому mid-gap матеріал для них бажаний. У цих пристроях також можна встановлювати порогову напругу до бажаного значення в кілька десятих вольт для n-МДНТ і аналогічних негативних значень для р-МДНТ.

У випадку використання в якості під затворного діелектрика  $\text{HfO}_2$  добре застосовувати в якості металевого затвору  $\text{TiN}$ . Він має ефективну роботу виходу в діапазоні 4,4-4,9 еВ, яка залежить від способу нанесення та товщини металевого шару. З допомогою імплантації домішок Al в  $\text{TiN}$  можна зсувати роботу виходу з краю зони провідності на край валентної зони кремнію. Таким чином контролюючи рівень легування домішками Al, можна отримувати необхідну ефективну роботу виходу, для МДНТ р-типу або n-типу.

Інший підхід в технології виготовлення КМДН приладів є використання двох матеріалів для затвору. Критерієм вибору цих металів є розташування рівня Фермі, який повинен бути розташований поряд дна зони провідності для n-МДНТ і верху валентної зони для p-МДНТ кремнієвої підкладки. При цьому мати значення роботи виходів приблизно 4,17 еВ та 5,25 еВ відповідно. Такими матеріалами наприклад можуть бути для n-МДНТ Ta(4,19 еВ), TaN(4,05 еВ), Ti(4,14 еВ), Al(4,13 еВ), Hf(3,9 еВ); Nb(4,15 еВ), Mo(4,45 еВ), а p-МДНТ - WN(5,0 еВ),  $\text{Mo}_2\text{N}$ (5,3 еВ), Ir(5,35 еВ), Pt(5,65 еВ) [18]. Алюміній з роботою виходу 4,1 еВ є матеріалом що підходить для МДН транзисторів n-типу і має освоєний технологічний процес осадження. Одним з можливих матеріалів для транзисторів p-типу є  $\text{TiN}$ . Роботою виходу  $\text{TiN}$  можна керувати до 5 еВ залежно від кількісного складу  $\text{TiN}$ , наприклад, процентного відношення кількості Ti та N, товщини  $\text{TiN}$  та технологічних способів осадження матеріалу.

Але з врахуванням експериментальних даних експериментів вибір металевих електродів не є легкою задачею ніж здається на перший погляд. Основна проблема полягає в тому що робота виходу електрону в вакуум не є надійним критерієм для вибору металевих затворів, і в деяких випадках навіть не відповідає сподіванням. Причиною цієї проблеми є те, що структури енергетичних зон, затвору металу, high-k діелектрику, межі розділу шарів та кремнієвої підкладки приймають не ті самі значення, як у випадку їх окремого розгляду. При осадженні high-k оксиду на межі розділу діелектрика з кремнієм може утворюватись проміжний шар оксиду кремнію. Також зона діаграма металу матиме інший вигляд при контакті з певним high-k діелектриком. Тому замість

роботи виходу в вакуум використовують ефективну роботу виходу (EWF). На Рисунок 3.4 схематично зображені енергетичні зони металевих затворів, high-k діелектрика, оксиду кремнію та самого кремнію.

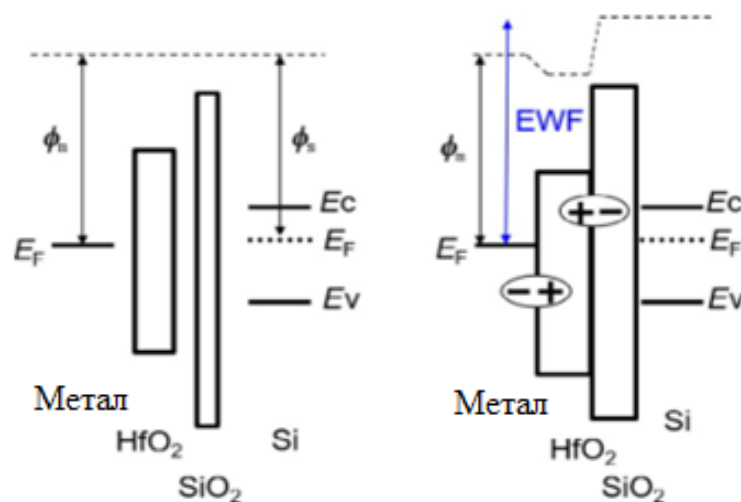


Рисунок 3.4 – Схематичне зображення роботи енергетичних зон металу high-k діелектрика, оксиду кремнію та кремнію.  $\Phi_M$  це робота виходу металевого затвору до (ліворуч) та після (праворуч) контакту [17].

У випадку якщо всі ці компоненти знаходяться окремо рівні енергії вакууму для чотирьох матеріалів узгоджені, в той час як рівень Фермі - ні. Якщо всі ці матеріали з'єднати разом, їх рівні вакууму будуть здвигатися, щоб забезпечити узгодженість рівня Фермі. Вигин на рівні вакууму є результатом безлічі різних впливів, в тому числі поверхневого заряду на межі поділу high-k діелектрика та оксиду кремнію, об'ємних зарядів в high-k діелектрику, диполів на межі розділу з high-k діелектрика та оксиду кремнію та вклинювання рівня Фермі на межі розділу метал та high-k діелектрику. Ефективна робота виходу металу затвора визначається як різниця енергій рівня Фермі та рівня вакууму на підкладці кремнію, а не металу затвора.

Крім ефективної роботи виходу, ще одним критерієм, який необхідно взяти до уваги, є сумісність з технологічним процесом, що також має труднощі для застосування металевих затворів. Наприклад, в процесах з використанням двох металів необхідно послідовне осадження і вибіркоче травлення обох металів. Вони не повинні створювати небезпеки неконтрольованого забруднення

металевих пластин та інструментів або створювати проблеми з надійністю. При травленні першого металу над оксидом затвора може виникнути пошкодження, особливо під час надмірного травлення, необхідного для забезпечення повного зняття першого металевого шару. Так як порогова напруга дуже чутлива до станів межі розділу, будь які залишки першого металу або пошкодження створять зміщення порогової напруги. Якщо взяти до уваги кількість пристроїв виконуваних на одній кремнієвій пластині і кількість пластин в масовому виробництві, то стає зрозумілим складність запобіганню будь-яких відхилень в значеннях порогової напруги для забезпечення однорідності на самій підкладці та на кількості всіх інших підкладок. В залежності від властивостей матеріалів є два технологічні способи покращення виробництва.

Перший полягає в тому спочатку осаджується металевий шар з ефективною роботою виходу, яка підходить для використання в n-МДНТ, потім наноситься другий метал, обраний для утворення сплаву з першим металом, щоб утворити ефективну роботу виходу, яка б підходила для p-МДНТ. Щоб утворився сплав необхідно провести термічну обробку. Але перед термічною обробкою стравлюють другу металеву плівку з області n-МДНТ, залишаючи тільки першу металеву плівку. Таким способом уникають видалення першого металу із підзатворного діелектрика.

Другий метод полягає в тому, що сполуки деяких металів, наприклад їх нітриди, мають металеві властивості та значення EWF, яке відрізняється від цього вихідного металу. У цьому процесі спочатку наносять основний металевий шар і поверх нього фотолітографією маскуються необхідні області. Області що залишилися незахищеними імпантують азотом. Після чого відбувається відпал і як результат утворюється нітрид.

Ще однією проблемою є хімічна стабільність металу. В традиційному процесі виробництва КМДН транзисторів найвищу температуру має етап термічного відпалу для активації домішок в областях витоку, стоку і затвора транзисторів. На цьому етапі використовується швидкий термічний відпал в діапазоні температур між 900°C і 1100°C. Під час цього етапу метал затвора має

бути термостійким. Після активації ефективна робота виходу не повинна змінюватися, інакше це призведе до збою та пошкоджень. Така проблема нестабільності широко спостерігається в металах з низькою роботою виходу. Щоб уникнути нестабільності межі розділу металевого затвору та підзатворного діелектрику в високотемпературних процесах виробництва застосовують процес затвор – останнім [16]. Процес полягає в тому що після нанесення high-k діелектрику проводять звичайний процес виготовлення затвора з полі-кремнію. Таким чином полі-кремнієвий затвор слугує тимчасовим затвором, який в змозі витримати активацію домішок при відпалі областей витоку та стоку. Після високотемпературних процесів, затвор з полі-кремнію видаляється і на його місці залишається вільний простір для осадження металу затвора. Після заповнення цього місця металом з необхідною роботою виходу та провідникових металів проводиться хімічно-механічне полірування. При такій послідовності процесів активаційний відпал витоку та стоку виконується перед нанесенням металу затвора. Як результат зміщення порогової напруги викликаного термічною нестабільністю металевого затвора не відбувається.

## 4 ЗАСТОСУВАННЯ МДН ТРАНЗСТОРА З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ

### 4.1 Застосування КНІ та FinFET транзисторів

Високотемпературна електроніка та радіаційно-стійкі схеми, є двома найбільш важливими із способів застосування КНІ транзисторів. Транзистори КНІ за своєю природою більш стійкіші до суворих умов навколишнього середовища, ніж звичайні пристрої, оскільки вони містять менший обсяг кремнію. Різні джерела іонізуючого випромінювання викликають різні ефекти в МДН пристроях. Коли заряджені частинки бомбардують матрицю пам'яті, вони впливають на роботу деяких транзисторів всередині цього масиву комірок, що призводить до виникнення електронно-діркових пар всередині цих транзисторів. Утворені таким чином пари електрон-дірка порушують роботу транзисторів та призводять до імпульсів струму, які в свою чергу можуть змінити стан комірок статичної оперативної пам'яті з довільним доступом (SRAM). Невеликий обсяг КНІ знижує чутливість пристроїв до таких впливів. Системи на кристалі мають широке застосування, особливо в автомобільній промисловості та на виробничих підприємствах. Такі мікросхеми повинні працювати при підвищених температурах. Транзистори на основі повністю збідненого КНІ можуть працювати при температурі 275-300 °С, в той час як частково збіднений КНІ має обмеження не більше 225 °С. Для порівняння звичайні кремнієві мікросхеми обмежуються робочою температурою приблизно в 200 °С [19].

КНІ FinFET транзистори мають широке застосування завдяки своєму добре налагодженому технологічному процесу виробництва. Ці транзистори мають те саме застосування що і планарні КНІ, але при цьому забезпечують менше енергетичне споживання і кращу швидкодію завдяки поєднанню конструктивних переваг КНІ та тривимірної структури FinFET.

Комірки SRAM пам'яті традиційно є одним з найбільш важливих компонентів схем в технологіях мікросхем, і витрачаються значні зусилля на зменшення розмірів комірок та отримання надійного функціонування операцій зчитування та запису до комірок. Не зважаючи і на так достатньо велику щільність упаковки FinFET транзисторів можна оптимізувати вибір висоти та кількості ребер такого транзистору для комірок SRAM пам'яті. Оптимізація здійснюється між двома важливими параметрами продуктивності SRAM комірок пам'яті, зчитування запасу статичного шуму та струму витікання [20]. Така оптимізація висоти ребра і легування каналу може одночасно знизити струм витікання і поліпшити стабільність комірки SRAM без необхідності у використанні ще декількох каналів-плавників. Це дозволяє краще використовувати площу підкладки. Але для таких комірок пам'яті контроль висоти ребер є критично важливим, його потрібно контролювати в певних межах для отримання комірок пам'яті з більш-менш однаковими характеристиками. Окрім комірок пам'яті FinFET транзистори можуть застосовуватися для побудови елементарних блоків цифрової логіки у мікросхемах з низьким енергоспоживанням [21].

У конструкціях FinFET на основі незалежних затворів один затвор може використовуватися для перемикавання, а інший затвор може використовуватися для керування пороговою напругою.

## 4.2 Застосування GAAFET

Транзистори з всестороннім затвором ще не мають комерційного застосування, але при цьому дають цікаві теоретичні переваги над нинішніми типами транзисторів. На основі таких транзисторів можна отримати значний вигреш параметрів. Дворівневі стандартні комірки вертикальних транзисторів можуть забезпечити зменшення площі на -35,6% із вартістю +16,5% довжини каналу та +13,2% збільшення паразитної ємності порівняно з однорівневими вертикальними транзисторами [2]. Порівняно з горизонтальними GAAFET та



FinFET, такі комірки пам'яті демонструють зменшення площі на -50,1% при -0,3% зменшенні довжини каналу та -18,9% зменшення паразитної ємності [2]. Така дворівнева структура при якій транзистори розташовуються один на одному та при правильному проектуванні структури між'єднань призводять до над масштабної мініатюризації стандартних конструкцій комірок пам'яті.

В лабораторних умовах була створена компактна комірка SRAM пам'яті з вертикальних польових МДН транзисторів [2]. Комірка мала невеликий розмір, і становила приблизно 74% від звичайної комірки SRAM із 8 транзисторів і 98% навіть від звичайної комірки шести транзисторної SRAM. Виготовлена комірка SRAM має понижене розсіювання потужності під час запису, яке становить 47% і 44% відносно звичайних комірок 6Т і 8Т-SRAM, відповідно. Крім того, вона забезпечує в 3 рази більший запас статичного шуму запису і читання, ніж у звичайних комірках 6Т або 8Т-SRAM, який є більш стійкішим до коливань порогової напруги. Комірка 12Т-SRAM з вертикальних польових МДН транзисторів є чудовою структурою для малопотужної та стабільної роботи в мікросхемах. На рисунку 1.1 показано структуру вертикального МДН транзистора, який використовувався для побудови комірок пам'яті.

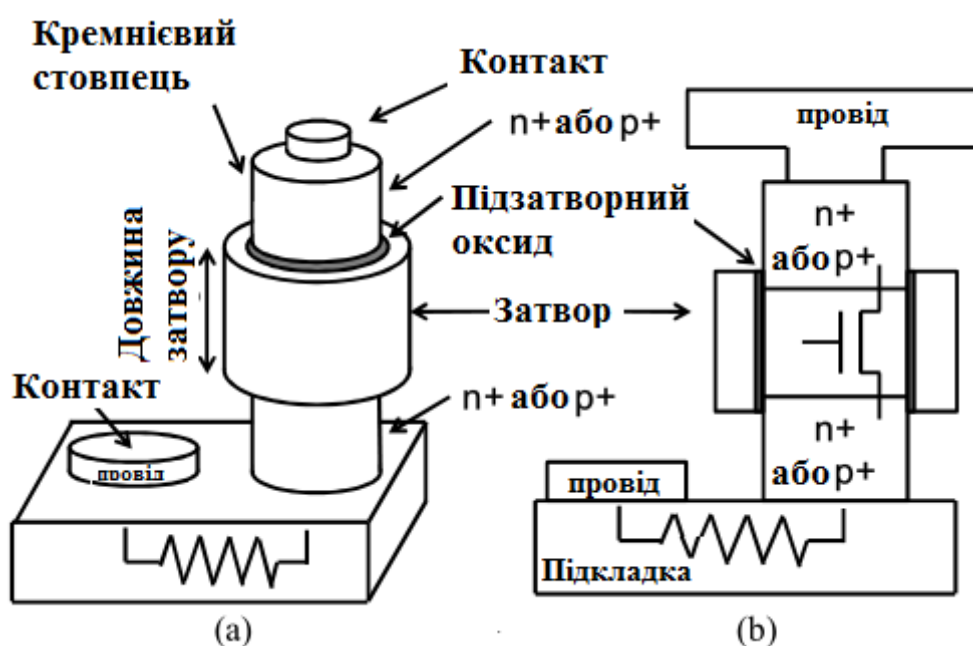


Рисунок 1.1 Схематичне зображення (а) та переріз (б) вертикального МДН транзистора з всестороннім затвором [22]

## 5 МОДЕЛІ МДН ТРАНЗИСТОРІВ З СУБМІКРОМЕТРОВОЮ ДОВЖИНОЮ КАНАЛУ

### 5.1 Моделі МДНТ

Для моделювання субмікронних транзисторів використовують компактні моделі. Кожна компактна модель МДН транзистора використовує базову модель, яка в змозі моделювати МДН транзистор з дуже довгим каналом. Переважна більшість всіх транзисторів що використовуються в інтегральних схемах моделюється за рахунок того що до базової моделі роблять поправки, які враховують реальні фізичні ефекти певного типу транзистору. З врахуванням необхідності подальшого масштабування технології КМДН реальні фізичні ефекти стають основними, а не другорядними. В свою чергу саме моделі цих ефектів визначають точність з якою моделюється робота мікросхем.

Широкого використання набула стандартна компактна модель коротко-канального МДНТ (BSIM), яку використовують для промислових стандартів виробництва мікросхем. Модель BSIM має декілька своїх різновидів, кожна наступна модель краще враховує явища коротко-канальних ефектів. Наприклад версія BSIM3 враховує три різні фізичні ефекти серед них модуляція довжини каналу, стокове зниження бар'єру, і ефект зсуву каналу гарячими носіями [23]. Ці коротко-канальні ефекти моделюються нелінійною функцією кількох змінних товщини оксиду довжини каналу, порогової напруги, напруги стоку, напруги затвору та інших. Точність моделі вихідного опору є дуже важливою для проектування аналогових схем. Модель вихідної провідності BSIM продовжує використовуватися сьогодні. У BSIM3 був доданий ефект стокового витікання викликаного затвором.

Додавання нових ефектів до моделі відбувається таким чином. Дослідники виявляють певний новий ефект і намагаються пояснити його механізм роботи і в результаті отримують нову аналітичну модель цього ефекту, яку й надалі

використовують. Сьогодні складні моделі реальних фізичних ефектів становлять 80-90% написаного для виконання коду моделі, часу моделювання та витрачених зусиль на розробку самої моделі. Від моделювання цих ефектів залежить точність компактної моделі транзистору і як результат саме моделювання роботи інтегральних схем. В загальному випадку моделювання МДНТ з коротким каналом зводиться до розв'язання рівнянь Пуассона, рівнянь неперервності дірок та електронів, та рівнянь, що враховують певну фізичну модель переносу носіїв в каналі. Зазвичай за модель переносу використовують дифузійно-дрейфову модель.

Спосіб роботи різних конструктивних реалізацій транзисторів зазвичай контролюється висотою енергетичного бар'єру на затворі. Цей бар'єр змінюється за допомогою прикладання до затвору напруги. Потенціальний бар'єр виконує функцію контролю руху електронів від області витоку до стоку при цьому не даючи їм проходити через себе. Змінюючи напругу між затвором та стоком можна керувати висотою енергетичного бар'єру і як результат мати контроль над струмом каналу МДН транзистора. Аналіз роботи МДН транзистора зазвичай починається з рівняння струму 5.1 [24].

$$I_{DS} = W * |Q(V_{GS}, V_{DS})| * \langle v \rangle, \quad (5.1)$$

де  $W$  – ширина каналу провідності,  $Q$  – електронний поверхневий заряд,  $\langle v \rangle$  – середня швидкість руху електронів,  $V_{GS}$  – напруга на затворі,  $V_{DS}$  - напруга на стоці.

Для моделювання напівпровідників є важливим рівняння дрейфу-дифузії 5.2 [24]:

$$J_x = n_s q \mu E_x + q D \frac{dn_s}{dx}, \quad (5.2)$$

де  $n_s$  - щільність електронів,  $q$  – величина заряду електрону,  $\mu$  – рухливість електронів,  $D$  – коефіцієнт дифузії.

Згідно цього рівняння щільність струму в однорідному напівпровіднику в напрямку руху електронів пропорціональна електричному полю, а за його відсутності струм забезпечується електронами, які дифундують на зустріч градієнту концентрації електронів [24].

Для побудови математичної моделі принципу роботи МДНТ треба мати фізичну абстракцію щодо електронного поверхневого заряду та середньої швидкості електронів. Маючи аналітичну модель фізичних процесів, що протікають в МДНТ можна змоделювати його електричні характеристики.

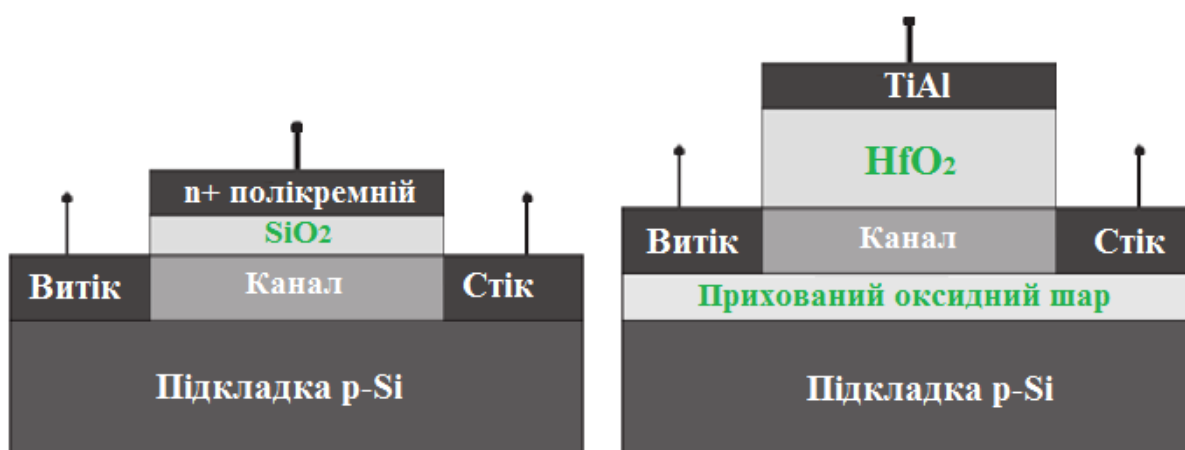
В коротко-канальних транзисторах напруги, що подаються витік та стік створюють сильне електричне поле вздовж каналу транзистора. В результаті цього буде відбуватися зміна електростатичного потенціалу як в повздовжньому напрямку та і в поперековому. Для нанотранзисторів можливість врахування двовимірної електростатики дозволяє описувати режими роботи МДНТ оглядаючись на вплив коротко-канальних ефектів. Двовимірну електростатику вираховують шляхом розв'язання рівняння Пуассона. Зазвичай це виконується чисельними методами. В залежності від типу конструкції транзистору потрібно розв'язувати двовимірне або тривимірне рівняння Пуассона. Тривимірний випадок характерний для транзисторів з дуже коротким каналом. Окрім рівняння Пуассона в часткових похідних необхідно також розв'язати рівняння Лапласа. Тобто щоб знайти розподіл електростатичного потенціалу потрібно розв'язати систему рівнянь в часткових похідних Пуассона та Лапласа. Також з рівняння Пуассона можна дізнатись довжину геометричного екранування. Це така довжина каналу при якій вплив потенціалу стокової області згасає. В транзисторах, що мають довжину каналу більшу за довжину екранування матимуть слабо виражений ефект індукованого стоком пониження бар'єру. Фізичні ефекти, що виникають в нанорозмірних транзисторах, не можуть правильно враховуватись в дифузійно-дрейфовій моделі транспорту носіїв. З цієї причини для моделювання субмікрометрових МДНТ застосовують інші кращі моделі транспорту.

## 5.2 Моделювання МДНТ та КНІ МДНТ з high-k діелектриком

Для моделювання було обрано дві структури МДН транзисторів з провідністю каналу n-типу: звичайний МДН транзистор та КНІ МДН транзистор з high-k діелектриком.

У якості high-k діелектрика обрано  $\text{HfO}_2$  та в якості металевого електроду затвору обрано  $\text{TiAl}$ . Такий вибір обумовлений тим, що таке поєднання матеріалів при виготовленні транзистору дозволяє отримати роботу виходу металевого затвору приблизно рівною 4.1 еВ. Така робота виходу може бути отримана осадженням  $\text{TiAl}$  методом фізичного вакуумного розпилення [25].

Моделювання виконувалось у програмному забезпеченні із відкритим доступом "MOSFet" на сайті [panohub.org](http://panohub.org) [26]. Схематичні зображення змодельованих транзисторів зображено на рисунку 5.1.



Рисунки 5.1 – Схематичні зображення стандартної конструкції МДНТ (ліворуч) та КНІ МДНТ з high-k діелектриком (праворуч).

Обидва транзистора мають довжину каналу 100 нм, ширину каналу 1000 нм, глибину залягання каналу 20 нм, товщину підкладки p-типу 50 нм. Товщина  $\text{SiO}_2$  2 нм, товщина  $\text{HfO}_2$  13 нм. Товщина прихованого оксидного шару рівна 50 нм. Діелектрична проникність  $\text{HfO}_2$  рівна 25 [16]. Ефективна робота виходу  $\text{TiAl}$  рівна 4.1 еВ [25].

З вольт амперних характеристик можна знайти такі параметри транзисторів:  $I_{on}$  – максимальний струм стоку визначається при максимальній напрузі стоку та затвору з вихідних характеристик.  $I_{off}$  – знаходиться з перехідних характеристик як максимальний струм вимкнення при максимальній напрузі стоку та нульовій напрузі затвору з.  $r_0$  – внутрішній опір характеризує нахил вихідних характеристик та розраховується в області насичення за формулою 5.3:

$$r_0 = \frac{dV_c}{dI_c}, \quad (5.3)$$

де  $V_c$  - напруга стоку,  $I_c$  - струм стоку.

$S$  – допороговий розкид характеризує необхідну зміну напруги на затворі, що призводить до зміни струму стоку в 10 раз. Чим менше значення допорогового розкиду тим меншу напругу затвору необхідно прикласти для перемикання транзистора з виключеного стану у включений. Розраховується з перехідних характеристик в крутій області за формулою 5.4:

$$S = \frac{dV_3}{d \log_{10} I_c}, \quad (5.4)$$

де  $V_3$  – напруга на затворі,  $I_c$  - струм стоку.

DIBL – стокове пониження бар'єру характеризує зміну порогової напруги зі збільшенням напруги на стоці та розраховується за формулою 5.5:

$$DIBL = \left| \frac{V_{\Pi}^{max} - V_{\Pi}^{min}}{V_c^{max} - V_c^{min}} \right|, \quad (5.5)$$

де  $V_{\Pi}^{max}$  та  $V_{\Pi}^{min}$  – максимальне та мінімальне значення порогової напруги на затворі, за яких починає текти струм стоку,  $V_c^{max}$  та  $V_c^{min}$  – максимальне та мінімальне значення напруги на стоці за яких вимірюють порогові напруги.

Змодельовані ВАХ показані на рисунках 5.1-5.4.

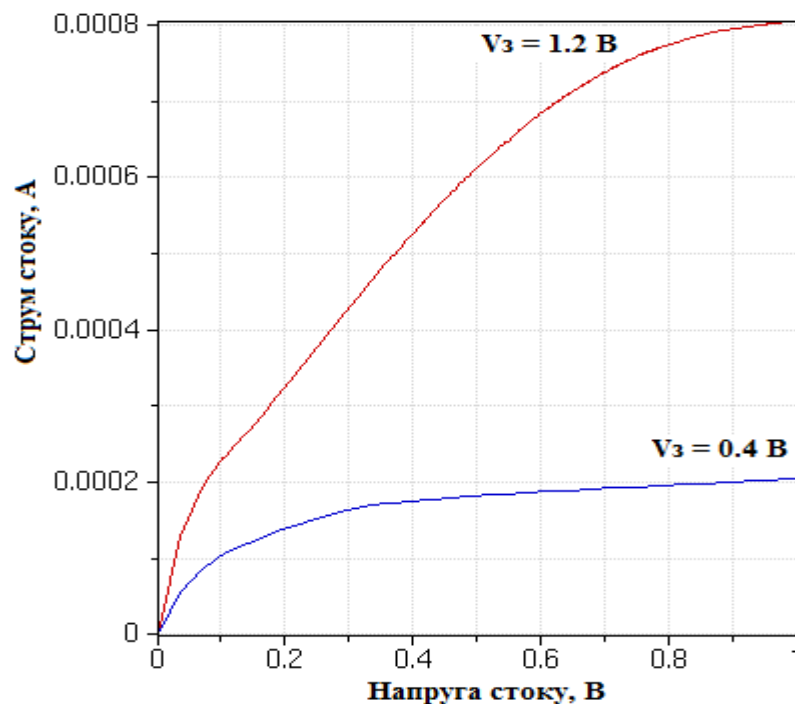


Рисунок 5.1 - Вихідні характеристики КНІ МДНТ, побудовані за умови, що напруга на затворі дорівнює 1,2 В (червона лінія) та 0,4 В (синя лінія)

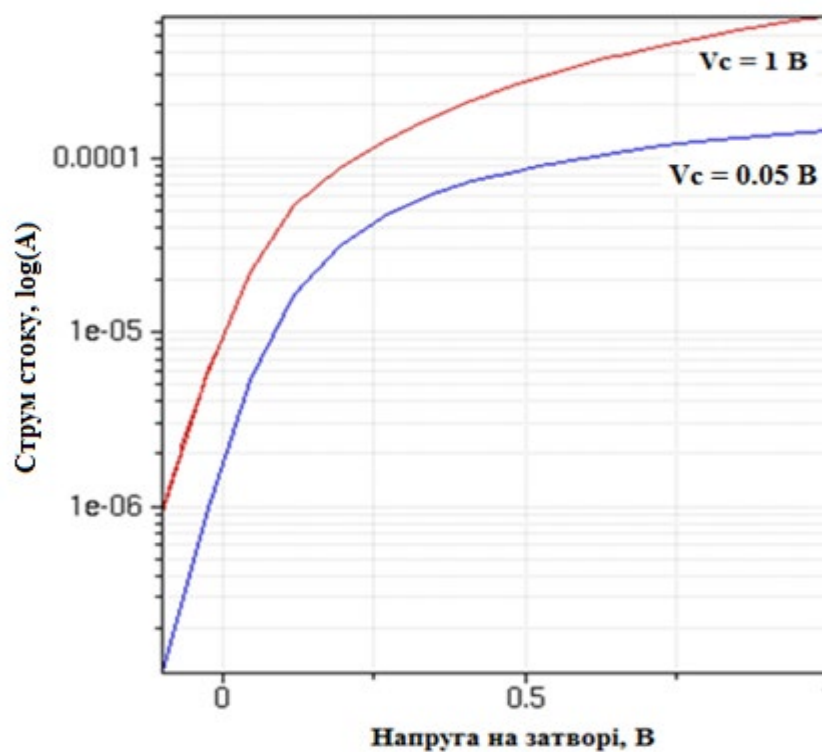


Рисунок 5.2 - Перехідні характеристики КНІ МДНТ, побудовані за умови, що напруга на стоці дорівнює 1 В (червона лінія) та 0,05 В (синя лінія)

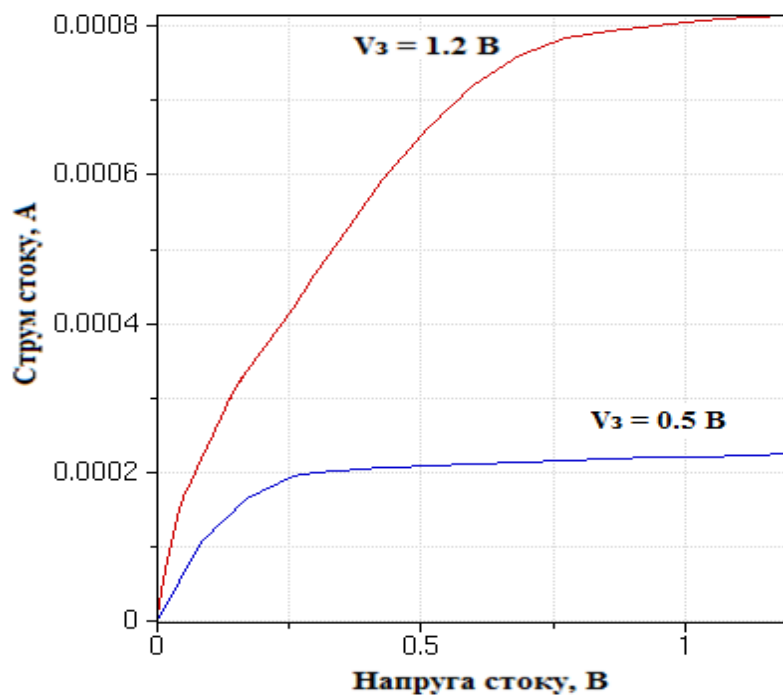


Рисунок 5.3 – Вихідні характеристики стандартної конструкції МДНТ, побудовані за умови, що напруга на затворі дорівнює 1,2 В (червона лінія) та 0,5 В (синя лінія)

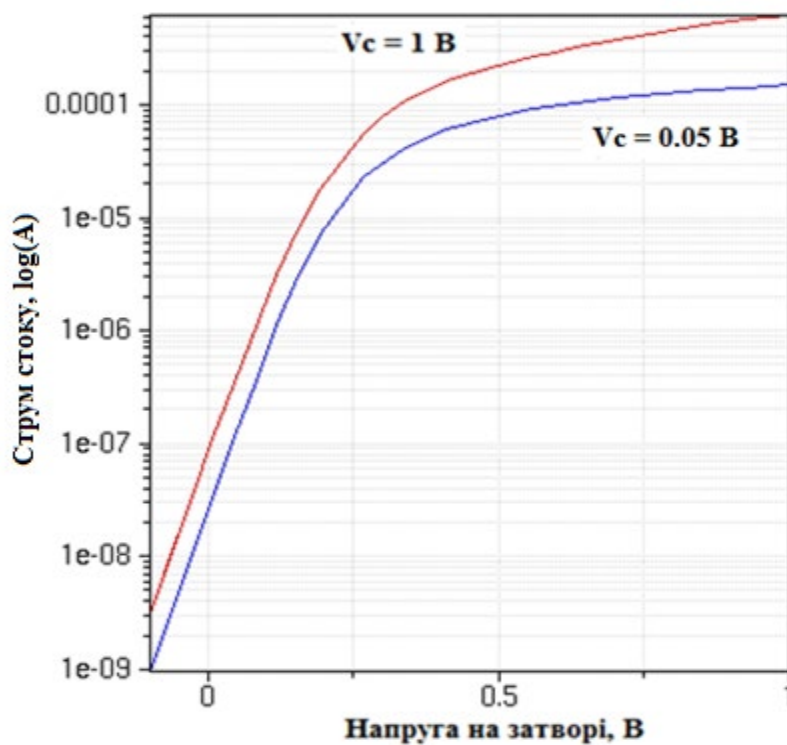


Рисунок 5.4 – Перехідні характеристики стандартної конструкції МДНТ, побудовані за умови, що напруга на стоці дорівнює 1 В (червона лінія) та 0,05 В (синя лінія)



Отримані параметри з вольт амперних характеристик занесені до таблиці 5.1.

Таблиця 5.1 – Параметри ВАХ стандартного МДНТ та КНІ МДНТ

Транзистор	$V_{п1}, В$	$V_{п2}, В$	$DIBL, мВ/В$	$S, мВ/дек$	$I_{он}, мкА$	$I_{оff}, мкА$	$I_{он}/ I_{оff}$	$r_0, кОм$
МДНТ	0,19	0,12	74	74	815	80	10,2	31
КНІ МДНТ	0,05	0,12	74	94	806	70	11,5	25

З вилучених на вольт амперних характеристиках параметрах бачимо, що КНІ МДН транзистор має майже однакові характеристики із стандартним МДН транзистором.

Для транзистора на підкладці з КНІ струм включення та струм виключення мають менші значення, що є перевагою у випадку енергоспоживання. Відношення цих струмів теж має більше значення, що свідчить про те що транзистор має кращу перемикальну властивість. Але при цьому транзистор має більший допороговий розкид, а отже для перемикання треба прикласти більшу напругу. Порогові напруги КНІ транзистора мають менші значення в порівнянні до стандартної конструкції. Таким чином використання КНІ підкладки дозволяє краще збіднювати канал і зменшує струми витікання на підкладку.

Більшість параметрів мають майже однакові значення, так як структура затвора і підзатворний оксид обирались за критерієм аналогічної роботи стандартної конструкції планарного МДН транзистора .

Моделювання показує що при однакових параметрах транзистора мають в основному схожі характеристики, але при цьому структура стандартного МДН транзистора не зможе надалі масштабуватись із-за обмежень на товщину оксиду кремнію. В свою чергу змодельована структура МДН транзистора з КНІ підкладкою та high-k діелектриком дозволяє подальше зменшення розмірів та зменшення енергоживлення і збільшення швидкодії.

## ВИСНОВКИ

Під час виконання дипломної роботи розглянуто особливості реалізацій конструкцій МДН транзисторів типу КНІ, FinFET та GAAFET. Характерною рисою конструктивного виконання сучасних транзисторів є перехід від планарних каналів до тривимірних у вигляді вертикально витягнутих структур або нанодротів. Така необхідність пов'язана перш за все з перевагою в боротьбі з коротко-канальними ефектами, планарні ж структури не дозволяють достатньою мірою їм запобігати.

Окрім зміни конструктивної складової доводиться використовувати й інші матеріали із-за неможливості виконувати покладені на них функції. Для продовження масштабування доводиться відходити від використання типових матеріалів затворної частини – оксиду кремнію, в якості підзатворного діелектрика та полікристалічного кремнію в якості матеріалу затвору. Від тепер застосовують діелектрики з високим значенням діелектричної проникності та металеві затвори. Здебільшого використовують для підзатворного діелектрику сполуки на основі оксиду гафнію, так як вони здебільшого відповідають покладеним на них технологічним вимогам. Затвори ж виконуються зі сплавів тугоплавких металів та мають технологічні особливості нанесення в КМДН технології.

Застосування транзисторних структур КНІ дозволяє використовувати електронну техніку в екстремальних середовищах з високими температурами та іонізуючим випромінюванням. FinFET набув використання в комірках комп'ютерної пам'яті, завдяки можливості робити їх компактнішими та місткішим. В свою чергу структури GAAFET мають перспективи замінити сучасні транзистори і значно покращити компактність та швидкодію пристроїв на їх основі.

**ПЕРЕЛІК ДЖЕРЕЛ ПОСИЛАННЯ**

1. Kononchuk, O. Silicon-On-Insulator (SOI) Technology: Manufacture and Applications / O. Kononchuk, B.-Y. Nguyen. - Cambridge, UK : ELSEVIER SCIENCE & TECHNOLOGY, 2014. – 496 p. – ISBN 978-0-85709-526-8.
2. Song, T. Many-Tier Vertical GAAFET (V-FET) for Ultra-Miniaturized Standard Cell Designs Beyond 5 nm / Taigon Song // IEEE Access. – 2020. – Vol. 8. – P. 149984-149998.
3. Bohr, M. T. CMOS Scaling Trends and Beyond / M. T. Bohr, I. A. Young // IEEE Micro. – 2017. – Vol. 37, №6. – P. 20-29.
4. Sakurai, T. Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications / T. Sakurai, A. Matsuzawa, T. Douseki. – New York, NY, USA : Springer-Verlag New York, Inc., 2006. – 411 p. – ISBN 978-0-387-29218-2.
5. Khanna, V. K. Integrated Nanoelectronics : Nanoscale CMOS, Post-CMOS and Allied Nanotechnologies / V. K. Khanna. – New Delhi, India : Springer, India, Private Ltd., 2016. – 451 p. – ISBN 978-8-13223-623-8.
6. Han, K.-R. Design of Bulk Fin-Type Field-Effect Transistor Considering Gate Work-Function / K.-R. Han, B.-K. Choi, H.-I. Kwon, J.-H. Lee // Japanese Journal of Applied Physics. – 2008. – Vol 47, №6. – P. 4385-4391.
7. Masahara M. Demonstration of Asymmetric Gate Oxide Thickness 4-Terminal FinFETs / M. Masahara, R. Surdeanu, L. Witters, L., G. Doornbos, V. H. Nguyen, G. Van Den Bosch, C. Vrancken, K. Devriendt, F. Neuilly, E. Kunnen, M. Jurczak, S. Biesemans // IEEE international SOI Conference : proceedings. – Niagara Falls, NY, USA, 2006. – P. 165-166.
8. Zhang S. Review of Modern Field Effect Transistor Technologies for Scaling / S. Zhang // 2nd International Conference on Electronic Engineering and Informatics, Journal of Physics: Conference Series. – Lanzhou (China), 2020.

9. Goodnick, S. M. Semiconductor Nanotechnology : Advances in Information and Energy Processing and Storage / S. M. Goodnick, A. Korkin, R. Nemanich. – Cham, Switzerland : Springer Nature Switzerland, AG., 2019. – 236 p. – ISBN 978-3-03006-324-5.
10. Guerfi Y. Vertical Silicon Nanowire Field Effect Transistors with Nanoscale Gate-All-Around / Y. Guerfi, G. Larrieu // Nanoscale Research Letters. – 2016. – Vol. 11, №1.
11. Hong, J. Fabrication of vertically aligned Si nanowires on Si (100) substrates utilizing metal-assisted etching / J. Hong, K. Kim, N. Kwon, J. Lee, D. Whang, I. Chung // Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films. – 2010. – Vol 28, №4. – P. 735–740.
12. Зебрев Г.И. Физические основы кремниевой наноэлектроники: учеб. пособ. / Г. И. Зебрев. – М.: МИФИ, 2008. – 288 с.
13. Маллер Р. Элементы интегральных схем / Р. Маллер, Т. Кейминс. – М.: Мир, 1989. – 630 с.
14. Rim, K. Fabrication and analysis of deep submicron strained-Si n-MOSFET's / K. Rim, J. L. Hoyt, J. F. Gibbons // IEEE Transactions on Electron Devices. – 2000. – Vol. 47, №7. – P. 1406-1415.
15. Amiri, I. S. Device Physics, Modeling, Technology, and Analysis for Silicon MESFET / I. S. Amiri, H. Mohammadi, M. Hosseinghadiry. – Cham, Switzerland : Springer Nature Switzerland, AG., 2019. – 122 p. – ISBN 978-3-03004-512-8.
16. High-K materials and metal gates for CMOS applications / J. Robertson, R. M. Wallace // Materials Science and Engineering: R: Reports. – 2015. – Vol. 88. P. 1-41.
17. Radamson H. CMOS Past, Present and Future / H. Radamson, Ею Simoen, Ю Luo, С. Zhao. - Cambridge, United Kingdom : ELSEVIER SCIENCE & TECHNOLOGY., 2018. – 278 p. – ISBN 978-0-08102-139-2.
18. Красников Г.Я. Конструктивно-технологические особенности субмикронных МОП-транзисторов / Г. Я. Красников. М.: Техносфера, 2011. – 800 с.

19. Marshall, A. Effects of Temperature on Metal Gate FinFET Circuit Performance / A. Marshall, W. Xiong, C. R. Cleavelin, K. Matthews, G. Konblinger, C. Pacha, K. V. Armin, T. Shulz, K. Schrufer, P. Patruno // IEEE international SOI Conference: proceedings. – New York (USA), 2006. – P. 163-164.
20. Sachid, A. B. Denser and more stable FinFET SRAM using multiple fin heights / A. B. Sachid, C. Hu // International Semiconductor Device Research Symposium. – College Park, MD, USA, 2011. – P. 1-2
21. Kuna, A. K. An investigation of FinFET based digital circuits for low power applications / A. K. Kuna, K. Kandpal and K. B. R. Teja // International Conference on Circuit, Power and Computing Technologies. – Kollam (India), 2017. – P.1-6
22. Na, H. A New Compact SRAM Cell by Vertical MOSFET for Low-Power and Stable Operation / H. Na, T. Endoh // IEEE International Memory Workshop. – Monterey (USA), 2011. – P. 1-4.
23. Chauhan, Y. S. FinFET Modeling for IC Simulation and Design : Using the BSIM-CMG Standard / Y. S. Chauhan, D. D. Lu, V. Sriramkumar, S. Khandelwal, J. P. Duarte, N. Payvadosi, A. Niknejad, C. Hu. - San Diego, USA : Elsevier Science Publishing Co, Inc., 2015. – 304 p. – ISBN 978-0-12420-031-9.
24. Кругляк Ю. А. Физика и моделирование нанотранзисторов / Ю. А. Кругляк. – Одесса : ТЭС, 2018. – 314 с. – ISBN 978-617-7711-06-2.
25. Kesapragada S. High-k/metal gate stacks in gate first and replacement gate schemes / S. Kesapragada, R. Wang, D. Liu, G. Liu, Z. Xie, Z. Ge, H. Yang, Y. Lei, X. Lu, X. Tang, J. Lei, M. Allen, S. Gandikota, K. Moraes, S. Hung, N. Yoshida, C.-P. Chang // IEEE/SEMI Advanced Semiconductor Manufacturing Conference. San Francisco (USA), 2010. – P. 256-259.
26. Shaikh S. Ahmed, Saumitra Raj Mehrotra, SungGeun Kim, Matteo Mannino, Gerhard Klimeck, Dragica Vasileska, Xufeng Wang, Himadri Pal, Gloria Wahyu Budiman (2017), "MOSFet," – Режим доступа до ресурсу : <https://nanohub.org/resources/mosfet>.