

Міністерство освіти і науки України
Національний технічний університет України
"Київський політехнічний інститут імені Ігоря Сікорського"

Кафедра звукотехніки і реєстрації інформації

ВІРТУАЛЬНА ЦИФРОВА ЛАБОРАТОРІЯ

методичні рекомендації

до виконання віртуальних лабораторних робіт

з курсу

"Цифрова схемотехніка"

Методичні рекомендації до виконання віртуальних лабораторних робіт з курсу "Цифрова схемотехніка" для студентів спеціальностей "Телекомунікації" та "Акустотехніка" – видання 2 доповнене та перероблене / Укладач: В.В. Макаренко – Київ: ФЕЛ, НТУУ "КПІ імені Ігоря Сікорського", 2017. – 136 с.

Навчальне видання

Методичні рекомендації до виконання віртуальних лабораторних робіт з курсу "Цифрова схемотехніка"

Укладач: Макаренко Володимир Васильович, канд. техн. наук, доцент.

Відповідальний редактор Савченко Ю.Г, д.т.н., проф.

Рецензент: Петрищев О.М., д.т.н., проф.

ЗМІСТ

Від автора.....	7
Лабораторна робота №1	8
Проходження імпульсних сигналів через лінійні кола	8
Теоретичні відомості	8
Моделювання електронних пристроїв за допомогою програми NI Multisim	11
Мета роботи	16
Домашнє завдання	17
Порядок виконання роботи	17
Контрольні запитання	18
Звіт про виконання лабораторної роботи	18
Список літератури	18
Лабораторна робота №2	19
Електронні ключі	19
Теоретичні відомості	19
Статичні режими ключа	21
Режим вимикання	21
Способи прискорення перемикачів ключа	25
Транзисторні ключі в схемі з ЗБ	27
Транзисторні ключі на польових транзисторах	29
Моделювання роботи ключів за допомогою програми NI Multisim	30
Мета роботи	33
Домашнє завдання	34
Порядок виконання роботи	34
Контрольні запитання	35
Звіт про виконання лабораторної роботи	35
Список літератури	35
Лабораторна робота №3	36
Тригери	36
Теоретичні відомості	36
Тригери типу RS	43
Синхронний RS-тригер	46
Т-тригер	46
D-тригер	47
JK-тригер	49
RSD-тригер	50
RSJK-тригер	51
Мета роботи	55

Домашнє завдання	57
Порядок виконання роботи	57
Контрольні запитання	58
Звіт про виконання лабораторної роботи	58
Список літератури.....	59
Лабораторна робота №4	60
Лічильники імпульсів	60
Теоретичні відомості	60
Асинхронні лічильники	60
Реверсивний асинхронний лічильник	62
Синхронні лічильники	63
Недвійкові лічильники	64
Програмовані лічильники	66
Моделювання роботи лічильника за допомогою програми NI Multisim	67
Мета роботи	70
Домашнє завдання	72
Порядок виконання роботи	72
Контрольні запитання	73
Звіт про виконання лабораторної роботи	73
Список літератури	73
Лабораторна робота №5	74
Регістри	74
Теоретичні відомості	74
Паралельний регістр	74
Універсальний послідовно-паралельний регістр	76
Перетворювач паралельного коду в послідовний	77
Перетворювач послідовного коду в паралельний	79
Моделювання роботи регістра за допомогою програми NI Multisim	79
Мета роботи	81
Домашнє завдання	83
Порядок виконання роботи	83
Контрольні запитання	84
Звіт про виконання лабораторної роботи	84
Список літератури	85
Лабораторна робота №6	85
Одновібратори та мультівібратори	85
Теоретичні відомості	85
Одновібратор	85
Одновібратори на RS-тригерах	86
Одновібратори на логічних елементах	89

Мультивібратор на RS-тригері	90
Мультивібратор на RS-тригері з інверсними входами	92
Мультивібратор на логічних елементах	93
Мультивібратор на елементах КМОН	94
Моделювання роботи одновібратора за допомогою програми NI Multisim	95
Мета роботи	97
Домашнє завдання	99
Порядок виконання роботи	99
Контрольні запитання	100
Звіт про виконання лабораторної роботи	100
Список літератури	101
Лабораторна робота №7	102
Дешифратори та шифратори	102
Теоретичні відомості	102
Лінійний дешифратор	102
Прямокутний (матричний) дешифратор	104
Пірамідальний дешифратор	105
Дешифратор семисегментного коду	106
Шифратор	108
Моделювання роботи дешифратора за допомогою програми NI Multisim	110
Мета роботи	112
Домашнє завдання	114
Порядок виконання роботи	114
Контрольні запитання	115
Звіт про виконання лабораторної роботи	115
Список літератури	116
Лабораторна робота №8	116
Мультиплектори та демюльтиплектори	116
Теоретичні відомості	116
Демюльтиплектор	118
Моделювання роботи мультиплектора за допомогою програми NI Multisim	120
Домашнє завдання	123
Порядок виконання роботи	123
Контрольні запитання	124
Звіт про виконання лабораторної роботи	124
Список літератури	124
Лабораторна робота №9	125
Запам'ятовуючі пристрої	125
Теоретичні відомості	125
Оперативні запам'ятовуючі пристрої	127

Постійні запам'ятовуючі пристрої	128
Моделювання роботи ПЗП за допомогою програми NI Multisim	129
Мета роботи	135
Домашнє завдання	136
Порядок виконання роботи	136
Контрольні запитання	137
Звіт про виконання лабораторної роботи	137
Список літератури	137

ВІД АВТОРА

Методичні рекомендації містять описи та короткі теоретичні відомості до виконання лабораторних робіт з курсу "Цифрова схемотехніка".

Мета даного циклу лабораторних робіт закріпити теоретичні знання, отримані при вивченні лекційного матеріалу і пропрацювати рекомендовані літературні джерела; отримати навички роботи з програмою імітаційного моделювання NI Multisim і освоїти методику організації та проведення експериментів відповідно до поставленого завдання.

У методичних рекомендаціях в стислому вигляді наведені основні теоретичні відомості по розділам курсу, пов'язаними з лабораторними роботами, що проводяться.

Методичні рекомендації підготовлені з урахуванням вимог нормативно-правових актів, державних стандартів в області оформлення технічної і наукової документації.

ЛАБОРАТОРНА РОБОТА №1

Проходження імпульсних сигналів через лінійні кола

Теоретичні відомості

Коло, утворене лінійним резистором і конденсатором називається лінійним RC-колом. Залежно від способу включення елементів R і C розрізняють два кола – інтегруюче та диференціююче (рис. 1.1).

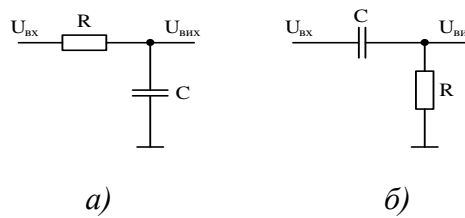


Рис. 1.1. Інтегруюче (а) та диференціююче (б) кола

Розглянемо реакцію RC кола при дії імпульсів прямокутної форми. Нехай на вхід RC-кола подається одиночний імпульс прямокутної форми (рис. 1.2). Для знаходження форм напруг $U_C(t)$, $U_R(t)$ на виході кола використовується метод, котрий полягає в тому, що вхідний прямокутний імпульс розкладають на дві елементарні напруги $U_{вх1}(t)$ і $U_{вх2}(t)$, що стрибкоподібно змінюються, визначають форму напруги на виході при дії цих елементарних напруг і далі методом накладання знаходять шукані напруги.

На рис. 1.3 наведені побудовані вказаним методом часові діаграми напруг $U_C(t)$ і $U_R(t)$ при різних співвідношеннях між постійною часу кола τ і тривалістю вхідного імпульсу t_i . З рис. 1.3,а виходить, що при малому в порівнянні з t_i значенні τ форма напруги на ємності $U_C(t)$ виявляється близькою до форми вхідних імпульсів $U_{вх}(t)$.

При $\tau/t_i < 0.03$ тривалість фронту напруги $U_C(t)$, рівна 3τ , виявляється меншою $t_i/10$ і форма вхідного імпульсу може вважатися практично прямокутною. При збільшенні τ/t_i тривалість фронту $U_C(t)$ росте і при $\tau/t_i > 0.3$ напруга $U_C(t)$ не встигає за час t_i зрости до стаціонарного значення. Форма $U_C(t)$ виявляється при цьому близькою до пилкоподібної. При подальшому збільшенні τ/t_i амплітуда напруги $U_C(t)$ зменшується.

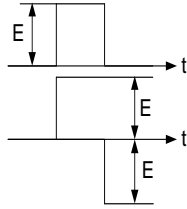


Рис. 1.2. Розкладання прямокутного імпульсу на дві стрибкоподібні дії

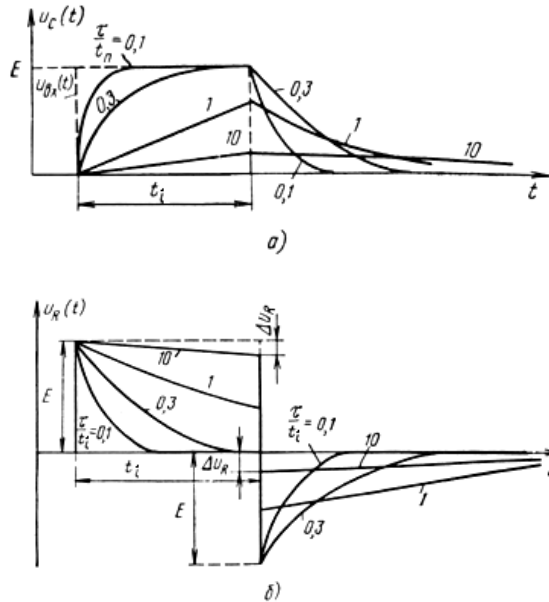


Рис. 1.3. Часові діаграми напруг на різних елементах RC-кола

З рис. 1.3,б слідує, що при великих значеннях τ/t_i форма напруги $U_R(t)$ на резисторі виявляється близькою до форми $U_{вх}(t)$. При цьому спостерігаються завал вершини імпульсу $U_R(t)$ і негативний викид після його закінчення. Величини завалу і негативного викиду зменшуються при збільшенні відношення τ/t_i . При малих значеннях відношення τ/t_i форма напруги $U_R(t)$ представляє собою два імпульси загостреної форми, початки яких співпадають за часом з перепадами вхідної напруги і мають полярність цих перепадів. Амплітуда імпульсів виявляється рівній амплітуді E вхідної напруги, а тривалість - 3τ .

Для випадку імпульсів, що періодично повторюються, з достатньо тривалою паузою між ними, коли перехідні процеси в RC колі, викликані дією попереднього імпульсу, встигають практично закінчитися до моменту приходу подальшого імпульсу, можна використовувати підхід використаний вище. У випадку, якщо постійна часу кола τ співставна або перевищує паузу між імпульсами, картина процесів відрізняється від розглянутої вище.

Припустимо, що у момент $t=0$ до RC кола підключається джерело напруги прямокутної

форми (рис. 1.4,а). Нехай напруга $U_C(t)=0$ при $t<0$, а величина τ значно перевищує період T повторення імпульсів. Під час першого імпульсу ємність C заряджається до деякої напруги. У паузі між першим і другим імпульсами ємність розряджається, проте на початок другого імпульсу вона не встигає розрядитися повністю і на ній залишається деяка напруга $U_C(t)$. Під час другого імпульсу ємність знову заряджається, але до більшого значення, чим під час першого імпульсу, а в паузі знов розряджається не повністю. Приріст напруги на ємності ΔU_k за час k -го імпульсу рівний

$$\Delta U_k = (E - U_{Ck-1})(1 - e^{-\frac{t_i}{\tau}}),$$

де U_{Ck-1} – напруга на ємності після закінчення $(k-1)$ -го періоду. Якщо, $\tau/t_i \ll 1$, то формула може бути переписана в наступному наближеному вигляді

$$\Delta U_k = (E - U_{Ck-1}) \frac{t_i}{\tau}.$$

За час паузи між k та $k+1$ імпульсами ємність розряджається на величину, що може бути розрахована за формулою

$$\Delta U_{pk} = (U_{Ck-1} + \Delta U_k)(1 - e^{-\frac{T-t_i}{\tau}}) \approx (U_{Ck-1} + \Delta U_k) \frac{T-t_i}{\tau}.$$

На початку процесу після включення генератора вхідної напруги величина напруги на ємності U_{Ck-1} мала і приріст напруги ΔU_k перевищує спад ΔU_{pk} . Тому від періоду до періоду напруга на ємності росте (рис. 1.4,б).

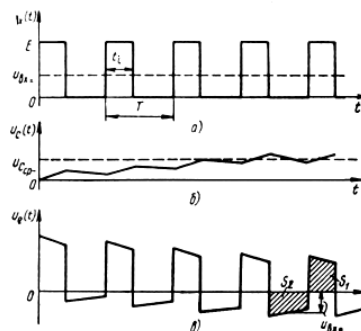


Рис. 1.4. Часові діаграми роботи розділового кола

Проте з часом у міру зростання напруги на ємності U_{Ck-1} різниця напруг $E-U_{Ck-1}$ і величина ΔU_k зменшуються, а значення ΔU_{pk} росте. Внаслідок цього після закінчення певного часу в колі встановлюється динамічна рівновага, при якій приріст напруги ΔU_k під час заряду рівний спаду ΔU_{pk} під час розряду. Середнє значення напруги на ємності в сталому режимі виявляється рівне постійній складовій вхідної напруги $U_{вх}$.

Розділові кола призначені для розділення постійної і змінної складової. Форма сигналу на виході такого кола повторює форму вхідного сигналу, але постійна складова вихідного сигналу рівна нулю. Вхідні сигнали можуть бути двох видів:

- без постійної складової;
- з постійною складовою.

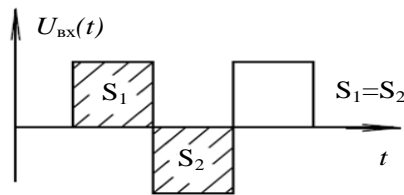


Рис. 1.5. Сигнал без постійної складової

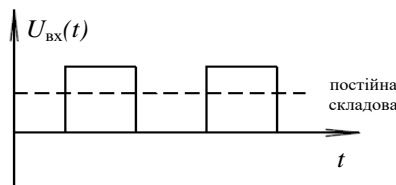


Рис. 1.6. Сигнал з постійною складовою

Постійна складова – це площа під кривою, що описує сигнал.

Головною умовою при розділенні сигналу є те, що площі, обмежені позитивними і негативними імпульсами повинні бути рівні.

Моделювання електронних пристроїв за допомогою програми NI Multisim

Розглянемо принцип моделювання за допомогою програми NI Multisim на прикладі моделювання інтегруючого та диференціюючого RC-кола.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

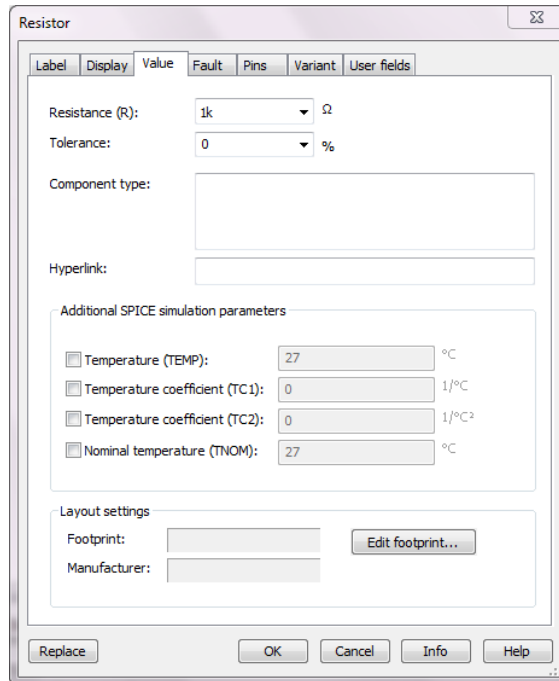


Рис. 1.10. Вікно налаштування параметрів елемента

Для того, щоб змінити колір проводу, необхідно клацнути на його зображення правою кнопкою “миші” і в меню, що відкрилося, вибрати пункт Color Segment (рис. 1.11). Зміна кольору проводу підключеного до осцилографа здійснюється з метою більшої інформативності часових діаграм на осцилограмі.

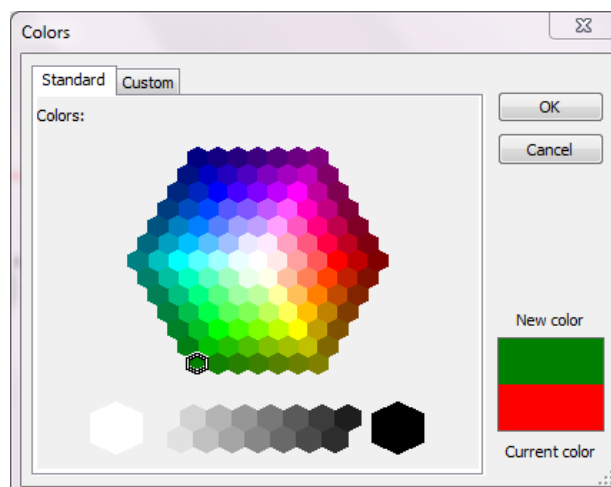


Рис. 1.11. Зміна кольору проводу

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із

зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.



Рис. 1.12. Запуск моделювання електричних кіл в програмі NI Multisim

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання (рис. 1.13). Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

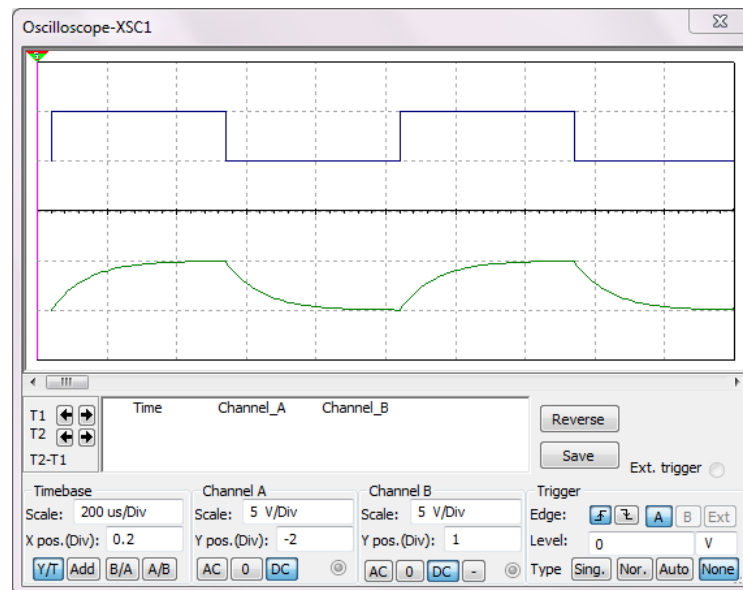
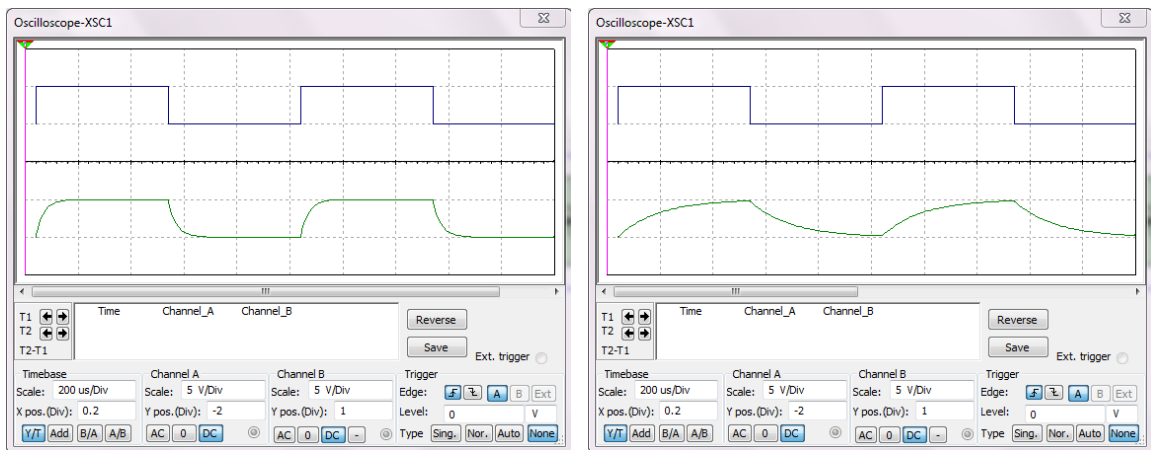


Рис. 1.13. Вікно осцилографа з часовими діаграмами на вході та виході інтегруючого RC-кола

На часові діаграми RC-кіл при дії імпульсних сигналів впливає постійна часу кола. Залежно від її значення час заряду конденсатора відрізнятиметься, а відповідно і часові діаграми будуть різні.

На рис. 1.14 наведені часові діаграми роботи інтегруючого RC-кола з різним значенням постійної часу кола. У обох випадках тривалість імпульсу складає 500 мкс. На рис. 1.14,а наведені часові діаграми інтегруючого RC-кола з постійною часу рівною 33 мкс, а на рис. 1.14,б – з постійною часу рівною 150 мкс.

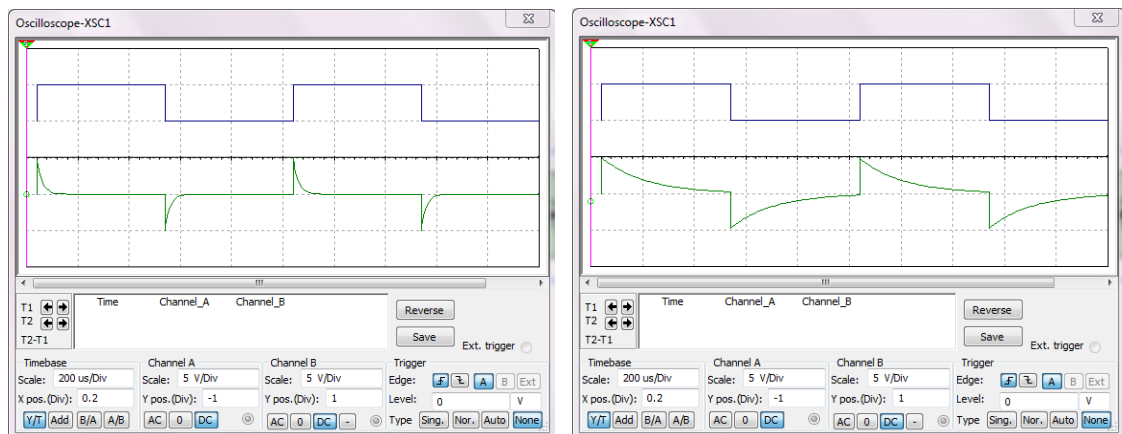


а)

б)

Рис. 1.14. Часові діаграми сигналів на виході інтегруючого RC-кола з постійною часу 33 мкс (а) та 150 мкс (б) при вхідному сигналі тривалістю 500 мкс

На рис. 1.15 наведені часові діаграми роботи диференціюючого RC-кола з різним значенням постійної часу кола. У обох випадках тривалість імпульсу складає 500 мкс. На рис. 1.15,а наведені часові діаграми диференціюючого RC-кола з постійною часу рівною 19.8 мкс. На рис. 1.15,б наведені часові діаграми диференціюючого RC-кола з постійною часу рівною 165 мкс.



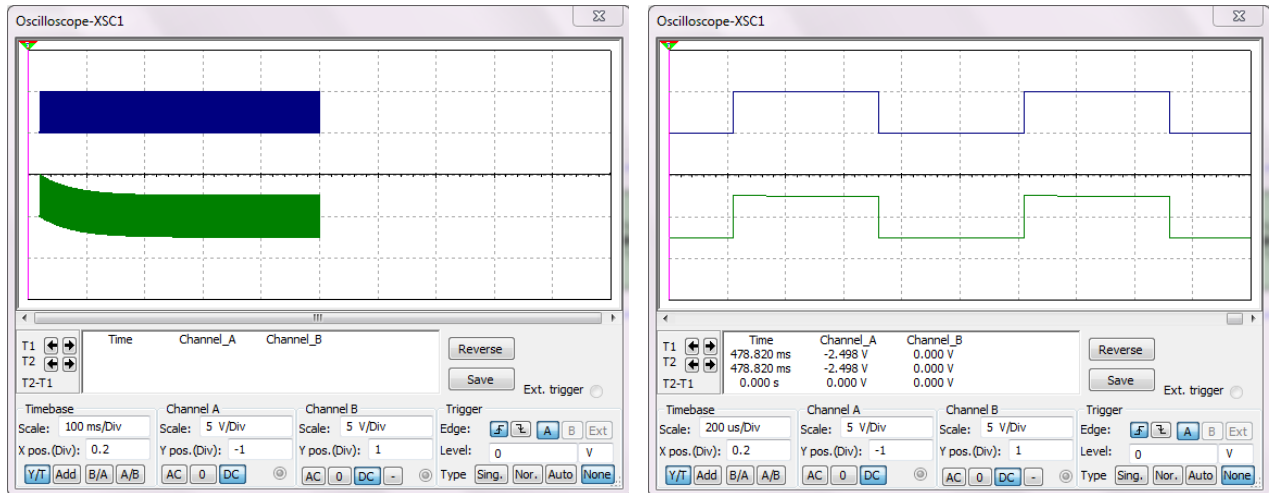
а)

б)

Рис. 1.15. Часові діаграми сигналів на виході диференціюючого RC-кола з постійною часу 19.8 мкс (а) та 165 мкс (б) при вхідному сигналі тривалістю 500 мкс

На рис. 1.16 наведені часові діаграми роботи розділового кола. На цих діаграмах "0" на виході зміщений на одну поділку вниз, а "0" на вході – на одну поділку вгору відносно нульової осі осцилографа. З рис. 1.16,а видно, що коло стає розділовим після деякого часу встановлення

динамічної рівноваги.



а)

б)

Рис. 1.16. Часові діаграми роботи розділового кола

Мета роботи

Дослідити зміну параметрів імпульсних сигналів при проходженні через RC-кола від характеристик цих кіл.

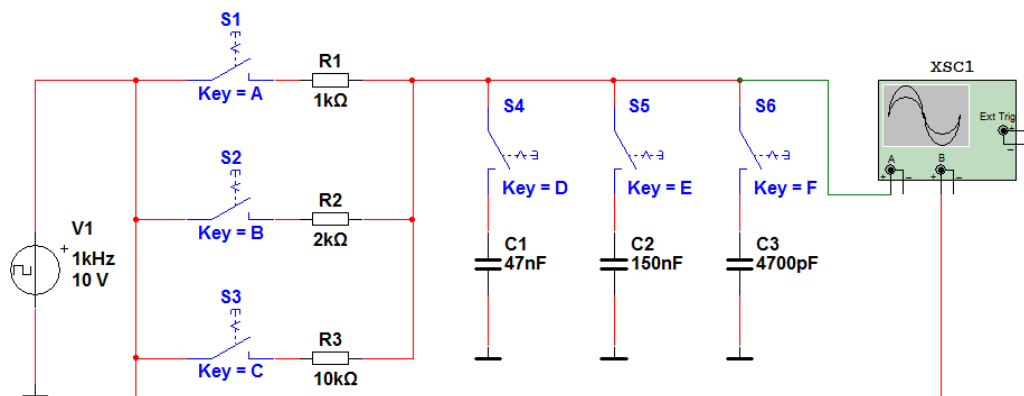


Рис. 1.17. Принципова схема моделі для дослідження інтегруючого RC-кола (01_integr_rc.ms10)

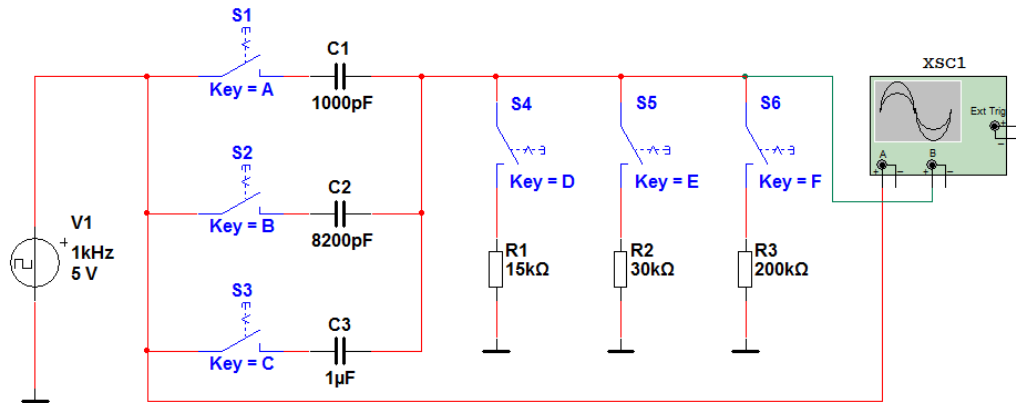


Рис. 1.18. Принципова схема моделі для дослідження диференціюючого RC-кола
(01_differ_rc.ms10)

Домашнє завдання

1. Вивчити роботу лінійних RC-кіл [1, с. 22-26; 2, с. 6-14].
2. Звернути увагу на відмінності функціонування розділових та диференціюючих кіл [1, с. 26-28].

Порядок виконання роботи

1. Для вивчення принципу роботи інтегруючого кола дослідити схему, зображену на рис. 1.17, яка міститься в файлі 01_integr_rc.ms10, у програмі NI Multisim. На вибір викладача встановити необхідну постійну часу кола використовуючи перемикачі. За допомогою осцилографа дослідити часові діаграми роботи інтегруючого RC-кола.

2. Для вивчення принципу роботи диференціюючого та розділового кіл дослідити схему, зображену на рис. 1.18, яка міститься в файлі 01_differ_rc.ms10, у програмі NI Multisim. На вибір викладача встановити необхідну постійну часу кола використовуючи перемикачі. За допомогою осцилографа дослідити часові діаграми роботи диференціюючого та розділового RC-кола.

3. Для вивчення принципу роботи диференціюючого кола з підключеним до джерела живлення резистором дослідити схему, зображену на рис. 1.19, яка міститься в файлі 01_differ_rc_r.ms10, у програмі NI Multisim. На вибір викладача встановити необхідну постійну часу кола використовуючи перемикачі. За допомогою осцилографа дослідити часові діаграми роботи диференціюючого кола з підключеним до джерела живлення резистором. Пояснити отримані часові діаграми.

Контрольні запитання

1. Чим відрізняється диференціююче та розділове кола?
2. Як виразити час заряду конденсатора через параметри елементів RC-кола?
3. Намалювати часові діаграми, що ілюструють роботу RC кола кожного типу.
4. Як впливають параметри елементів на постійну часу кола?
5. Як постійна часу кола впливає на часові діаграми RC-кола?
6. Яка умова повинна виконуватися, щоб диференціююче коло було розділове?
7. Пояснити вплив підключеного до джерела живлення резистора на часові діаграми роботи диференціюючого та розділового кола.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба вказати результати вимірювань.

Параметри які необхідно виміряти:

- тривалість фронту для інтегруючих кіл;
- тривалість спаду для інтегруючих кіл;
- мінімальний рівень сигналу;
- максимальний рівень сигналу;
- тривалість імпульсу на рівні 0,5 від максимального значення (для диференціюючих кіл)

У звіті навести розрахунки постійних часу для диференціюючих та інтегруючих кіл і виміряні для кожної постійної часу параметри. Навести схему інтегруючого кола і після неї нижче значення виміряних параметри. Аналогічно зробити для диференціюючого кола.

Пояснити яке повинне бути співвідношення між періодом слідування вхідного сигналу і постійною часу щоб диференціююче коло можна було вважати розділовим.

Список літератури

1. Гольденберг Л.М. Импульсные и цифровые устройства. Учебник для ВУЗов. М., "Связь", 1973. 496 с. с ил., табл., библи.
2. Зельдин Е.А. Импульсные устройства на микросхемах. – М.: Радио и связь, 1991. – 160 с.

ЛАБОРАТОРНА РОБОТА №2

Електронні ключі

Теоретичні відомості

Електронні ключі (ЕК) використовують в імпульсній техніці і цифровій техніці для комутації сигналів в різних електричних колах. Найчастіше ключові схеми виконують на транзисторах, діодах або тиристорах. Розрізняють два види ключів:

- транзисторні насичені ключі;
- аналогові ключі.

Для передачі або відключення аналогових сигналів в радіоелектронній апаратурі застосовують електронні аналогові ключі, які при подачі сигналу управління (найчастіше, це логічна одиниця) переходять в замкнутий або розімкнений стан. При замиканні ключа його внутрішній опір зменшується до значень $R_{\text{замкн.}} = 0,3 \dots 300 \text{ Ом}$ в ключах на біполярних транзисторах (БТ) і до значень $0,0003 \text{ Ом}$ в кращих ключах на польових транзисторах (ПТ). При цьому, в закритому стані вони мають опір близько $R_{\text{разомкн.}} = 50 \dots 500 \text{ кОм}$ для діодних ключів і ключів на БТ, і від 1 до 10 МОм для ключів на ПТ. У кращих ключах на ПТ з ізолюваним затвором опір розімкненого ключа може досягати 10^{12} Ом при використанні транзисторів з ізолюваним затвором.

Транзисторні насичені ключі використовуються для формування імпульсних сигналів різної амплітуди, для перетворення рівнів імпульсних сигналів і управління різними пристроями (наприклад, електромагнітними реле або світлодіодними індикаторами).

Розглянемо транзисторні ключові схеми на біполярних транзисторах типів n-p-n та p-n-p (рис. 2.1).

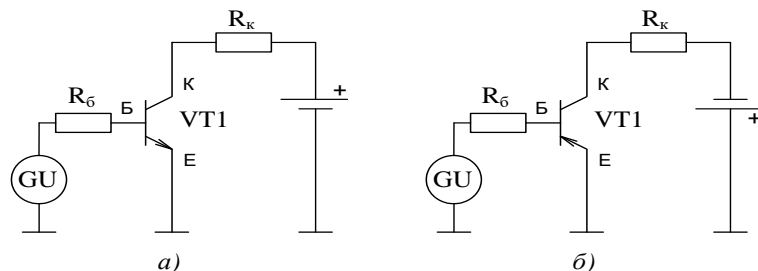


Рис. 2.1. Схеми включення біполярних транзисторів n-p-n (а) та p-n-p (б) провідності

В імпульсних пристроях використовуються всі основні схеми включення транзистора – ЗЕ (загальний емітер), ЗБ (загальна база) та ЗК (загальний колектор).

На рис. 2.2,а наведено сімейство типових вихідних характеристик і вхідну характеристику біполярного транзистора n-p-n (рис. 2.2,б).

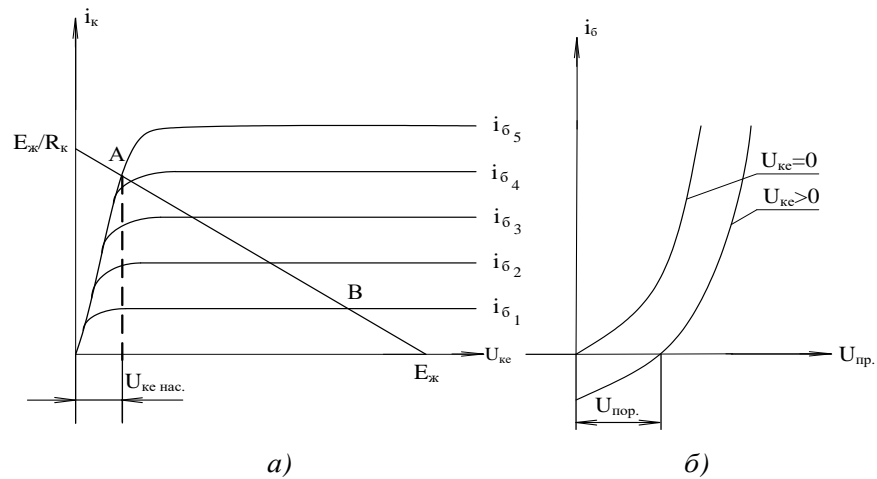


Рис. 2.2. Вихідна (а) та вхідна (б) характеристики біполярних транзисторів

Вихідні статистичні характеристики показують залежність струму колектора від струму бази і напруги між колектором та емітером транзистора $i_k = f(U_k, i_б)$. На цьому ж рисунку нанесена навантажувальна пряма АВ, котра відповідає рівнянню Кірхгофа для схеми ЗЕ:

$$E_ж = i_k R_k + |U_k|,$$

де $E_ж$ – напруга джерела живлення, i_k – струм колектора, R_k – опір колекторного резистора.

Координати (i_k, U_k) точок перетину навантажувальної прямої з характеристиками транзистора визначають режими схеми. На цьому ж рисунку приведена вхідна характеристика транзистора $i_б = f(U_бe, i_k)$. Розглянемо докладніше включення насиченого транзисторного ключа за схемою ЗЕ (рис. 2.3).

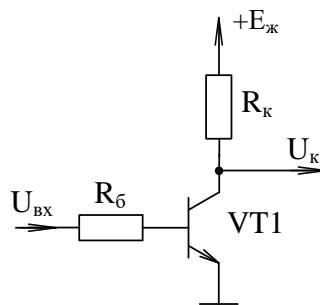


Рис. 2.3. Принципова схема насиченого транзисторного ключа

Ключ працює таким чином. Поки вхідна напруга $U_{вх.} < U_{пор.}$, де $U_{пор.}$ – порогова напруга транзистора, транзистор закритий і струм через перехід колектор-емітер (i_k) не протікає. Коли вхідна напруга стає більша порогової $U_{вх.} > U_{пор.}$ транзистор відкривається і струм колектора стає більше нуля (рис. 2.2). Щоб транзистор відкрився повністю, в базу потрібно ввести велике число неосновних носіїв заряду, на що потрібний певний час. При зменшенні вхідної напруги до величини менше $U_{пор.}$ транзистор закривається (замикається). При замиканні транзистора потрібний час для виводу з бази неосновних носіїв заряду. Через це відбувається запізнювання між моментом подачі вхідної дії і моментом відмикання (замикання) транзистора.

Статичні режими ключа

Розрізняють наступні режими роботи транзисторного ключа:

- режим включення – транзистор працює або в області насичення, або в активній області (рис. 2.4,а);
- режим виключення – транзистор закритий (рис. 2.4,б).

На рис. 2.4 позначення $r_{ке}$ відповідає опору переходу колектор емітер повністю відкритого транзистора.

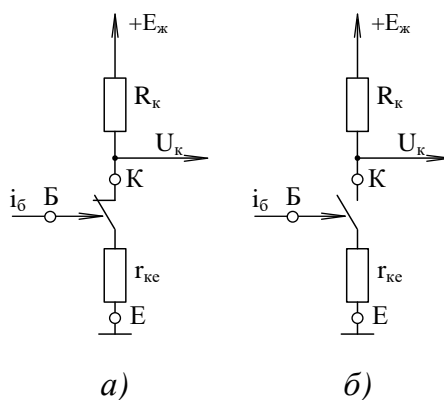


Рис. 2.4. Умовне позначення відкритого (а) та закритого (б) транзисторного ключа

Режим вимкнення

Транзистор буде вимкнений, якщо $U_{бe} \leq 0$ і $U_{бк} \leq 0$. Якщо зворотна напруга $U_{бe} = (3 \dots 5)\varphi_T$, де φ_T – температурний потенціал, рівний $\varphi_T = 0,026$ В при $T = 20$ °С для германієвих транзисторів і $\varphi_{Ткр} \approx 0,05$ В для кремнієвих, то цей режим називається режимом глибокої відсічки.

Режим ввімкнення

Емітерний перехід зміщується в прямому напрямі, і через його електроди протікають прямі струми. Розрізняють активну область і область насичення ввімкненого транзистора.

У активній області емітерний перехід зміщений в прямому напрямі, а колекторний – в зворотному, тобто $U_{бe} > 0$ і $U_{бк} < 0$.

Для схеми з ЗЕ

$$i_k = \beta i_b + (\beta + 1) I_{к0},$$

де β – статичний коефіцієнт передачі струму в схемі з ЗЕ; $I_{к0}$ – тепловий струм колектора при обриві емітера або некерований струм колектора.

Для схеми з ЗБ

$$i_k = \alpha i_b + I_{к0},$$

де $\beta = \alpha / (1 - \alpha)$.

Таким чином, в активній області струм колектора лінійно залежить від керуючого струму бази (струму емітера для схеми з ЗБ). В області насичення обидва переходи транзистора зміщені в прямому напрямі. Струми насичення колектора і бази визначаються співвідношеннями

$$i_{кн} = \frac{E_{ж} - |U_{кн}|}{R_k},$$

$$i_{б.н.мін} = \frac{i_{кн}}{\beta},$$

де $i_{б.н.мін}$ – мінімальний струм насичення бази.

Напруга $U_{кн}$ зменшується із зростанням β і складає приблизно декілька сотень мілівольт. Напруга насичення бази $U_{бн}$ складає 0,2...0,4 В для германієвих транзисторів і 0,7...1,1 В для кремнієвих (як правило для малопотужних транзисторів вона складає 0,7 В). Форма сигналу на вході і виході транзисторного ключа наведена на рис. 2.5. Напруга на переході колектор-емітер відкритого транзистора називається напругою насичення і позначається $U_{ке нас}$ або $U_{кн}$.

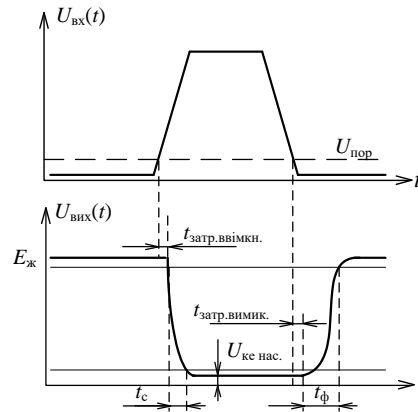


Рис. 2.5. Напряга на вході та виході транзисторного ключа

Підвищити швидкодію ключа можна збільшивши струм бази більше, ніж $i_{б.н.мін}$. Це пояснюється тим, що чим більше струм i_b , тим швидше транзистор переходить у відкритий стан, і тим швидше відбувається зростання фронту імпульсу колекторного струму. Але при значному збільшенні струму бази зростає ступінь насичення транзистора, а це збільшує тривалість перехідних процесів при виключенні транзистора і, крім того, помітно збільшується потужність, що розсіюється у вхідному колі. По-цьому, слід шукати компроміс по мірі насичення транзистора і швидкості відкриття ключа.

Ступінь насичення транзистора показує у скільки разів реальний струм бази більше того мінімального значення струму бази, який необхідний для забезпечення режиму насичення транзистору.

В режимі насичення струм колектора не залежить від струму бази. Навіть якщо збільшити струм бази, струм колектора не збільшується. Для оцінки ступеня насичення вводиться параметр $q_{нас}$.

$$q_{нас} = \frac{i_b}{i_{б.нас.мін}} = \frac{(U_{вх} - U_{бс}) / R_b}{U_{ж} / R_k}$$

На межі насичення $q_{нас}=1$, тобто $i_b=i_{б.н.мін}$. Із збільшенням $q_{нас}$ збільшується навантажувальна здатність ключа (тобто до виходу ключа можна підключити коло, що має менший опір), зменшуються впливи дестабілізуючих чинників на вихідні параметри ключа. Проте збільшення $q_{нас}$ приводить до збільшення часу вимикання, тобто погіршення швидкодії ключа, як було відмічене вище.

У зв'язку з великим діапазоном зміни значень β у різних екземплярів транзисторів умови насичення повинні виконуватися для транзисторів з мінімальними значеннями β , приведених в

довіднику. Тоді ключ буде працювати в режимі насичення при установці транзистора з будь-яким значенням статичного коефіцієнта підсилення по струму β .

У режимі ввімкнення виконуються умови $U_{б\epsilon} > 0$ і $U_{бк} > 0$. Процес ввімкнення та вимикання транзистора відбувається із затримкою $t_{затр.ввімкн.}$ і $t_{затр.вимик.}$. Час затримки пояснюється тим, що для введення в базу і виводу з бази неосновних носіїв заряду необхідний час (рис. 2.5).

Інакше це можна пояснити таким чином. Вхідна ємність транзистора з резистором у колі бази утворюють інтегруюче коло. Щоб транзистор відкрився необхідно зарядити ємність до напруги приблизно рівній 0,7 В (для кремнієвих транзисторів), а для цього потрібен час. Чим більше струм заряду (менше значення опору резистора у колі бази) тим швидше заряджається конденсатор.

Це добре видно з осцилограм сигналів, наведених на рис. 2.6.

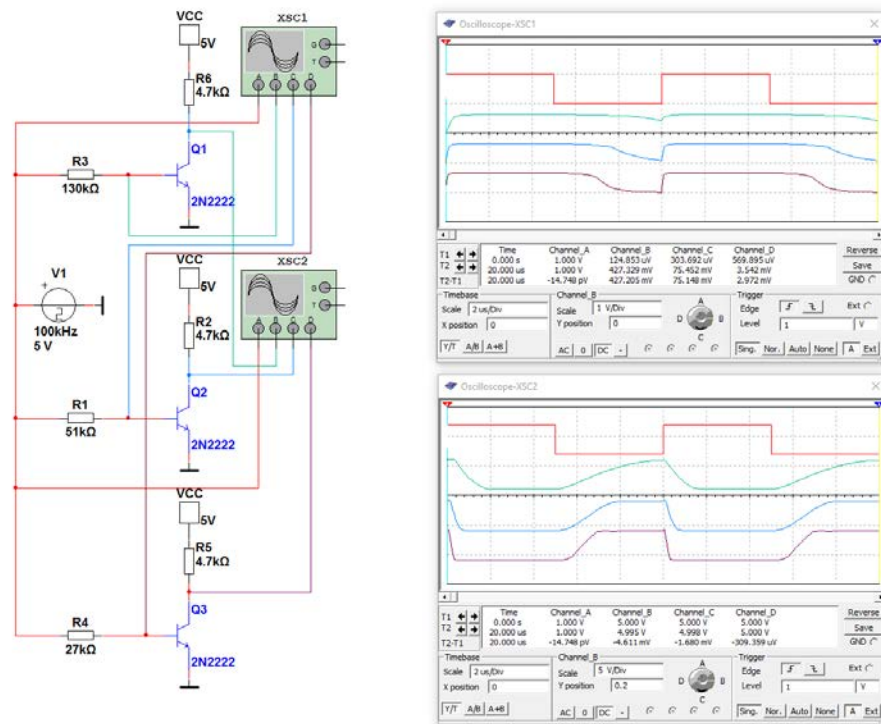


Рис. 2.6. Схема та часові діаграми сигналів транзисторних ключів з різним ступенем насичення

На схемі (рис. 2.6) наведено схему трьох ключів у схемі з ЗЕ з різним ступенем насичення $q_{нас}$, а також осцилограми сигналів на базах (верхній осцилограф) та колекторах (нижній осцилограф) транзисторів. Для ключа на транзисторі Q1 $q_{нас}=1$, для Q2 – $q_{нас}=2,5$, а для Q3 – $q_{нас}=5$. Аналіз осцилограм показує, що збільшення ступеню насичення призводить до зростання швидкості перемикавання ключа.

Способи прискорення перемикання ключа

Як було сказано вище процес ввімкнення і вимикання транзистора відбувається з деякою затримкою $t_{затр}$. Розглянемо способи зменшення цього часу. Перший спосіб полягає в прискоренні введення і виведення неосновних носіїв заряду, а другий – в зменшенні ступеня насичення транзистора.

Для зменшення часу необхідного для насичення бази неосновними носіями заряду (або виводу з бази неосновних носіїв заряду) необхідно паралельно базовому резистору підключити додатковий конденсатор $C_{дод}$ (рис. 2.7).

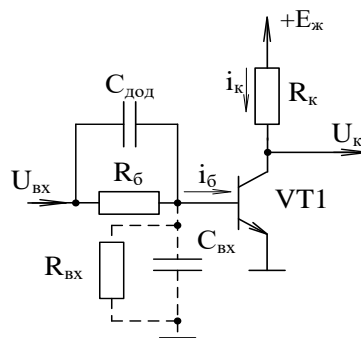


Рис. 2.6. Транзисторний ключ з прискорюючою ємністю

Це приведе до того, що базовий струм складатиметься з двох складових:

- перша складова визначається струмом, що протікає через базовий резистор і вхідну ємність транзистора $C_{вх}$ (інтегруюче коло);
- друга складова визначається струмом, що протікає через конденсатор $C_{дод}$ і вхідний опір транзистора $R_{вх}$ (диференціююче коло).

Струми підсумовуються на вхідному опорі транзистора і процеси заряду і розряду вхідної ємності прискорюються. Скорочення часу ввімкнення здійснюється завдяки збільшенню відкриваючого струму бази при подачі позитивного перепаду напруги на вхід транзистора. Щоб прискорити розсмоктування неосновних носіїв необхідно подати в базу струм зворотного знаку у момент негативного перепаду вхідної напруги. Ці процеси реалізуються завдяки наявності диференціюючого кола, що складається з $C_{дод}$ і $R_{вх}$.

Ці процеси ілюструються осцилограмами на рис. 2.8.

Порівнюючи осцилограми на базі ключа без $C_{дод}$ (зелена на верхньому осцилографі) та з ємністю (зелена на нижньому осцилографі) можна зробити висновок, що швидкість зміни

напруги на базі транзистора з $C_{\text{дод}}$ набагато вища ніж без неї. Як наслідок і напруга на колекторі змінюється набагато швидше.

Для того, щоб зменшити ступінь насичення бази транзистора неосновними носіями заряду використовують діоди (найчастіше діоди Шоттки, у яких $U_{\text{пр}} \leq 0,5 \text{ В}$ і малий час перемикування), включаючи їх у зворотному напрямі між базою і колектором, як показано на рис. 2.9.

За наявності VD1 ($U_{\text{бе нас.}} = U_{\text{прVD1}} + U_{\text{ке нас.}}$) зайві заряди будуть перетікати з бази через відкритий перехід колектор-емітер на загальний провід. Оскільки $U_{\text{прVD1}} \leq 0,5 \text{ В}$, а напруга $U_{\text{ке нас.}} \leq 0,1 \text{ В}$, то максимальна напруга на базі транзистора не перевищуватиме $0,6 \text{ В}$. При відсутності діода величина напруги $U_{\text{бе}}$ може досягати $1 \dots 1,1 \text{ В}$. Отже підключення діода зменшує ступінь насичення транзистора і, як наслідок, час його вимкнення.

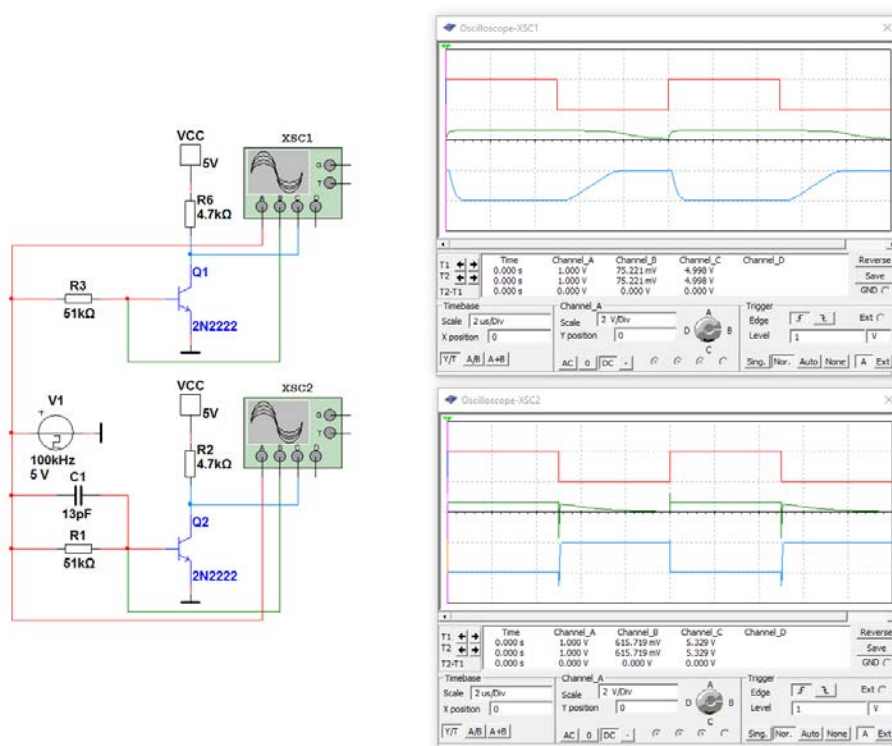


Рис. 2.8. Схеми ключів без і з прискорюючою ємністю та осцилограми сигналів на базах та колекторах транзисторів

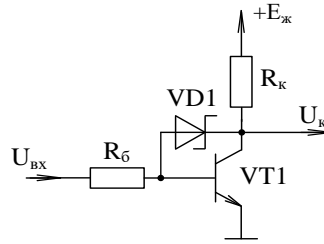


Рис. 2.9. Схема ключа з діодним обмежувачем ступеня насичення транзистора

Ефективність використання обмежувачого діода ілюструє рис. 2.10.

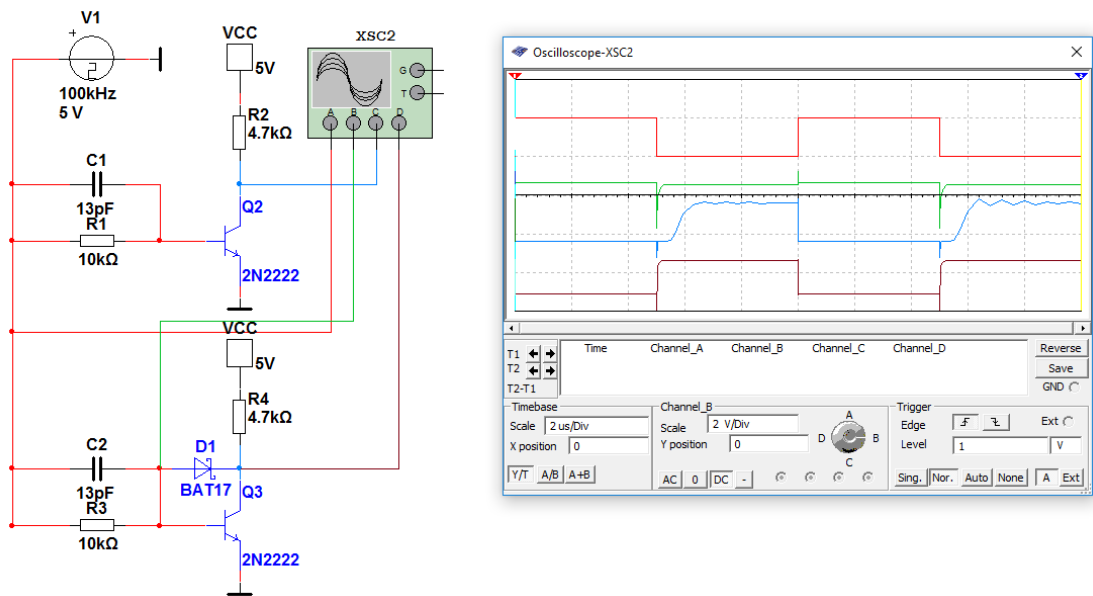


Рис. 2.10. Ключі з прискорюючою ємністю без обмежувачого діода і з діодом та осцилограми сигналів у схемі

Порівнюючи осцилограми сигналів на виході ключів можна зробити висновок про те, що використання діода для обмеження ступеня насичення може бути досить ефективним.

Транзисторні ключі в схемі з ЗБ

Основна особливість транзисторного ключа ЗБ полягає в тому, що керуючим струмом є струм емітера i_e . На рис. 2.11 показані схеми транзисторного ключа ЗБ з транзисторами різної провідності.

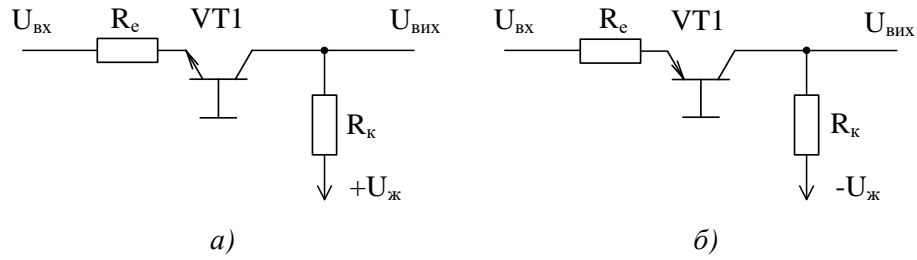


Рис. 2.11. Принципова схема транзисторного ключа ЗБ з транзистором n-p-n (а) та p-n-p (б) провідності

Розглянемо принцип роботи транзисторного ключа ЗБ з транзистором n-p-n типу (рис. 2.8,а). Якщо $|U_{ВХ}| \leq |U_{пор}|$, то транзистор $VT1$ закритий, а якщо $|U_{ВХ}| \geq |U_{пор}|$, то транзистор відкритий. При відмиканні транзистора $VT1$ через перехід колектор-емітер протікає струм, на резисторі R_k падає напруга і як наслідок на виході напруга зменшується. При замиканні транзистора $VT1$ струм через перехід колектор-емітер не протікає і як наслідок напруга на виході рівна напрузі живлення $U_{ж}$. Залежно від співвідношення R_k і R_e можна отримати різну вихідну напругу. В даному випадку вважатимемо, що $R_k \gg R_e$ і $U_{ВНХ} = 0$ для відкритого транзистора $VT1$.

На рис. 2.12 показані часові діаграми роботи транзисторного ключа ЗБ з транзистором n-p-n типу (рис. 2.11,а), а на рис. 2.13 – p-n-p типу (рис. 2.11,б).

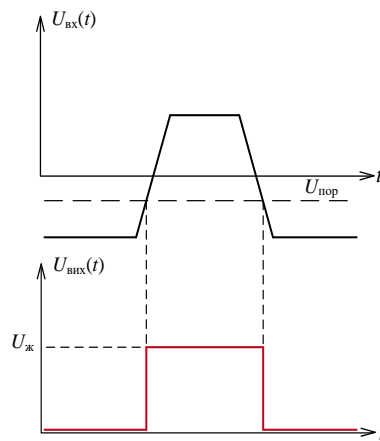


Рис. 2.12. Часові діаграми роботи транзисторного ключа ЗБ з транзистором n-p-n типу

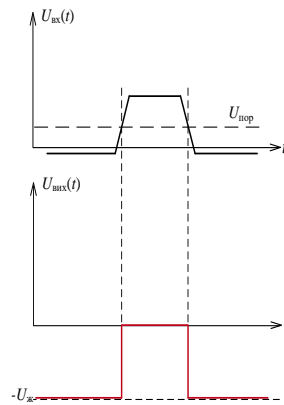


Рис. 2.13. Часові діаграми роботи транзисторного ключа ЗБ з транзистором р-п-р типу

Для транзисторного ключа із загальною базою характерні дві властивості:

- фаза вхідного і вихідного сигналу співпадає;
- полярність вхідного і вихідного сигналу протилежні.

Транзисторні ключі на польових транзисторах

Польовий транзистор – уніполярний напівпровідниковий прилад, струм в якому обумовлений тільки вільними основними носіями в провідному каналі між двома електродами – витоком і стоком. Провідність каналу модулюється поперечним (перпендикулярним напрямку струму) електричним полем, що створюється за допомогою керуючого електрода – затвора. Розрізняють два класи польових транзисторів: з керуючим р-п-переходом і з ізольованим затвором. Польові транзистори з ізольованим затвором, у свою чергу, поділяються на МДН-транзистори (транзистор із структурою метал – діелектрик – напівпровідник) з вбудованим провідним каналом і МДН-транзистори з індукованим каналом.

На рис. 2.14 показані приклади принципових схем ключів на МДН-транзисторах.

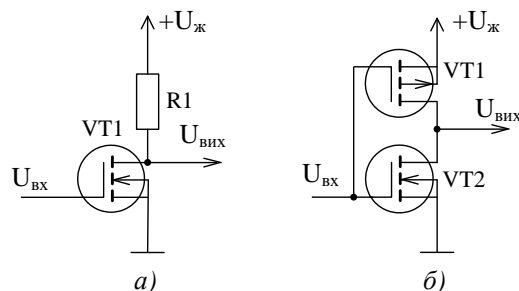


Рис. 2.14. Принципові схеми ключів на МДН-транзисторах з лінійним резистором в навантаженні (а) та з МДН-транзистором в навантаженні (б)

Моделювання роботи ключів за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельуємо роботу ключів при різних способах прискорення перемикавання ключа. Для цього дослідимо принципові схеми транзисторного ключа з прискорюючою ємністю та з діодним обмежувачем ступеня насичення транзистора.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми. При підключенні джерел живлення слід врахувати, що джерело додатної напруги позначається як VCC, а від’ємної – VEE.

Для того, щоб побачити результати моделювання, необхідно скористатися осцилографом. Для розміщення осцилографа досить клацнути лівою кнопкою “миші” на піктограмі осцилографа на панелі приладів (рис. 1.8).

Слідуючи вище описаним діям, дослідимо модель транзисторного ключа з прискорюючою ємністю та з діодним обмежувачем ступеня насичення транзистора (рис. 2.15), яка міститься в файлі 02_zagal_emiter.ms10. У цій моделі транзистор підключений в схемі з загальним емітером (ЗЕ).

Розрахуємо номінали резисторів для ступеню насичення $q_{нас}=1$. Для транзисторного ключа в схемі з ЗЕ $i_k \approx \beta \cdot i_b$, звідси слідує, що $i_b \geq \frac{i_{kmax}}{\beta}$. У схемі на рис. 2.15 використовується транзистор 2N3904 із статичним коефіцієнтом передачі струму $\beta_{max} = 30...300$.

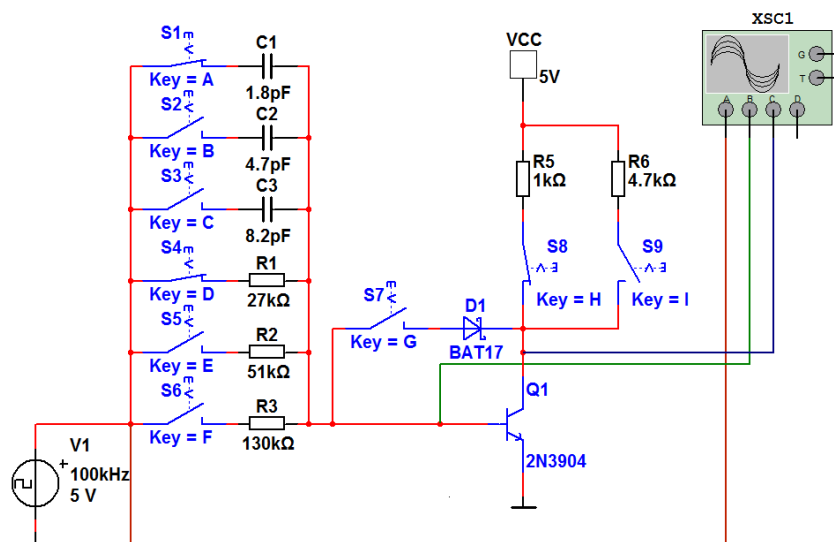


Рис. 2.15. Принципова схема моделі транзисторного ключа у схемі з загальним емітером (02_zagal_emiter.ms10)

Щоб знайти значення коефіцієнта β , який у h-параметрах Multisim позначається як hFE, достатньо при виборі транзистора з бібліотеки елементів натиснути на кнопку Detail Report і у вікні що відкриється (рис. 2.16) знайти параметри hFE(min) і hFE(max). З рис. 2.16 видно, що hFE(min) = 30, а hFE(max) = 300.

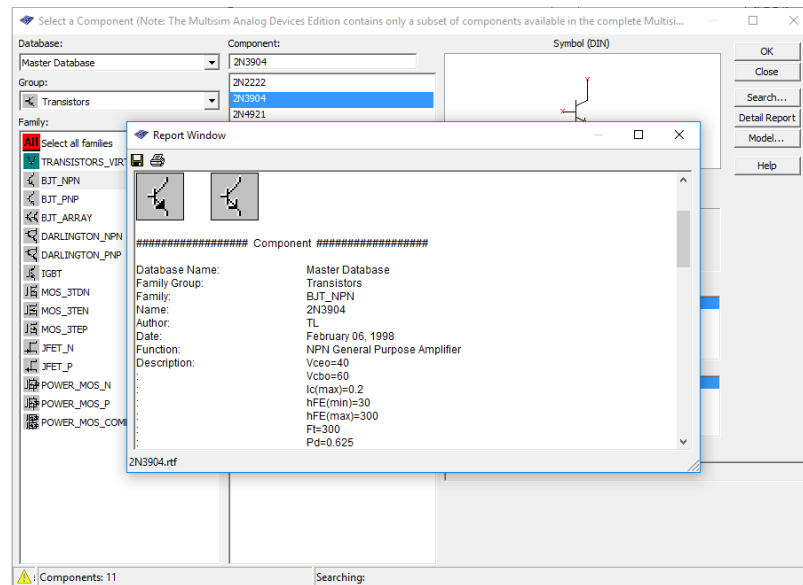


Рис. 2.16. Вікно параметрів транзистора 2N3904

Прийmemo значення опору колекторного резистора $R_k = 4,7 \text{ кОм}$ і розрахуємо значення опору базового резистора. Падіння напруги на переході колектор-емітер відкритого транзистора (зважаючи на його малу величину) будемо ігнорувати для спрощення розрахунків. Отримаємо

$$i_k = \frac{U_{ж}}{R_k} = \frac{5 \text{ В}}{4,7 \text{ кОм}} = 1,06 \text{ мА}$$

$$i_{б\text{min}} \geq \frac{1,06 \text{ мА}}{300} = 3,53 \text{ мкА},$$

$$i_{б\text{max}} \geq \frac{1,06 \text{ мА}}{35} = 30,3 \text{ мкА},$$

Тоді опір бази

$$R_6 \geq \frac{U_{\text{вх}} - U_{\text{бс}}}{i_{\text{б,мак}}} = \frac{(5 - 0,7) \text{ В}}{30,3 \cdot 10^{-6}} = 141 \cdot 10^3 \text{ Ом.}$$

Згідно з отриманими результатами приймаємо максимальне значення опору бази $R_6 = 130 \text{ кОм}$ (найближчий номінал з ряду номінальних значень E24, що забезпечує необхідний струм). Але таке значення опору не забезпечує швидке відкривання ключа. Тому у моделі передбачена можливість змінювати опір базового резистора за допомогою ключів S4...S6. Колекторний резистор можна перемикає за допомогою ключів S8 та S9, а прискорюючу ємність – ключами S1...S3. Діод обмежувач ступінь насичення вмикається ключем S7.

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

Мета роботи

Ознайомитися з принципом роботи електронних ключів побудованих за різними схемами.

Принципові схеми моделей для дослідження ключів на біполярних транзисторах у схемі з загальною базою наведені на рис. 2.17 і 2.18, а на МДН-транзисторах – на рис. 2.19.

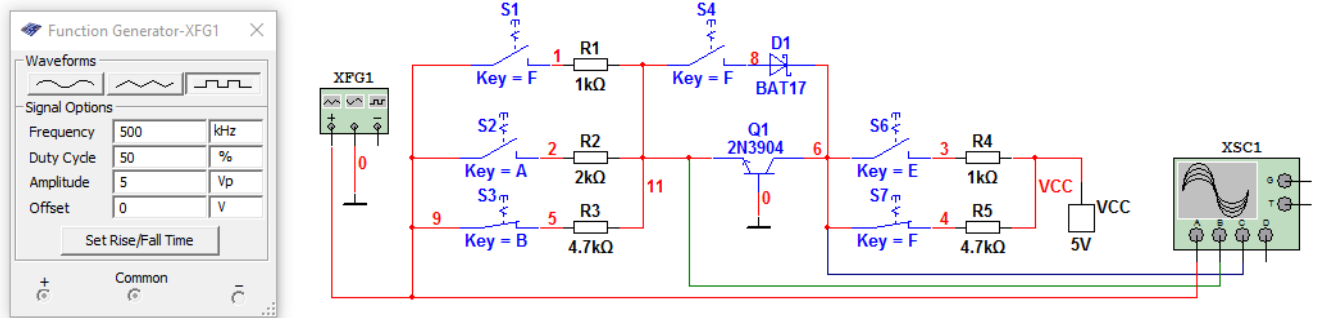


Рис. 2.17. Принципова схема моделі для дослідження електронних ключів побудованих за схемою з ЗБ (02_zagal_baza_pnp.ms10) на транзисторах pnp

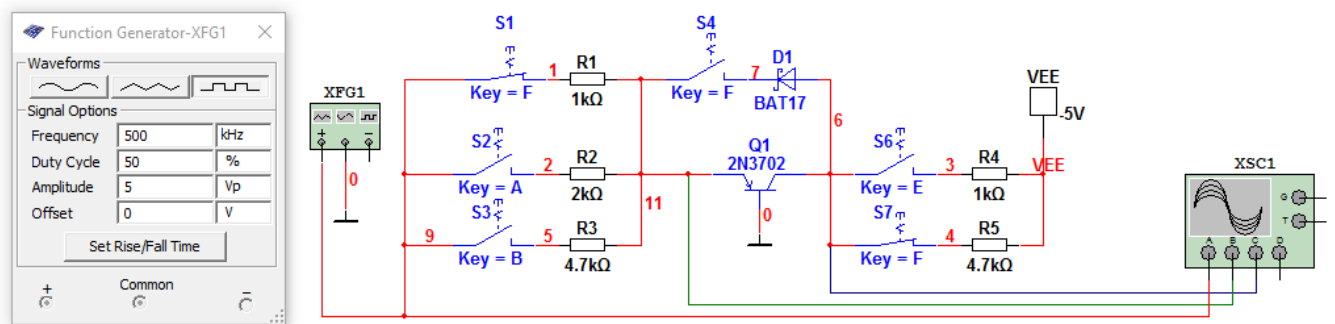


Рис. 2.18. Принципова схема моделі для дослідження електронних ключів побудованих за схемою з ЗБ (02_zagal_baza_pnp.ms10) на транзисторах pnp

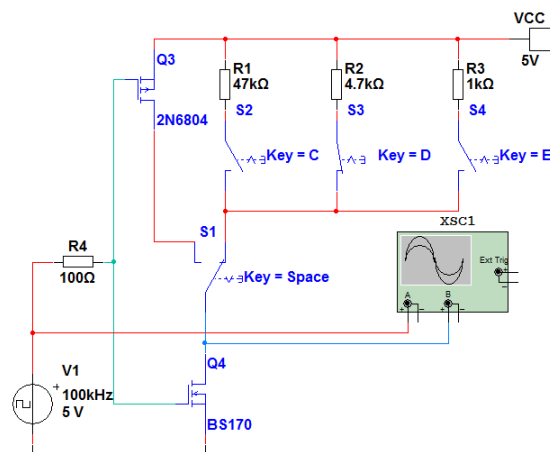


Рис. 2.19. Принципова схема моделі для дослідження електронних ключів побудованих на МДН-транзисторах (02_mdp_tranz.ms10)

Домашнє завдання

1. Ознайомитись з прикладами вхідних та вихідних характеристик біполярного транзистора [2, с. 19-29].
2. Вивчити принцип роботи електронних ключів [1, с. 83-100].
3. Вивчити основні особливості електронних ключів побудованих на біполярних транзисторах та способи прискорення їх перемикавання [1, с. 83-100].
4. Вивчити основні особливості електронних ключів побудованих на польових транзисторах [1, с. 179-186].

Порядок виконання роботи

1. Для вивчення принципу роботи електронних ключів побудованих за схемою з ЗЕ дослідити схему, зображену на рис. 2.15, яка міститься в файлі 02_zagal_emiter.ms10, у програмі NI Multisim. Комбінуючи опір бази і колектора за допомогою перемикачів, а також по черзі підключаючи різну ємність і діодний обмежувач ступеня насичення транзистора, дослідити вплив цих елементів схеми на параметри транзисторного ключа в схемі з ЗЕ. За допомогою осцилографа дослідити часові діаграми роботи даного кола. Пояснити отримані результати. Встановити частоту вхідних імпульсів рівну $f = 1\text{кГц}$. Повторити дослід на цій частоті. Пояснити отримані результати порівнявши осцилограми отримані на більш високій частоті.

2. Виміряти тривалість фронту та спаду сигналу на виході ключа та час затримки для одного з варіантів комбінації ключів. Пояснити які елементи схеми впливають на ці параметри.

3. Для вивчення принципу роботи електронних ключів побудованих за схемою з ЗБ дослідити моделі, наведені на рис. 2.17 (файл 02_zagal_baza_npn.ms10) та 2.18 (файл 02_zagal_baza_pnp.ms10). За допомогою перемикачів змінити опір колектора і емітера. За допомогою осцилографа дослідити часові діаграми роботи цих кіл. Пояснити отримані результати. Встановити частоту вхідних імпульсів рівну $f = 1\text{кГц}$. Повторити дослід на цій частоті. Пояснити отримані результати.

4. Для вивчення принципу роботи електронних ключів побудованих на МДН-транзисторах дослідити схему, зображену на рис. 2.19, яка міститься в файлі 02_mdp_tranz.ms10. Змінюючи положення перемикача S1 дослідити два варіанта схеми електронного ключа, побудованого на МДН-транзисторах. За допомогою перемикачів S2...S4 змінювати опір резистора в навантаженні транзисторного ключа. За допомогою осцилографа дослідити часові діаграми роботи цих кіл. Пояснити отримані результати.

Контрольні запитання

1. Які функції виконують електронні ключі?
2. Чи можна використати електронний ключ для зміни амплітуди вхідного сигналу?
3. Чи можна використати електронний ключ для зміни полярності напруги на його виході по відношенню до полярності напруги на його вході?
4. Які способи прискорення перемикачання ключа існують? Навести приклади принципових схем.
5. Які основні властивості транзисторного ключа в схемі з ЗБ?
6. Чи змінюється фаза сигналу у ключах з ЗБ? Якщо змінюється то наскільки?
7. Чи змінюється фаза сигналу у ключах з ЗБ? Якщо змінюється то наскільки?
8. Чи вносить транзисторний ключ затримку у сигнал? Якщо вносить то чому?

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба вказати результати вимірювань для того варіанту схеми, який ви оберете. Вимірювання провести для схем з загальним емітером, загальною базою для транзисторів типу ррп та рпр, для ключа на МДН-транзисторі.

Параметри які необхідно виміряти:

- тривалість фронту;
- тривалість спаду;
- мінімальний рівень сигналу;
- максимальний рівень сигналу;
- затримку фронту сигналу;
- затримку спаду сигналу.

У звіті навести варіанти схем з якими проводяться вимірювання (без перемикачів та елементів які не використовуються). Після схеми навести виміряні параметри.

Список літератури

1. Гольденберг Л.М. Импульсные и цифровые устройства. Учебник для вузов. М., "Связь", 1973. 496 с. с ил., табл., библи.
2. Лаврентьев Б.Ф. Аналоговая и цифровая электроника: Учебное пособие. – Йошкар-Ола: МарГТУ, 2000. – 155с.

ЛАБОРАТОРНА РОБОТА №3

Тригери

Теоретичні відомості

Переважає більшість цифрових пристроїв поєднують функції з переробки та зберігання інформації. У арифметичних і логічних пристроях для зберігання інформації найчастіше використовують *тригери* - пристрої з двома (чи більше) стійкими станами виходу, що містять елементарну запам'ятовуючу комірку (тригер), та схему управління, яка перетворює інформацію, що надходить, в комбінацію сигналів, діючих безпосередньо на входи елементарної запам'ятовуючої комірки. Тригери здатні під дією зовнішніх (керуючих, перемикаючих) сигналів перемикатися у будь-який з цих станів і знаходитися в них скільки завгодно довго після припинення їх дії.

Узагальнюючу схему тригерного пристрою (надалі просто тригера) можна представити у вигляді, показаному на рис. 3.1, де x_1, \dots, x_n - інформаційні входи; C_1, \dots, C_m - входи синхронізації, або тактові входи; V_1, \dots, V_k - входи керування; R_y, S_y - входи встановлення; S, R - інформаційні входи елементарної запам'ятовуючої комірки; Q, \bar{Q} - виходи.

Комутаційні входи використовуються для зовнішніх з'єднань в програмованих універсальних тригерах. У реальних схемах тригерів деякі вхідні сигнали і зв'язки, показані на рис. 3.1, можуть бути відсутні, а в простих тригерах може не бути схеми керування.

Для інформаційних входів прийняті наступні позначення: S (Set - встановлення) - вхід для роздільного встановлення тригера в стан "1" ($Q=1, \bar{Q}=0$); R (Reset - скидання) - вхід для роздільного встановлення тригера в стан "0" ($Q=0, \bar{Q}=1$); T (Toggle - релаксатор) - Лічильний вхід тригера; J (Jerk - раптове ввімкнення) - вхід для роздільного встановлення тригера в стан "1" в універсальному JK-тригері; K (Kill - раптове вимкнення) - вхід для роздільного встановлення тригера в стан "0" в універсальному JK- тригері; D (Data - дані, Delay - затримка, Drive - передача) - інформаційний вхід для встановлення тригера в стан "0" або "1"; V (Valve - клапан, вентиль) - вхід керування для дозволу прийому або інформаційних, або тактових сигналів; тактовий вхід C (Clock - первинне джерело сигналів синхронізації) дозволяє схемі керування запис інформації в тригер.

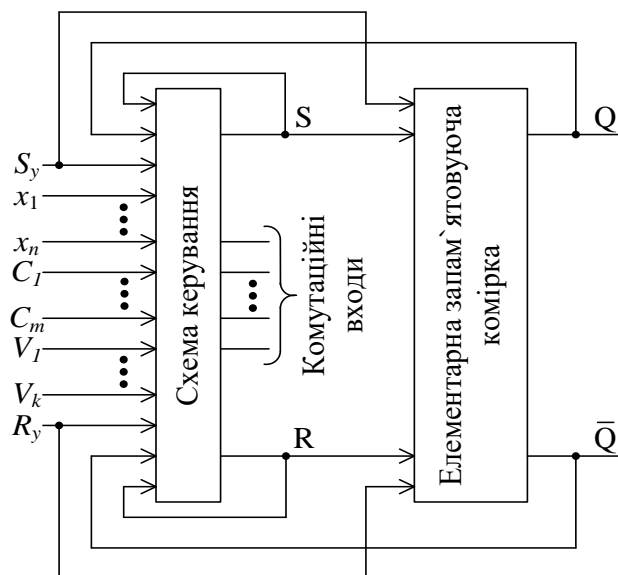


Рис. 3.1. Узагальнена схема тригерного пристрою

Якщо у тригера тільки два стійкі стани, то вони називаються бістабільними. При цьому кожен стан легко помітний по рівнях напруги на його виходах. Бістабільні тригери, як правило, мають два виходи (плеча), хоча про стан тригера можна судити по одному з них, який являється прямим виходом і позначається Q ; другий вихід називається інверсним і позначається \bar{Q} . Про стан тригера достатньо судити по рівню сигналу на одному з його виходів. Остання обставина привела до розробки ряду тригерів з одним виходом, які на відміну від парафазних, тобто тригерів з двома виходами, називаються однофазними. Приймавши один із станів тригера за 1 (тобто $Q=1$), другий за 0 (тобто $Q=0$), можна вважати, що тригер зберігає (пам'ятає) один біт інформації, записаної в двійковому коді. При цьому залежно від того, якої форми сигнал приймається за 1 і 0, тобто залежно від способу кодування (представлення) станів, всі тригери підрозділяються на тригери з потенціальним та імпульсним кодуванням. Відмінною особливістю перших є те, що кожному стану тригера ставиться у відповідність наявність сигналу постійної амплітуди високого (близького до напруги живлення) і низького (близького до нуля) логічних рівнів. При цьому якщо сигнал на виході тригера Q відповідає високому рівню напруги, то говорять, що тригер знаходиться в стані 1 ($Q=1$), а якщо низького, то в стані 0 ($Q=0$).

Класифікація тригерів може проводитися за різними визначаючими ознаками.

За способом організації логічних зв'язків розрізняють:

- тригери з роздільним встановленням станів "0" та "1" (RS-тригери);
- з рахунковим входом (Т-тригери); універсальні з роздільним встановленням станів "0" та "1" (JK-тригери);
- з отриманням інформації по одному входу (D-тригери);
- універсальні з керованим отриманням інформації по одному входу (D-тригери);
- комбіновані (наприклад, RST-, RSJK-, RSD-тригери і т.п.);
- із складною вхідною логікою.

За способом запису інформації тригери підрозділяються на несинхронізовані (асинхронні, нетактовні); синхронізовані (синхронні, тактовні).

За способом синхронізації розрізняють тригери синхронні із статичним керуванням записом і синхронні з динамічним керуванням записом.

У синхронних тригерах із статичним керуванням записом тактовий імпульс починає впливати тільки тоді, коли його рівень зростає або до рівня "1", або зменшується до рівня "0" залежно від елементної бази, на якій виконується тригер. Тригери, стан яких змінюється в діапазоні дії рівнів "1" або "0" тактового імпульсу, називаються *тригерами, що спрацьовують по рівню*, а тригери, стан яких змінюється після закінчення дії рівнів "1" або "0" тактового імпульсу, називаються *тригерами з внутрішньою затримкою*. Інформаційні сигнали впливають на тригер лише впродовж дії тактового імпульсу.

У синхронних тригерах з динамічним керуванням записом інформація реєструється тригером в момент зміни амплітуди тактового імпульсу в певному напрямі, тобто під час наростання або спаду його фронту.

За кількістю інформаційних входів тригери можуть бути одновходові, двовходові та багатовходові. Найбільше поширення отримали одно- та двовходові тригери. Не слід плутати кількість інформаційних входів з кількістю фактичних входів, на які поступають інформаційні сигнали, оскільки реально діючий інформаційний вхід в структурі тригера може бути кон'юнкцією, диз'юнкцією або якою-небудь функцією декількох логічних змінних діючих на інформаційних входах, наприклад, $J=J_1J_2J_3$; $K=K_1K_2K_3$; $J=J_1J_2\bar{J}_3$ і т.п.

За кількістю тактових входів розрізняють тригери одноктактні, двотактні та багатотактні. Іноді до двотактних відносять двоступінчасті тригери (MS-схеми), проте потрібно пам'ятати, що основне призначення останніх – отримання ефекту часової затримки інформаційних сигналів в структурі тригера, якщо такий ефект не можна реалізувати з використанням яких-небудь фізичних методів, наприклад за допомогою накопичення зарядів і т.п.

За видом вихідних сигналів тригери поділяються на статичні та динамічні. Статичні

тригери – тригери, у яких вихідні сигнали в стійких станах залишаються незмінними в часі.
Динамічні тригери – тригери, у яких вихідні сигнали в стійких станах змінюються в часі.

За способом запам'ятовування інформації можуть бути тригери з логічною та фізичною організацією пам'яті. Перші виконуються на логічних елементах І, АБО, НЕ, І-НІ, АБО-НЕ, І-АБО-НЕ і т.д., а другі є елементами запам'ятовуючих пристроїв в яких використовуються нелінійні властивості матеріалів (ферити) або нелінійні вольт-амперні характеристики компонентів (динистори).

За способом зберігання інформації розрізняють тригери з активним зберіганням інформації (вихідний інформаційний сигнал діє постійно); з пасивним зберіганням інформації (вихідний інформаційний сигнал може бути отриманий тільки за допомогою спеціального опитувального сигналу).

Оскільки тригери в цифрових пристроях взаємодіють з іншими елементами схеми, окрім їх функціонального призначення необхідно знати їх *схемотехнічні параметри*. Передусім, до цих параметрів необхідно віднести параметри логічних елементів, на яких виконаний тригер: $K_{об}$ – коефіцієнт об'єднання за входом; $K_{роз}$ – коефіцієнт розгалуження за виходом, рівні "0" та "1", вхідні та вихідні струми і т.д.

Специфічними параметрами тригера, на відміну від логічних елементів, є:

1. Роздільна здатність тригера $t_{роз}$ – найменший інтервал часу між вхідними сигналами мінімальної тривалості, що викликають безперебійне перемикання тригера. Очевидно, що $t_{роз}$ залежить від того, який сенс вкладається в слова "безперебійне перемикання тригера". Прийнято вважати, що тригер перемикається безперебійно, якщо будь-яке значення вихідного сигналу, визначене правилами роботи, має тривалість, не менше середнього часу затримки поширення $t_{затр.п.сер}$ одного логічного елемента схеми.

2. Максимальна частота перемикання тригера

$$f_{\max} = \frac{1}{t_{роз}}$$

Оскільки, як зазначено вище, вихідні сигнали тригера при дії вхідних сигналів з частотою f_{\max} мають тривалість $t_{затр.п.сер}$, то, враховуючи тривалість фронтів наростання і спаду, можна зробити висновок, що ці вихідні сигнали є недостатніми для надійної передачі інформації в логічні кола, оскільки рівні "1" і "0" в цьому випадку не будуть фіксуватися. Для забезпечення їх

фіксації прийнято зменшувати частоту $f_{\text{макс.}}$ в 1,5 разу і вважати її робочою, тобто

$$f_{\text{роб}} = \frac{f_{\text{макс.}}}{1,5},$$

де $f_{\text{роб}}$ вказується в паспорті або ТУ для найгірших умов роботи.

3. Мінімальна тривалість вхідного сигналу визначається за формулою

$$t_i = \sum_{i=1}^k t_{\text{затр.п.цеп}},$$

де k – кількість елементів в колоу від входу інформаційного або тактового сигналу до входу елемента, на якому замикається тригерне коло зворотного зв'язку;

4. Час затримки перемикання тригера:

$$t_{\text{затр.пер}} = \sum_{i=1}^l t_{\text{затр.п.цеп}},$$

де l – кількість елементів в колоу від входу інформаційного або тактового сигналу до виходу елемента, на якому підтверджується стан тригера.

З визначення t_i і $t_{\text{затр.пер}}$ слідує, що $l = k + 1$. Одиниця в цьому виразі характеризує затримку поширення одного з логічних елементів, на яких виконується елементарна запам'ятовуюча комірка тригера.

Сукупність параметрів $t_{\text{роз}}$, t_i і $t_{\text{затр.пер}}$ визначає швидкодію тригерів і, врешті-решт, швидкодію цифрових пристроїв, побудованих на їх основі.

Тригери являють собою елементарні послідовні автомати та характеризуються:

- числом інформаційних входів не більше трьох (більшість реалізованих схем тригерів мають не більше двох входів);
- числом внутрішніх станів для споживача інформації з тригера, рівним двом, чому відповідає одна внутрішня змінна, яку прийнято позначати символом Q ;
- числом вихідних змінних u не більше за одну, причому значення u співпадає зі значенням Q ; як правило, в тригерах разом зі значенням Q формується інверсна змінна;
- функцією переходів або зв'язку внутрішніх змінних для моменту часу t_{n+1} зі значеннями вхідних і вихідних змінних для моменту часу t_n , що називаються *характеристичними рівняннями*, які є повними, тобто тригери мають повну систему переходів:

$$Q_{n+1} = f(x_n, Q_n)$$

Дійсно, для всіх тригерів є стани входів, під впливом яких відбуваються зміни стану тригерів $Q_n \rightarrow Q_{n+1}$ всіх чотирьох видів: $0 \rightarrow 0$, $0 \rightarrow 1$, $1 \rightarrow 0$, $1 \rightarrow 1$. Переходи найчастіше позначають у вигляді двохзначного слова або числа, наприклад, $Q_n \rightarrow Q_{n+1}$ у вигляді $Q_n Q_{n+1}$; $0 \rightarrow 1$ у вигляді 01 і т.п.

Запис x_n означає, що сигнал x приймає якесь конкретне значення "0" або "1" у момент часу t_n і зберігає його до моменту часу t_{n+1} , наприклад $x_n = 1$ при $t_n < t < t_{n+1}$. Запис Q_{n+1} означає, що вихідний сигнал набуває якогось значення відразу ж після закінчення моменту часу t_{n+1} і зберігає його до моменту часу t_{n+2} , наприклад $Q_{n+1} = 0$ при $t_{n+1} < t < t_{n+2}$. Іноді визначають x_n і Q_n як значення змінних до приходу інформаційного (тактового) сигналу, а x_{n+1} , Q_{n+1} – після приходу інформаційного (тактового) сигналу.

Оскільки сигнали на виходах Q і \bar{Q} взаємно-зворотні, стан тригера визначено, якщо задано значення одного з вихідних сигналів, наприклад, на його прямому виході Q . Стан $Q = 1$; $\bar{Q} = 0$ називається одиничним, а $Q = 0$; $\bar{Q} = 1$ – нульовим. При деяких комбінаціях вхідних сигналів можуть з'явитися стани $Q = \bar{Q} = 1$ або $Q = \bar{Q} = 0$. Після закінчення дії таких комбінацій стани 00 або 11 зберігатися не можуть і тригер перейде або в стан 10, або в стан 01.

Комбінацію вхідних сигналів, після закінчення якої стан тригера невизначений, тобто з рівною ймовірністю може бути одиничним або нульовим, називають *забороненою комбінацією*.

В цьому випадку значення сигналів на виходах Q і \bar{Q} – фіктивні, невизначені і позначаються символами $*$, \times , \emptyset або буквами a , b , ..., з яких бажаним являється використання символу \emptyset , оскільки він по написанню нагадує нуль з накладеною на нього одиницею.

Таким чином, тригер може мати п'ять логічних станів на виході (0 , 1 , Q , \bar{Q} та \emptyset), означаючих наступне:

- "0" – тригер постійно знаходиться в нульовому стані незалежно від зміни сигналів на його вході;
- "1" – тригер постійно знаходиться в одиничному стані незалежно від зміни сигналів на його вході;
- Q – стан, тригера не змінюється при зміні входніх сигналів, причому може бути або $Q = 0$, або $Q = 1$;
- \bar{Q} – стан тригера змінюється на протилежний при зміні входніх сигналів, причому може бути зміна стану "1" на стан "0" або навпаки;
- \emptyset - фіктивний, невизначений стан тригера.
- Правила функціонування тригерів можуть бути задані:
 - словесним описанням;
 - у вигляді таблиці переходів тригера, тобто таблиці інформаційних значень входніх сигналів, внутрішніх станів і вихідніх сигналів тригера;
 - у вигляді характеристичних рівнянь – логічних функцій типу $Q_{n+1} = f(Q_n, x_{in})$, де $i = 1, 2, \dots, m$;
 - у вигляді графа, що складається з вершин, число яких відповідає можливим станам тригера з урахуванням внутрішніх станів елементів пам'яті і спрямованих гілок, що починаються і закінчуються на вершинах; при цьому на гілках вказується набір входніх сигналів, що призводять до даного переходу тригера з одного стану в інший або що підтверджують цей стан;
 - у формі мікропрограмного автомата (в теорії кінцевих автоматів).

Тригери широко використовуються у формувачах імпульсів, генераторах одиничних сигналів, для побудови дільників частоти, лічильників, перелічувальних пристроїв, регістрів, накопичувальних суматорів, в пристроях керування і т.д.

У більшості серій інтегральних елементів містяться тригери різних типів, у тому числі і універсальні, тому нижче розглянуті лише прості, але найбільш поширені типи тригерів.

Тригери типу RS

RS-тригер – це пристрій, що має два інформаційні входи S і R (рис. 3.2). За умови:

- $S = 1$ і $R = 0$ на виході Q встановлюється "1" ($Q = 1$);
- $S = 0$ і $R = 1$ на виході Q встановлюється "0" ($Q = 0$);
- $S = R = 0$ тригер зберігає попередній стан ($Q^{t+1} = Q^t$), де Q^t – стан виходу тригера до подання сигналу на його вхід, а Q^{t+1} – стан виходу тригера після подання сигналу на його вхід.
- Стан $S = R = "1"$ – заборонений.

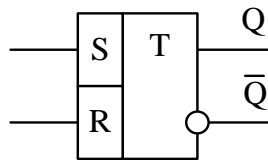


Рис. 3.2. Умовне позначення RS-тригера

З опису тригера слідує, що вхід S (від англ. "Set") – вхід встановлення в "1", а вхід R (від "Reset") – вхід встановлення в "0". Принципова схема тригера наведена на рис. 3.3.

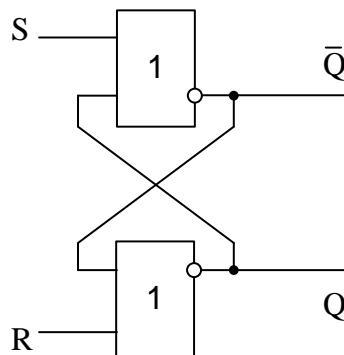


Рис. 3.3. Принципова схема RS-тригера

Окрім словесного описання алгоритму функціонування RS-тригера його роботу можна описати в табличній формі (таблиця. 3.1), в аналітичній формі або за допомогою часових діаграм (рис. 3.4).

Таблиця 3.1. Таблиця переходів RS-тригера

S	R	Q ^t	Q ^{t+1}
1	0	0	1
		1	1
0	1	0	0
		1	0
0	0	0	0
		1	1
1	1	Заборонений стан	

Опис роботи RS-тригера в аналітичній формі має вигляд:

$$\begin{cases} Q^{t+1} = S^t + \overline{R^t}, \\ R^t S^t = 0. \end{cases}$$

Часові діаграми, що пояснюють роботу RS-тригера, наведені на рис. 3.4.

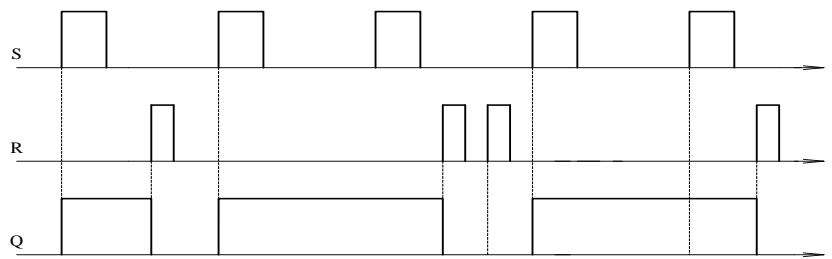


Рис. 3.4. Часові діаграми сигналів на входах і виході RS-тригера

RS-тригер з інверсними входами

RS-тригер з інверсними входами (рис. 3.5) – пристрій, що має два інформаційні входи S і R, що за умови:

- $S = 0$ и $R = 1 \rightarrow Q = 1$;
- $S = 1$ и $R = 0 \rightarrow Q = 0$;
- $S = R = 1 \rightarrow Q^{t+1} = Q^t$ (тригер зберігає попередній стан).
- Стан $S = R = 0$ – заборонений.

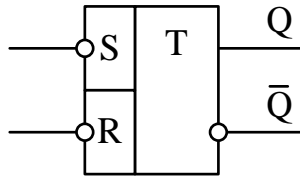


Рис. 3.5. Умовне позначення RS-тригера з інверсними входами

Таблиця 3.2. Таблиця переходів RS-тригера з інверсними входами

S	R	Q^t	Q^{t+1}
0	1	0	1
		1	1
1	0	0	0
		1	0
1	1	0	0
		1	1
0	0	Заборонений стан	

Принципова схема RS-тригера з інверсними входами наведена на рис. 3.6.

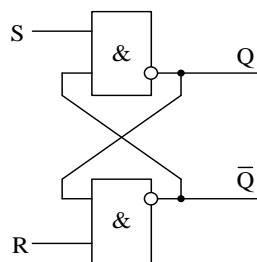


Рис. 3.6. Принципова схема RS-тригера з інверсними входами

Синхронний RS-тригер

У синхронних RS-тригерах (рис. 3.7) всі перемикання відбуваються тільки в моменти часу, які відповідають наявності синхронізуючого сигналу CI (рис. 3.8).

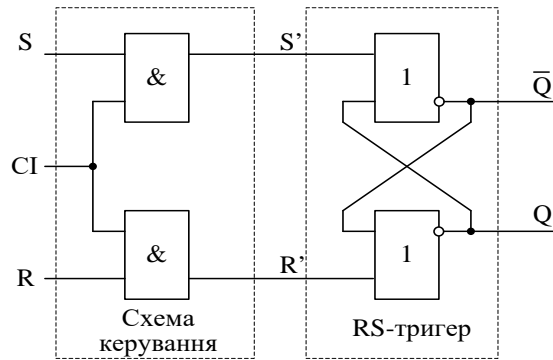


Рис. 3.7. Принципова схема синхронного RS-тригера

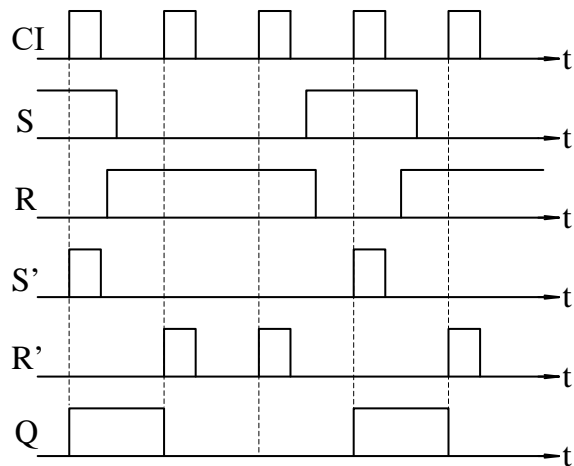


Рис. 3.8. Часові діаграми роботи синхронного RS-тригера

T-тригер

T-тригер (Лічильний тригер) (рис. 3.9) змінює свій стан на протилежний кожного разу, коли на його вхід С поступає сигнал (рис. 3.10).

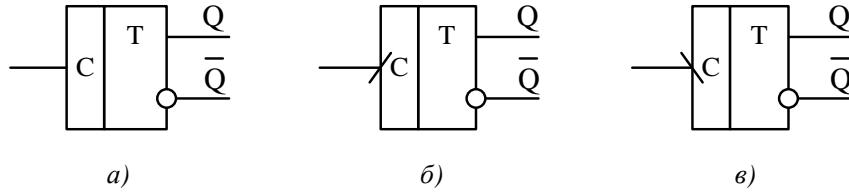


Рис. 3.9. Умовне позначення лічильного тригера: загальне (а), що спрацьовує за фронтом (б) та спадом (в) вхідного сигналу

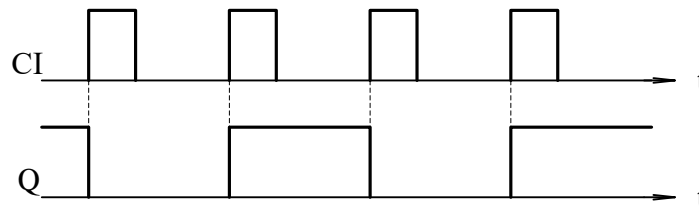


Рис. 3.10. Часові діаграми роботи лічильного тригера

Лічильні тригери в інтегральному виконанні не випускаються, а формуються з інших типів тригерів шляхом з'єднання їх виводів певним чином для кожного типу тригера.

D-тригер

D-тригер – пристрій, котрий запам'ятовує інформацію, яка присутня на вході D в момент приходу синхроімпульсу на вхід C.

Умовне позначення D-тригера наведено на рис. 3.11, часові діаграми роботи – на рис. 3.12. Схема включення D-тригера для роботи в режимі лічильного тригера наведена на рис. 3.13.

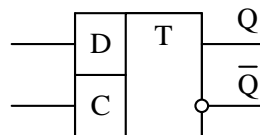


Рис. 3.11. Умовне позначення D-тригера

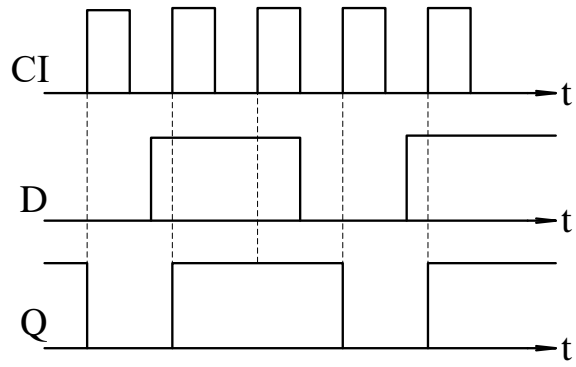


Рис. 3.12. Часові діаграми роботи D-тригера

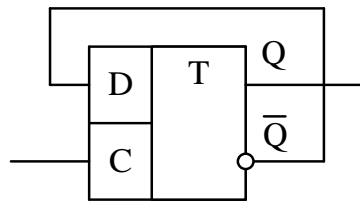


Рис. 3.13. D-тригер, працюючий в режимі лічильного тригера

Принципова схема D-тригера, реалізованого на елементах І-НІ, наведена на рис. 3.14.

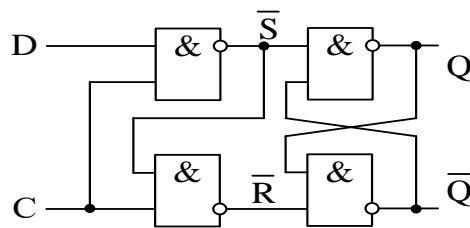


Рис. 3.14. D-тригер, реалізований на елементах І-НІ

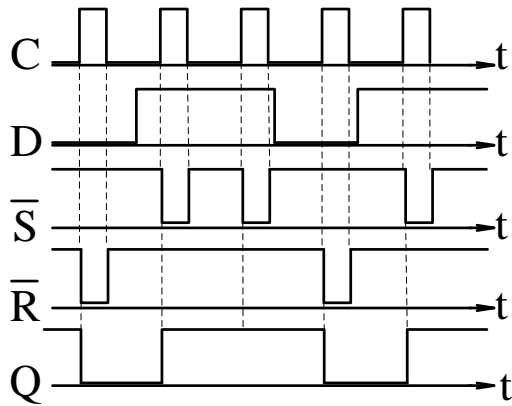


Рис. 3.15. Часові діаграми роботи D-тригера, реалізованого на елементах І-НІ

JK-тригер

JK-тригер має два інформаційні входи J і K та вхід синхронізації C (рис. 3.16). За умови $J = K = 1$ цей тригер працює як лічильний тригер (перемикається кожного разу в протилежний стан, коли синхроімпульс поступає на вхід C), а в інших випадках працює як синхронний RS-тригер, причому вхід J відповідає входу S, а вхід K – входу R (таблиця. 3.3).

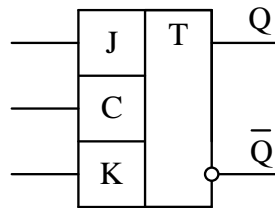


Рис. 3.16. Умовне позначення JK-тригера

На рис. 3.17 наведена схема включення JK-тригера для роботи в режимі лічильного тригера, а на рис. 3.18 – для роботи в режимі D-тригера.

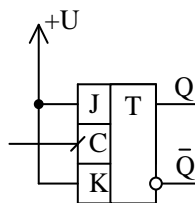


Рис. 3.17. Схема включення JK-тригера для роботи в режимі лічильного тригера

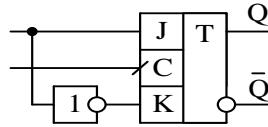


Рис. 3.18. JK-тригер, працюючий в режимі D-тригера

Таблиця 3.3. Стани JK-тригера при різних поєднаннях сигналів на входах

J	K	Q^t	Q^{t+1}
1	1	0	1
1	1	1	0
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
0	0	0	0
0	0	1	1

RSD-тригер

RSD-тригер за умови $R = S = 0$ працює як D-тригер, а в інших випадках – як асинхронний RS-тригер. Функціональне позначення RSD-тригера наведено на рис. 3.19, а його принципова схема, виконана на елементах І-НІ – на рис. 3.20.

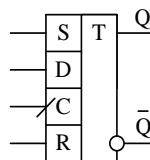


Рис. 3.19. Функціональне позначення RSD-тригера

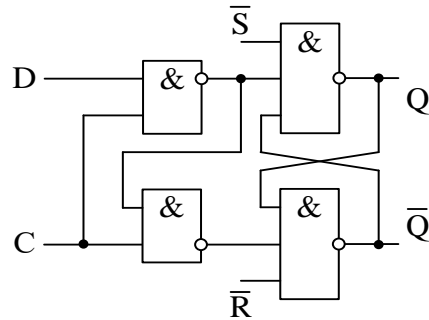


Рис. 3.20. RSD-тригер, реалізований на елементах І-НІ

RSJK-тригер

RSJK-тригер (рис. 3.21) працює як JK-тригер за умови $S = R = 0$, а в інших випадках працює як RS-тригер.

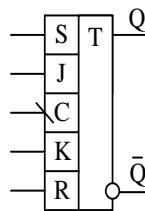


Рис. 3.21. Умове позначення RSJK-тригера

Моделювання роботи тригерів за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельуємо роботу RS-тригера з прямими та інверсними входами. Для цього дослідимо принципові схеми для вивчення RS-тригера.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Слідуючи вище описаним діям, дослідимо принципові схеми для вивчення RS-тригера з прямими (рис. 3.22) та інверсними входами (рис. 3.23), які містяться в файлах `rs_triger_pryami_vhodi.ms10` та `rs_triger_inversni_vhodi.ms10`. У першому випадку використовуватимемо готову мікросхему RS-тригера, а в другому випадку зберемо RS-тригер на логічних елементах і використаємо інтегральну мікросхему для порівняння їх роботи.

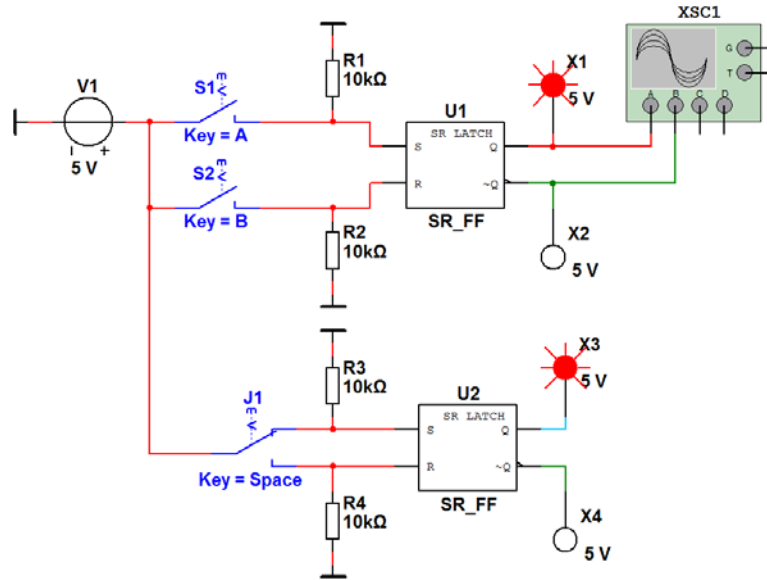


Рис. 3.22. Принципова схема моделі для дослідження RS-тригера з прямими входами (файл rs_triger_pryami_vhodi.ms10)

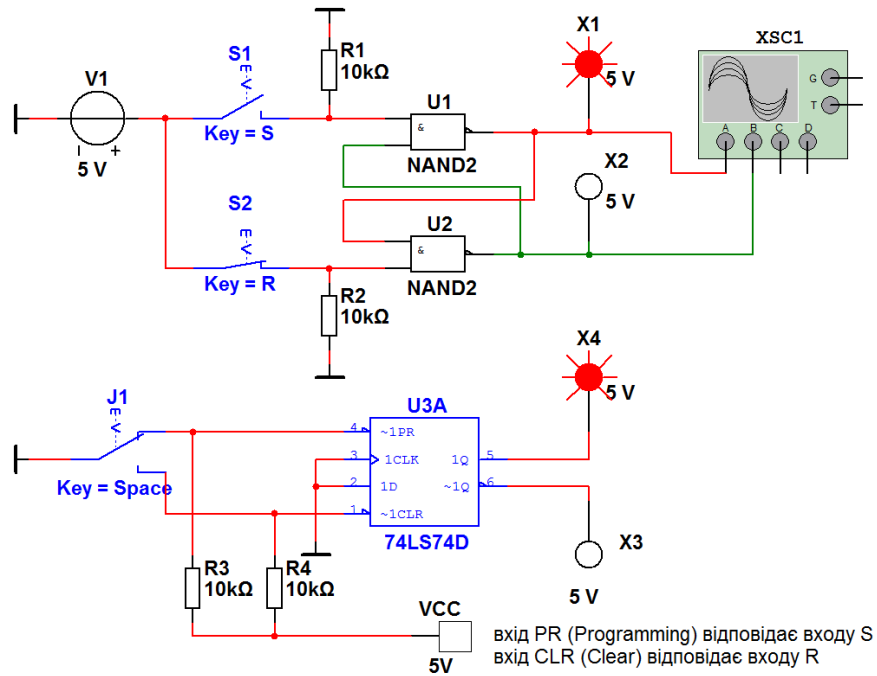


Рис. 3.23. Принципова схема моделі для дослідження RS-тригера з інверсними входами (файл rs_triger_inversni_vhodi.ms10)

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із

зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

Для більшої інформативності використовуються індикатори, котрі показують наявність сигналу певного рівня. При рівні логічного 0 індикатор не світиться, а при рівні логічної 1 – світиться. Рівень при якому спрацьовує індикатор може задаватись користувачем.

Дослідимо роботу RS-тригера з прямими входами. Для цього в першому випадку, після запуску моделювання, замкнемо ключ S1. На вхід S поступає логічна 1, а на вхід R – логічний 0. В результаті на виході Q отримаємо логічну 1, а на виході \bar{Q} – логічний 0.

Результати моделювання в першому випадку наведені на рис. 3.24. У другому випадку, після запуску моделювання, замкнемо ключ S2. На вхід S постане логічний 0, а на вхід R – логічна 1. В результаті на виході Q отримаємо логічний 0, а на виході \bar{Q} – логічну 1.

Результати моделювання в другому випадку наведені на рис. 3.25. Якщо на входи S і R поступає логічний 0, то зберігається попередній стан.

Потрібно відзначити, що на рис. 3.24,б та рис.3.25,б показані часові діаграми перемикання тригера після замикання ключів S1 і S2 відповідно з урахуванням деякого початкового стану.

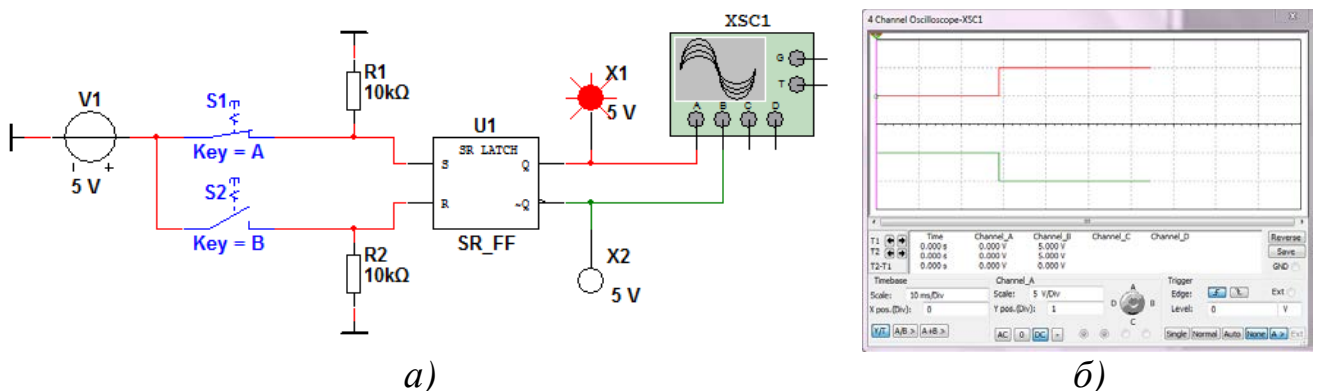


Рис. 3.24. Результати моделювання схеми дослідження RS-тригера з прямими входами при замкнутому ключі S1, отримані за допомогою індикаторів (а) та осцилографа (б)

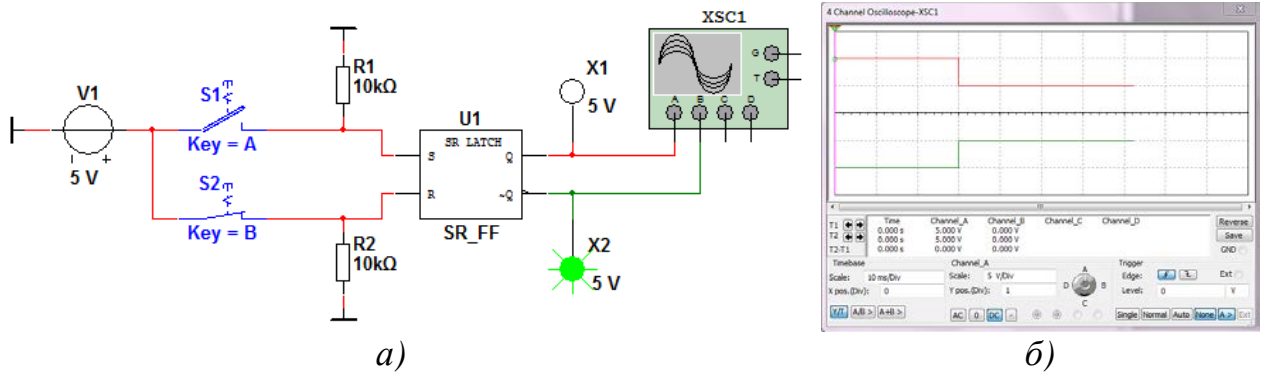


Рис. 3.25. Результати моделювання схеми дослідження RS-тригера з прямими входами при замкнутому ключі S2, отримані за допомогою індикаторів (а) та осцилографа (б)

Перевірити стан тригера при подачі логічного 0 на обидва входи ви можете самостійно. Також самостійно перевірте роботу роботи тригера на мікросхемі U2 на рис. 3.22.

Дослідимо роботу RS-тригера з інверсними входами. Для цього перед запуском моделювання замкнемо ключі S1 і S2 (рис. 3.23). У першому випадку, після запуску моделювання, розімкнемо ключ S1. На вхід S поступає логічний 0, а на вхід R – логічна 1. В результаті на виході Q отримаємо логічну 1, а на виході \bar{Q} – логічний 0. Результати моделювання в першому випадку наведені на рис. 3.26. У другому випадку, після запуску моделювання, розімкнемо ключ S2. На вхід S поступає логічна 1, а на вхід R – логічний 0. В результаті на виході Q отримаємо логічний 0, а на виході \bar{Q} – логічну 1. Результати моделювання в другому випадку наведені на рис. 3.27. Якщо на входи S і R поступає логічна 1, то зберігається попередній стан.

Потрібно відзначити, що на рис. 3.26,б та рис. 3.27,б показані часові діаграми перемикання тригера після розмикання ключів S1 і S2 відповідно з урахуванням деякого початкового стану.

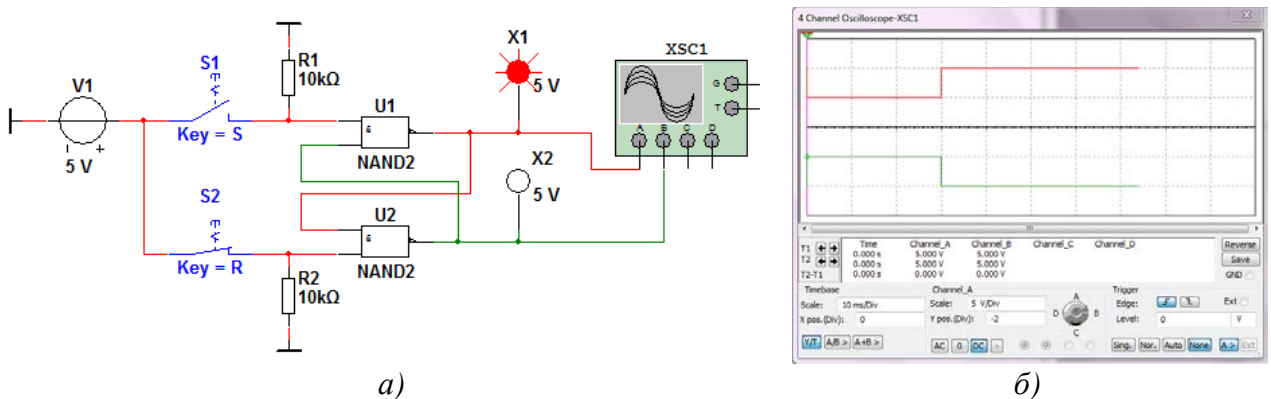
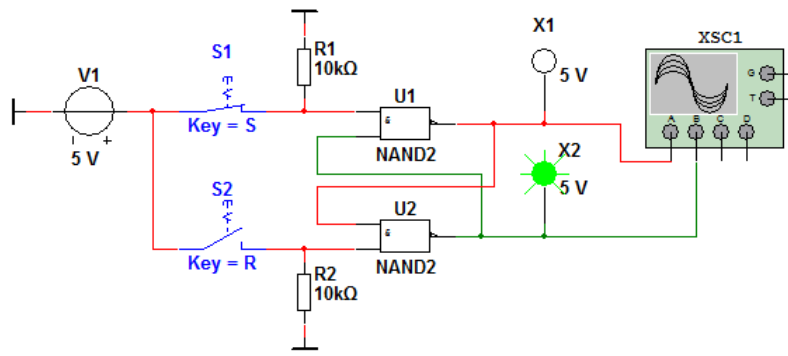
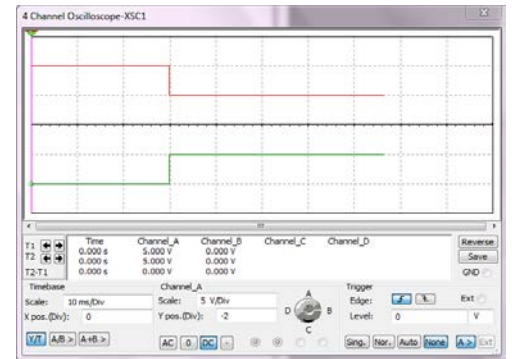


Рис. 3.26. Результати моделювання схеми дослідження RS-тригера з інверсними входами при розімкненому ключі S1, отримані за допомогою індикаторів (а) та осцилографа (б)



a)



б)

Рис. 3.27. Результати моделювання схеми дослідження RS-тригера з інверсними входами при розімкненому ключі S2, отримані за допомогою індикаторів (а) та осцилографа (б)

Мета роботи

Ознайомитися з принципом роботи тригерів різних типів.

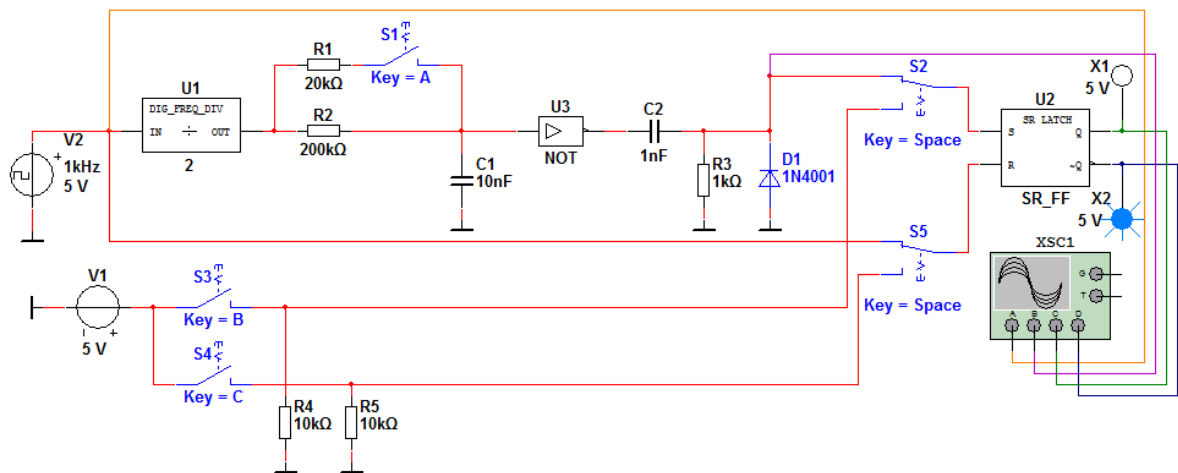


Рис. 3.28. Принципова схема моделі для дослідження асинхронного RS-тригера (03_asinhron_rs_triger.ms10)

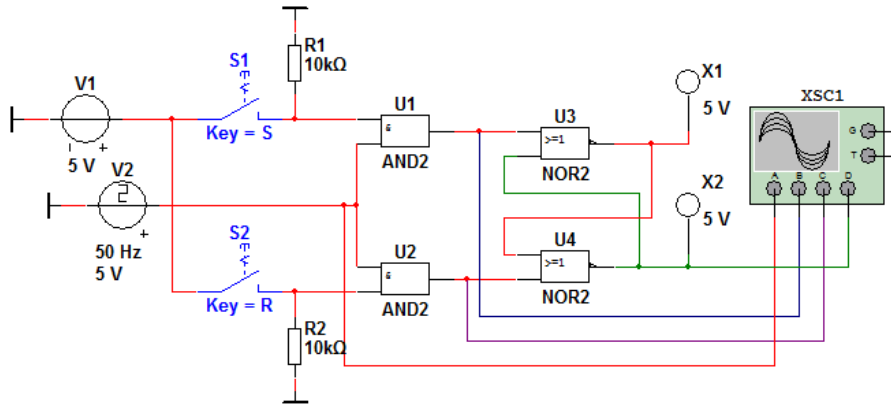


Рис. 3.29. Принципова схема моделі для дослідження синхронного RS-тригера (03_sinhronn_rs_triger.ms10)

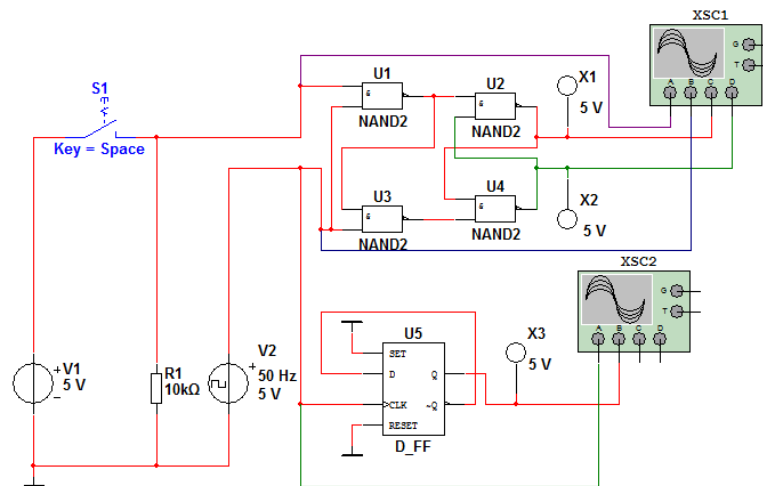


Рис. 3.30. Принципова схема моделі для дослідження D-тригера (03_d_triger.ms10)

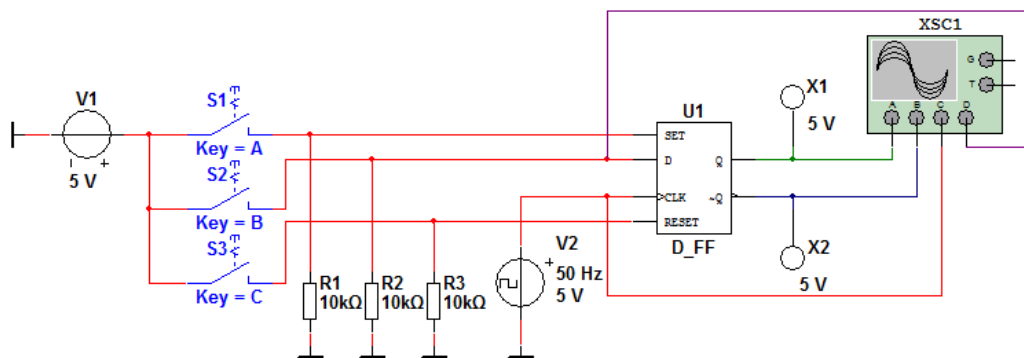


Рис. 3.31. Принципова схема моделі для дослідження RSD-тригера (03_rsd_triger.ms10)

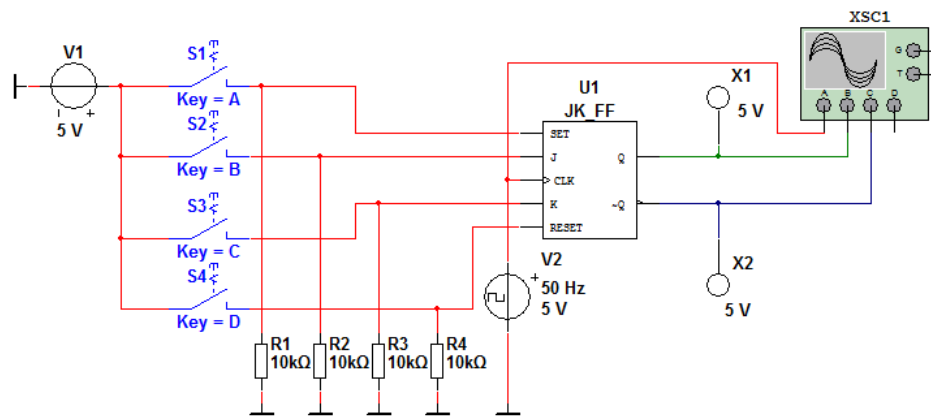


Рис. 3.32. Принципова схема моделі для дослідження RSJK-тригера (03_rsjk_triger.ms10)

Домашнє завдання

1. Вивчити принцип дії, логіку роботи та параметри тригерів [1, с. 5-7; 2, с. 81-90].
2. Вивчити правила роботи основних видів тригерів [1, с. 7.11; 2, с. 81-90].
3. Вивчити основні схеми побудови тригерів на логічних елементах [1, с. 19-28].

Порядок виконання роботи

1. Для вивчення принципу роботи асинхронного RS-тригера дослідити схему, зображену на рис. 3.28, яка міститься в файлі 03_asinhron_rs_triger.ms10, у програмі NI Multisim. Комбінуючи положення перемикачів S2, S5 дослідити роботу асинхронного RS-тригера в динамічному та статичному режимах. За допомогою індикаторів та осцилографа отримати результати моделювання даного кола. Пояснити отримані результати.
2. Для вивчення принципу роботи синхронного RS-тригера дослідити схему, зображену на рис. 3.29, яка міститься в файлі 03_sinhronn_rs_triger.ms10, у програмі NI Multisim. Комбінуючи положення перемикачів дослідити роботу синхронного RS-тригера в різних режимах. За допомогою індикаторів та осцилографа отримати результати моделювання даного кола. Пояснити отримані результати.
3. Для вивчення принципу роботи D-тригера дослідити схему, зображену на рис. 3.30, яка міститься в файлі 03_d_triger.ms10, у програмі NI Multisim. За допомогою перемикача S1 дослідити принцип роботи D-тригера зібраного на елементах І-НІ. Також дослідити принцип роботи D-тригера U5 в режимі лічильного. За допомогою індикаторів та

осцилографів отримати результати моделювання даного кола. Пояснити отримані результати.

4. Для вивчення принципу роботи RSD-тригера дослідити схему, зображену на рис. 3.31, яка міститься в файлі 03_rsd_triger.ms10, у програмі NI Multisim. Комбінуючи положення перемикачів дослідити роботу RSD-тригера в різних режимах. За допомогою індикаторів та осцилографа отримати результати моделювання даного кола. Пояснити отримані результати.

5. Для вивчення принципу роботи RSJK-тригера дослідити схему, зображену на рис. 3.32, яка міститься в файлі 03_rsjk_triger.ms10, у програмі NI Multisim. Комбінуючи положення перемикачів дослідити роботу RSJK-тригера в різних режимах. За допомогою індикаторів та осцилографа отримати результати моделювання даного кола. Пояснити отримані результати.

Контрольні запитання

1. Що таке тригер? Які приклади його застосування?
2. Пояснити принцип роботи RS-тригера з прямими та інверсними входами. Навести приклади часових діаграм, які характеризують роботу RS-тригера. Навести приклади побудови RS-тригера на логічних елементах.
3. Пояснити принцип роботи T-тригера. Навести приклади часових діаграм, які характеризують роботу T-тригера.
4. Пояснити принцип роботи D-тригера. Навести приклади часових діаграм, які характеризують роботу D-тригера. Навести приклад побудови D-тригера на логічних елементах.
5. Пояснити принцип роботи JK-тригера.
6. Пояснити принцип роботи RSD-тригера. Навести приклад побудови RSD-тригера на логічних елементах.
7. Пояснити принцип роботи RSJK-тригера.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести часові діаграми сигналів для кожного з досліджуваних тригерів. Малюється умовне позначення тригера, а після нього діаграми сигналів на його входах та виході.

Пояснити чому змінюється тривалість імпульсу на виході RS-тригера (рис. 3.28) при замиканні перемикача S1 (перемикачі S2 та S5 у верхньому положенні)/ Пояснення ілюструвати часовими діаграмами.

Список літератури

1. Димитрова М.И., Пунджев В.П. 33 схеми на триггерах: Пер. с болг. – Л.: Энергоатомиздат. Ленингр. отд-ние, 1990. – 96 с.: ил.
2. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.

ЛАБОРАТОРНА РОБОТА №4

Лічильники імпульсів

Теоретичні відомості

Поняття "лічильник" є дуже широким. До лічильників відносять автомати, які під дією вхідних імпульсів переходять з одного стану в інший, фіксуючи тим самим число імпульсів, що поступили на їх вхід, в тому або іншому коді.

Лічильник характеризується модулем ділення частоти M (місткістю). Модуль визначає число можливих станів лічильника. Після потрапляння на лічильник M вхідних сигналів починається новий цикл, повторюючи попередній.

Лічильники поділяються:

- за коефіцієнтом ділення частоти:
 - двійкові $K_{\text{діл}} = 2^n$;
 - недвійкові $K_{\text{діл}} \neq 2^n$.
- за порядком зміни станів:
 - з природним порядком зміни (кожен подальший стан відрізняється на 1 від попереднього);
 - з довільним порядком зміни.
- за способом перемикання тригерів:
 - асинхронні (тригери перемикаються послідовно);
 - синхронні (тригери перемикаються одночасно).
- за зміною значення коду на виходах (код завжди визначається по прямих виходах тригерів):
 - сумуючі (кожне подальше значення більше, ніж попереднє);
 - віднімаючі (кожне подальше значення менше, ніж попереднє);
 - реверсивні (можна змінювати напрям лічення).

Асинхронні лічильники

Асинхронні лічильники мають послідовну синхронізацію, тобто кожен подальший розрядний тригер синхронізується вихідними імпульсами тригера попереднього розряду. На рис. 4.1 наведений приклад асинхронного лічильника на трьох Т-тригерах, що спрацьовують за

фронтом. Часові діаграми роботи асинхронного лічильника представлені на рис. 4.2.

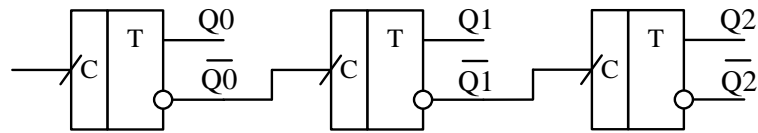


Рис. 4.1. Схема асинхронного лічильника на трьох Т-тригерах

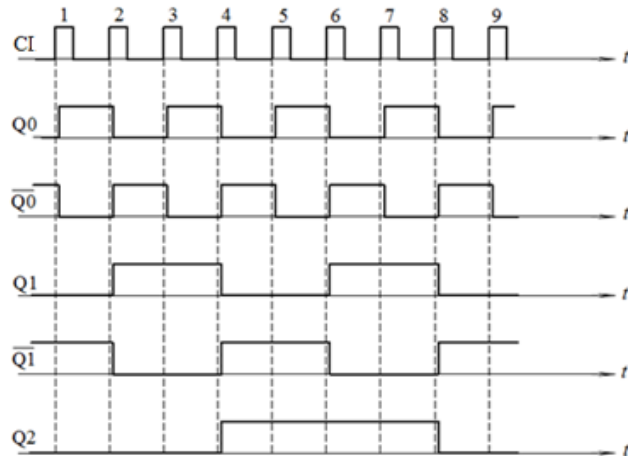


Рис. 4.2. Часові діаграми роботи асинхронного лічильника на трьох Т-тригерах

З рис. 4.2 видно, що лічильник сумуючий, асинхронний, двійковий з $K_{\text{дیل}}=8$, з природним порядком зміни станів. З діаграми також слідує, що при $K_{\text{дیل}}=8$, частота на виході в 8 разів менша, ніж на вході. Таким чином, будь-який лічильник може служити в якості дільника частоти, якщо використовується інформація тільки одного з його виходів.

Лічильник можна побудувати і на D-тригерах, що працюють в режимі лічильного тригера. Слід звернути увагу, що вихід самого правого тригера на схемі – це старший розряд, а вихід самого лівого – молодший розряд. Приклад схеми віднімаючого лічильника на D-тригерах показаний на рис. 4.3, часові діаграми роботи такого лічильника показані на рис. 4.4.

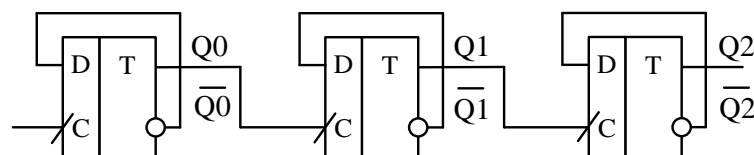


Рис. 4.3. Схема асинхронного лічильника на трьох D-тригерах

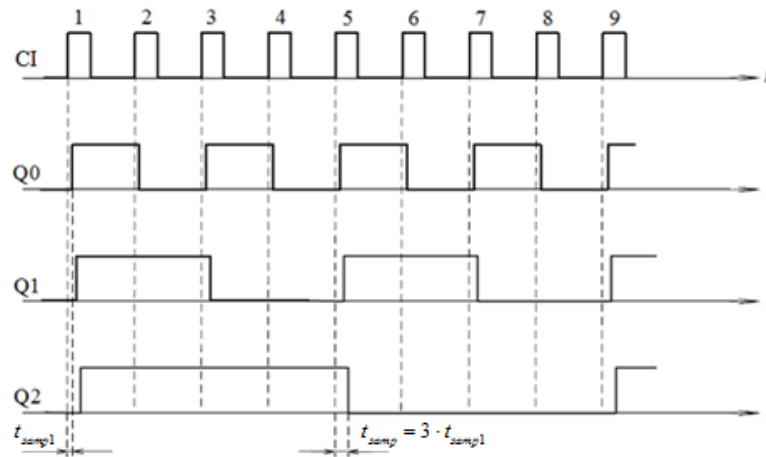


Рис. 4.4. Часові діаграми роботи асинхронного лічильника на трьох D-тригерах

На рис. 4.4 введені такі позначення: $t_{затр1}$ – час затримки одного тригера, а $t_{затр}$ – час затримки поширення сигналу в усьому лічильнику.

Аналізуючи діаграми роботи асинхронного лічильника (рис. 4.4) можна зробити висновок, що лічильник віднімаючий, асинхронний, двійковий, з $K_{діл}=8$.

Якщо в першому лічильнику (рис. 4.1) сигнали знімати з інверсних виходів тригерів, то ми отримаємо сигнали еквівалентні сигналам віднімаючого лічильника.

Реверсивний асинхронний лічильник

Реверсивний лічильник може працювати як в режимі сумування, так і в режимі віднімання, тому має додатковий вхід управління V. Приклад реверсивного асинхронного лічильника наведений на рис. 4.5.

Побудувати такий лічильник можна двома шляхами:

- входи синхронізації другого і подальшого тригерів в режимі сумування підключаємо до інверсних виходів попередніх тригерів, а в режимі віднімання – до прямих виходів;
- до виходів лічильника в режимі сумування підключаються прямі виходи тригерів, а в режимі віднімання – інверсні, при цьому входи синхронізації другого і подальшого тригерів підключені до інверсних виходів попередніх тригерів.

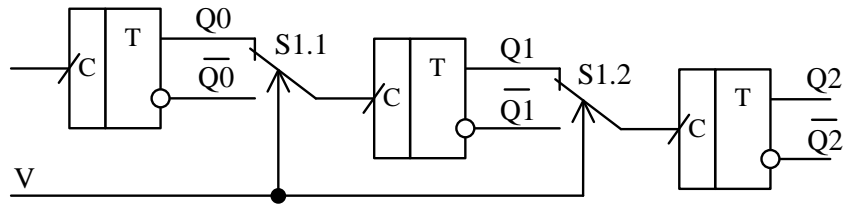


Рис. 4.5. Схема реверсивного асинхронного лічильника на Т-тригерах

На рис. 4.5 сигнал V керує перемиканням режимів лічильника. При $V=0$ перемикачі $S1$ у верхньому положенні – лічильник віднімаючий, при $V=1$ – лічильник сумуючий.

Принципова схема реверсивного лічильника з цифровими перемикачами режиму роботи наведена на рис. 4.6.

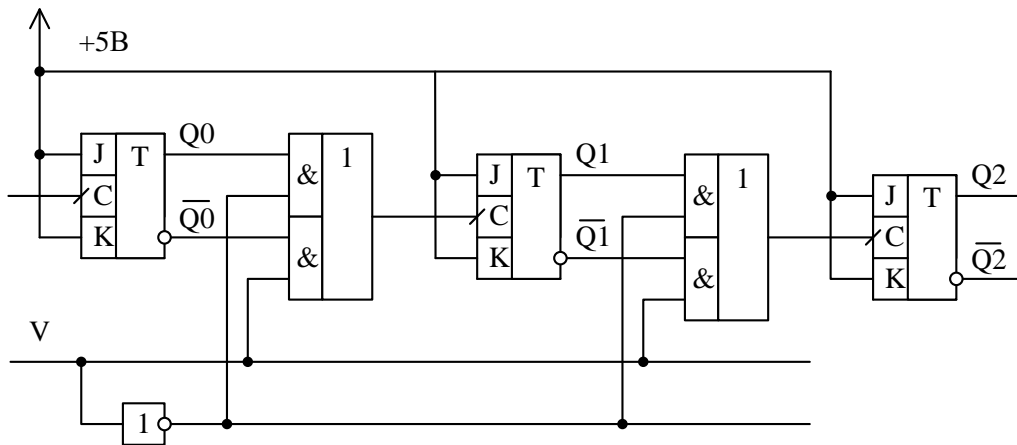


Рис. 4.6. Схема реверсивного лічильника на JK-тригерах

Синхронні лічильники

Враховуючи, що в асинхронних лічильниках час затримки поширення сигналу зростає при збільшенні числа тригерів, а це часто заважає будувати різні пристрої. Доцільно використати лічильники, в яких всі тригери перемикаються одночасно. Найзручніше будувати синхронні лічильники на JK-тригерах (рис. 4.7). Часові діаграми роботи синхронного лічильника на JK-тригерах представлені на рис. 4.8.

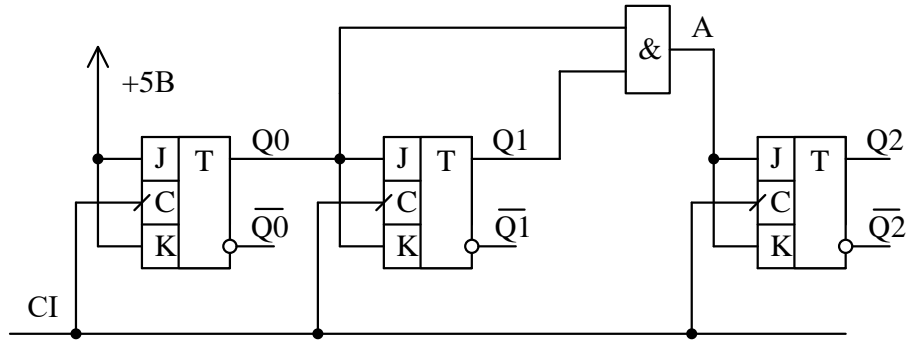


Рис. 4.7. Схема синхронного лічильника на JK-тригерах

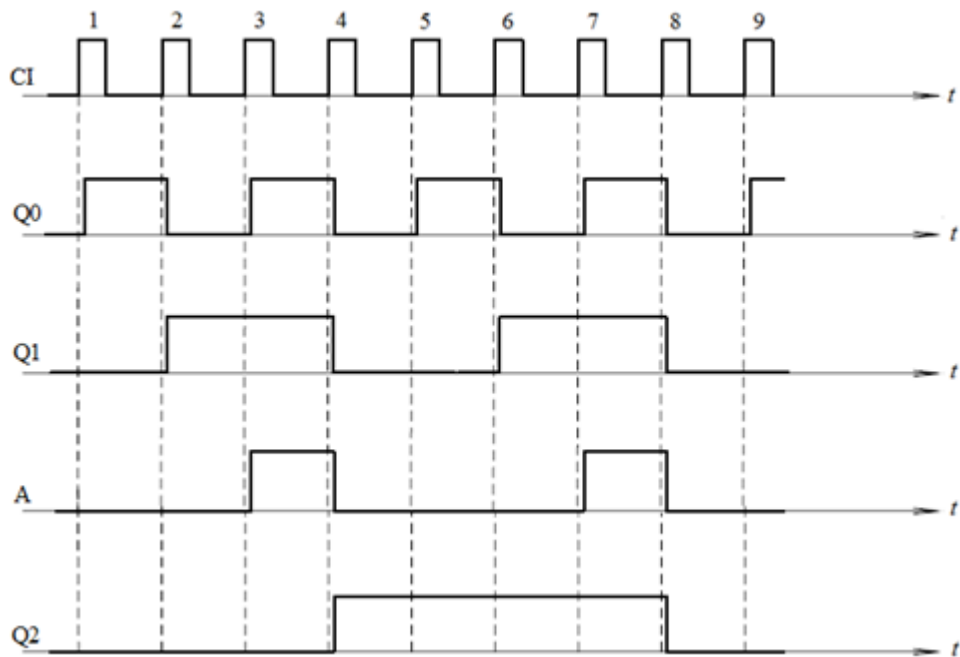


Рис. 4.8. Часові діаграми роботи синхронного лічильника на JK-тригерах

Недвійкові лічильники

Способи побудови лічильників з довільним коефіцієнтом ділення частоти:

1. Введення зворотних зв'язків в лічильник за допомогою додаткових логічних елементів.
2. Використання програмованих лічильників.
3. Використання дешифратора і мультиплексора для формування потрібного $K_{д\ddot{л}}$.

Наведемо приклад лічильника з довільним коефіцієнтом ділення частоти (рис. 4.9), побудованого за принципом введення зворотних зв'язків за допомогою додаткових логічних елементів, в цьому прикладі це елемент І.

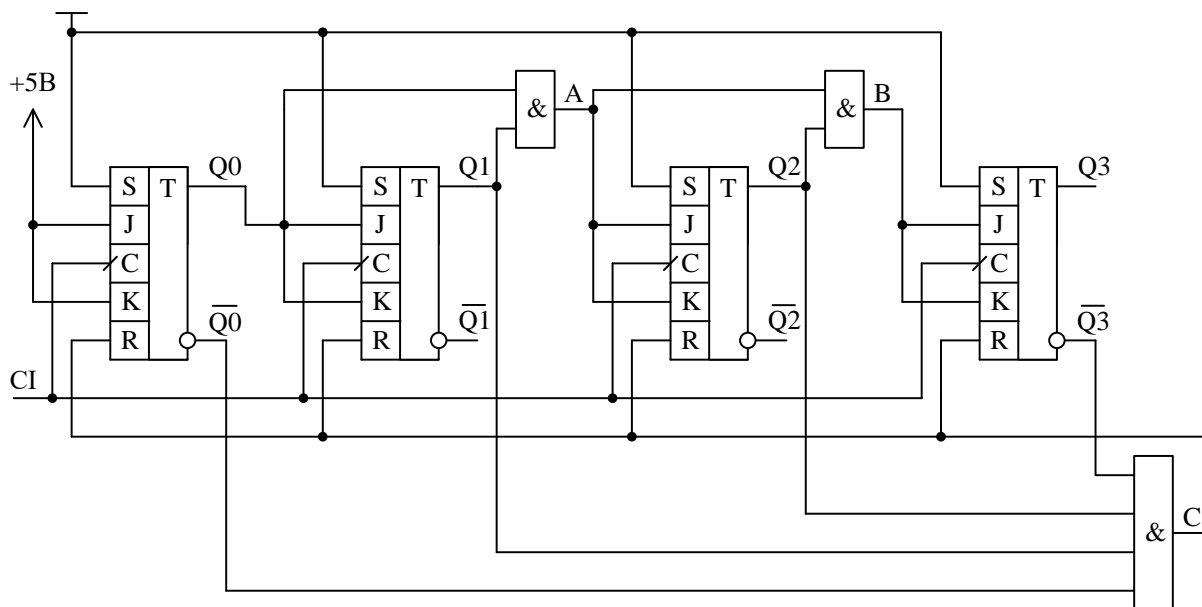


Рис. 4.9. Схема лічильника з коефіцієнтом ділення частоти, що встановлюється за допомогою зворотного зв'язку

Визначимо при якому коді на виході С буде сформована логічна 1 і всі тригери обнуляться.

Таблиця 4.1. Таблиця визначення коефіцієнта ділення частоти лічильника

$\overline{Q3}$	Q2	Q1	$\overline{Q0}$
0	1	1	0

Значення еквівалентного коду дорівнюватиме 6. Так як в схемі, наведеній на рис. 4.9, зворотний зв'язок встановлює всі тригери в логічний 0, це означає, що коефіцієнт ділення частоти рівний 6. На рис. 4.10 наведені часові діаграми роботи лічильника з коефіцієнтом ділення частоти, що встановлюється за допомогою зворотного зв'язку (рис. 4.9).

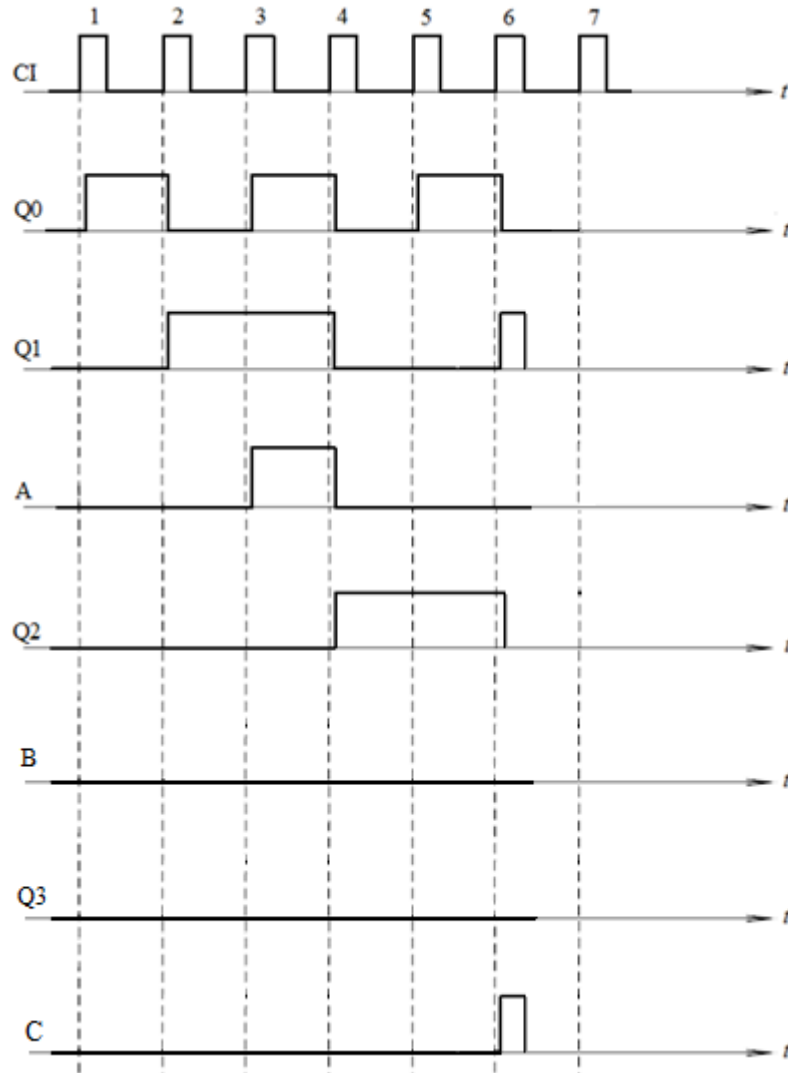


Рис. 4.10. Часові діаграми роботи лічильника з коефіцієнтом ділення частоти, що встановлюється за допомогою зворотного зв'язку

Програмовані лічильники

Програмовані лічильники – це лічильники, до початку роботи, в яких можна записати початкові значення, а потім проводити лічення до кінцевого значення. Наведемо приклад двійкового програмованого лічильника (рис. 4.11).

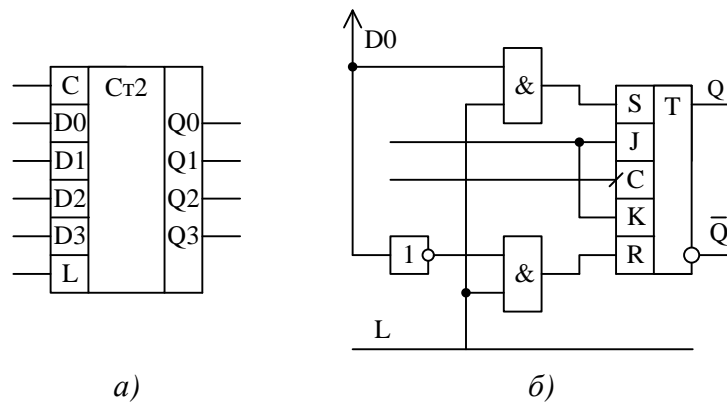


Рис. 4.11. Схематичне зображення програмованого лічильника (а) та принципова схема кола програмування одного розряду (б)

На рис. 4.11, а показано схематичне зображення програмованого лічильника. На ньому вхід L – це вхід дозволу запису коду.

З функціональних можливостей інтегральних схем програмованих лічильників можна виділити, що, як правило, інтегральні схеми програмованих лічильників представляють собою рекурсивні лічильники, в яких напрям лічення визначається або поданням "0", або "1" на спеціальний вхід управління напрямом лічення. Так само програмований лічильник може працювати, як сумуючий лічильник (коли коефіцієнт ділення частоти йде до збільшення), і в якості віднімаючого (коли коефіцієнт ділення частоти йде до зменшення).

Моделювання роботи лічильника за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельуємо роботу асинхронного двійкового сумуючого лічильника на основі D-тригера. Для цього дослідимо принципову схему цього лічильника.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Слідуючи вище описаним діям, дослідимо принципову схему для вивчення роботи асинхронного двійкового сумуючого лічильника на основі D-тригера, яка міститься в файлі asinh_lichilnik_priklad.ms10.

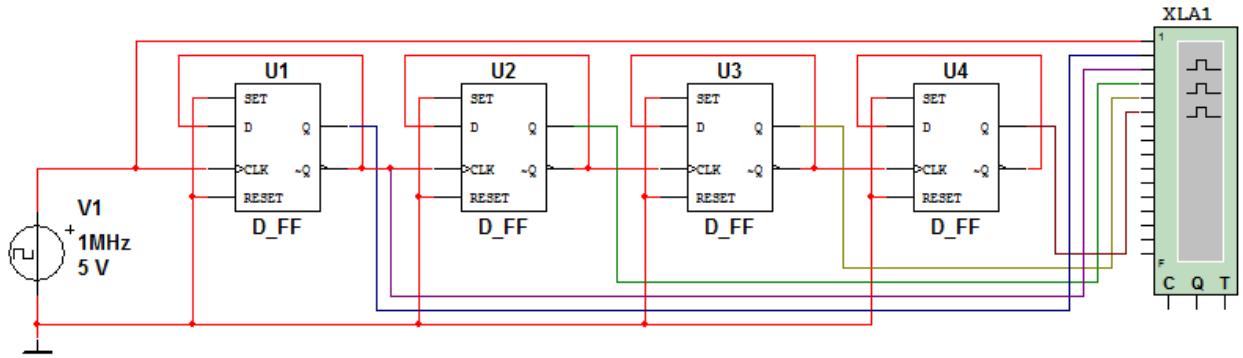


Рис. 4.12. Принципова схема моделі для дослідження асинхронного двійкового сумуючого лічильника на основі D-тригера

Для контролю сигналів на виходах елементів схеми зручно користуватися чотирьохканальним осцилографом. Якщо контрольованих сигналів більше чотирьох, доцільно скористатися логічним аналізатором. Для правильного відображення результатів роботи схеми необхідно задати параметри аналізу: частоту вхідного сигналу і параметри логічного аналізатора. При роботі з логічним аналізатором потрібно щоб тактова частота внутрішнього генератора аналізатора була вища, ніж частота вхідного сигналу. Чим вище тактова частота, тим вище роздільна здатність аналізатора за часом. Щоб задати тактову частоту, необхідно натиснути кнопку Set у відкритому вікні аналізатора (рис. 4.13), при цьому відкриється діалогове вікно установки параметрів аналізу (рис. 4.14). Окрім тактової частоти (Clock Rate) тут задається число вибірок, які оброблятимуться і виводитимуться на екран. Якщо число вибірок мале, може бути виведена тільки частина сигналу, якщо вибірок більше, ніж необхідно, то послідовно виводиться декілька реалізацій, що займають повний екран у вікні виводу, поки процес аналізу не буде завершений. Під вибіркою (відліком) мається на увазі значення сигналу, що виводиться, на кожному тактовому інтервалі. Кількість відліків, що виводяться на екран до моменту синхронізації (Pre_trigger sample) і після нього (Post_trigger sample), задається у відповідних вікнах (рис. 4.14).

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований в правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно двічі клацнути на зображення логічного аналізатора лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображались на білому фоні необхідно у вікні логічного аналізатора натиснути на кнопку Reverse.

На рис. 4.13 наведені часові діаграми роботи асинхронного двійкового сумуючого лічильника на основі D-тригера. Аналізуючи отримані результати, робимо висновок, що коефіцієнт ділення частоти даного лічильника рівний 16. Оскільки лічильник є дільником частоти, то коефіцієнт ділення частоти був визначений по формулі $K_{\text{дїл}} = f_{\text{вх}} / f_{\text{вих}} = 16$.

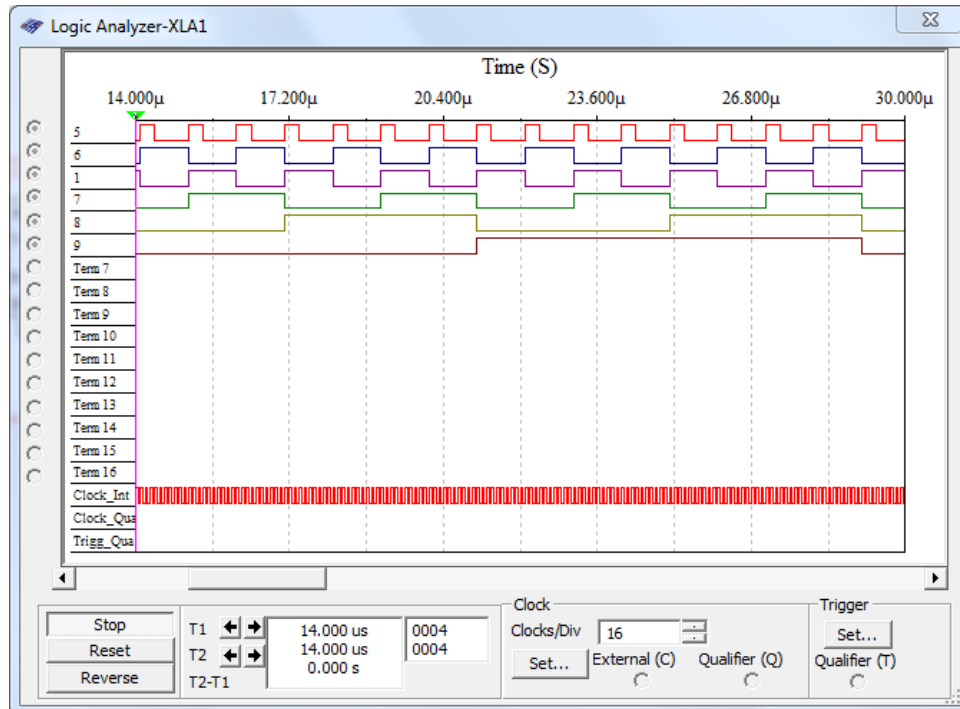


Рис. 4.13. Часові діаграми роботи асинхронного двійкового сумуючого лічильника на основі D-тригера

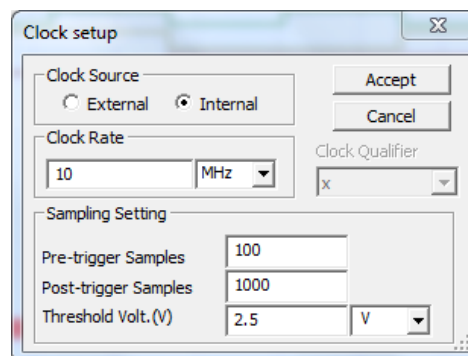


Рис. 4.14. Вікно установки параметрів логічного аналізатора

Мета роботи

Ознайомитися з принципом роботи різних типів лічильників. Для цього використати схеми, наведену на рис. 4.15...4.19.

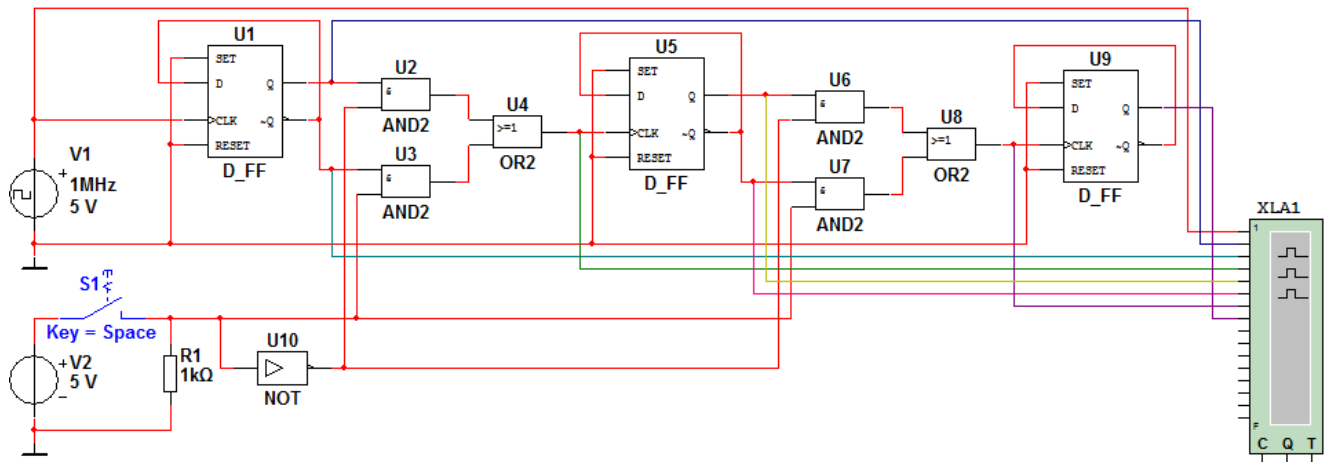


Рис. 4.15. Принципова схема моделі для дослідження асинхронного реверсивного лічильника (04_asinh_revers_lichilnik.ms10)

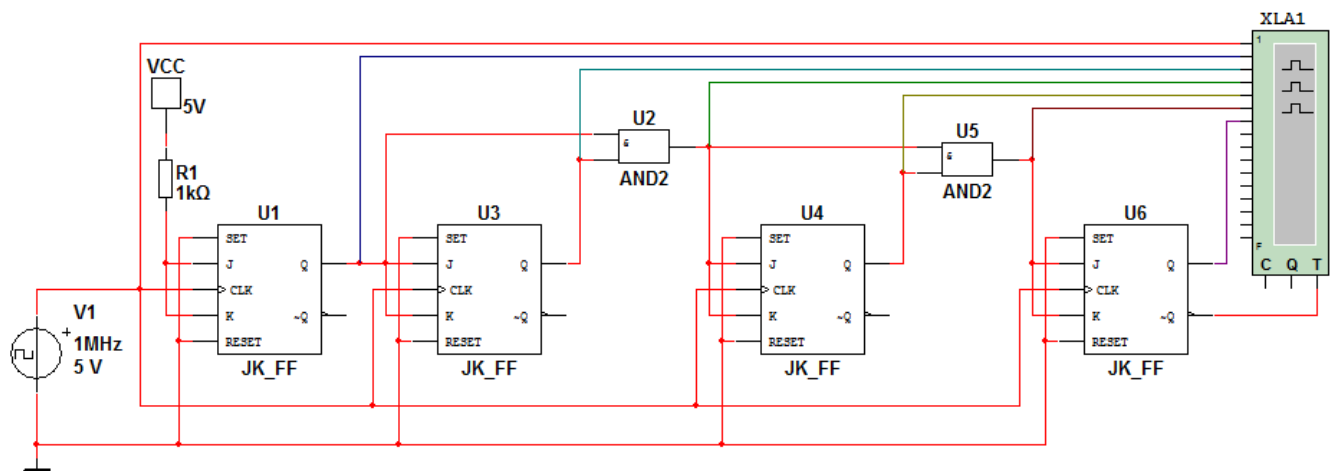


Рис. 4.16. Принципова схема моделі для дослідження синхронного лічильника (04_sinh_lichilnik.ms10)

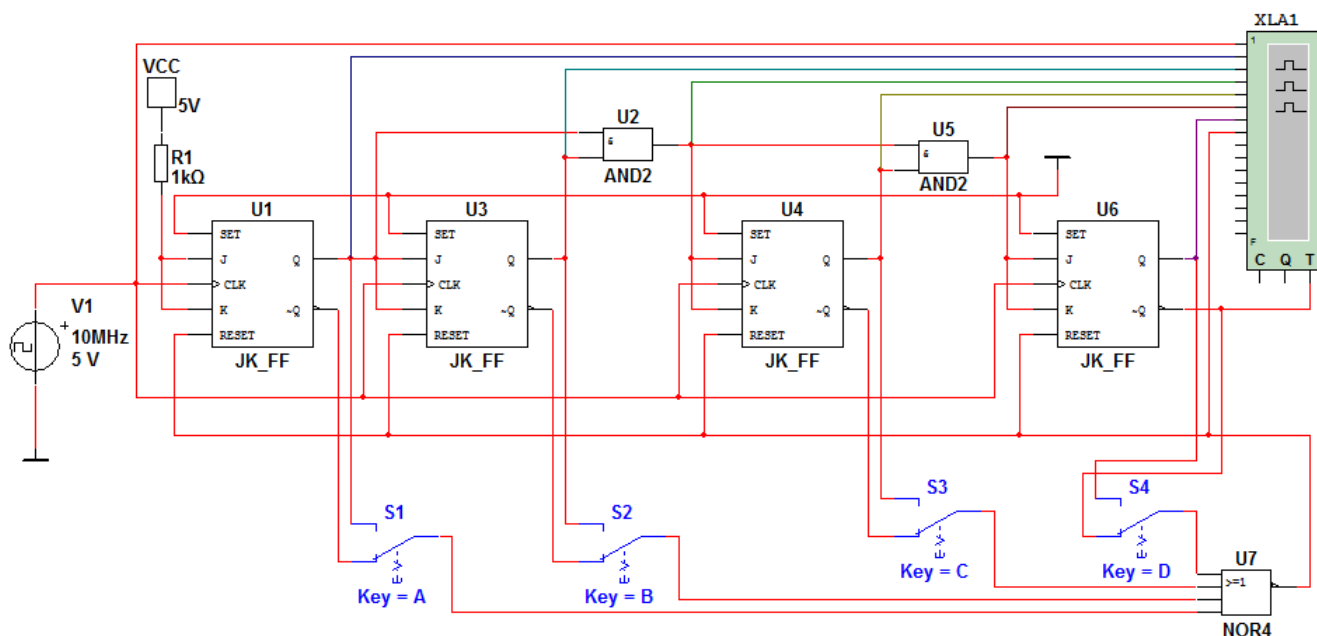


Рис. 4.17. Принципова схема моделі для дослідження недвійкового лічильника зі зворотним зв'язком на основі логічного елемента АБО-НЕ (04_nedviykoviy_zvrot_zv_vstanovl_0.ms10)

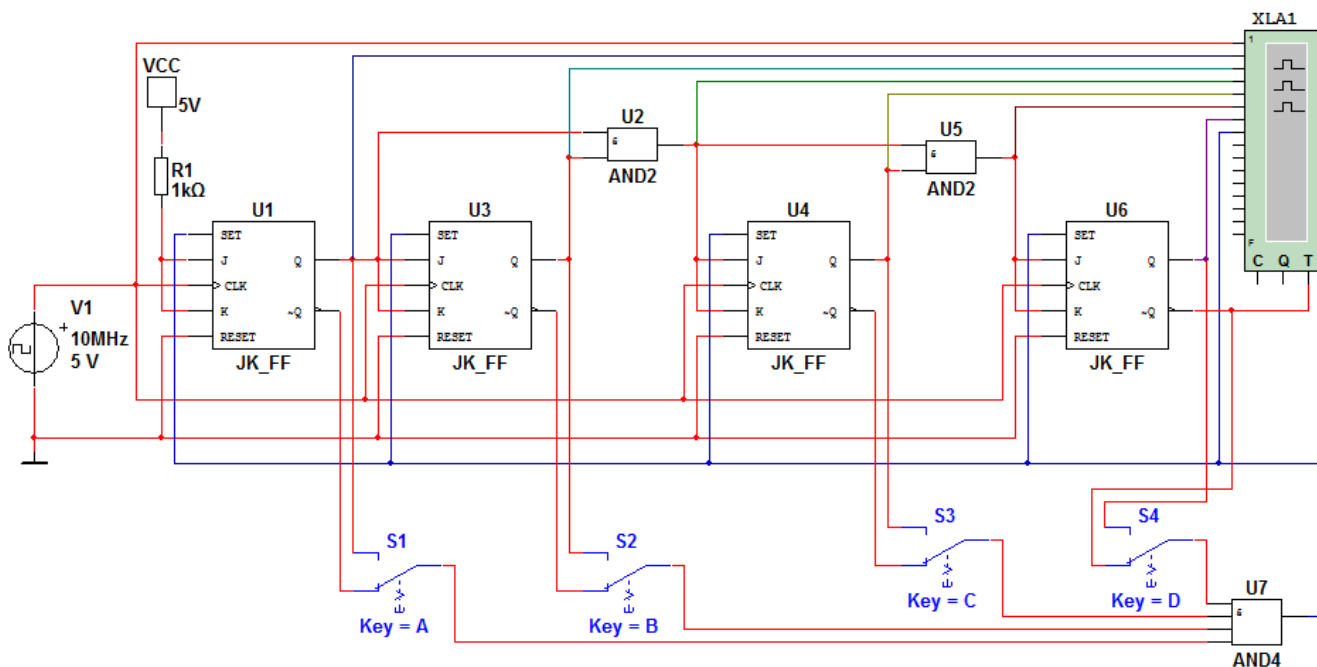


Рис. 4.18. Принципова схема моделі для дослідження недвійкового лічильника зі зворотним зв'язком на основі логічного елемента І (04_nedviykoviy_zvrot_zv_vstanovl_1.ms10)

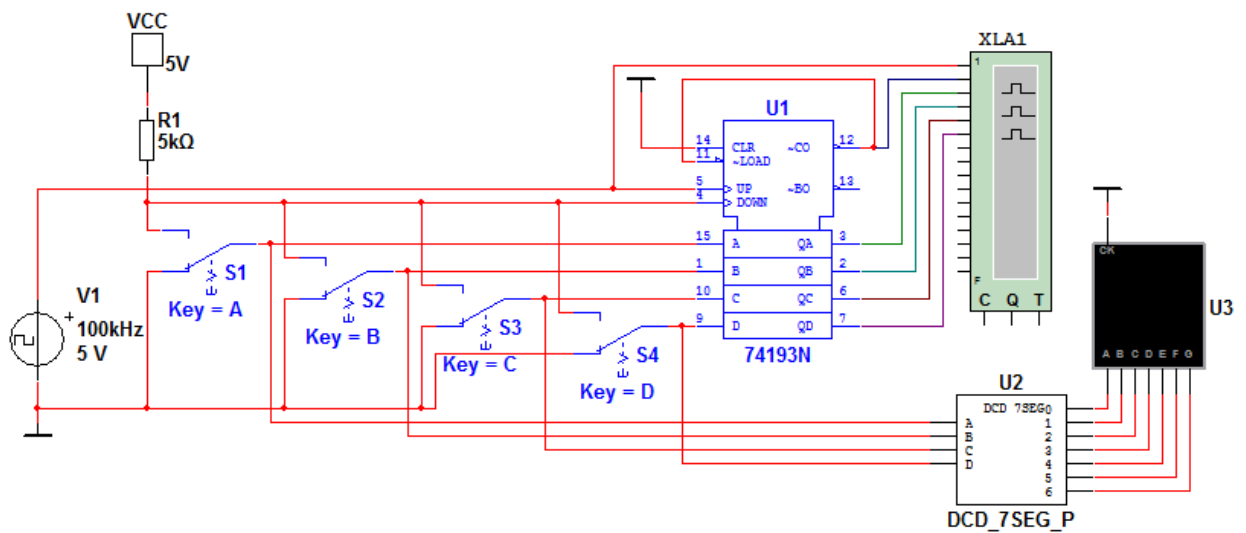


Рис. 4.19. Принципова схема моделі для дослідження програмованого лічильника (04_program_lichilnik.ms10)

Домашнє завдання

1. Вивчити принцип дії та логіку роботи лічильників [2, с. 183].
2. Вивчити класифікацію лічильників [1, с. 450-457; 2, с. 183-185].
3. Вивчити основні схеми побудови лічильників на тригерах [2, с. 185-213].

Порядок виконання роботи

1. Для вивчення принципу роботи асинхронного реверсивного лічильника дослідити схему, зображену на рис. 4.15, яка міститься в файлі 04_asinh_revers_lichilnik.ms10, у програмі NI Multisim. Комбінуючи положення перемикача дослідити роботу асинхронного лічильника в двох режимах. Визначити коефіцієнт ділення частоти даного лічильника. За допомогою логічного аналізатора отримати результати моделювання даного кола. Пояснити отримані результати.

2. Для вивчення принципу роботи синхронного лічильника дослідити схему, зображену на рис. 4.16, яка міститься в файлі 04_sinh_lichilnik.ms10, у програмі NI Multisim. Визначити коефіцієнт ділення частоти даного лічильника. За допомогою логічного аналізатора отримати результати моделювання даного кола. Пояснити отримані результати.

3. Для вивчення принципу роботи недвійкового лічильника із зворотним зв'язком дослідити схеми, наведені на рис. 4.17 та рис. 4.18, які містяться в файлах 04_nedviykoviy_zvorot_zv_vstanovl_0.ms10 та 04_nedviykoviy_zvorot_zv_vstanovl_1.ms10, у програмі NI Multisim. За вибором викладача встановити перемикачі в потрібне положення.

Визначити коефіцієнти ділення частоти даних лічильників. За допомогою логічного аналізатора отримати результати моделювання даних кіл. Пояснити отримані результати.

4. Для вивчення принципу роботи програмованого лічильника дослідити схему, зображену на рис. 4.19, яка міститься в файлі 04_program_lichilnik.ms10, у програмі NI Multisim. Комбінуючи положення перемикачів встановити початковий код за вибором викладача. За допомогою логічного аналізатора отримати результати моделювання даного кола. Пояснити отримані результати.

5. Для кожної схеми виміряти час затримки перемикання всього лічильника. Для цього додатково під'єднати до схеми двоканальний осцилограф. Перший вхід під'єднати до виходу джерела сигналу, а другий – до виходу останнього тригера лічильника.

Контрольні запитання

1. Що таке лічильник? Для чого вони використовуються?
2. За якими ознаками класифікуються лічильники?
3. Пояснити принцип роботи асинхронного двійкового лічильника. Навести приклади часових діаграм, які характеризують роботу асинхронного двійкового лічильника.
4. Пояснити принцип роботи синхронного лічильника. Навести приклади часових діаграм, які характеризують роботу синхронного лічильника.
5. Пояснити принцип роботи недвійкового лічильника із зворотним зв'язком. Навести приклади схем і часових діаграм, які характеризують роботу недвійкового лічильника із зворотним зв'язком.
6. Пояснити принцип роботи програмованого лічильника. Навести приклади схем і часових діаграм, які характеризують роботу програмованого лічильника.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести часові діаграми сигналів для кожного з досліджуваних лічильників. Схему лічильника або навести у звіті, або дати посилання на рисунок, де вона наведена..

Навести для кожної схеми час затримки перемикання всього лічильника.

Список літератури

1. Гольденберг Л.М. Импульсные и цифровые устройства. Учебник для вузов. М., "Связь", 1973. 496 с. с ил., табл., библи.
2. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.

ЛАБОРАТОРНА РОБОТА №5

Регістри

Теоретичні відомості

Регістри – пристрої, котрі призначені для прийому, зберігання та передачі даних, представлених в двійковому коді. Інформація в регістрі зберігається в вигляді числа або слова, представлених у вигляді комбінацій нулів та одиниць. За допомогою регістрів можна здійснити операції перетворення кодів (паралельного в послідовний і навпаки).

Основною ознакою, за якою розрізняють регістри є спосіб запису інформації:

паралельний – інформація записується одночасно в усі тригери регістра;

послідовний – інформація записується спочатку в перший тригер, а потім передається в другий і т.д.;

універсальний – працює в будь-якому з режимів.

Послідовні регістри бувають звичайні зсувні та реверсивні. В звичайних регістрах інформація зсувається в одну сторону, а в реверсивних – в обидві.

Паралельний регістр

В паралельному регістрі інформація записується паралельно на всі входи. Прикладом такого регістра є паралельний регістр на тригерах D-типу (рис. 5.1).

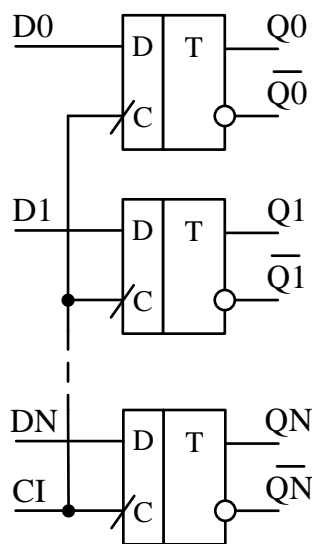


Рис. 5.1. Принципова схема паралельного регістра

В паралельному регістрі в момент приходу синхроімпульсу інформація одночасно запам'ятовується зі всіх входів D, та зберігається в регістрі до моменту приходу наступного синхроімпульсу. На рис. 5.2 показані часові діаграми роботи паралельного регістру.

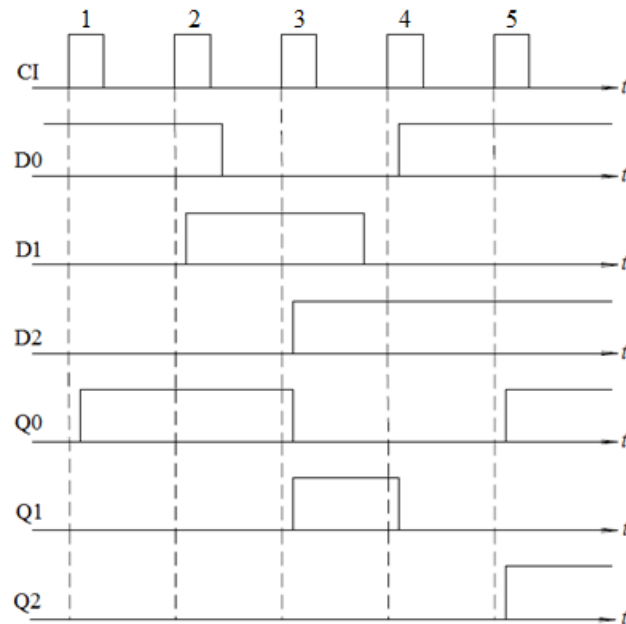


Рис. 5.2. Часові діаграми роботи паралельного регістра

Послідовний регістр

В послідовному регістрі інформація спочатку записується в перший тригер, а потім передається в другий і т.д. На рис. 5.3 приведено приклад принципової схеми послідовного регістру.

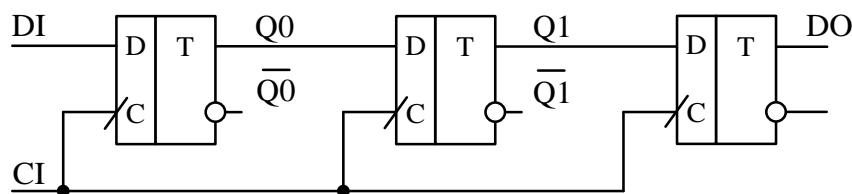


Рис. 5.3. Принципова схема послідовного регістра

На рис. 5.3 введені наступні позначення: DI – data input (вхід даних), DO – data output

(вихід даних). На рис. 5.4 приведені часові діаграми роботи послідовного регістра.

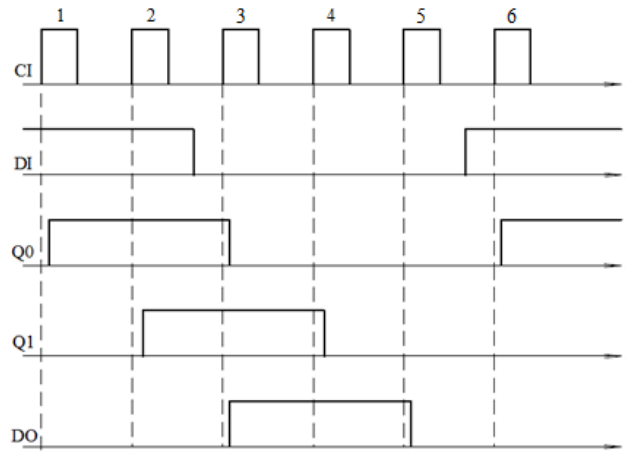


Рис. 5.4. Часові діаграми роботи послідовного регістра

Так як данні зсуваються в часі (кожен тригер зсуває дані на один такт), то такий регістр ще називається зсувним.

Реверсивний зсувний регістр дозволяє зсувати інформацію вправо чи вліво, в залежності від значень керуючих сигналів на додатковому вході. На рис. 5.5 наведена принципова схема реверсивного зсувного регістра з використанням цифрових перемикачів. В даній схемі сигнал V керує перемиканням регістру і в залежності від його значення змінюється сторона зсуву інформації.

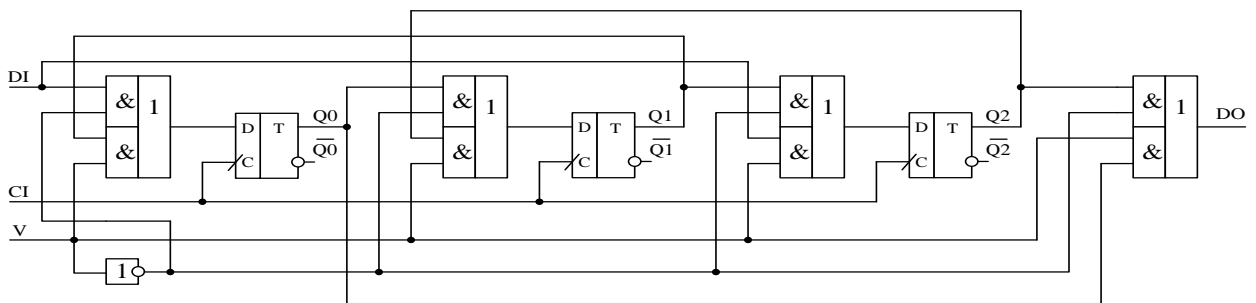


Рис. 5.5. Принципова схема реверсивного зсувного регістра

Універсальний послідовно-паралельний регістр

Універсальний послідовно-паралельний регістр повинен дозволити:

- приймати інформацію в послідовному або паралельному коді в залежності від сигналу керування;
- формувати на виході паралельний код;
- формувати на виході послідовність даних у вигляді послідовного коду, зсув якого можливий як в одному так і в іншому напрямі в залежності від другого сигналу керування.

Для того, щоб побудувати універсальний регістр доцільно використовувати RSD-тригери (рис. 5.6). Входи R і S використовують для запису паралельного коду. Вхід D – для побудови зсувного регістру.

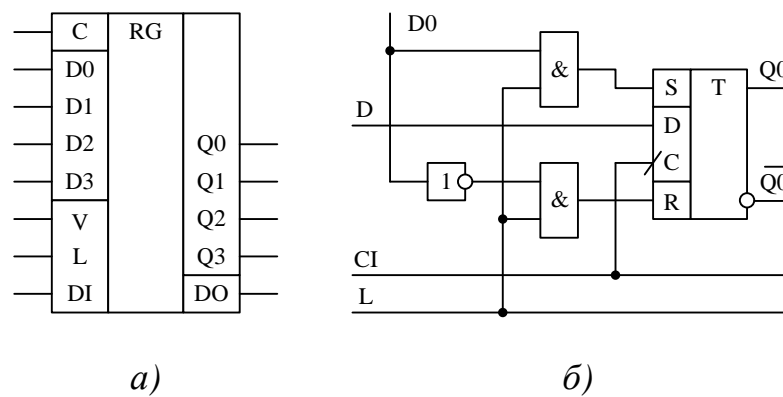


Рис. 5.6. Схематичне зображення універсального регістра (а)
та принципова схема одного розряду (б)

На схематичному зображенні універсального регістра (рис. 5.6,а) введені наступні позначення: C – вхід синхронізації; D0, D1, D2, D3 – входи паралельного коду; V – напрям зсуву; L – дозвіл запису паралельного коду; DI – вхід послідовного коду; DO – вихід послідовного коду; Q0, Q1, Q2, Q3 – виходи паралельного коду.

Перетворювач паралельного коду в послідовний

З метою економії портів вводу-виводу використовують схеми перетворювачів паралельного коду в послідовний. На рис. 5.7 показано приклад такої схеми.

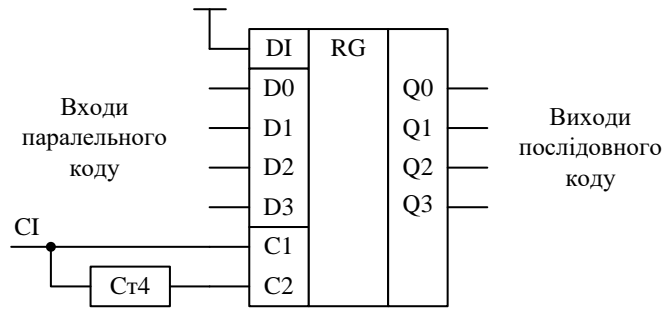


Рис. 5.7. Функціональна схема перетворювача паралельного коду в послідовний

В даній схемі: DI – вхід послідовних даних; D0, D1, D2, D3 – вхід паралельного коду; C1 – синхроімпульс для зсуву інформації в регістрі; C2 – завантаження паралельного коду; Ст4 – схема ділення частоти ($f_{C1}/f_{C2}=4$); Q0, Q1, Q2, Q3 – виходи послідовного коду. На рис. 5.8 показані часові діаграми роботи схеми перетворення паралельного коду в послідовний (рис. 5.7).

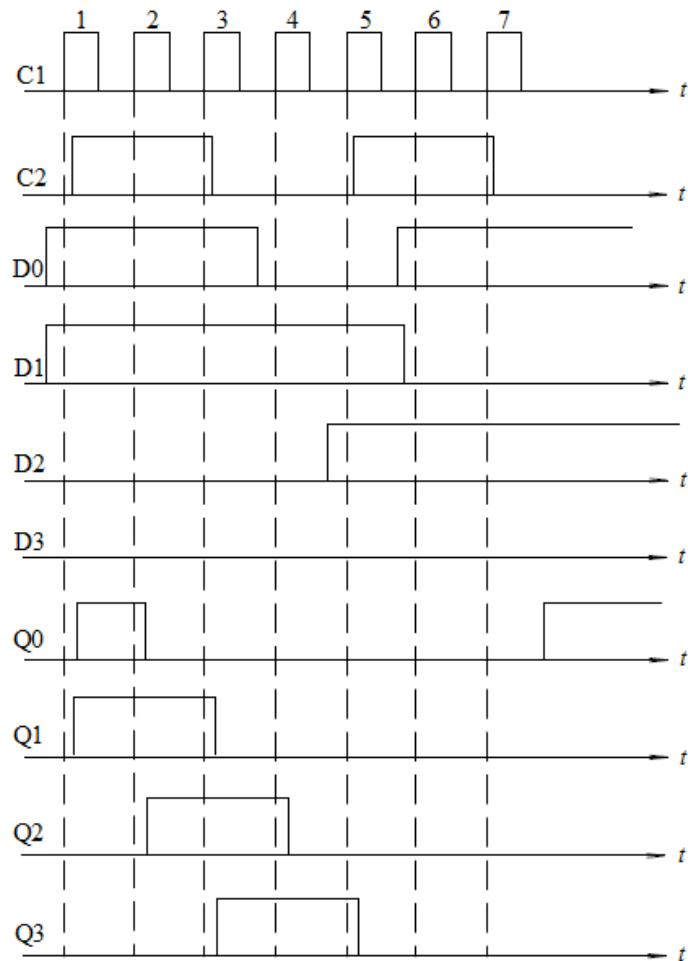


Рис. 5.8. Часові діаграми роботи схеми перетворювача паралельного коду в послідовний

Перетворювач послідовного коду в паралельний

Перетворення послідовного коду в паралельний часто використовується з метою підвищення швидкості бітового потоку. Приклад схеми такого перетворювача показаний на рис. 5.9.

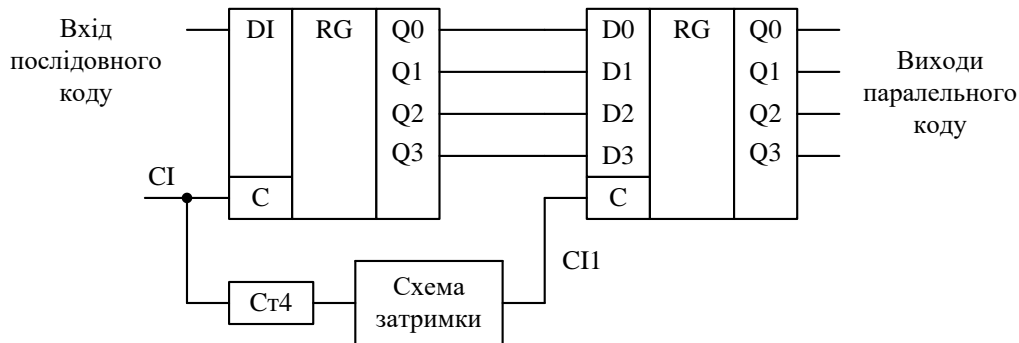


Рис. 5.9. Функціональна схема перетворювача послідовного коду в паралельний

В даній схемі C_{II} формується через кожні чотири імпульси C_I . За чотири такти вся інформаційна послідовність коду вводиться в перший регістр. Як тільки вона буде введена здійснюється запис коду в другий регістр, на виході якого і буде сформовано паралельний код.

Моделювання роботи регістра за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельємо роботу послідовного регістра на чотирьох RSD-тригерах. Для цього дослідимо принципову схему даного регістра.

Для того, щоб змодельювати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Дотримуючись вище описаних дій, дослідимо принципову схему для вивчення роботи послідовного регістра на чотирьох RSD-тригерах, яка міститься в файлі `registr_priklad.ms10`.

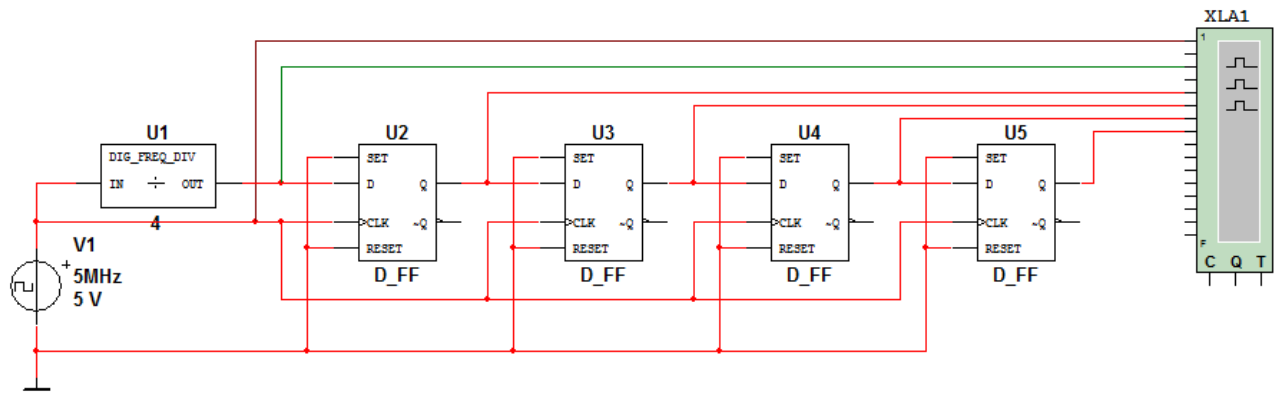


Рис. 5.10. Принципова схема послідовного регістра на чотирьох RSD-тригерах

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення логічного аналізатора лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні логічного аналізатора натиснути на кнопку Reverse.

На рис. 5.11 наведені часові діаграми роботи послідовного регістра на чотирьох RSD-тригерах (рис. 5.10).

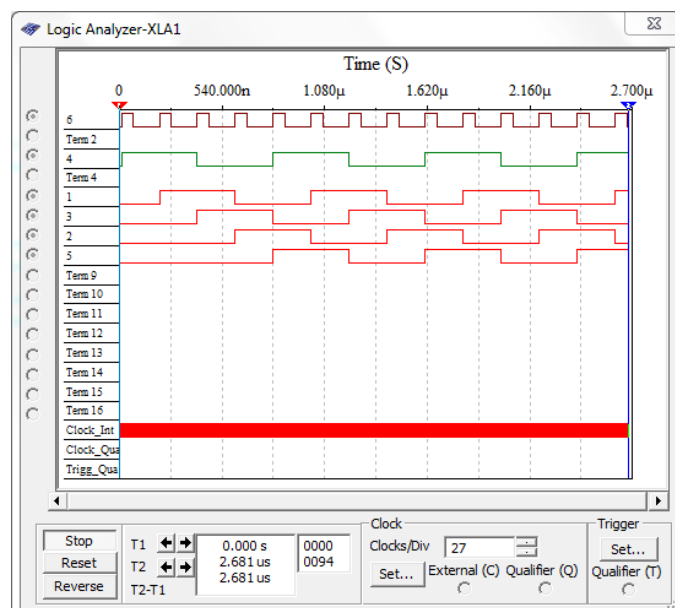


Рис. 5.11. Часові діаграми роботи послідовного регістра на чотирьох RSD-тригерах

Мета роботи

Ознайомитись з принципом роботи різних типів регістрів.

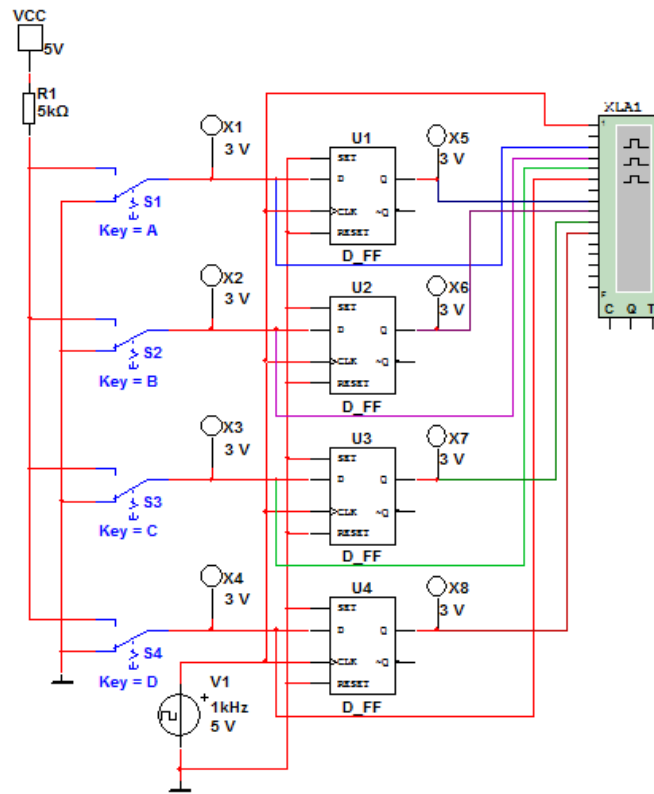


Рис. 5.12. Принципова схема моделі для дослідження паралельного регістра (05_paralel_registr.ms10)

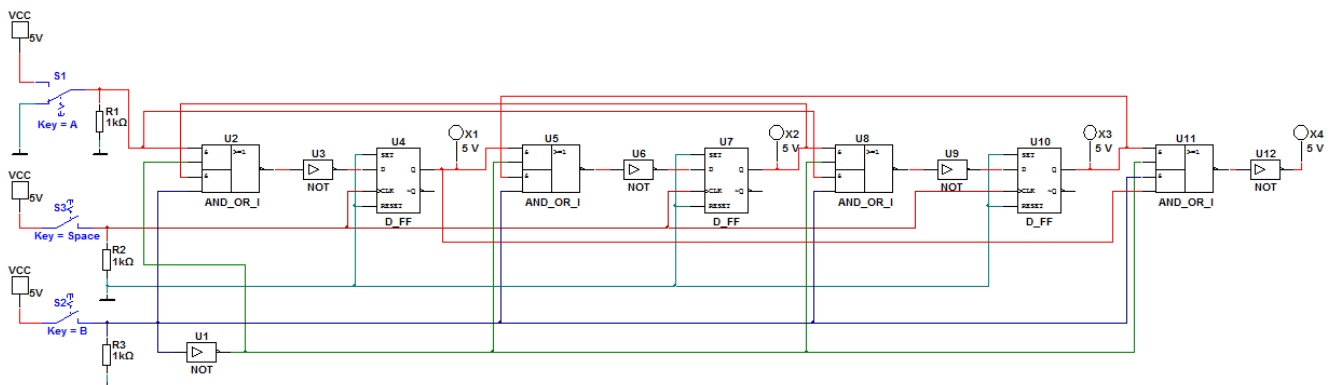


Рис. 5.13. Принципова схема моделі для дослідження реверсивного зсувного регістра (05_revers_zsuvniy_registr.ms10)

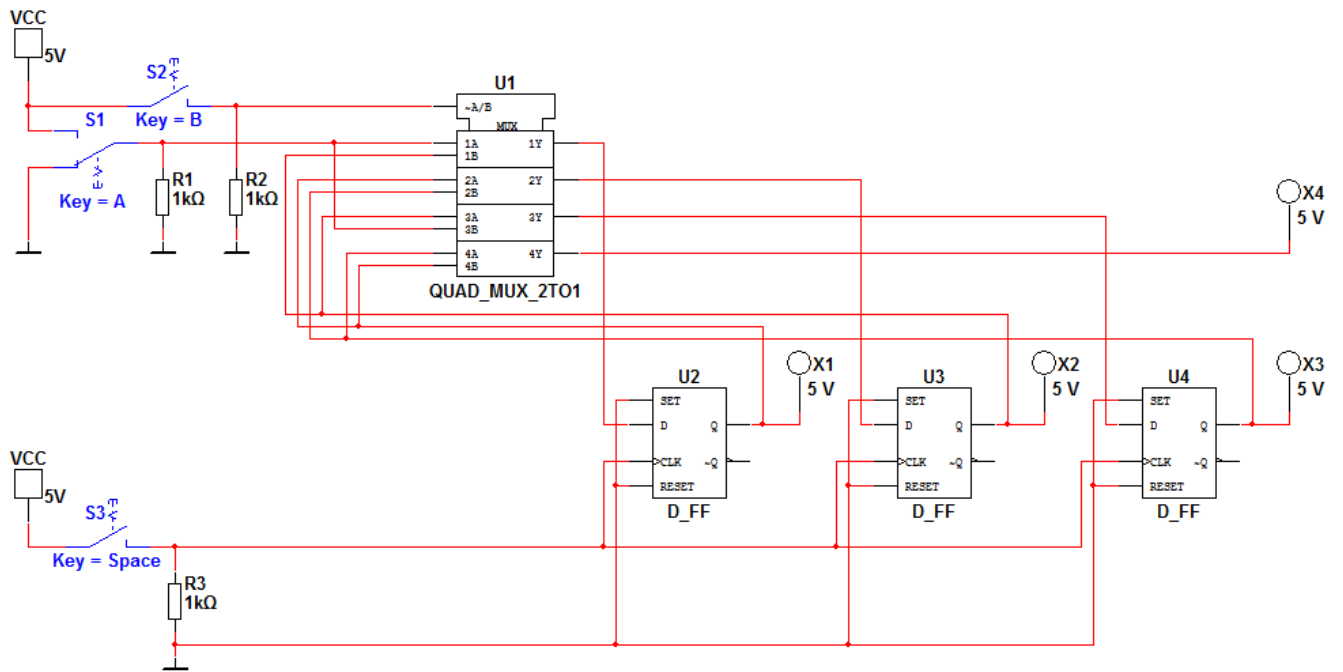


Рис. 5.14. Принципова схема моделі для дослідження реверсивного зсувного регістра з використанням мультиплектора (05_revers_zsuvniy_registr_mux.ms10)

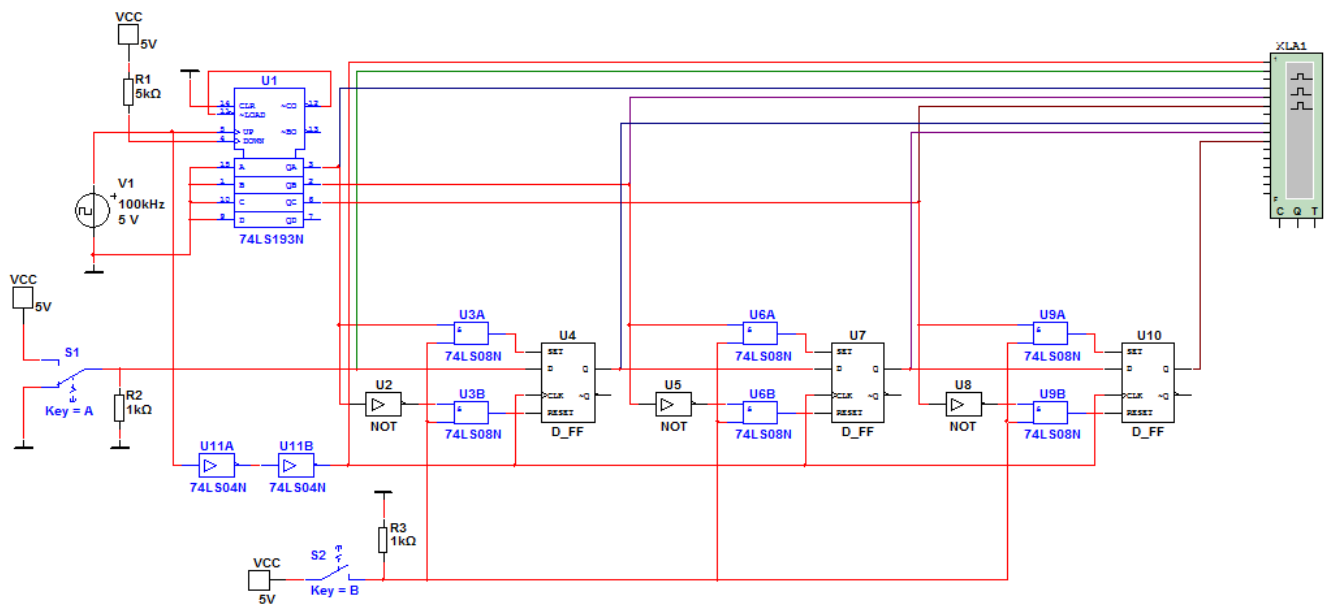


Рис. 5.15. Принципова схема моделі для дослідження універсального послідовно-паралельного регістра (05_univers_posl_paral_registr.ms10)

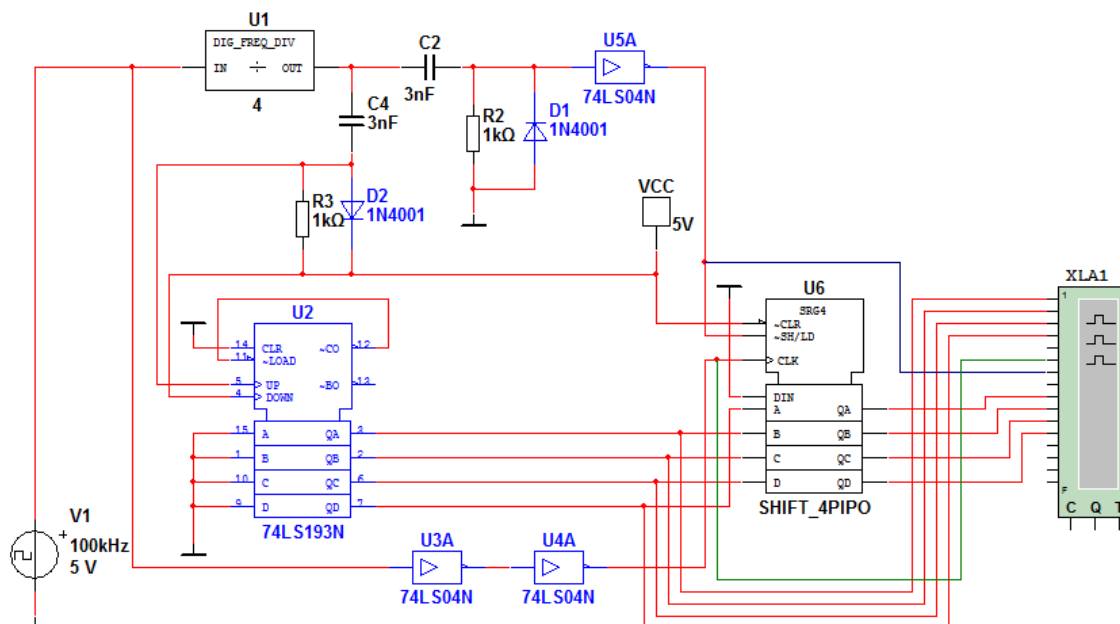


Рис. 5.16. Принципова схема моделі для дослідження перетворення паралельного коду в послідовний (05_paralelniy_v_poslidovniy.ms10)

Домашнє завдання

1. Вивчити принцип дії та логіку роботи регістрів [1, с. 446].
2. Вивчити класифікацію регістрів [1, с. 446-448; 2, с. 150].
3. Вивчити основні схеми побудови регістрів на логічних елементах [2, с. 150-165].

Порядок виконання роботи

1. Для вивчення принципу роботи паралельного регістра дослідити схему, зображену на рис. 5.12, яка міститься в файлі 05_paralel_registr.ms10, в програмі NI Multisim. За допомогою перемикачів встановити вхідний код паралельного регістра. За допомогою логічного аналізатора та індикаторів отримати результати моделювання даної схеми. Пояснити отримані результати.

2. Для вивчення принципу роботи реверсивного зсувного регістра дослідити схеми, зображену на рис. 5.13 та рис. 5.14, які містяться в файлах 05_revers_zsuvniy_registr.ms10 та 05_revers_zsuvniy_registr_mux.ms10 відповідно, в програмі NI Multisim. За вибором викладача, дослідити одну з двох схем. Комбінуючи положення перемикача S1 задати послідовний код регістра. Комбінуючи положення перемикача S3 задати синхроімпульси даної схеми. За допомогою індикаторів спостерігати результати моделювання даної схеми. За допомогою

перемикача S2 змінювати напрямок зсуву інформації. Дослідити роботу реверсивного зсувного регістра з різним напрямком лічення. Пояснити отримані результати.

3. Для вивчення принципу роботи універсального послідовно-паралельного регістра дослідити схему, зображену на рис. 5.15, яка міститься в файлі 05_univers_posl_paral_registr.ms10, в програмі NI Multisim. Комбінуючи положення перемикача S2 дослідити роботу універсального послідовно-паралельного регістра в двох режимах. При роботі в режимі послідовного регістра, за допомогою перемикача S1 задати послідовний код. За допомогою логічного аналізатора отримати результати моделювання даної схеми. Пояснити отримані результати.

4. Для вивчення принципу роботи схеми перетворення паралельного коду в послідовний дослідити схему, зображену на рис. 5.16, яка міститься в файлі 05_parelelniy_v_poslidovniy.ms10, в програмі NI Multisim. За допомогою логічного аналізатора отримати результати моделювання даної схеми. Пояснити отримані результати.

Контрольні запитання

1. Що таке регістр? Які приклади його застосування?
2. Класифікація регістрів.
3. Пояснити принцип роботи паралельного регістра. Навести приклад часових діаграм, котрі характеризують роботу паралельного регістра.
4. Пояснити принцип роботи послідовного регістра. Навести приклад часових діаграм, котрі характеризують роботу послідовного регістра.
5. Пояснити принцип роботи універсального послідовно-паралельного регістра. Навести приклад часових діаграм, котрі характеризують роботу універсального послідовно-паралельного регістра.
6. Пояснити принцип перетворення паралельного коду в послідовний. Навести приклад принципової схеми такого перетворення та часові діаграми її роботи.
7. Пояснити принцип перетворення послідовного коду в паралельний. Навести приклад принципової схеми такого перетворення та часові діаграми її роботи.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести часові діаграми сигналів для кожного з досліджуваних регістрів. Схему регістра або навести у звіті, або дати посилання на рисунок, де вона наведена..

Навести для кожної схеми час затримки перемикання всього регістра.

Список літератури

1. Гольденберг Л.М. Импульсные и цифровые устройства. Учебник для вузов. М., "Связь", 1973. 496 с. с ил., табл., библи.
2. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.

ЛАБОРАТОРНА РОБОТА №6

Одновібратори та мультівібратори

Теоретичні відомості

Генератори імпульсів призначені для формування одиночних імпульсів або послідовності імпульсів.

Існує три режими роботи генератора імпульсів:

- автоколивальний – на виході генератора формується безперервна послідовність імпульсів;
- чекаючий – на вхід подається імпульс запуску, у відповідь на який на виході генератора формується один імпульс, тривалість якого визначається параметрами електричного кола генератора;
- режим синхронізації та ділення частоти – вихідну послідовність імпульсів генератор формує синхронно з імпульсами, котрі надходять на вхід синхронізації.

Одновібратор

Одновібратор – генератор одиночних імпульсів. При короткочасному сигналі на вході він формує електричний імпульс прямокутної форми визначеної тривалості, після чого переходить в чекаючий режим і залишається в такому стані до приходу наступного запускаючого сигналу.

Часто в технічній літературі можна зустріти й іншу назву даного пристрою – чекаючий мультівібратор.

Одновібратори на RS-тригерах

Схема одновібратора на RS-тригері зображена на рис. 6.1. Часові діаграми її роботи наведені на рис. 6.2.

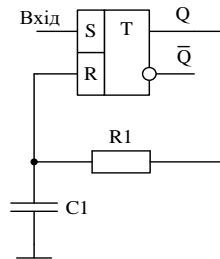


Рис. 6.1. Принципова схема одновібратора на RS-тригері

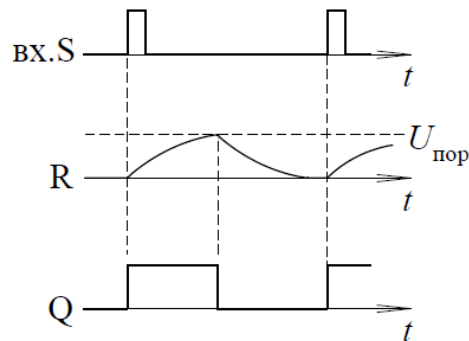


Рис. 6.2. Часові діаграми роботи одновібратора на RS-тригері

Для того, щоб побудувати часові діаграми роботи, необхідно визначити початковий стан схеми. Проте він невідомий, тому ми його задаємо довільно. Далі припустимо під значенням напруги 0 - рівень логічного нуля, а під 1 – рівень логічної одиниці.

Припустимо, що на виході Q до подачі на вхід S імпульсу напруга рівна 0 і перевіримо це припущення: якщо на виході Q напруга рівна 0, то на вході R напруга теж рівна 0, що не суперечить правилам роботи RS - тригера. Якби на Q напруга дорівнювала 1, то відбувся б заряд конденсатора C1 через резистор R1. Коли напруга на вході R досягне порогового рівня, тригер перемкнеться в 0.

При подачі імпульсу на вхід S, на виході Q встановиться високий рівень напруги і

почнеться заряд конденсатора $C1$ через резистор $R1$. Цей процес триватиме до тих пір, поки напруга на вході R не досягне порогового, що рівносильно подачі на вхід R рівня логічної одиниці. Оскільки в цей час на вході S імпульс вже відсутній, тригер перемкнеться в нульовий стан і почнеться розряд конденсатора $C1$ через резистор $R1$ і внутрішній опір.

У цій схемі (рис. 6.1) тривалість розряду і заряду однакові. На вхід такої схеми слід подавати імпульс тривалість якого завжди менше тривалості вихідного імпульсу.

Недоліками цієї схеми є те, що вона довго повертається в початковий стан.

З метою усунення даного недоліку, в схему вводять два додаткових елемента: резистор $R2$ та діод $VD1$, причому $R2 \ll R1$. Схема такого однобібратора та часові діаграми її роботи наведені на рис. 6.3 та рис. 6.4 відповідно.

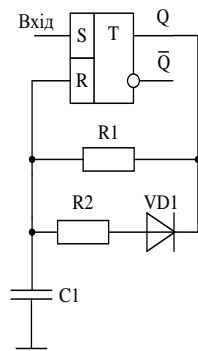


Рис. 6.3. Принципова схема однобібратора на RS-тригері з прискорюючим колом

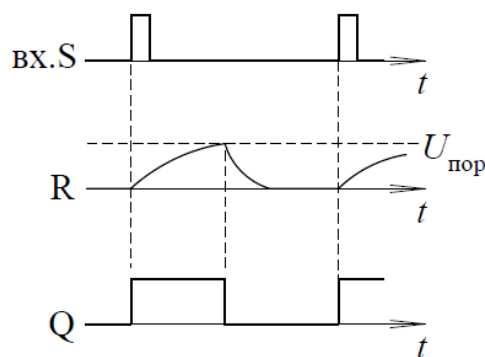


Рис. 6.4. Часові діаграми роботи однобібратора на RS-тригері з прискорюючим колом

При підключенні додаткового резистора $R2$ загальний опір стає доволі малим, час розряду конденсатора $C1$ зменшується. Розглянемо коло заряду и розряду конденсатора $C1$ в однобібраторі. На етапі формування часового інтервалу конденсатор заряджається від 0 (точніше

від залишкової напруги) до порогової напруги $U_{\text{пор}}$ по колу через резистор R1. На етапі відновлення конденсатор розряджається від $U_{\text{пор}}$ до 0 спочатку через діод VD1 і резистор R2, а в кінці, коли діод VD1 закривається – через резистор R1.

Розрахуємо тривалість імпульсу, сформованого за допомогою однобібратора:

$$U_C = A \cdot (1 - e^{-t/\tau}), \text{ де } U_C = U_{\text{пор}}, A = E_{\text{ж}}, t = t_{\text{імп}}, \tau = R1 \cdot C1;$$

$$U_{\text{пор}} = E_{\text{ж}} \cdot (1 - e^{-t_{\text{імп}}/\tau});$$

$$e^{-t_{\text{імп}}/\tau} = \frac{E_{\text{ж}} - U_{\text{пор}}}{E_{\text{ж}}};$$

$$t_{\text{імп}} = \tau \cdot \ln \frac{E_{\text{ж}}}{E_{\text{ж}} - U_{\text{пор}}}.$$

Однобібратор не чутливий до тривалості імпульсів

Розглянемо схему (рис. 6.5) та часові діаграми роботи (рис. 6.6) однобібратора на RSD-тригері.

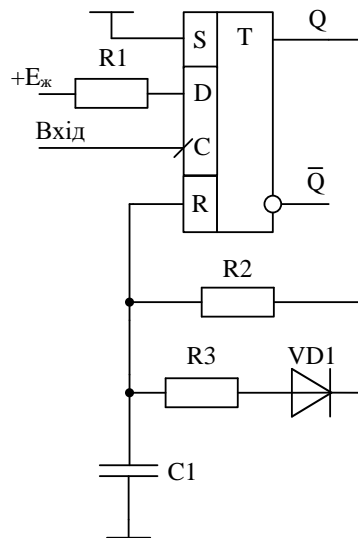


Рис. 6.5. Принципова схема однобібратора на RSD-тригері

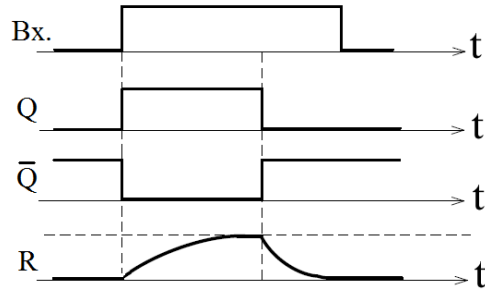


Рис. 6.6. Часові діаграми роботи одновібратора на RSD-тригері

Принцип роботи одновібратора побудованого на RSD-тригері полягає в наступному: в початковому стані на виході Q рівень логічного 0 і конденсатор C1 не заряджений. При приході на вхід C додатного перепаду напруги (фронту імпульсу) тригер запам'ятовує логічну 1, так як на вході D через R1 подано напругу живлення. Коли на виході Q встановиться логічна 1 починає заряджатися конденсатор C1 через коло Q-R2-C1. Коли напруга на C1 досягне порогового значення тригер обтулиться і конденсатор C1 почне швидко розряджатися по двом паралельним колам C1-R2-Q та C1-R3-VD1-Q. Так як $R3 \ll R2$, то процес розряду відбувається набагато швидше процесу заряду.

Одновібратори на логічних елементах

Розглянемо приклад схеми побудови одновібратора на логічних елементах (рис. 6.7) та часові діаграми її роботи (рис. 6.8).

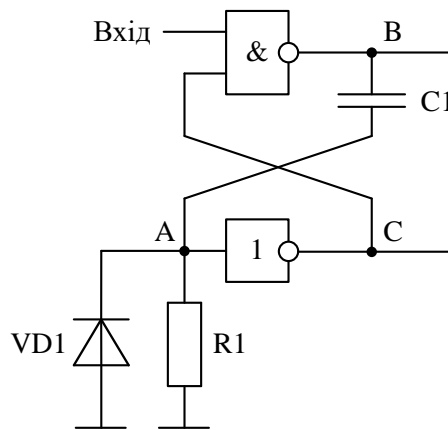


Рис. 6.7. Принципова схема одновібратора на логічних елементах

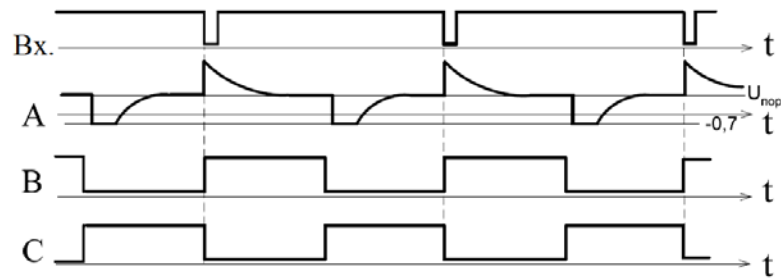


Рис. 6.8. Часові діаграми роботи одновібратора на логічних елементах

В початковому стані на вхід одновібратора подається сигнал з рівнем логічної 1. В цей час в точці А нульовий потенціал, так як вона з'єднана із загальним проводом через резистор R1. Тоді в точці С встановлений рівень логічної 1, а в точці В – 0. При подачі на вхід одновібратора імпульсу у вигляді перепаду рівня з 1 в 0 починається формування вихідного імпульсу одновібратора. На виході логічного елементу І-НІ в точці В формується рівень логічної 1. Цей стрибок напруги через диференційний коло C1R1 передається в точку А, що викликає перемикання виходу інвертора в точці С в нульовий стан. В цей час починається заряд конденсатора С1 по колу І-НІ-С1-R1. Напруга в точці А зменшується, і коли вона досягає порогового значення інвертор знову перемкнеться в стан логічної 1. Тоді на виході логічного елементу І-НІ сформується рівень логічного 0. Цей перепад із точки В в току А передається через диференційний коло C1R1. Конденсатор С1 починає розряджатися через малий внутрішній опір логічного елементу І-НІ та резистор R1.

Мультивібратор на RS-тригері

Схема мультивібратора на RS-тригері зображена на рис. 6.9. Часові діаграми її роботи наведені на рис. 6.10.

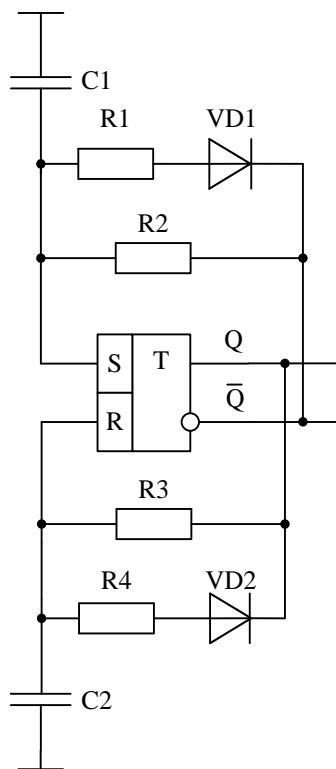


Рис. 6.9. Принципова схема мультивібратора на RS-тригері

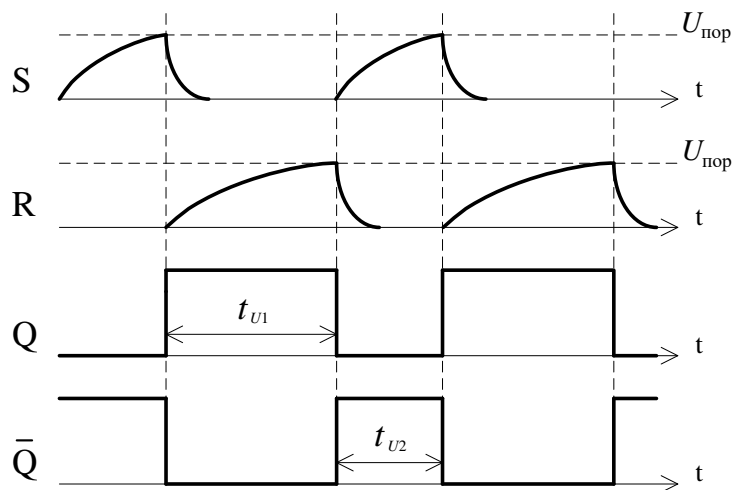


Рис. 6.10. Часові діаграми роботи мультивібратора на RS-тригері

Для розгляду роботи мультивібратора необхідно прийняти початковий стан на виходах тригера. Так як абсолютно симетричних схем не буває, то тригер може встановитися в 0 або 1, що завчасно невідомо. Тому розглядати роботу можна з будь-якого стану. Приймемо, що $Q=0$,

$\bar{Q}=1$, тоді конденсатор C2 розряджений і напруга на вході R дорівнює 0, а конденсатор C1 заряджається. Коли напруга на конденсаторі C1 досягне порогового значення, то тригер переключиться в 1, а вихід \bar{Q} встановиться в 0. Конденсатор C1 швидко розрядиться через резистор R1 та діод VD1 і почнеться заряд конденсатора C2 по колу Q-R3-C2. Коли напруга на конденсаторі C2 досягне порогового значення тригер переключиться в 0, конденсатор C2 швидко розрядиться через резистор R4 та діод VD2 і почнеться заряд конденсатора C1. Процес повториться.

Період слідування імпульсів отримуємо з наступних співвідношень:

$$t_1 = \tau_1 \cdot \ln 2 = R_3 C_2 \cdot \ln 2,$$

$$t_2 = \tau_2 \cdot \ln 2 = R_2 C_1 \cdot \ln 2,$$

$$T = t_1 + t_2.$$

Мультивібратор на RS-тригері з інверсними входами

Схема мультивібратора на RS-тригері з інверсними входами зображена на рис. 6.11. Часові діаграми її роботи наведені на рис. 6.12.

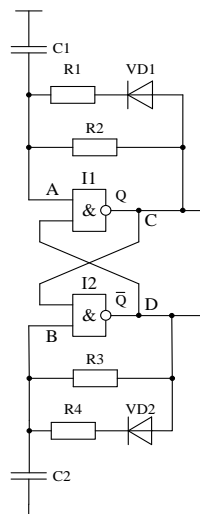


Рис. 6.11. Принципова схема мультивібратора на RS-тригері з інверсними входами

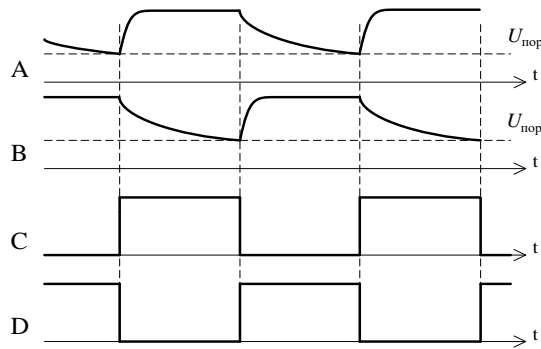


Рис. 6.12. Часові діаграми роботи мультивібратора на RS-тригері з інверсними входами

Для розгляду даного мультивібратора прийmemo, що в початковий момент часу в точці D був рівень логічної 1, а в точці C рівень логічного 0, а отже конденсатор C2 заряджений, а конденсатор C1 розряджається. Як тільки напруга на конденсаторі C1 досягне порогового значення на виході I1 сформується рівень логічної 1, як наслідок на виході I2 сформується рівень логічного 0. Конденсатор C1 швидко зарядиться до вихідної напруги логічного елемента I1 і почнеться розряд конденсатора C2. Як тільки напруга на конденсаторі C2 досягне порогового значення на виході I2 сформується рівень логічної 1, як наслідок на виході I1 сформується рівень логічного 0. Конденсатор C2 швидко зарядиться до вихідної напруги логічного елемента I2 і почнеться розряд конденсатора C1. Процес повториться.

Мультивібратор на логічних елементах

Схема мультивібратора на логічних елементах зображена на рис. 6.13. Часові діаграми її роботи наведені на рис. 6.14.

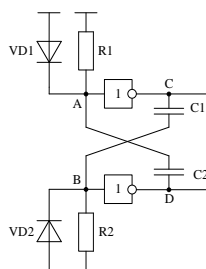


Рис. 6.13. Принципова схема мультивібратора на логічних елементах

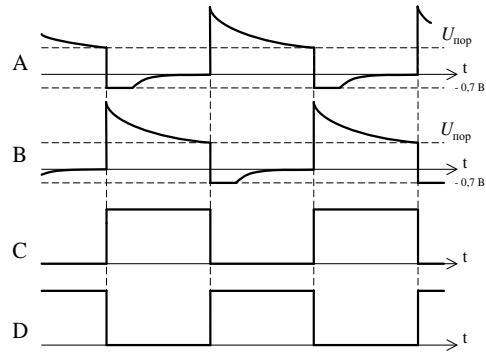


Рис. 6.14. Часові діаграми роботи мультивібратор на логічних елементах

Для розгляду даного мультивібратора приймемо, що в початковий момент часу в точці С був рівень логічного 0, а в точці D рівень логічної 1. Так як між точками D і А є диференційний коло C2R1, то значить напруга в точці А буде спадати, так як конденсатор C2 заряджається. Напругу в точці В вважаємо рівною 0, тобто конденсатор C1 вже зарядився. Як тільки напруга в точці А впаде до порогового рівня, в точці С буде сформовано рівень логічної 1. Цей стрибок напруги в точці С буде передаватися в точку В через диференційний коло C1R2. Як тільки значення напруги в точці В збільшиться до максимального, в точці D буде сформовано рівень логічного 0. Цей перепад напруги із логічної 1 в 0 передається з точки D в точку А через диференційний коло C2R1. Напруга в точці А стрибком змінюється до $-0,7$ В, так як в схемі наявний захисний діод VD1. Напруга в точці С стрибком переходить з рівня логічного 0 в рівень логічної 1, а напруга в точці В починає зменшуватись, так як конденсатор C1 заряджається. Як тільки напруга в точці В впаде до порогового рівня, в точці D буде сформовано рівень логічної 1. Цей стрибок напруги в точці D буде передаватися в точку А через диференційний коло C2R1, як наслідок напруга в точці С впаде до 0 і від'ємний перепад напруг буде переданий в точку В. Напруга в точці В стрибком зміниться до $-0,7$ В і весь процес знову повториться.

Мультивібратор на елементах КМОН

Схема мультивібратора на елементах КМОН зображена на рис. 6.15. Часові діаграми її роботи наведені на рис. 6.16.

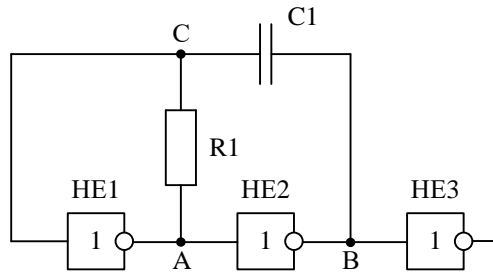


Рис. 6.15. Принципова схема мультивібратора на елементах КМОН

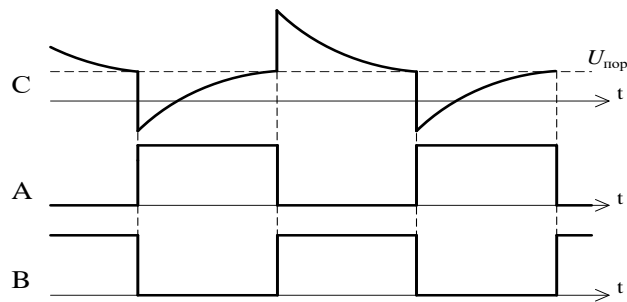


Рис. 6.16. Часові діаграми роботи мультивібратора на елементах КМОН

Для розгляду роботи даного мультивібратора припустимо, що в початковому стані напруга в точці А дорівнює рівню логічного 0, а в точці В рівню логічної 1, тоді напруга в точці С повинна зменшуватись, щоб в певний момент часу відбулося перемикання елемента HE1. Як тільки напруга в точці С упаде до порогового значення, елемент HE1 перемкнеться в 1, в точці В буде рівень логічного 0 і від'ємний стрибок напруги рівний по амплітуді напрузі живлення буде переданий в точку С через R1C1. Почнеться заряд конденсатора C1, а напруга в точці С збільшуватиметься і наблизатиметься до порогового рівня. Як тільки напруга в точці С досягне порогового значення перемкнеться елемент HE1, в точці А встановиться рівень логічного 0, а в точці В рівень логічної 1 і додатній стрибок напруги буде переданий в точку С. Почнеться перезаряд конденсатора C1, а напруга в точці С зменшуватиметься і наблизатиметься до порогового значення. Потім процес повториться.

Моделювання роботи одновібратора за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельємо роботу одновібратора на RS-тригері. Для цього дослідимо принципову схему даного одновібратора.

Для того, щоб змодельювати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Дотримуючись вище описаних дій, дослідимо принципову схему для вивчення роботи одновібратора на RS-тригері, яка міститься в файлі `odnovibrator_priklad.ms10`.

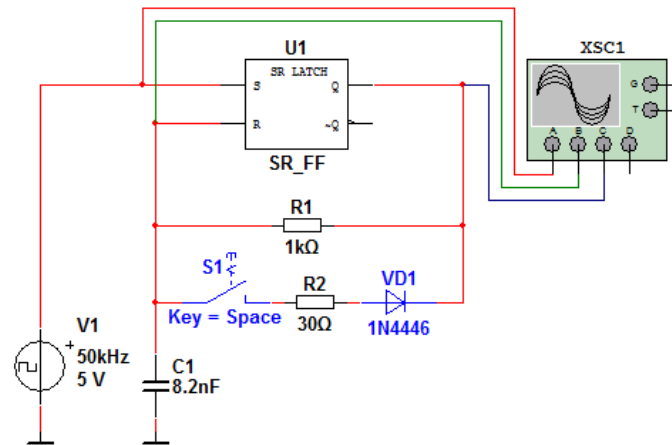
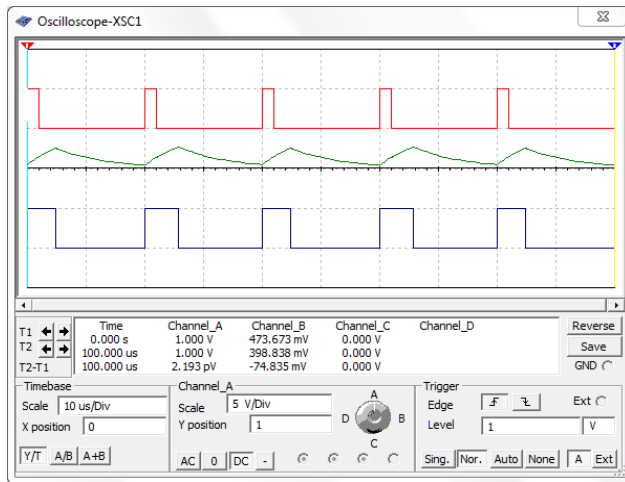


Рис. 6.17. Принципова схема одновібратора на RS-тригері

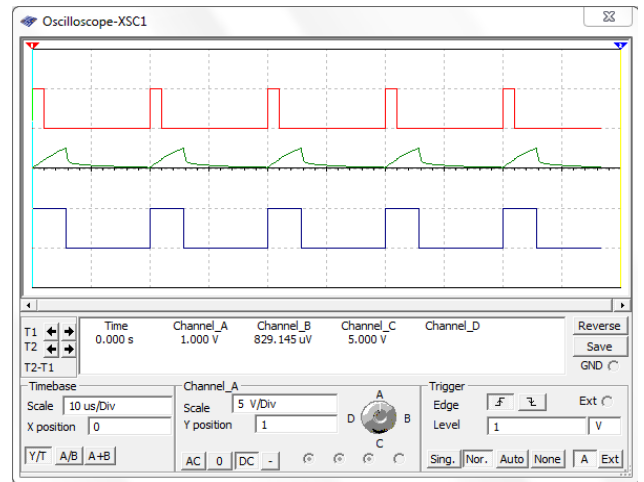
Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

На рис. 6.18,а наведені часові діаграми роботи одновібратора на RS-тригері без прискорюючого кола R2VD1, а на рис. 6.18,б – з прискорюючим колом R2VD1 (рис. 6.17).



a)



б)

Рис. 6.18. Часові діаграми роботи одновібратора на RS-тригері без прискорюючого кола (а) та з прискорюючим колом (б)

Мета роботи

Ознайомитись з принципом роботи різних типів одновібраторів та мультівібраторів.

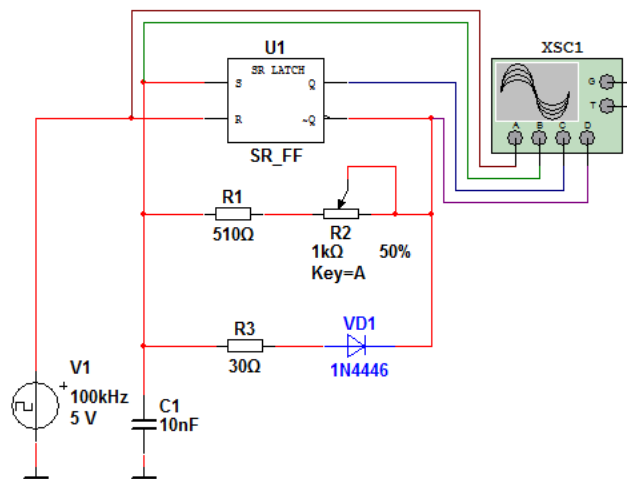


Рис. 6.19. Принципова схема моделі для дослідження одновібратора на RS-тригері (06_odnovibratori_rs_triger.ms10)

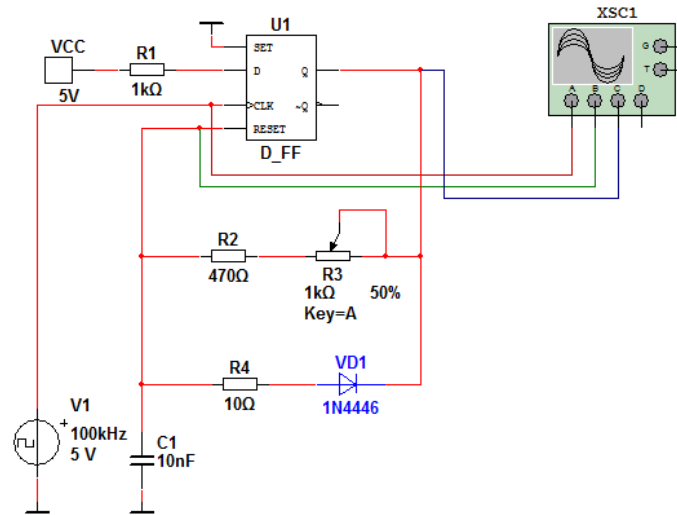


Рис. 6.20. Принципова схема моделі для дослідження одновібратора не чутливого до тривалості імпульсів (06_odnovibrator_ne_chutliviy.ms10)

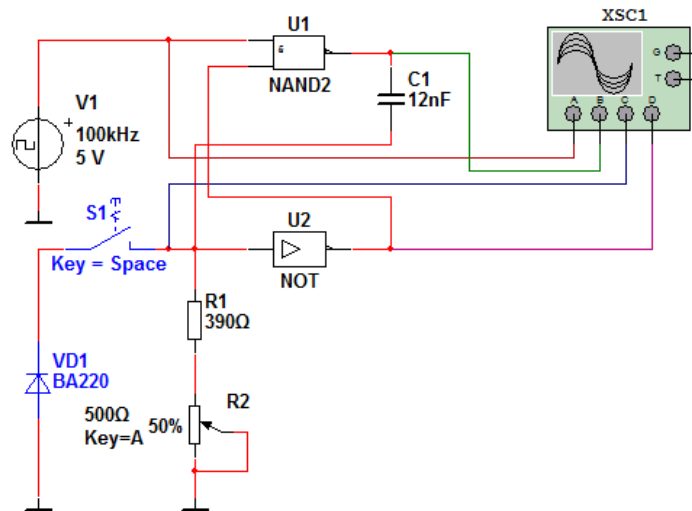


Рис. 6.21. Принципова схема моделі для дослідження одновібратора на логічних елементах (06_odnovibrator_log_element.ms10)

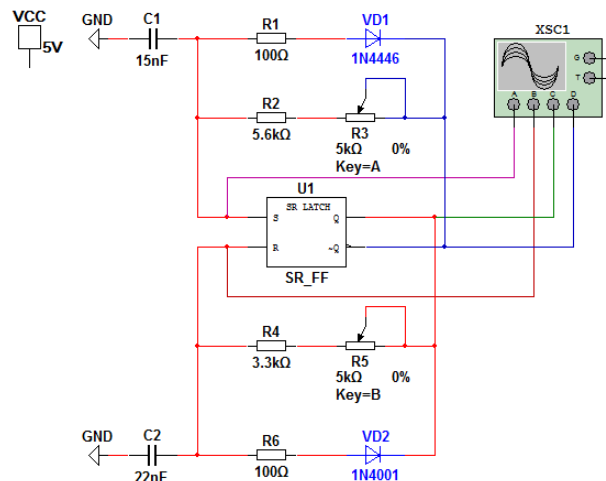


Рис. 6.22. Принципова схема моделі для дослідження мультівібратора на RS-тригері (06_multivibrator_rs_triger.ms10)

Домашнє завдання

1. Вивчити принцип дії та логіку роботи одновібраторів та мультівібраторів [1, с. 368-377; 2, с. 57-59; 2, с. 80-84].
2. Вивчити основні схеми побудови одновібраторів та мультівібраторів [1, с. 368-377; 2, с. 69-79; 2, с. 84-103].

Порядок виконання роботи

Для вивчення принципу роботи одновібратора на RS-тригері дослідити схему, зображену на рис. 6.19, яка міститься в файлі 06_odnovibrator_rs_triger.ms10, в програмі NI Multisim. Комбінуючи положення повзунка потенціометра R2 варіювати загальний опір кола R1R2. За допомогою осцилографа отримати результати моделювання даної схеми. Пояснити отримані результати.

1. Для вивчення принципу роботи одновібратора не чутливого до тривалості імпульсів дослідити схему, зображену на рис. 6.20, яка міститься в файлі 06_odnovibrator_ne_chutliviy.ms10, в програмі NI Multisim. Комбінуючи положення повзунка потенціометра R3 варіювати загальний опір кола R2R3. За допомогою осцилографа отримати результати моделювання даної схеми. Пояснити отримані результати.

2. Для вивчення принципу роботи одновібратора на логічних елементах дослідити схему, зображену на рис. 6.21, яка міститься в файлі 06_odnovibrator_log_element.ms10, в програмі NI Multisim. Комбінуючи положення повзунка потенціометра R2 варіювати загальний опір кола R1R2. Комбінуючи положення перемикача S1 дослідити дану схему з діодом та без нього. За допомогою осцилографа отримати результати моделювання даної схеми. Пояснити отримані результати.

3. Для вивчення принципу роботи мультівібратора на RS-тригері дослідити схему, зображену на рис. 6.22, яка міститься в файлі 06_multivibrator_rs_trigger.ms10, в програмі NI Multisim. Комбінуючи положення повзунків потенціометрів R3 та R5 варіювати загальний опір колоїв R2R3 та R4R5 відповідно. За допомогою осцилографа отримати результати моделювання даної схеми. Пояснити отримані результати.

Контрольні запитання

1. Що таке одновібратор? Які приклади його застосування ви можете навести?
2. Що таке мультівібратор? Які приклади його ви можете навести?
3. Навести приклади основних принципових схем одновібраторів.
4. Навести приклади основних принципових схем мультівібраторів.
5. Пояснити принцип роботи одновібратора на RS-тригері. Навести приклад часових діаграм, котрі характеризують роботу одновібратора на RS-тригері.
6. Пояснити принцип роботи одновібратора не чутливого до тривалості імпульсів. Навести приклад часових діаграм, котрі характеризують роботу одновібратора не чутливого до тривалості імпульсів.
7. Пояснити принцип роботи одновібратора на логічних елементах. Навести приклад часових діаграм, котрі характеризують роботу одновібратора на логічних елементах.
8. Пояснити принцип роботи мультівібратора на RS-тригері. Навести приклад часових діаграм, котрі характеризують роботу мультівібратора на RS-тригері.
9. Пояснити принцип роботи мультівібратора на логічних елементах. Навести приклад часових діаграм, котрі характеризують роботу мультівібратора на логічних елементах.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести часові діаграми

сигналів для кожного з досліджуваних одновібраторів та мультівібраторів. У звіті необхідно навести схему і відповідні їй часові діаграми роботи.

Список літератури

1. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.
2. Зельдин Е.А. Импульсные устройства на микросхемах. – М.: Радио и связь, 1991. – 160с.

ЛАБОРАТОРНА РОБОТА №7

Дешифратори та шифратори

Теоретичні відомості

Дешифратор – це пристрій, котрий має n входів та до 2^n виходів і перетворює вхідний двійковий код в позиційний код на його виходах. Позиційний код означає наступне: якщо вхідна змінна дорівнює нулю, то одиниця формується на першому виході дешифратора; якщо вхідний код дорівнює одиниці, то одиниця формується на другому виході. Всім одиницям на вході відповідають одиниці на виході дешифратора.

Якщо вхідний код двійковий, то функція дешифратора описується наступними виразами:

$$\begin{cases} y_0 = x_1 x_2 x_3 \dots x_n \\ y_1 = \bar{x}_1 x_2 x_3 \dots x_n \\ \dots \dots \dots \\ y_m = \bar{x}_1 \bar{x}_2 \bar{x}_3 \dots \bar{x}_m, \end{cases}$$

де n – кількість розрядів вхідного коду; m – можлива кількість виходів дешифратора.

Дешифратор може бути побудований одноступінчатим (лінійний) і багатоступінчатим. Багатоступінчаті дешифратори можна розділити на прямокутні (матричні) та пірамідальні.

Лінійний дешифратор

Вхідні параметри: $x_0, x_1, x_2, \dots, x_n$; вихідні параметри: $y_0, y_1, y_2, \dots, y_m$, де $m = 2^n$.

Лінійні дешифратори виконуються прямою схемою реалізації виразів:

$$\begin{cases} y_0 = \bar{x}_0 \bar{x}_1 \bar{x}_2 \dots \bar{x}_n \\ y_1 = x_0 \bar{x}_1 \bar{x}_2 \dots \bar{x}_n \\ y_2 = \bar{x}_0 x_1 \bar{x}_2 \dots \bar{x}_n \\ \dots \dots \dots \\ y_m = x_0 x_1 x_2 \dots x_m \end{cases}$$

Приклад побудови лінійного дешифратора та часові діаграми його роботи наведені на рис. 7.1 та рис. 7.2 відповідно.

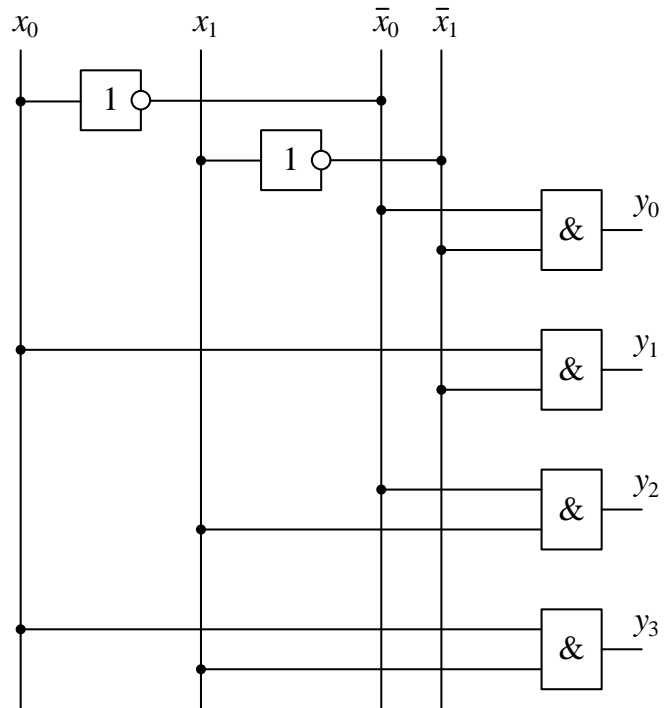


Рис. 7.1. Принципова схема побудови лінійного дешифратора

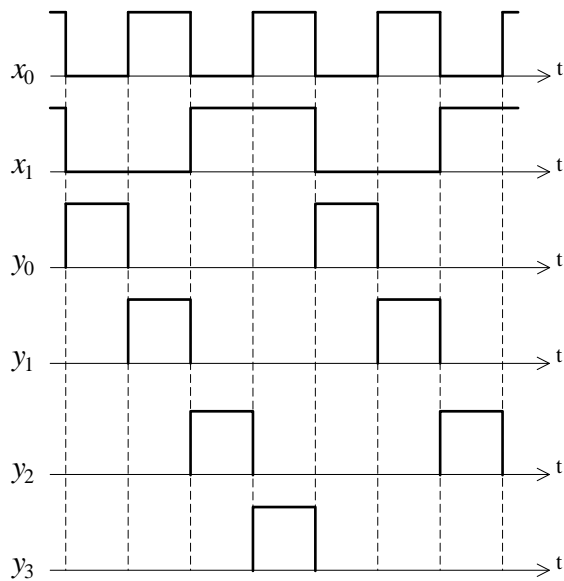


Рис. 7.2. Часові діаграми роботи лінійного дешифратора

Робота даного лінійного дешифратора характеризується наступними виразами:

$$\begin{cases} y_0 = \bar{x}_0 \bar{x}_1 \\ y_1 = x_0 \bar{x}_1 \\ y_2 = \bar{x}_0 x_1 \\ y_3 = x_0 x_1 \end{cases}$$

Для побудови лінійного дешифратора необхідно використовувати логічні елементи, кількість входів яких дорівнює розрядності дешифруемого коду. Крім того необхідна висока навантажувальна можливість того пристрою, котрий формує вхідні коди. На практиці навантажувальна можливість не перевищує 10...20. Лінійний суматор навантажує вхідний пристрій на $2^N / 2$ входів.

Прямокутний (матричний) дешифратор

Якщо кількість входів $n > 5$, то кожен вхід дешифратора навантажується на $(2^N / 2) + 1$ вхід логічного елемента. Це перевищує навантажувальну можливість будь-якого логічного елемента. Тому використовують прямокутний дешифратор.

Прямокутний дешифратор має першу ступінь із декількох лінійних дешифраторів, на кожному із яких дешифруються групи розрядів вхідного коду. Багаторозрядне слово розбивається на N груп. Принцип побудови прямокутних дешифраторів полягає в тому, що N вхідних змінних дешифратора розбиваються на дві групи. При парному N обидві групи однакові та мають $N / 2$ входів кожна. При непарному N перша група має $(n + 1) / 2$ входів, а друга – $(n - 1) / 2$.

Всі кон'юнкції всередині групи утворюють за допомогою допоміжних дешифраторів, а необхідні вихідні змінні дешифратора утворюються в результаті кон'юнкцій вихідних змінних допоміжних дешифраторів.

Оцінюючи, як і раніше, навантажувальну можливість вихідних елементів джерела вхідного коду, можна зробити висновок про необхідність додаткового розбивання груп на підгрупи (якщо навантажувальна можливість виявляється менша, ніж число входів лінійного дешифратора) або з можливістю застосування в якості допоміжного дешифратора – лінійного. Якщо необхідне додаткове розбивання на підгрупи, то допоміжний дешифратор будується по

двохступінчатій схемі, а весь дешифратор виявляється виконаний по трьохступінчатій схемі. Кількість ступенів при необхідності може бути збільшена.

Наведемо приклад побудови прямокутного дешифратора на 4 входи та 16 виходів. Нехай навантажувальна можливість вихідних елементів пристрою, котрий формує вхідний код дешифратора, дорівнює 3. Тоді дешифратор необхідно будувати по двоохступінчатій схемі.

Розбиваємо всі входи на дві групи по два входи в кожній. Наведемо матрицю, котра характеризує роботу даного дешифратора.

	x_0x_1	$x_0x_1x_2x_3$	$-y_0$
1 група	\bar{x}_0x_1	$\bar{x}_0x_1x_2x_3$	$-y_1$
	$x_0\bar{x}_1$	$x_0\bar{x}_1x_2x_3$	$-y_2$
	$\bar{x}_0\bar{x}_1$	$\bar{x}_0\bar{x}_1x_2x_3$	$-y_3$
		.	.
		.	.
		.	.
	x_2x_3	$x_0x_1\bar{x}_2\bar{x}_3$	$-y_{12}$
2 група	\bar{x}_2x_3	$\bar{x}_0x_1\bar{x}_2\bar{x}_3$	$-y_{13}$
	$x_2\bar{x}_3$	$x_0\bar{x}_1\bar{x}_2\bar{x}_3$	$-y_{14}$
	$\bar{x}_2\bar{x}_3$	$\bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3$	$-y_{15}$

Пірамідальний дешифратор

Пірамідальні дешифратори, як і прямокутні, відносяться до багатоступінчатих дешифраторів, особливість яких є використання в усіх ступенях дешифрації двовходових вентилів з обов'язковим підключенням виходу елемента K -ої ступені до входів тільки двох елементів $(K+1)$ ступені. Число ступенів K в пірамідальному дешифраторі на одиницю менше розрядності дешифруємого коду $K=N-1$, а число схем K в кожній ступені визначається виразом:

$$B_i = 2^{i+1},$$

де i – номер ступені пірамідального дешифратора.

Приклад побудови пірамідального дешифратора показано на рис. 7.3.

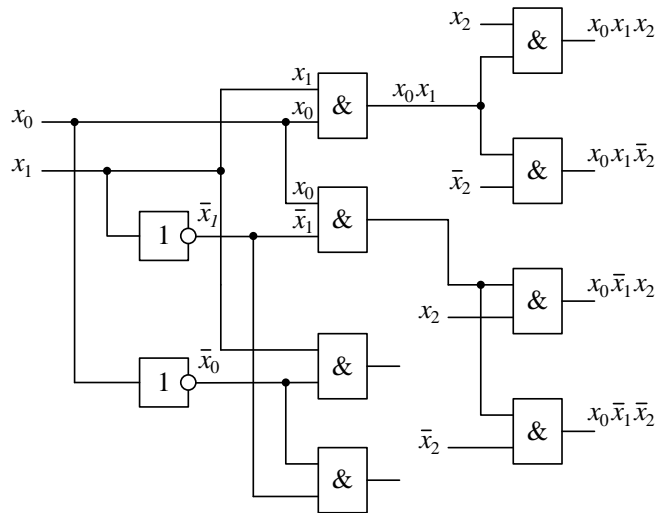


Рис. 7.3. Схема побудови 3-х розрядного пірамідального дешифратора

Дешифратор семисегментного коду

Дешифратор семисегментного коду призначений для управління семисегментними індикаторами з роздільними анодами або з роздільними катодами. На рис. 7.4 наведена схема семисегментного індикатора з роздільними анодами, а на рис. 7.5 – з роздільними катодами.

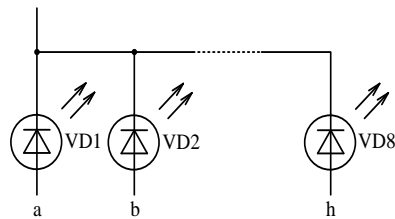


Рис. 7.4. Схема семисегментного індикатора з роздільними анодами

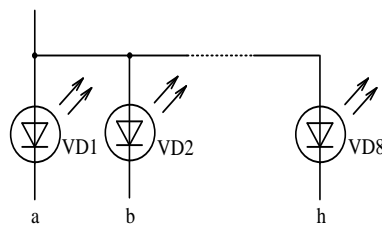


Рис. 7.5. Схема семисегментного індикатора з роздільними катодами

На рис. 7.6 показано розташування сегментів семисегментного індикатора.

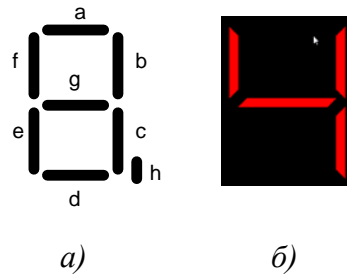


Рис. 7.6. Розташування сегментів семисегментного індикатора (а)
та його вигляд у моделі (б)

В табл. 7.1 показано двійковий код, котрий потрібно подати на вхід дешифратора семисегментного коду, щоб отримати потрібну цифру на індикаторі.

Таблиця 7.1. Цифра на індикаторі в залежності від вхідного двійкового коду

Цифра	Двійковий код			
	D3	D2	D1	D0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Розрізняють дешифратори семисегментного коду за виходами. Якщо дешифратор має інверсні виходи, то на його виходах формуються активні рівні, що дорівнюють логічному "0". Такі дешифратори призначені для управління роботою індикаторів з загальним анодом (у моделях це Common Anod – CA). Схема з'єднання дешифратора з індикатором CA наведена на рис. 7.7.

Резистори R2...R8 призначені для обмеження струму що протікає через сегмент

індикатора. Для того щоб розрахувати величину опору резисторів необхідно знати два параметри – номінальний струм через сегмент та пряме падіння напруги на сегменті при номінальному значенні струму.

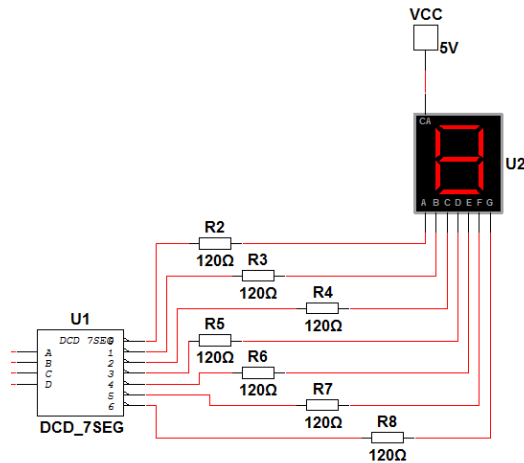


Рис. 7.7. Схема з'єднання дешифратора семисегментного коду з індикатором з загальним анодом

Знайти номінальний струм через сегмент можна у довіднику, а при моделюванні у Multisim достатньо двічі клацнути лівою клавiшею миші по зображенню індикатора. У вікні що відкриється (рис. 7.8) прочитати шукане значення. Для індикатора SEVEN_SEG_COM_A номінальний струм $I_{on} = 25$ мА.

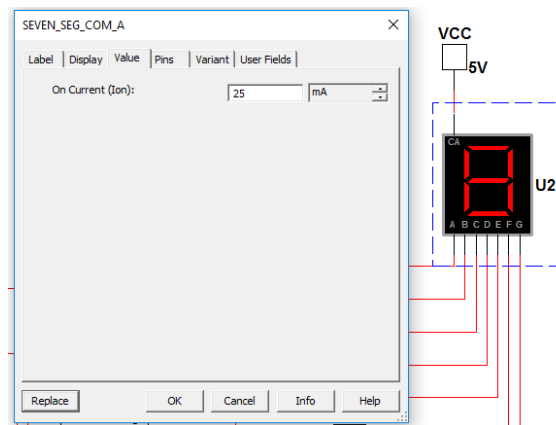


Рис. 7.8. Вікно параметрів індикатора

Щоб знайти значення падіння напруги на сегменті треба клацнути на кнопку Replace і у вікні що відкривається (рис. 7.9) прочитати потрібне значення. Для індикатора SEVEN_SEG_COM_A (рис. 7.7) значення падіння напруги $V_f = 1,83$ В.

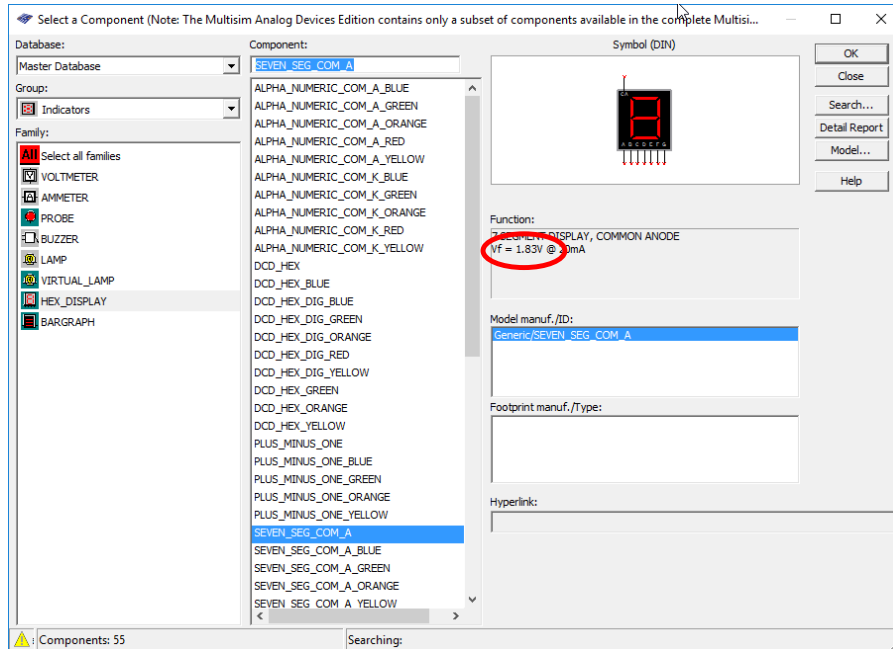


Рис. 7.9. Вікно вибору компонентів з зазначеними параметрами

Знаючи ці величини і значення напруги живлення нескладно розрахувати значення опору обмежуючого струм резистора по формулі

$$R_{обм} \leq (U_{ж} - V_f) / I_{on}. \quad (7.1)$$

Для схеми, що наведена на рис. 7.7 $R_{обм} \leq (U_{ж} - V_f) / I_{on} = (5 - 1,83) / 25 \cdot 10^{-3} = 127 \text{ Ом}$.
Вибираємо найближчий номінал з ряду E24 що дорівнює 120 Ом.

Для індикаторів з загальним катодом справедливі такі ж співвідношення, але потрібно використовувати дешифратор семисегментного коду з прямими виходами.

Шифратор

Шифратор виконує операції, обернені по відношенню до операцій дешифратора. Він перетворює позиційний код в паралельний двійковий код. При подачі сигналів на один із входів шифратора, на його виході формується двійковий код номеру збудженої двійкової лінії. Повний двійковий шифратор має 2^n входів та n виходів. В вигляді інтегральних схем випускаються так звані пріоритетні шифратори, котрі реалізують більш складну функцію. Вони не тільки перетворюють позиційний код в двійковий, але й визначають пріоритет процесу. Якщо на вхід шифратора надходить одночасно декілька сигналів, то на виході формується код, який відповідає

сигналу з найбільшим номером. При наявності тільки одного сигналу пріоритетний шифратор працює як двійковий.

Умовне позначення шифратора на 4 входи на 2 виходи (4×2) наведено на рис. 7.10.

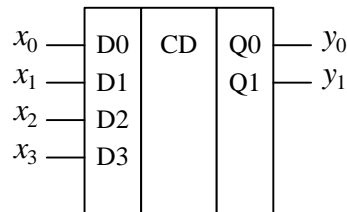


Рис. 7.10. Умовне позначення шифратора

Карта станів шифратора 4×2 (рис. 7.10) наведена в табл. 7.2.

Таблиця 7.2. Карта станів дешифратора на 4 входи та 2 виходи

x_0	x_1	x_2	x_3	y_0	y_1
1	0	0	0	0	0
0	1	0	0	1	0
0	0	1	0	0	1
0	0	0	1	1	1

При використанні шифраторів треба пам'ятати, що активний рівень можна подавати тільки на один зі входів шифратора (у табл. 7.2 активний рівень 1). Але випускаються шифратори, що мають інверсні входи та виходи. Для них активний рівень на вході та на виході дорівнює логічному "0". Саме модель таких шифраторів використовується у програмі Multisim.

Слід зауважити, що інтегральні мікросхеми найчастіше реалізують пріоритетні шифратори. Це означає, що при подачі активних рівнів на два або більше входів шифратора, на його виходах формується код що відповідає сигналу на вході з найбільшим номером.

Моделювання роботи дешифратора за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельємо роботу дешифратора на два входи. Для цього дослідимо принципову схему даного дешифратора (рис. 7.11).

Для того, щоб змодельювати потрібну схему, необхідно розмістити елементи схеми на

робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Дотримуючись вище описаних дій, дослідимо принципову схему для вивчення роботи дешифратора, яка міститься в файлі `deshifrador_priklad.ms10`.

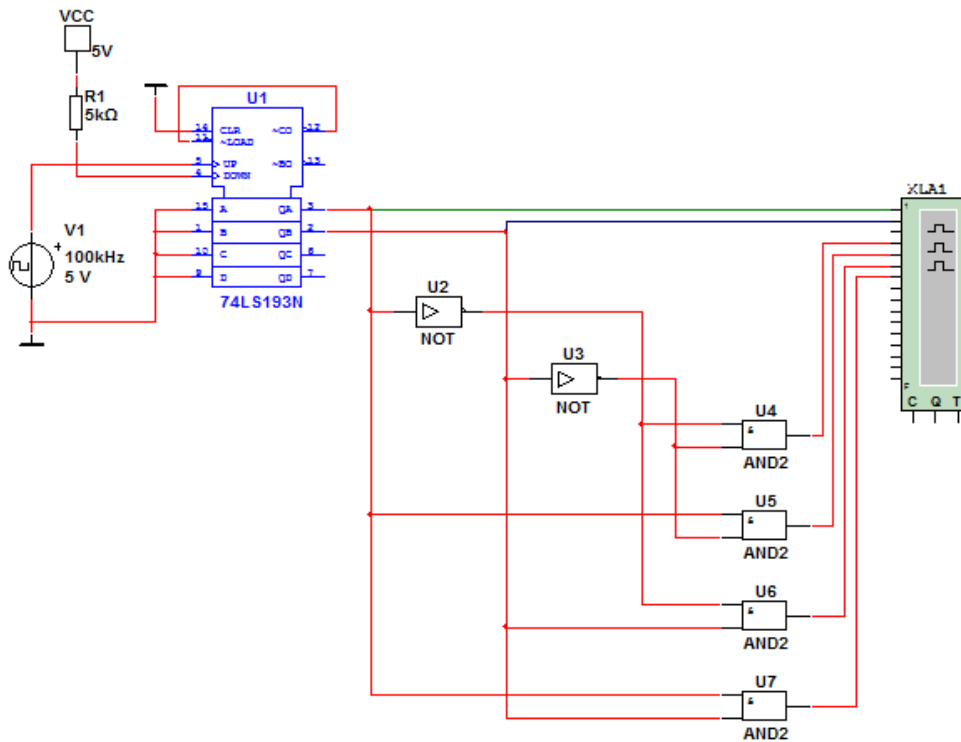


Рис. 7.11. Принципова схема моделі для дослідження дешифратора на два входи

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення логічного аналізатора лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні логічного аналізатора натиснути на кнопку Reverse.

На рис. 7.12 наведені часові діаграми роботи дешифратора на два входи. На них наочно видно перетворення вхідного двійкового коду в вихідний позиційний.

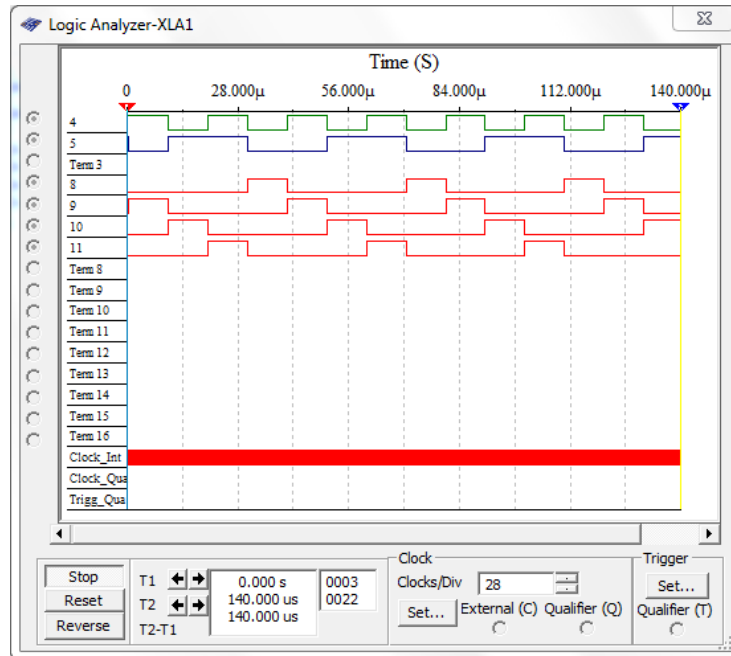


Рис. 7.12. Часові діаграми роботи дешифратора на два входи

Мета роботи

Ознайомитись з принципом роботи дешифраторів та шифраторів.

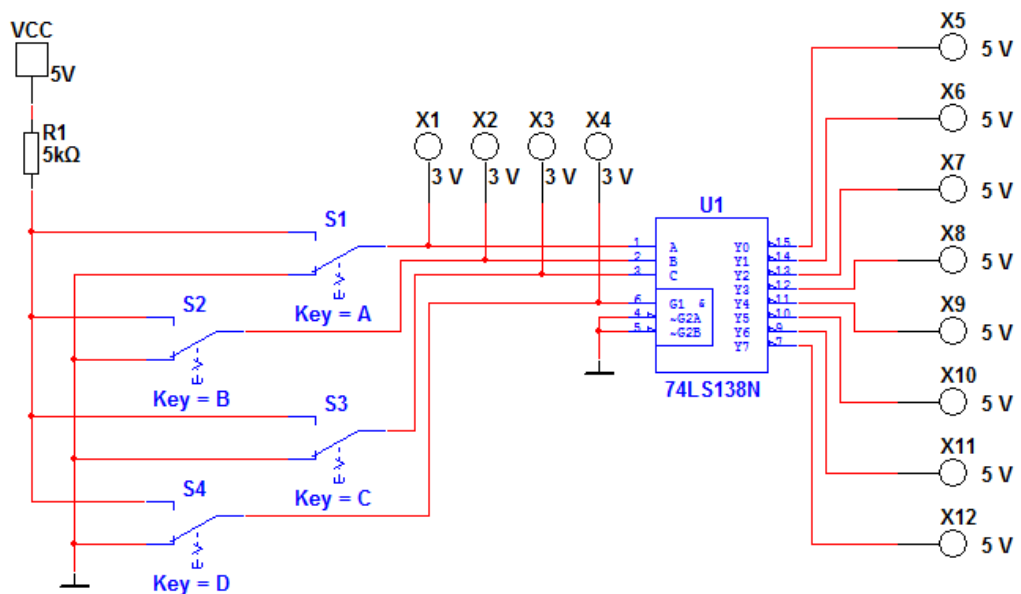


Рис. 7.13. Принципова схема моделі для дослідження дешифратора на три входи (07_deshifrador_3_vhodi.ms10)

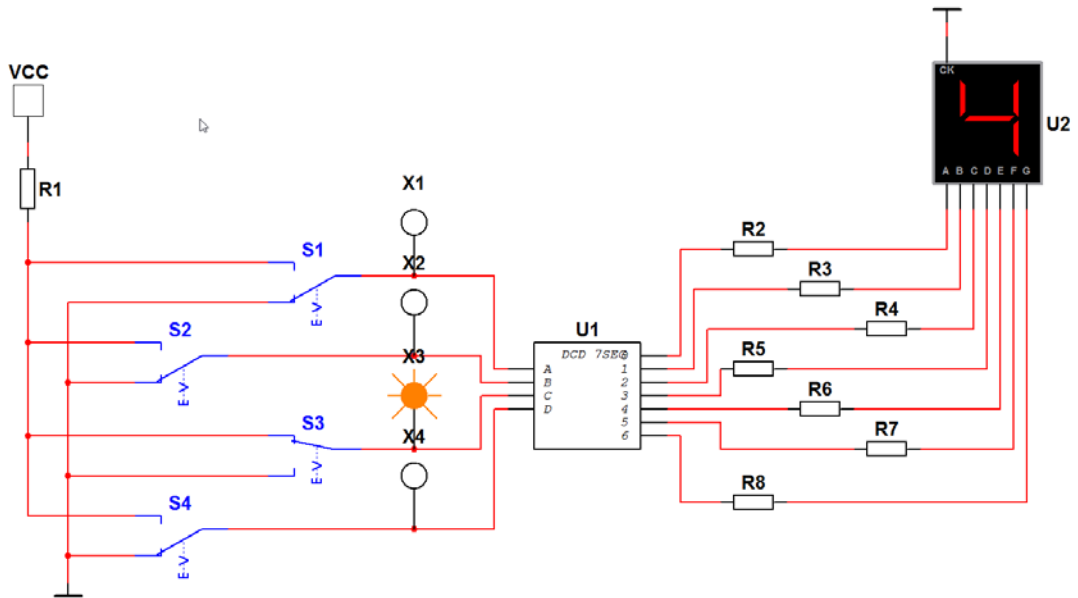


Рис. 7.14. Принципова схема моделі для дослідження дешифратора семисегментного коду призначеного для управління семисегментним індикатором зі спільним катодом (07_7_segment_spilniy_katod.ms10)

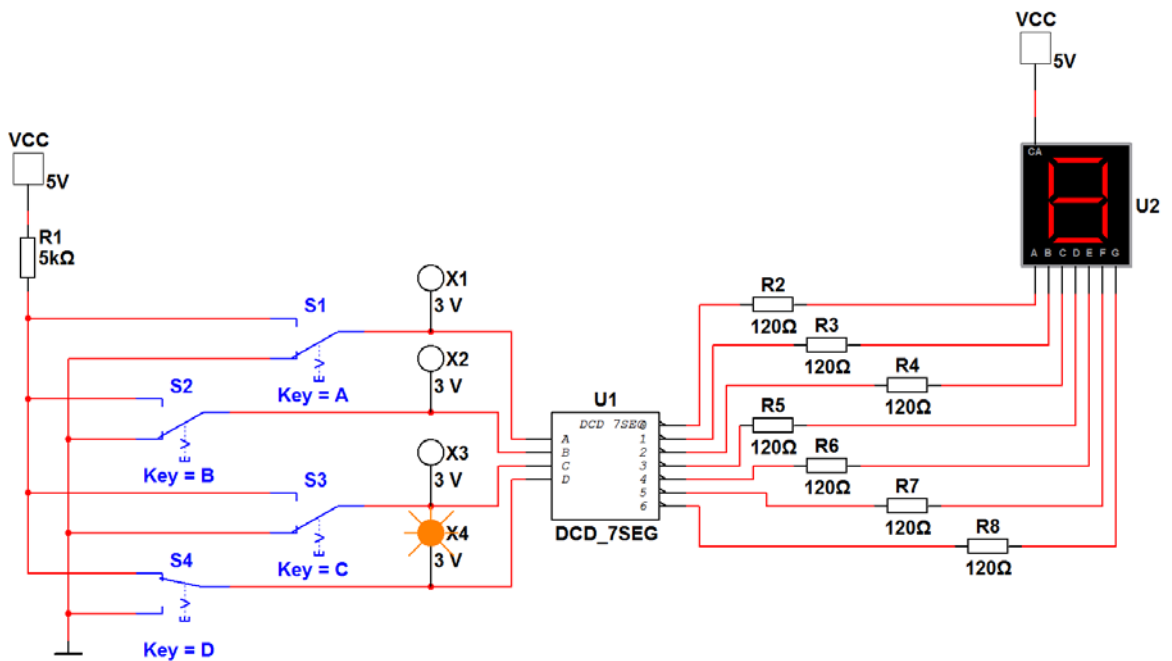


Рис. 7.15. Принципова схема моделі для дослідження дешифратора семисегментного коду призначеного для управління семисегментним індикатором зі спільним анодом (07_7_segment_spilniy_anod.ms10)

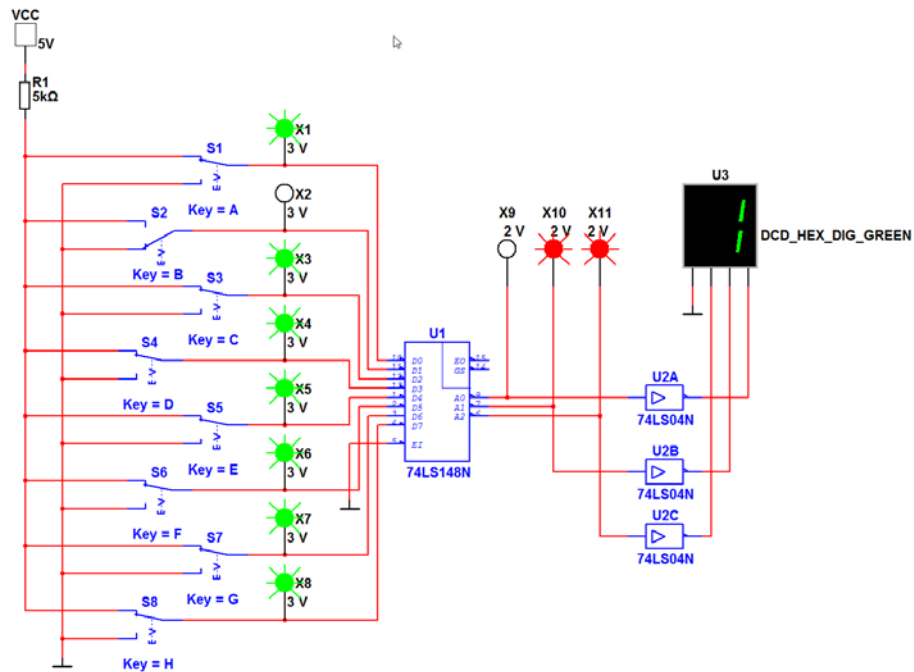


Рис. 7.13. Принципова схема моделі для дослідження пріоритетного шифратора на вісім входів (07_shifrador.ms10)

Домашнє завдання

1. Вивчити принцип дії та логіку роботи дешифраторів та шифраторів [1, с. 292-301, с. 302-305; 2, с. 88-97].
2. Вивчити основні схеми побудови дешифраторів та шифраторів [1, с. 292-301, с. 302-305; 2, с. 88-97].

Порядок виконання роботи

1. Для вивчення принципу роботи дешифратора на три входи дослідити схему, зображену на рис. 7.13, яка міститься в файлі 07_deshifrador_3_vhodi.ms10, в програмі NI Multisim. Перемикач S4 призначений для формування різних значень напруги на вході дозволу роботи дешифратора. Комбінуючи положення перемикачів S1, S2, S3 задати вхідний код дешифратора. За допомогою індикаторів на виході дешифратора отримати результати моделювання даної схеми. Пояснити отримані результати на прикладі двох конкретних кодів на входах дешифратора.

2. Для вивчення принципу роботи дешифратора семисегментного коду призначеного для управління семисегментним індикатором зі спільним катодом дослідити схему, зображену на рис. 7.14, яка міститься в файлі 07_7_segment_spilniy_katod.ms10, в програмі NI Multisim. Розрахувати значення опору резисторів обмежуючих струм через сегменти індикатора (7.1) по

аналогії зі схемою з загальним анодом. Комбінуючи положення перемикачів S1, S2, S3, S4 задати вхідний код дешифратора. За допомогою семисегментного індикатора отримати результати моделювання даної схеми. Пояснити до чого призведе збільшення опору обмежуючого резистора на 20% по відношенню до розрахованого значення. Перевірте це на моделі.

3. Для вивчення принципу роботи дешифратора семисегментного коду призначеного для управління семисегментним індикатором зі спільним анодом дослідити схему, зображену на рис. 7.15, яка міститься в файлі 07_7_segment_spilniy_anod.ms10, в програмі NI Multisim. Комбінуючи положення перемикачів S1, S2, S3, S4 задати вхідний код дешифратора. За допомогою семисегментного індикатора отримати результати моделювання даної схеми. Пояснити отримані результати.

4. Для вивчення принципу роботи пріоритетного шифратора на вісім входів дослідити схему, зображену на рис. 7.13, яка міститься в файлі 07_shifrator.ms10, в програмі NI Multisim. Комбінуючи положення перемикачів S1, S2, S3, S4, S5, S6, S7, S8 задати вхідний код шифратора. За допомогою індикаторів на виході шифратора отримати результати моделювання даної схеми. Пояснити для чого використовуються інвертори U2. Пояснити назву пріоритетний шифратор по результатах проведених досліджень. Пояснити зв'язок між кодом що відображають індикатори X9...X11 і показаннями семисегментного індикатора.

Контрольні запитання

1. Що таке дешифратор? Які приклади його застосування?
2. Що таке шифратор? Які приклади його застосування?
3. Навести приклади основних принципових схем дешифраторів.
4. Навести приклади основних принципових схем шифраторів.
5. Пояснити принцип роботи дешифратора.
6. Пояснити принцип роботи дешифратора семисегментного коду.
7. Пояснити принцип роботи шифратора.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті необхідно навести:

- схему і відповідні їй часові діаграми сигналів для двійкового дешифратора з трьома входами;
- розрахунок значень опорів резисторів обмежуючих струм для схеми індикатора з загальним катодом;
- дати відповіді на питання що поставлені у кожному пункті рядку виконання роботи.

Список літератури

1. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.
2. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. – 379 с., ил.

ЛАБОРАТОРНА РОБОТА №8

Мультиплексори та демультимплексори

Теоретичні відомості

Мультиплексор – це пристрій, призначений для почергового перемикання на вихід сигналів з одного із його входів. За допомогою мультиплексора здійснюється часове розділення інформації, котра надходить по різним каналам.

Мультиплексори мають дві групи входів і один вихід. Перша група входів є інформаційною, а друга група слугує для керування. До групи керування відносяться адресні входи та входи керування. Якщо мультиплексор має n адресних входів, то число інформаційних входів буде 2^n .

Еквівалентна схема мультиплексора, котрий має два входи та один вихід, може бути представлена в наступному вигляді (рис. 8.1).

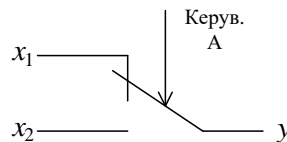


Рис. 8.1. Еквівалентна схема мультиплексора

Вихідний сигнал y можна описати наступним логічним виразом:

$$y = x_1 \bar{A} + x_2 A$$

Якщо $A=0$, то перемикач знаходиться в положенні x_1 , а якщо $A=1$, то перемикач в положенні x_2 .

Принципова схема мультиплектора, котрий має два інформаційні входи та один вихід, наведена на рис. 8.2.

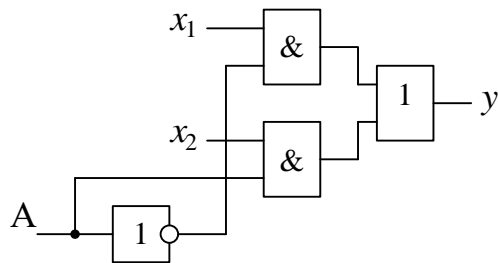


Рис. 8.2. Принципова схема мультиплектора з двома входами та одним виходом

В даній схемі (рис. 8.2) для перемикання вхідних колоїв використовується один зовнішній сигнал A. Коли $A=0$, то $y = x_1$, а коли $A=1$, то $y = x_2$.

Принципова схема мультиплектора з чотирма інформаційними входами наведена на рис. 8.3.

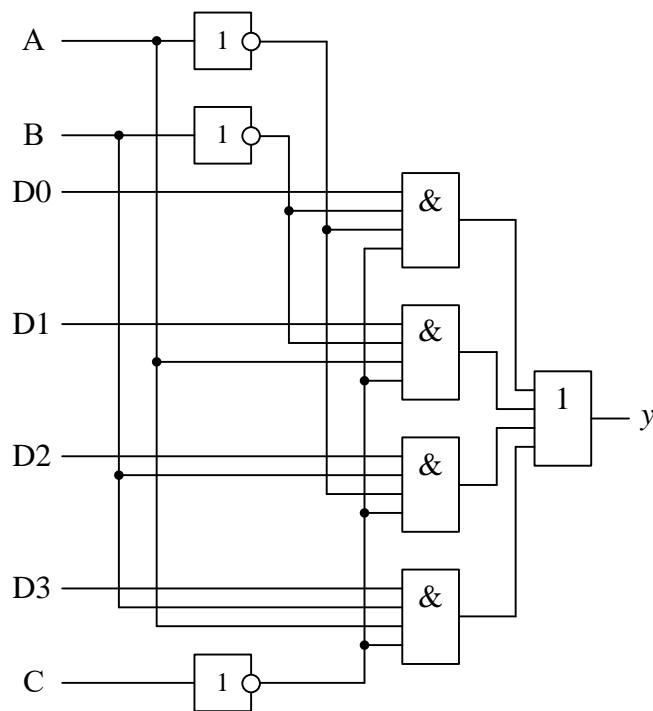


Рис. 8.3. Принципова схема мультиплектора з чотирма інформаційними входами

В даній схемі (рис. 8.3) D0, D1, D2, D3 – інформаційні входи; A, B – адресні входи; C- вхід дозволу. Коли на вхід дозволу подано високий потенціал, на одному із входів логічних елементів І буде низький потенціал і, відповідно, на виходах будуть нульові рівні незалежно від стану інших входів. В даному випадку вихідний сигнал буде дорівнювати 0.

Карта станів даної схеми наведена в табл. 8.1.

Таблиця 8.1. Карта станів мультиплексора з чотирма інформаційними входами

Входи			Вихід у
C	A	B	
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	X	X	0

Умовне позначення мультиплексора показано на рис. 8.4.

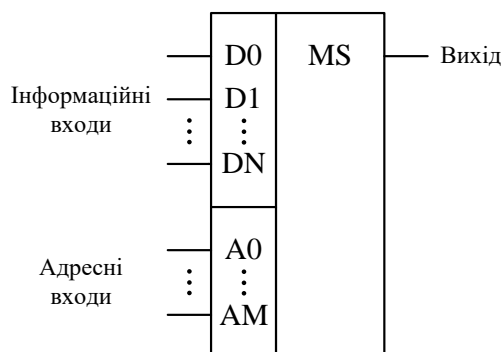


Рис. 8.4. Умовне позначення мультиплексора

Демультимплексор

Демультимплексор – пристрій, котрий має один вхід та декілька виходів, який забезпечує передачу інформації з даного входу на один із виходів в залежності від значення входу керування. Демультимплексор має один інформаційний вхід, декілька виходів та адресні входи.

Умовне позначення демультиплексора показано на рис. 8.5.

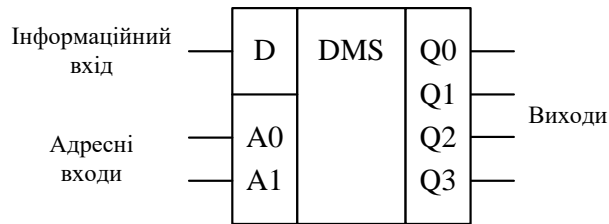


Рис. 8.5. Умовне позначення демультиплексора

Як окремий пристрій демультиплексор у вигляді інтегральної схеми не випускається. В якості демультиплексора використовуються деякі види дешифраторів.

На рис. 8.6 наведено приклад принципової схеми демультиплексора з використанням дешифратора.

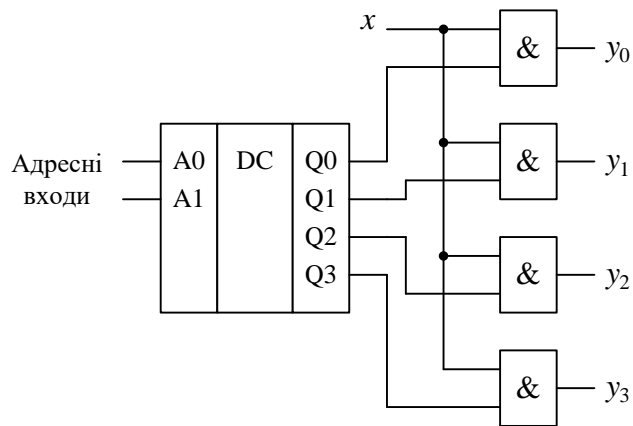


Рис. 8.6. Принципова схема демультиплексора з використанням дешифратора

Роботу даного демультиплексора (рис. 8.6) можна описати наступними виразами:

$$\begin{cases} y_0 = x \cdot \overline{A0A1} \\ y_1 = x \cdot A0\overline{A1} \\ y_2 = x \cdot \overline{A0}A1 \\ y_3 = x \cdot A0A1 \end{cases}$$

Моделювання роботи мультиплектора за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельуємо роботу мультиплектора з двома входами та одним виходом. Для цього дослідимо принципову схему даного мультиплектора.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

Дотримуючись вище описаних дій, дослідимо принципову схему для вивчення роботи мультиплектора з двома входами та одним виходом, яка міститься в файлі `multipleksor_priklad.ms10`.

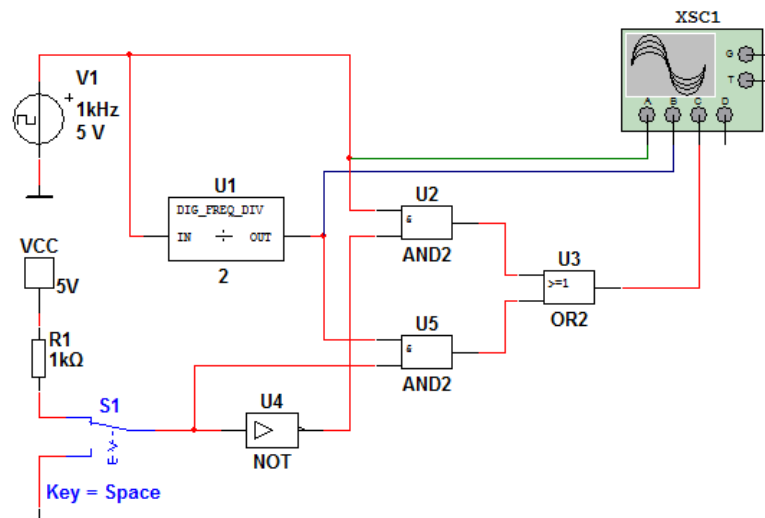


Рис. 8.7. Принципова схема моделі для дослідження мультиплектора з двома входами та одним виходом

Для того, щоб запуснути моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

В даній схемі (рис. 8.7) на вхід мультиплектора подаються два сигнали з різною частотою. В залежності від положення перемикача S1, на виході мультиплектора буде один з двох вхідних

сигналів. На рис. 8.8,а наведені часові діаграми, котрі характеризують роботу мультиплексора при піднятому положенні перемикача S1, а на рис. 8.8,б – при опущеному положенні перемикача S1.

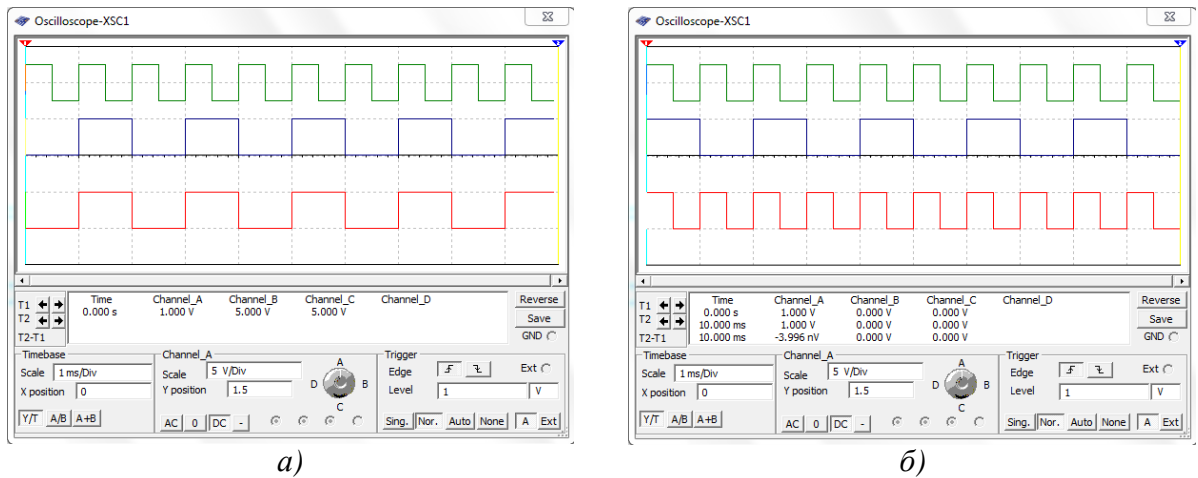


Рис. 8.8. Часові діаграми, котрі характеризують роботу мультиплексора при піднятому положенні перемикача S1 (а) та при опущеному положенні перемикача S1 (б)

Мета роботи

Ознайомитись з принципом роботи мультиплексорів та демультиплексорів.

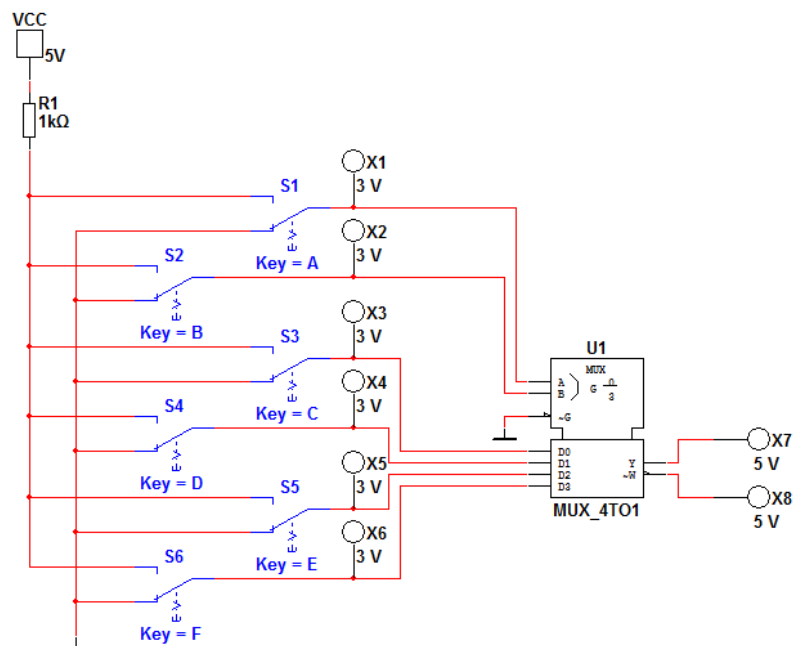


Рис. 8.9. Принципова схема моделі для дослідження мультиплексора на чотири входи (08_multiplexsor_4_vhodi.ms10)

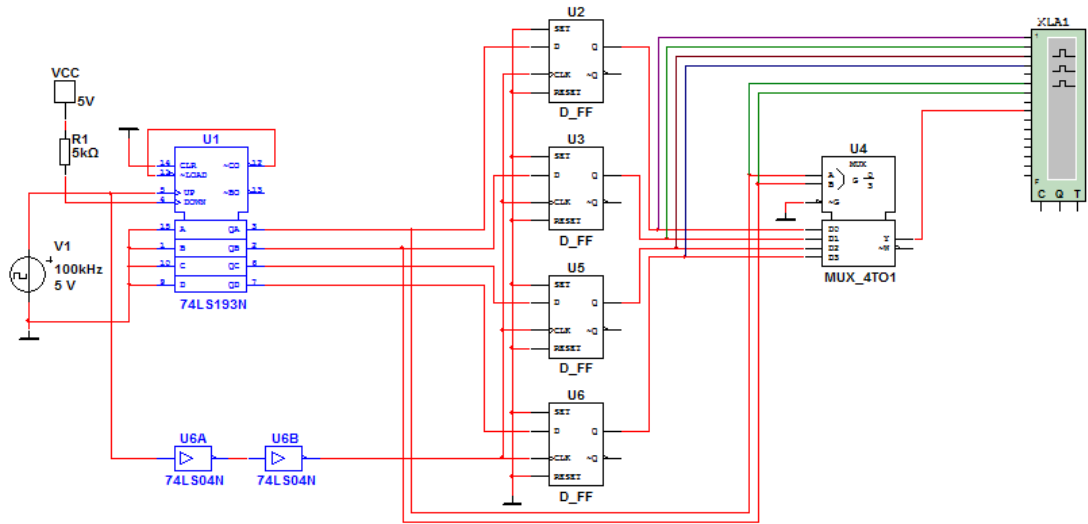


Рис. 8.10. Принципова схема моделі для дослідження перетворювача паралельного коду в послідовний (08_peretvoruvach_kodu.ms10)

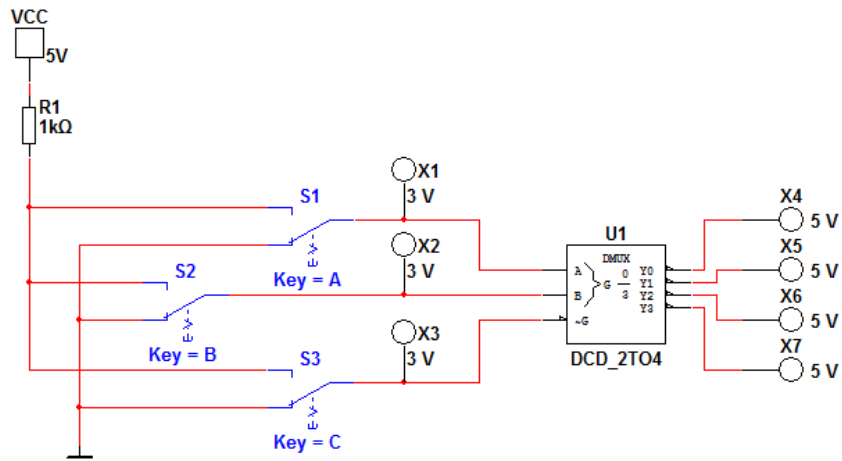


Рис. 8.11. Принципова схема моделі для дослідження демультіплектора (08_demultiplexsor.ms10)

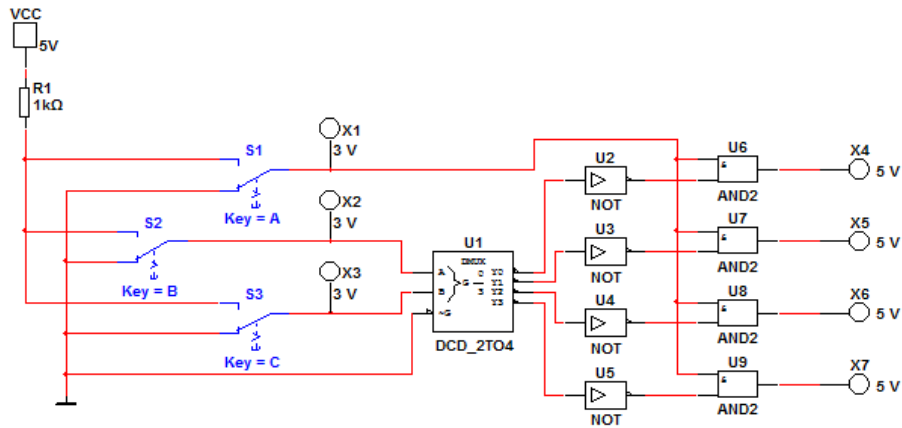


Рис. 8.12. Принципова схема моделі для дослідження демультіплексора з використанням дешифратора (08_demultipleksor_z_deshifratom.ms10)

Домашнє завдання

1. Вивчити принцип дії та логіку роботи мультіплексорів та демультіплексорів [1, с. 301-302; 2, с. 97-101].
2. Вивчити основні схеми побудови мультіплексорів та демультіплексорів [1, с. 301-302; 2, с. 97-101].

Порядок виконання роботи

1. Для вивчення принципу роботи мультіплексора на чотири входи дослідити схему, зображену на рис. 8.9, яка міститься в файлі 08_multipleksor_4_vhodi.ms10, в програмі NI Multisim. Комбінуючи положення перемикачів S3, S4, S5, S6 задати вхідний код на входи даних мультіплексора. Комбінуючи положення перемикачів S1, S2 задати вхідний код на адресні входи мультіплексора. За допомогою індикаторів на виході мультіплексора отримати результати моделювання даної схеми. Пояснити отримані результати.
2. Для вивчення принципу роботи перетворювача паралельного коду в послідовний дослідити схему, зображену на рис. 8.10, яка міститься в файлі 08_peretvovuvach_kodu.ms10, в програмі NI Multisim. За допомогою логічного аналізатора отримати результати моделювання даної схеми. Пояснити отримані результати.
3. Для вивчення принципу роботи демультіплексора на основі дешифратора дослідити схему, зображену на рис. 8.11, яка міститься в файлі 08_demultipleksor.ms10, в програмі NI

Multisim. Перемикач S3 слугує для подання потрібного логічного рівня на вхід дозволу демультимплектора. Комбінуючи положення перемикачів S1, S2 задати вхідний код демультимплектора. За допомогою індикаторів на виході демультимплектора отримати результати моделювання даної схеми. Пояснити отримані результати.

4. Для вивчення принципу роботи демультимплектора з використанням дешифратора дослідити схему, зображену на рис. 8.12, яка міститься в файлі 08_demultiplexor_z_deshifratom.ms10, в програмі NI Multisim. Перемикач S1 слугує для подання потрібного логічного рівня на вхід даних даного демультимплектора. Комбінуючи положення перемикачів S2, S3 задати вхідний код на адресні входи демультимплектора. За допомогою індикаторів на виході демультимплектора отримати результати моделювання даної схеми. Пояснити отримані результати.

Контрольні запитання

1. Що таке мультиплексор? Які приклади його застосування ви можете навести?
2. Що таке демультимплексор? Які приклади його застосування ви можете навести?
3. Навести приклади основних принципових схем мультиплексорів.
4. Навести приклади основних принципових схем демультимплексорів.
5. Пояснити принцип роботи мультиплектора.
6. Пояснити принцип роботи демультимплектора.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести часові діаграми сигналів входах та виходах мультиплектора та демультимплектора. У звіті необхідно навести схему і відповідні їй часові діаграми роботи. Для зчитування схеми мультиплектора з 4-ма входами, а демультимплектора – з 4-ма виходами.

Список літератури

1. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. – 4-е изд., перераб. и доп. Москва: Техносфера, 2009. – 712 с.
2. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. – 379 с., ил.

ЛАБОРАТОРНА РОБОТА №9

Запам'ятовуючі пристрої

Теоретичні відомості

Запам'ятовуючі пристрої призначені для запису та зберігання інформації. Ядром запам'ятовуючого пристрою є набір запам'ятовуючих комірок. Типова структура запам'ятовуючого пристрою наведена на рис. 9.1.

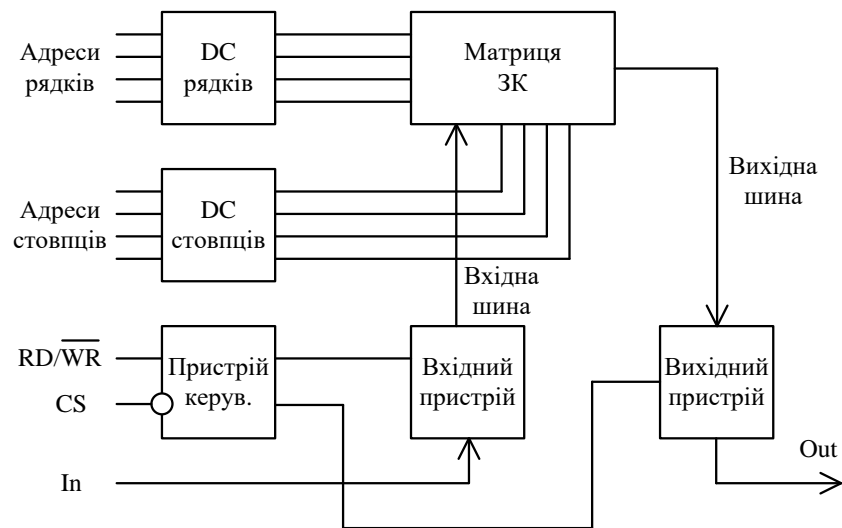


Рис. 9.1. Функціональна схема запам'ятовуючого пристрою

Пристрій містить матрицю запам'ятовуючих комірок (ЗК) (рис. 9.2), в кожній з яких може зберігатися один біт інформації – 0 або 1. Вхідна та вихідна шини мають доступ до всіх комірок.

Для забезпечення роботи запам'ятовуючого пристрою в різних режимах використовується пристрій керування, який має два входи.

CS – chip select (вибір кристалу). Якщо CS=1, то на виході (Out) встановлюється третій стан. Якщо CS=0, то вихід активний.

$\overline{RD/WR}$ - read / write (зчитування / запис). Якщо $\overline{RD/WR} = 1$ - зчитування, $\overline{RD/WR} = 0$ - запис. Адреси рядків та стовпців задаються у вигляді коду.

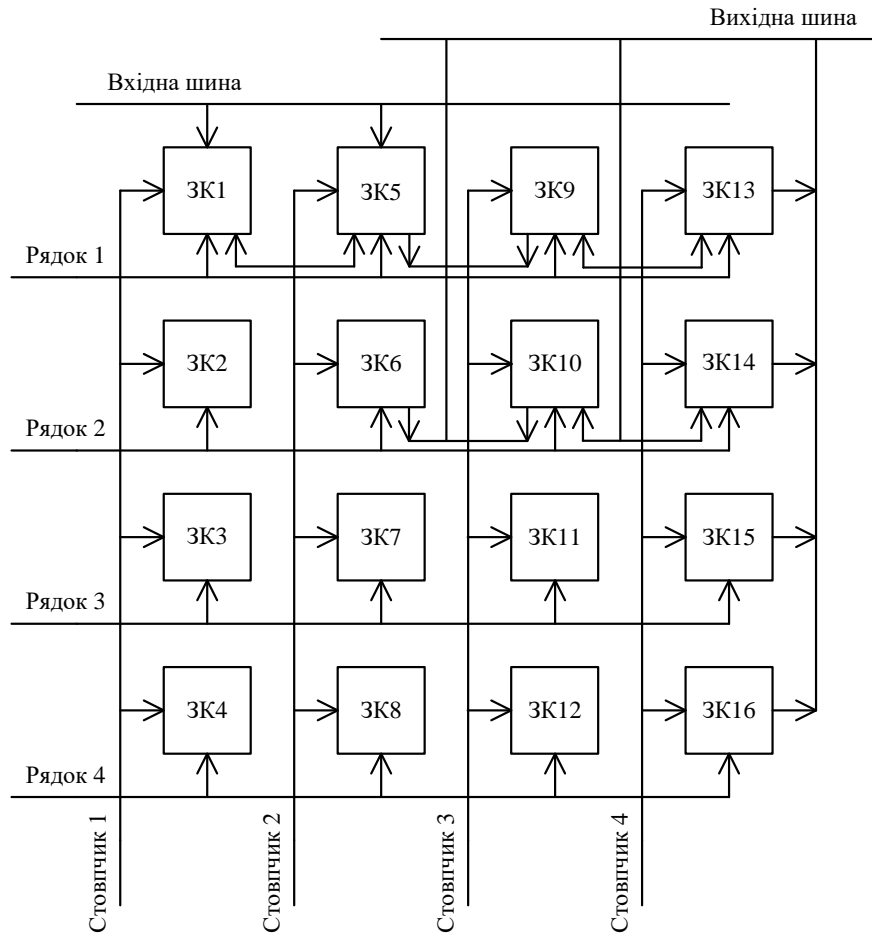


Рис. 9.2. Матриця комірок запам'ятовуючого пристрою

Умовне позначення запам'ятовуючого пристрою показано на рис. 9.3.

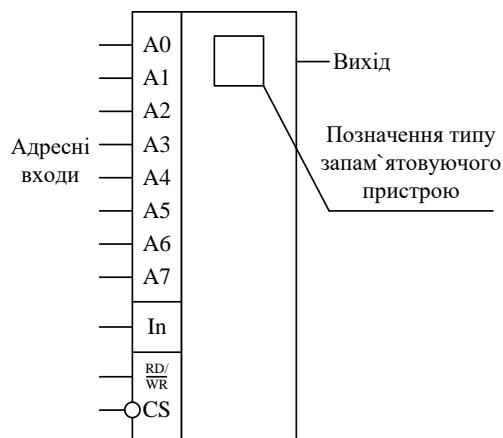


Рис. 9.3. Умовне позначення запам'ятовуючого пристрою

Запам'ятовуючі пристрої поділяються на дві великі групи:

- оперативні запам'ятовуючі пристрої (ОЗП);
- постійні запам'ятовуючі пристрої (ПЗП).

Оперативні запам'ятовуючі пристрої

Оперативні запам'ятовуючі пристрої – пристрої, котрі використовують енергозалежне середовище, в яке завантажуються і в якому знаходяться прикладні програми і дані в момент, доки з ними виконується робота. При вимкненні живлення інформація видаляється з оперативної пам'яті.

Всі оперативні запам'ятовуючі пристрої з довільним доступом (RAM) можна поділити на два типи:

- DRAM (динамічна RAM);
- SRAM (статична RAM).

В пристроях DRAM для зберігання одного біта використовується тільки один транзистор та пара конденсаторів. Транзистор для кожного однозарядного регістра DRAM використовує для читання стан суміжного конденсатора. Якщо конденсатор заряджений, то в комірці записана 1, якщо заряду немає – записаний 0.

Комірки пам'яті в мікросхемі DRAM – це дуже маленькі конденсатори, котрі утримують заряди. Проблеми, пов'язані з пам'яттю даного типу, викликані тим, що вона динамічна, тобто повинна постійно регенеруватися, так як в протилежному випадку електричні заряди в конденсаторах пам'яті будуть “стікати” і дані будуть втрачені. Для регенерації необхідно, щоб контролер керування пам'яттю звернувся до всіх рядків даних в мікросхемах пам'яті. Більшість систем має контролер пам'яті, котрий налаштований на відповідну промисловим стандартам частоту регенерації, рівну 15 мкс.

Статична оперативна пам'ять SRAM названа так тому, що на відміну від динамічної оперативної пам'яті, для збереження її вмісту не потрібно періодичної регенерації. Проте це не єдина її перевага. SRAM має більш високу швидкодію, ніж динамічна оперативна пам'ять. Час доступу SRAM не більше 2 нс. Поки подається живлення, SRAM буде пам'ятати те, що збережено.

В порівнянні з динамічною оперативною пам'яттю швидкодія SRAM набагато вища, проте щільність її набагато нижча, а ціна доволі висока. Більш низька щільність означає, що мікросхеми SRAM мають великі габарити, хоча їхня інформаційна ємність набагато менша.

Велике число транзисторів та кластеризоване їх розміщення не тільки збільшує габарити SRAM, але й значно збільшує вартість технологічного процесу в порівнянні з аналогічними параметрами для мікросхем DRAM.

Постійні запам'ятовуючі пристрої

Постійні запам'ятовуючі пристрої (ПЗП) (Read Only Memory (ROM)) – це пам'ять, призначена тільки для читання. Це спеціальний запам'ятовуючий пристрій, в який при його виготовленні назавжди записані певні незмінні дані. Ці дані в подальшому неможливо ні стерти, ні змінити, їх можна тільки зчитувати, оскільки ПЗП не здатний виконувати операцію запису. Така пам'ять зазвичай виконується на мікросхемах або лазерних дисках (CD-ROM) і призначена для зберігання даних.

Всі постійні запам'ятовуючі пристрої, можна розділити на три типи:

1. **Одноразово програмовані на заводі-виробнику (ROM).** В якості елементів пам'яті мають набір плавких перемичок, які в процесі програмування перепалюються імпульсами струму.

2. **Одноразово програмовані користувачем (Programming ROM).**

В якості елементів пам'яті мають набір плавких перемичок, які в процесі програмування перепалюються імпульсами струму. Відмінність від ROM полягає лише в тому, що перепалювання перемичок здійснюється не виробником, а користувачем. Для цього в структурі мікросхеми передбачені спеціальні пристрої, що стоять на виходах і забезпечують формування струму програмування. Мікросхеми ПЗП випускаються з цілими металоплівковими перемичками з легкоплавкого матеріалу (наприклад, ніхром) з низьким опором. Процес програмування полягає в перепалюванні цих перемичок.

Для програмування ПЗП, у яких в початковому стані записані логічні 0, необхідно підвести код адреси програмованого елемента і подати на вихід, до якого цей елемент пам'яті відноситься, одиночний імпульс напруги. При цьому через перемичку протікає струм, достатній для її перепалювання. Перепалювати одночасно можна тільки одну перемичку. На решту виводів мікросхеми ПЗП повинні бути подані рівні логічних 0. Далі задається наступна адреса і процес повторюється. Це узагальнений вид процесу програмування.

Для програмування мікросхем ПЗП, у яких в початковому стані записані логічні 1, необхідно на виводи подати логічні 1, а на вихід, до якого відноситься елемент пам'яті, подати логічний 0.

3. Багаторазово програмовані користувачем (EPROM).

Репрограмовані ПЗП поділяються на два класи:

1. З режимом запису і стирання електричним сигналом.
2. З режимом запису електричним сигналом і стиранням ультрафіолетовим випромінюванням.

Мікросхеми РПЗП допускають можливість багатократного програмування (від сотень до тисяч циклів), здатні зберігати інформацію за відсутності живлення декілька тисяч годин, вимагають значного часу на перепрограмування (що виключає можливість використовувати як ОЗП), мають порівняно великий час зчитування.

Елементом пам'яті в РПЗП є польовий транзистор із структурою МОН з плаваючим затвором або ЛІЗМОН – МОН транзистор з лавинною інжекцією заряду. Ці транзистори під впливом програмуючої напруги здатні записати електричний заряд під затвором і зберігати його багато тисяч годин без напруги живлення. Для того, щоб перепрограмувати такий ПЗП необхідно спочатку стерти записану раніше інформацію. У РПЗП на МОН транзисторах стирання проводиться електричним сигналом, який витісняє накопичений під затвором заряд. У РПЗП на ЛІЗМОН транзисторах стирання записаної інформації відбувається під дією ультрафіолетового (УФ) випромінювання, яке опромінює кристал через спеціальне вікно в корпусі мікросхеми.

РПЗП із стиранням УФ випромінюванням мають ряд недоліків, в порівнянні з РПЗП з стиранням електричним сигналом. Так, наприклад, для стирання інформації УФ необхідно виймати мікросхему з контактних пристроїв, що не зовсім зручно. До того ж наявність вікна в корпусі обумовлює чутливість мікросхеми РПЗП до світла, що збільшує вірогідність випадкового стирання інформації. Та і число циклів перепрограмування всього лише декілька десятків, коли у РПЗП із стиранням електричним сигналом це ж число досягає 10000.

Моделювання роботи ПЗП за допомогою програми NI Multisim

За допомогою програми NI Multisim змодельуємо роботу постійного запам'ятовуючого пристрою. Для цього дослідимо принципову схему ПЗП.

Для того, щоб змодельувати потрібну схему, необхідно розмістити елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою “миші” на піктограмі потрібної бібліотеки (рис. 1.7) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні програми.

В бібліотеках програми NI Multisim відсутні елементи ПЗП і тому модель такого пристрою

необхідно створювати самотійно. Враховуючи, що одноразово програмовані ПЗП містять плавкі перемички і в початковому стані на їхніх виходах формуються рівні логічного 0, комірку пам'яті можна реалізувати за допомогою одного постійного резистора і дрютяної перемички, яка включається між загальним проводом і виводом резистора. Другий вивід резистора підключається до джерела живлення +5 В. Якщо перемичку видалити, то на виході такої комірки буде сформований рівень логічної 1.

Для того, щоб дістати доступ до кожної комірки пам'яті можна використовувати мультиплектори. Враховуючи обмеження на число компонентів в безкоштовній версії NI Multisim в запропонованій схемі, реалізований 6-розрядний ПЗП, в кожному з розрядів якого є вісім комірок пам'яті.

Для комутації такого числа комірок в кожному розряді досить мати один мультиплектор 8×1 . Адресні входи всіх мультиплекторів з'єднані паралельно, а наростаючий код управління ними формується за допомогою генератора слів.

Генератор слова (рис. 9.4) дозволяє формувати 32-розрядні кодові слова, котрі можна ввести з клавіатури безпосередньо у вікні вводу коду (рис. 9.5). Для вводу і збереження введених слів іншими способами необхідно натиснути кнопку Set у вікні встановлення параметрів генератора слова (рис. 9.6).

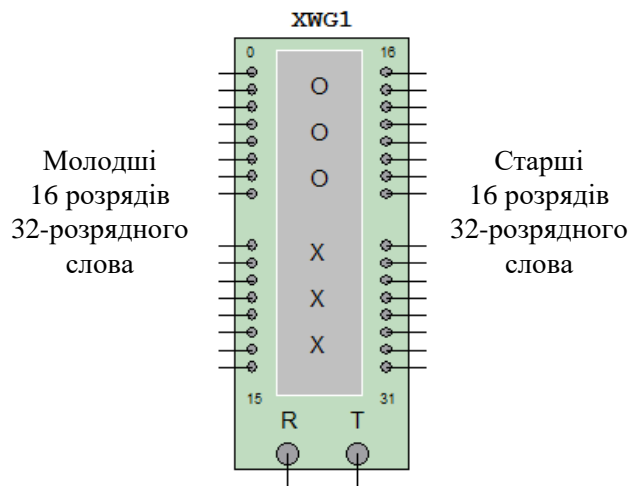


Рис. 9.4. Умовне позначення генератора слова

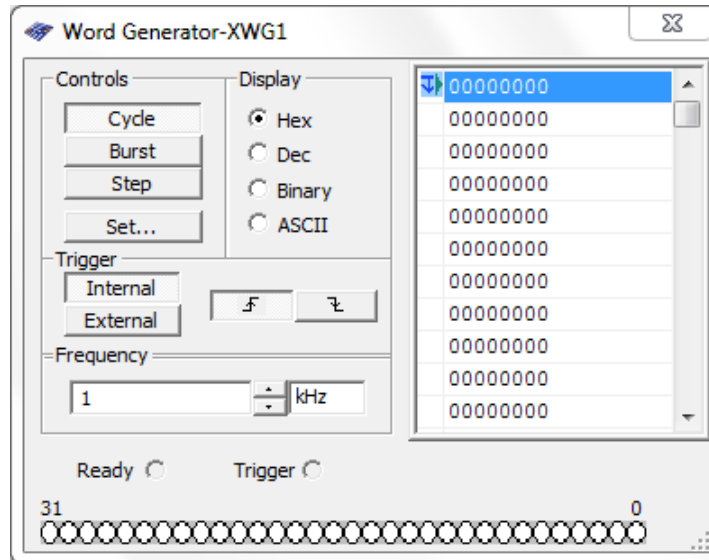


Рис. 9.5. Вікно встановлення параметрів генератора слова

У вікні передумовок, яке відкрилося, в стовпці Pre-set Patterns можна вибрати один з восьми варіантів формування і збереження слова:

- No change – не змінюється автоматично (ручний ввід значень);
- Load – завантажити з файлу;
- Save – зберегти в файлі;
- Clear buffer – очистити буфер;
- Up counter – автоматично збільшувати кожне наступне значення на 1;
- Down counter – автоматично зменшувати кожне наступне значення на 1;
- Shift Right – зсувати вправо на одну позицію кожне наступне значення;
- Shift Left – зсувати вліво на одну позицію кожне наступне значення.

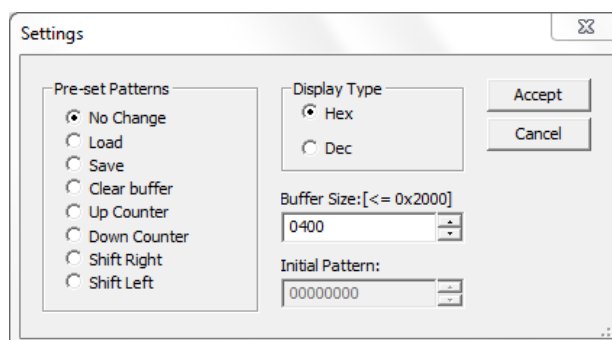


Рис. 9.6. Вікно передумовок генератора слова

Перед початком вводу кодових слів необхідно у вікні Buffer Size (рис. 9.6) ввести необхідне число кодових слів, котрі задаються у вікні Display Type в шістнадцятковому або десятковому коді в залежності від форми представлення даних на дисплеї (в шістнадцятковому коді – Hex, а в десятковому – Dec). Граничний розмір буфера – 8192 кодових слова (2000 – в шістнадцятковому коді).

Для перетворення коду зчитаного з ПЗП в напругу призначений 8-розрядний цифро-аналоговий перетворювач. Така схема дозволяє реалізувати сигнал довільної форми. Для цього достатньо в комірку ПЗП записати потрібний код.

Принципова схема моделі, котра реалізує такий ПЗП, схему управління та ЦАП наведена на рис. 9.7, та міститься в файлі generator_dovilnoi_formi.ms10.

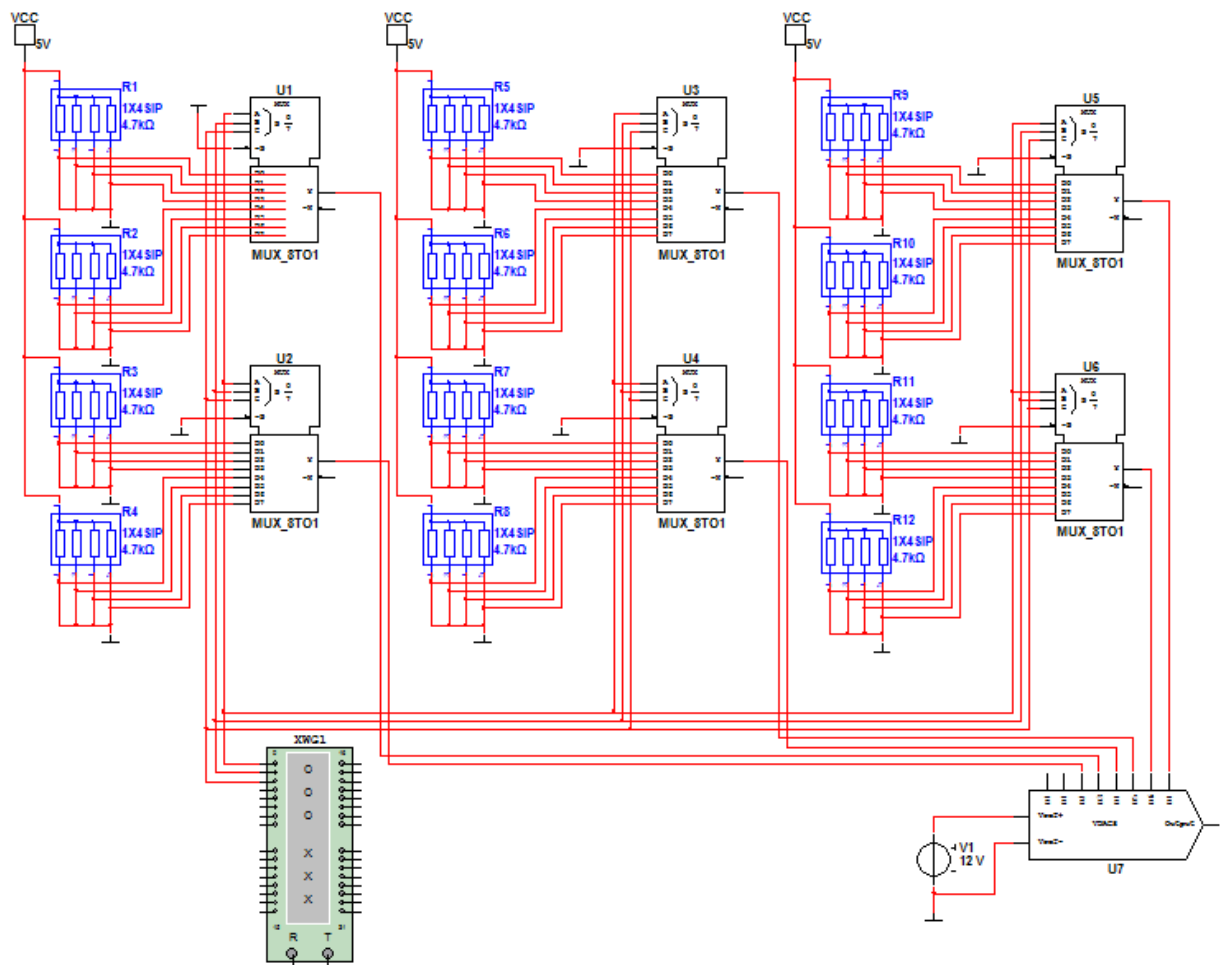


Рис. 9.7. Принципова схема генератора сигналу довільної форми з використанням ПЗП

Так як в кожному розряді ПЗП тільки 8 комірок пам'яті, то апроксимація форми сигналу

буде достатньо грубою. Тому для демонстрації можливостей схеми був вибраний сигнал простої форми – гармонічний.

Для реалізації генератора гармонічного сигналу в ПЗП необхідно записати коефіцієнти синуса. Для цього необхідно скласти таблицю відповідності значення синуса в кожній точці апроксимації.

Так як число точок дорівнює 8 (число комірок ПЗП) необхідно визначити дискретність зміни фази вхідного сигналу, яка буде рівна $360/8=45$ градусів. Це буде дуже груба апроксимація синуса. Тому використаємо всі вісім точок для апроксимації тільки одної половини періоду. Тоді дискретність зміни фази складе $180/8=22,5$ градуса.

Розраховані значення синуса приведені в табл. 9.1.

Таблиця 9.1. Значення коефіцієнтів синуса для програмування ПЗП

Кут, градусів	Значення синуса								
	В десятковому кодi	В десятковому кодi (в 100 раз більше)	В двійковому кодi (в 100 раз більше)						
			Q5	Q4	Q3	Q2	Q1	Q0	
0	0	0	0	0	0	0	0	0	0
22,5	0,383	38,3	0	1	0	0	1	1	0
45	0,707	70,7	1	0	0	0	1	1	0
67,5	0,924	92,4	1	0	1	1	1	0	0
90	1	100	1	1	0	0	1	0	0
112,5	0,924	92,4	1	0	1	1	1	0	0
135	0,707	70,7	1	0	0	0	1	1	0
157,5	0,383	38,3	0	1	0	0	1	1	0
180	0	0	0	0	0	0	0	0	0

Враховуючи, що число розрядів ПЗП дорівнює 6, відкинемо останню цифру в двійковому кодi, котрий апроксимує функцію синуса (стовпчик замальований сірим кольором).

Тепер можна запрограмувати ПЗП. Для цього достатньо видалити перемички між нижнім виводом резистора і загальним проводом в потрібних комірках. Запрограмована принципова схема генератора гармонічного сигналу наведена на рис. 9.8, та міститься у файлі generator_sin.ms10.

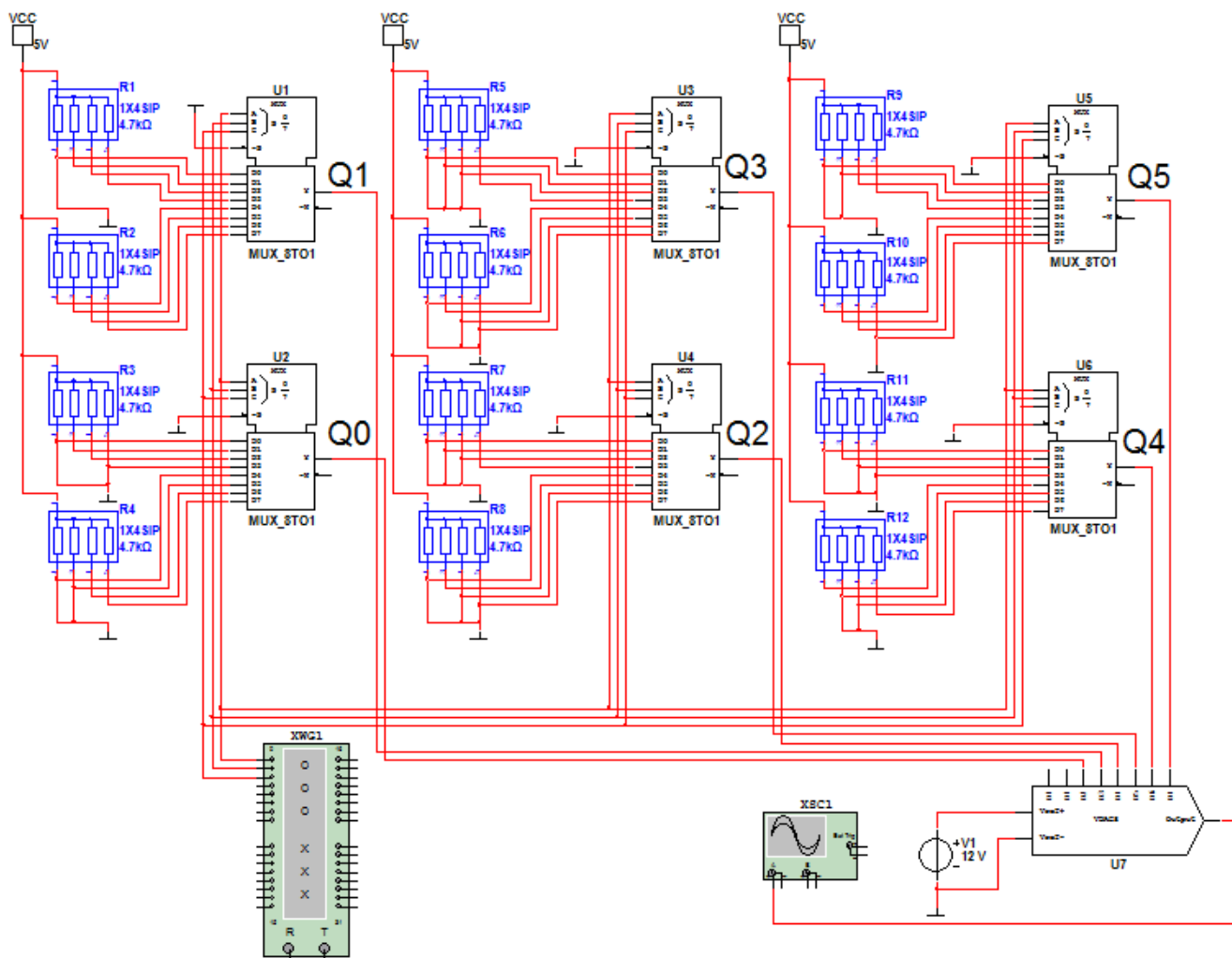


Рис. 9.8. Принципова схема генератора гармонічного сигналу із запрограмованим ПЗП

Для того, щоб запустити моделювання, необхідно натиснути на значок піктограми із зображенням зеленого трикутника (рис. 1.12) або на вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Після запуску моделювання необхідно два рази клацнути на зображення осцилографа лівою кнопкою “миші” для того, щоб подивитися результати моделювання. Щоб часові діаграми відображалися на білому фоні необхідно у вікні осцилографа натиснути на кнопку Reverse.

Форма сигналу на виході ЦАП наведена на рис. 9.9.

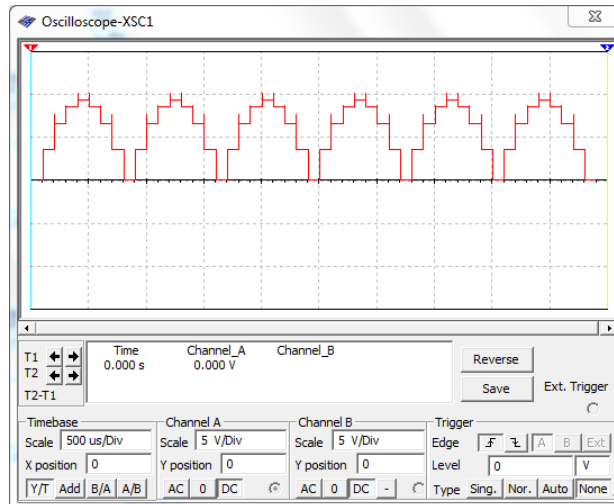


Рис. 9.9. Часова діаграма роботи генератора гармонічного сигналу із запрограмованим ПЗП

Мета роботи

Ознайомитись з принципом роботи запам'ятовуючих пристроїв.

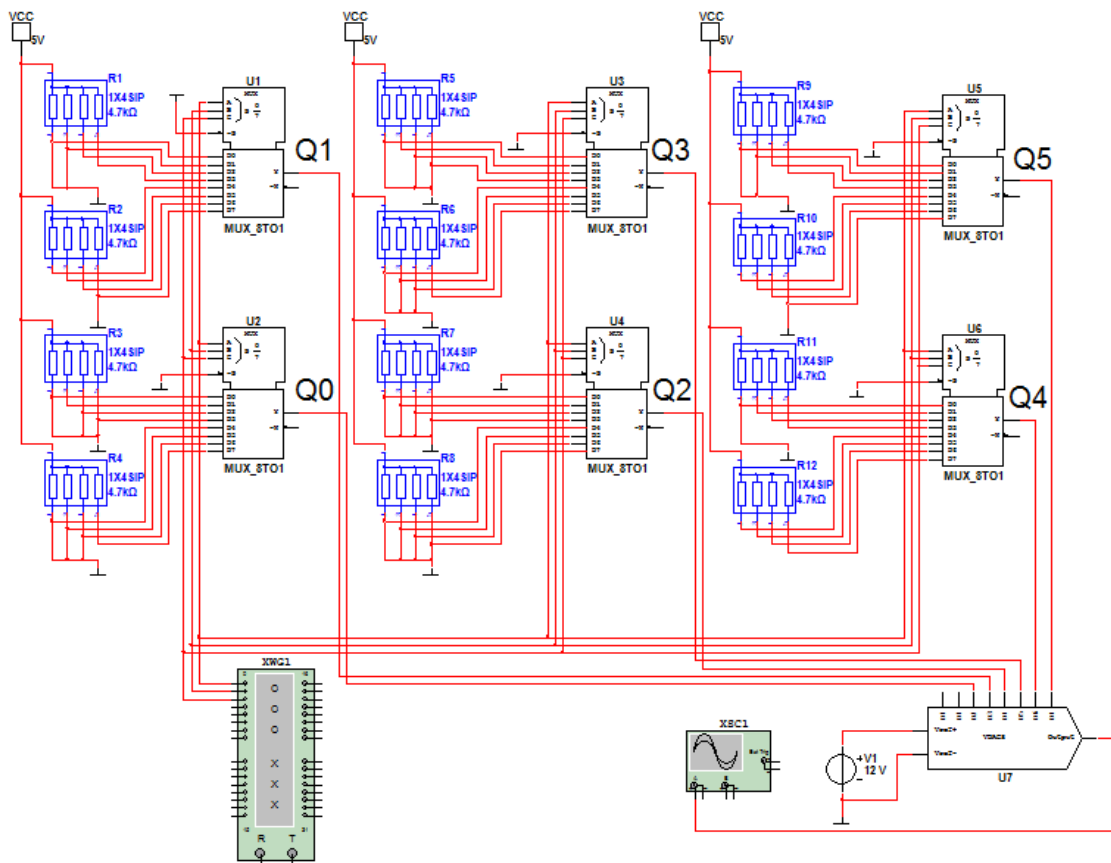


Рис. 9.10. Принципова схема моделі для дослідження генератора сигналу трапецеїдальної форми із запрограмованим ПЗП (09_generator_trapetsiya.ms10)

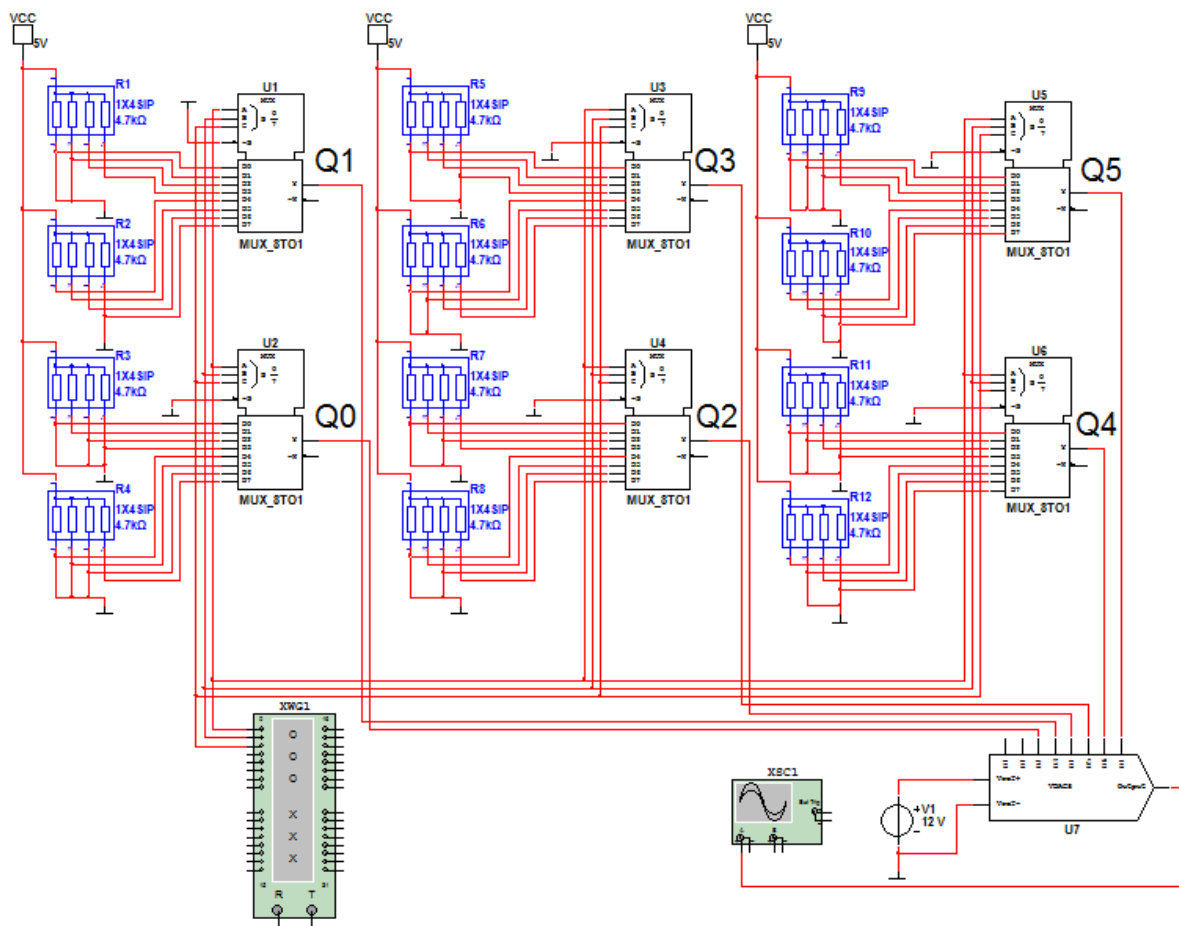


Рис. 9.11. Принципова схема моделі для дослідження генератора сигналу трикутної форми із запрограмованим ПЗП (09_generator_trikeytnik.ms10)

Домашнє завдання

3. Вивчити принцип дії та логіку роботи запам'ятовуючих пристроїв [1, с. 222-283; 2, с. 693-719].
4. Вивчити основні види запам'ятовуючих пристроїв [1, с. 222-283; 2, с. 693-719].

Порядок виконання роботи

1. Для вивчення принципу роботи генератора сигналу трапецеїдальної форми із запрограмованим ПЗП дослідити схему, зображену на рис. 9.10, яка міститься в файлі 09_generator_trapetsiya.ms10, в програмі NI Multisim. За допомогою осцилографа отримати результати моделювання даної схеми. Визначити який код записаний в кожній комірці пам'яті. Пояснити отримані результати.

2. Для вивчення принципу роботи генератора сигналу трикутної форми із запрограмованим ПЗП дослідити схему, зображену на рис. 9.11, яка міститься в файлі 09_generator_trikytnik.ms10, в програмі NI Multisim. За допомогою осцилографа отримати результати моделювання даної схеми. Визначити який код записаний в кожній комірці пам'яті. Пояснити отримані результати.

Контрольні запитання

1. Що таке запам'ятовуючий пристрій? Які приклади його застосування?
2. Принцип побудови запам'ятовуючого пристрою.
3. Що таке оперативний запам'ятовуючий пристрій? Які приклади його застосування?
4. Основні види оперативних запам'ятовуючих пристроїв та їх характерні відмінності.
5. Що таке постійний запам'ятовуючий пристрій? Які приклади його застосування?
6. Основні види постійних запам'ятовуючих пристроїв та їх характерні відмінності.

Звіт про виконання лабораторної роботи

Звіт складається у одному екземплярі на бригаду. У звіті треба навести функціональну схему для формування гармонічного сигналу за допомогою ПЗП, який апроксимовано 256 рівнями. Пояснити принцип її роботи.

Список літератури

1. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. – 379 с., ил.
2. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника (Полный курс). – М.: Горячая Линия – Телеком, 1999. – 768 с., ил.