

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ  
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ  
імені ІГОРЯ СІКОРСЬКОГО»

**Л.Ю. Спінул, В.А. Святненко**

# **ОСНОВИ ЦИФРОВОЇ ЕЛЕКТРОНІКИ**

## **КУРС ЛЕКЦІЙ**

**НАВЧАЛЬНИЙ ПОСІБНИК**

Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського  
як навчальний посібник для здобувачів ступеня бакалавра  
за освітньою програмою 141 «Електроенергетика, електротехніка та електромеханіка»,  
спеціальності «Електротехнічні пристрої та електротехнологічні комплекси».

Електронне мережне навчальне видання

Київ  
КПІ ім. Ігоря Сікорського  
2022

Рецензент: *Чумак В.В.*, канд. техн. наук, доц., кафедра електромеханіки, факультет електроенерготехніки та автоматики, КПІ ім. Ігоря Сікорського

Відповідальний редактор: *Острроверхов М.Я.*, д.т.н., професор, кафедра теоретичної електротехніки, факультет електроенерготехніки та автоматики

Гриф надано Методичною радою КПІ ім. Ігоря Сікорського  
(протокол № 2 від 30.09.2022 р.)  
за поданням Вченої ради факультету електроенерготехніки та автоматики  
(протокол № 3 від 26.09.2022 р.)

В курсі лекцій розглянуті базові компоненти цифрових пристроїв, математичні основи цифрової електроніки, мінімізація логічних функцій, логічні елементи, послідовні та комбінаційні цифрові пристрої, цифро-аналогові та аналого-цифрові перетворювачі, генератори і формувачі електричних імпульсів.

Посібник призначено для студентів, що навчаються за спеціальністю 141-"Електроенергетика, електротехніка та електромеханіка", спеціальності "Електротехнічні пристрої та електротехнологічні комплекси".

Реєстр. № НП 22/23-140. Обсяг 4,92 авт. арк.  
Національний технічний університет України  
«Київський політехнічний інститут імені Ігоря Сікорського»  
проспект Перемоги, 37, м. Київ, 03056  
<https://kpi.ua>

Свідоцтво про внесення до Державного реєстру видавців, виготовлювачів і розповсюджувачів видавничої продукції ДК № 5354 від 25.05.2017 р.)

© Л.Ю. Спінул, В. А. Святненко, 2022  
© КПІ ім. Ігоря Сікорського, 2022

## ЗМІСТ

<i>Вступ</i> .....	4
	5
<i>Лекція 1.</i> Системи числення. Двійкова арифметика. Основні аксіоми і закони алгебри логіки. Логічні функції.....	5
<i>Лекція 2.</i> Способи представлення логічних функцій. Мінімізація логічних функцій.....	13
<i>Лекція 3.</i> Недовизначені логічні функції та їх мінімізація.....	28
<i>Лекція 4.</i> Логічні елементи цифрових пристроїв.....	31
<i>Лекція 5.</i> Послідовнісні цифрові пристрої. Схемотехніка інтегральних тригерів.....	44
<i>Лекція 6.</i> Двійкові лічильники.....	62
<i>Лекція 7.</i> Реверсивні лічильники. Лічильники з довільним коефіцієнтом лічби.....	67
<i>Лекція 8.</i> Регістри. Регістри пам'яті. Зсувні регістри.....	71
<i>Лекція 9.</i> Комбінаційні логічні пристрої. Мультиплексори, демультіплексори.....	79
<i>Лекція 10.</i> Шифратори, дешифратори.....	83
<i>Лекція 11.</i> Кодоперетворювачі.....	89
<i>Лекція 12.</i> Цифрові компаратори. Суматори.....	93
<i>Лекція 13.</i> Цифро-аналогові перетворювачі.....	102
<i>Лекція 14.</i> Аналого-цифрові перетворювачі.....	107
<i>Лекція 15.</i> Пам'ять цифрових пристроїв. Оперативні запам'ятовувачі пристрої.....	109
<i>Лекція 16.</i> Генератори і формувачі електричних імпульсів. Мультивібратори.....	112
<i>Лекція 17.</i> Одновібратори.....	116
Список рекомендованої літератури.....	118

## Вступ

Цифрові сигнали і цифрові системи широко використовуються при вирішенні багатьох задач в усіх областях життя, що пов'язано з перевагами цифрової техніки у порівнянні з аналоговою. Можна виділити такі напрямки технічного використання цифрової техніки: автоматизоване керування технологічними процесами, включаючи автоматизований контроль і діагностику технічних засобів, використання цифрових технологій для обробки сигналів, автоматизації проектування, вирішення задач адміністративно-організаційного управління.

Цифровий пристрій - пристрій, який виконує прийом, зберігання і перетворення дискретної інформації за відповідним алгоритмом.

В курсі лекцій викладені арифметичні і логічні основи цифрових пристроїв; основи теорії асинхронних потенціальних і синхронних автоматів; питання синтезу цифрових вузлів: тригерів, лічильників, регістрів, мультиплексорів, демультимплексорів, шифраторів, дешифраторів, перетворювачів кодів, компараторів, суматорів. Розглянуті аналогово-цифрові і цифро-аналогові перетворювачі, генератори і формувачі електричних імпульсів.

Даний курс лекцій орієнтований на фахівців електротехнічного профілю і призначений для базової підготовки, яка дозволить в спеціальних дисциплінах розглядати різні сучасні питання цифрової обробки сигналів.

## ЛЕКЦІЯ 1

### Математичний апарат цифрової електроніки.

Носіями інформації в цифровій електроніці є електричні сигнали у вигляді імпульсів. Обробка інформації відбувається у цифровій формі, тобто кожній цифрі ставиться у відповідність рівень сигналу.

Сукупність знаків і цифр, а також правила їх запису називається системою числення. Розрізняють непозиційні і позиційні системи числення.

У непозиційних системах числення значення кожної цифри не залежить від її позиції. Найбільш відомою непозиційною системою числення є римська, в якій використовуються сім знаків. У таблиці наведені цифри римської системи числення та їх десятковий еквівалент.

Таблиця 1							
Знаки римської системи	I	V	X	L	C	D	M
Десятковий еквівалент	1	5	10	50	100	500	1000

Для запису проміжних чисел користуються правилом: кожний менший знак, що стоїть праворуч від більшого, прибавляється до його значення, а якщо стоїть ліворуч – віднімається від нього. Наприклад, 4 – IV; 60 – LX; 90 – XC.

Недоліком такої системи числення є відсутність нуля та складність формальних правил запису чисел і арифметичних дій з ними.

**Позиційна система числення** – система, в якій значення символу залежить від його позиції в ряду цифр, які зображають число. Наприклад, в числі 123 перша цифра ліворуч (1) означає кількість сотень, друга (2) – кількість десятків, третя (3) – кількість одиниць.

Для запису чисел у позиційній системі числення використовують певну кількість символів (цифр і букв). Число таких знаків називається **основою позиційної системи числення**. Система числення з основою два (цифри 0 і 1) називається двійковою, з основою три (цифри 0, 1, 2) – трійковою, з основою десять (цифри 0, 1, 2, ..., 9) – десятковою. У системах числення з

основою більшою десяти додають букви латинського алфавіту –  $A, B, C, D, E, F$ . В позначеннях пишуть десятковий індекс, що дорівнює основі системи числення, яка застосована.

У позиційних системах числення значення кожної цифри визначається її зображенням і позицією в числі. Окремі позиції в записі числа називають **розрядами**, а номер позиції – номером розряду. Число розрядів у записі числа називається його **розрядністю**.

Так, будь-яке число в позиційній системі числення представляється у вигляді полінома

$$X_{(q)} = a_n \cdot q^n + a_{n-1} \cdot q^{n-1} + a_n \cdot q^n + \dots$$

де  $q$  – основа

$$+ a_1 \cdot q^1 + a_0 \cdot q^0 + a_{-1} \cdot q^{-1} + a_{-2} \cdot q^{-2} + \dots + a_{-m} \cdot q^{-m} = \sum_{i=-m}^{i=n} a_i \cdot q^i,$$

системи числення;  $X_{(q)}$  - довільне число, записане в системі числення з основою  $q$ ;  $a_i$  - коефіцієнт ряду (цифри системи числення);  $n, m$  - кількість цілих і дробових розрядів.

Цифри кожного розряду мають свою вагу, яка визначається відношенням

$$p_i = \frac{p^i}{p^0} = p^i.$$

На практиці застосовують скорочений запис чисел

$$X_{(q)} = a_n a_{n-1} \dots a_i \dots a_1 a_0 a_{-1} a_{-2} \dots a_{-m}.$$

“Вага” кожної цифри в числі визначається значенням самої цифри і деяким множником  $q^k$ , де  $q$  – основа системи числення;  $0, 1, 2, \dots, n$  - номери розрядів цілої частини числа;  $-1, -2, \dots, -m$  – номери розрядів дробової частини числа. Широке використання двійкового коду зумовлене наступними причинами:

- простотою технічної реалізації елементів з двома станами, наприклад, перемикач у станах “замкнено” і “розімкнено”,

транзистор у станах “відкритий” і “закритий”, магнітопровід у станах “намагнічено” і “розмагнічено”;

- хорошою відмінністю двох станів;
- простотою виконання арифметичних операцій;
- економічністю устаткування.

Необхідно відмітити, що в двійковій системі числення число має більшу кількість розрядів, ніж в десятковій, що є її недоліком.

Наприклад, число

$$X_{(2)} = 100110_2 = 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 38_{10}.$$

З наведеного прикладу видно, що дворозрядне десяткове число 38 зображається шестирозрядним двійковим числом.

Наведемо приклади запису чисел в позиційних системах:

❖ двійкова система:  $q=2$ ;  $a_i \in \{0,1\}$ ;

$$X_{(2)} = (111)_2 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = (7)_{10};$$

❖ вісімкова система:  $q=8$ ;  $a_i \in \{0,1, 2, \dots, 7\}$ ;

$$X_{(8)} = (123)_8 = 1 \cdot 8^2 + 2 \cdot 8^1 + 3 \cdot 8^0 = (83)_{10}.$$

З наведених прикладів видно, що в системах числення з більшою основою (при однаковій розрядності чисел) можна записати більше різних чисел.

### **Переведення чисел з однієї системи числення в іншу**

Переведення з десяткової системи числення в будь-яку іншу позиційну систему проводять методом послідовного ділення на основу нової системи доти, доки частка від ділення не буде меншою, ніж основа нової системи.

Одержана перша остача є значенням молодшого розряду в новій системі, а остання – значенням старшого розряду.

Число в новій системі записують у вигляді остачі від ділення, починаючи з останньої частки, справа наліво. Дробове число записують у вигляді цілих

частин чисел, що отримують при множенні тільки дробової частини на основу, починаючи зверху після коми, і при цьому задають точність обчислень.

Для переведення двійкового числа в десяткове потрібно помножити усі цифри розрядів на їх вагові коефіцієнти і взяти їх суму.

Для переведення десяткового числа в двійкове необхідно поділити десяткове число на 2. Одержана перша остача буде значенням молодшого розряду двійкового числа, а першу частку необхідно знову ділити.

Цей процес продовжується до появи неподільної частки. Розглянемо приклад переводу числа  $38_{10}$  з десяткової системи числення у двійкову. Записуючи неподільну частку і остачі в зворотному порядку їх появи, знаходимо:  $38_{10}=100110_2$ .

Початкове число	Частка	Остача	Розряд двійкового числа
38/2	19	0	$a_0$
19/2	9	1	$a_1$
9/2	4	1	$a_2$
4/2	2	0	$a_3$
2/2	1	0	$a_4$
			$a_5$

Для переведення правильного дробу з однієї системи числення в іншу треба помножити перевідне число на основу нової системи, від результату відокремити цілу частину, а дробову частину, що залишилася, знову помножити на цю основу. Процес такого множення продовжувати до одержання заданого числа цифр. Результат записують як цілі частини добутку в порядку їхнього одержання. Розглянемо це на прикладі переведення правильного десяткового дробу  $X=0,625$  у двійкове число з точністю до четвертого знака:

0,	625 x 2
$a_1=1$	250 x 2
$a_2=0$	500 x 2
$a_3=1$	000 x 2
$a_4=0$	000

$$X_{(10)} = X_{(2)} = a_{-1} \cdot q^{-1} + a_{-2} \cdot q^{-2} + a_{-3} \cdot q^{-3} + a_{-4} \cdot q^{-4}.$$

$$0,625_{(10)} = 0,1010_{(2)}.$$

## Логічні основи побудови цифрових пристроїв

### Основні поняття алгебри логіки

Теоретичною основою цифрової електроніки є алгебра логіки, яку ще називають булевою на честь англійського математика Дж. Буля, який розробив основні положення математичної логіки – науки про використання математичних методів для вирішення логічних задач. Використання апарату алгебри логіки в цифровій електроніці зумовлене тим, що цифрові елементи характеризуються двома станами, а тому можуть бути описані булевими функціями. На відміну від змінної в звичайній алгебрі логічна змінна має тільки два значення, котрі зазвичай називаються логічним нулем і логічною одиницею. Позначаються логічні величини “0” і “1” або просто **0** і **1**. Різні логічні змінні можуть бути зв’язані функціональними залежностями. Наприклад, вираз  $Y = f(X_1, X_2)$  вказує на функціональну залежність логічної змінної  $Y$  від логічних змінних  $X_1$  і  $X_2$ , які називаються аргументами (або вхідними змінними).

Який би складний не був логічний зв’язок між логічною функцією та її аргументами, його завжди можна представити набором елементарних логічних операцій. Основними логічними операціями є **заперечення** (операція НЕ, інверсія), **диз’юнкція** (операція АБО (*OR*), логічне додавання) і **кон’юнкція** (операція І (*AND*), логічне множення)

**Запереченням** (інверсією, операцією НЕ) називається такий зв’язок між вхідною логічною змінною  $X$  і вихідною логічною змінною  $Y$ , при якому  $Y$  правдиве тільки тоді, коли  $X$  хибне, і, навпаки,  $Y$  хибне тоді, коли  $X$  правдиве. За допомогою логіко-математичної символіки логічна функція  $Y$  записується як  $Y = \overline{X}$  і читається “ $Y$  не є  $X$ ”.

**Логічним додаванням** (диз'юнкцією, операцією АБО) декількох змінних називається така функція, яка хибна тільки тоді, коли одночасно хибні усі аргументи (доданки, вхідні змінні).

Операція логічного додавання позначається знаком + або символом  $\vee$ . Наприклад, операція АБО між двома змінними  $X_1$  і  $X_2$  записується  $Y=X_1 \vee X_2$  чи  $X_1+X_2$  і читається: “ $Y \in X_1$  або  $X_2$ ”.

**Логічним множенням** (кон'юнкція, операція І) декількох змінних називається така функція, яка справедлива тільки тоді, коли одночасно справедливі усі вхідні змінні (аргументи).

Операція логічного множення (**І**) позначається знаком математичного множення, тобто крапкою, яку можна не писати, або символом  $\wedge$ . Наприклад, операція **І** між двома змінними  $X_1$  і  $X_2$  записується  $Y = X_1 \wedge X_2$  або  $Y = X_1 \cdot X_2 = X_1X_2$  і читається: “ $Y \in X_1$  і  $X_2$ ”.

Елементарні логічні операції над двійковими змінними реалізуються електронними схемами, які

Таблиця 2

називаються логічними елементами (ЛЕ). Число входів ЛЕ відповідає числу входів відтвореної ним булевої функції. Назви, умовні графічні позначення, таблиці істинності та логічні рівняння перелічених ЛЕ наведені в табл. 1.2.

Подані також в таблиці логічні елементи І-НЕ (елемент Шефера) та АБО-НЕ (елемент Пірса) являються універсальними, тому що використовуючи їх,

Назва ЛЕ	Умовне графічне позначення	Таблиця істинності	Логічне рівняння															
І		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X1	X2	Y	0	0	0	0	1	0	1	0	0	1	1	1	$Y=X1X2$
X1	X2	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
АБО		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	X1	X2	Y	0	0	0	0	1	1	1	0	1	1	1	1	$Y=X1+X2$
X1	X2	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
НЕ		<table border="1"> <thead> <tr> <th>X</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	X	Y	0	1	1	0	$Y=\bar{X}$									
X	Y																	
0	1																	
1	0																	
І-НЕ		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X1	X2	Y	0	0	1	0	1	1	1	0	1	1	1	0	$Y=\overline{X1X2}$
X1	X2	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
АБО-НЕ		<table border="1"> <thead> <tr> <th>X1</th> <th>X2</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	X1	X2	Y	0	0	1	0	1	0	1	0	0	1	1	0	$Y=\overline{X1+X2}$
X1	X2	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																

можна виконувати будь яку із трьох логічних операцій. Крім перелічених ЛЕ промисловістю випускаються ряд інших комбінованих ЛЕ.

А к с і о м и:		
кон'юнкції	диз'юнкції	інверсії
$X \cdot 0 = 0$	$X + 0 = X$	$\bar{\bar{X}} = X$
$X \cdot 1 = X$	$X + 1 = 1$	
$X \cdot X = X$	$X + X = X$	
$X \cdot \bar{X} = 0$	$X + \bar{X} = 1$	

### Основні аксіоми і закони алгебри логіки

Для тотожних перетворень логічних функцій в алгебрі логіки використовують аксіоми, тотожності і закони.

*Аксіоми* для логічних операцій диз'юнкції, кон'юнкції та інверсії для однієї змінної приведені в табл. 1.3.

Ці аксіоми залишаються справедливими не тільки для однієї змінної, а також для цілих виразів.

*Закони* алгебри логіки приведені в табл. 4.

*Тотожності:*

$$X_1 + \bar{X}_1 X_2 = X_1 + X_2;$$

$$X_1 (\bar{X}_1 + X_2) = X_1 X_2.$$

Таблиця 4

Закони	для диз'юнкції	для кон'юнкції
переміщувальний	$X_1 + X_2 = X_2 + X_1$	$X_1 X_2 = X_2 X_1$
сполучний	$X_1 + X_2 + X_3 = (X_1 + X_2) + X_3$	$X_1 X_2 X_3 = (X_1 X_2) X_3$
розподільний	$X_1 (X_2 + X_3) = X_1 X_2 + X_1 X_3$	$X_1 + X_2 X_3 = (X_1 + X_2)(X_1 + X_3)$
поглинання	$X_1 + X_1 X_2 = X_1$	$X_1 (X_1 + X_2) = X_1$
склеювання	$X_1 X_2 + X_1 \bar{X}_2 = X_1$	$(X_1 + X_2)(X_1 + \bar{X}_2) = X_1$
де Моргана	$\overline{X_1 + X_2 + X_3} = \bar{X}_1 \bar{X}_2 \bar{X}_3$	$\overline{X_1 X_2 X_3} = \bar{X}_1 + \bar{X}_2 + \bar{X}_3$

Слід звернути увагу на властивість симетрії, що має місце для основних тотожностей і законів алгебри логіки. Усі вони представлені двома співвідношеннями. В кожній такій парі один вираз впливає з іншого заміною

логічного додавання множенням і, навпаки, логічного множення додаванням. Цей принцип симетрії в алгебрі логіки називається принципом двоякості.

### Запитання для самоконтролю

1. Назвіть, які є системи числення.
2. Чим відрізняються позиційні системи числення від непозиційних?
3. Представте позиційну систему числення у вигляді полінома і в скороченому вигляді.
4. Які переваги і які недоліки має двійкова система числення відносно позиційних систем з іншою основою?
5. Поясніть процес переведення чисел з двійкової системи числення в десяткову.
6. Поясніть процес переведення чисел з десяткової системи числення в двійкову.
7. Назвіть елементарні логічні операції булевої алгебри і поясніть їх суть.
8. Сформулюйте аксіоми кон'юнкції, диз'юнкції та інверсії.
9. Сформулюйте закон де Моргана для диз'юнкції і кон'юнкції.

## ЛЕКЦІЯ 2

### Способи представлення логічних функцій (ЛФ)

Значення логічної функції  $Y$ , як результат виконання логічних операцій над двійковими змінними – аргументами  $X_1, X_2, X_3, \dots, X_n$ , залежить від значення аргументів.

Будь-яку логічну функцію можна представити різними способами: описати словами, часовими діаграмами, таблицями істинності, аналітичними виразами та ін.

**Словесний спосіб.** Наприклад, функцію логічної операції **I** можна описати словами так: функція приймає значення 1 (істинно), якщо усі аргументи одночасно приймають значення 1.

Інший приклад. Логічна функція трьох змінних  $Y = f(X_1, X_2, X_3)$  приймає значення одиниці в разі, якщо дві чи більше змінних приймають значення одиниці.

Таблиця 5

Номер набору	Вхідні змінні (аргументи)			Функція
	$X_1$	$X_2$	$X_3$	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Така функція описує дію мажоритарного елемента “2 з 3-х”.

**Табличний спосіб.** Усі можливі комбінації вхідних змінних ( $X_1, X_2, \dots, X_n$ ) і відповідні їм значення функції  $Y$  можна представити таблицею, яка називається таблицею істинності. При числі вхідних змінних

$n$  число їх можливих комбінацій дорівнює  $2^n$ . При цьому конкретну комбінацію називають набором. В табл.5 приведена таблиця істинності для мажоритарного елемента “2 з 3-х”, яка має  $2^3$  можливих наборів.

**Аналітичний спосіб.** Від табличного способу легко перейти до аналітичного способу представлення логічної функції. З таблиці істинності 1.5 видно, що функція  $Y$  приймає значення одиниці тільки на тих наборах, на яких не менше двох змінних мають значення одиниці. Це такі набори:

- $X_1=0, X_2=1, X_3=1;$
- $X_1=1, X_2=0, X_3=1;$
- $X_1=1, X_2=1, X_3=0;$
- $X_1=1, X_2=1, X_3=1.$

Функцію можна записати як суму добутоків усіх наборів вхідних змінних, на яких вона приймає значення одиниці. При цьому змінні, які мають значення нуля, записуються з інверсією.

$$Y(X_1, X_2, X_3) = \overline{X_1} \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3} + X_1 \cdot X_2 \cdot X_3.$$

Таким чином, функція представлена сумою (диз'юнкцією) кон'юнкцій. Така форма запису функції називається **диз'юнктивною нормальною формою (ДНФ)**. Добутки вхідних логічних змінних (кон'юнкцій) називаються **мінтермами** або **конституентами одиниці**. Якщо в кожен мінтерм входять усі вхідні змінні або їх інверсії, то така форма запису називається **досконалою диз'юнктивною нормальною формою (ДДНФ)**, або першою стандартною формою запису логічної функції.

Аналогічно із таблиці істинності можна виділити набори вхідних змінних, на яких функція приймає нульові значення і записати для цих наборів ДДНФ, взявши функцію з інверсією

$$\overline{Y(X_1, X_2, X_3)} = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} + \overline{X_1} \cdot \overline{X_2} \cdot X_3 + \overline{X_1} \cdot X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} \cdot \overline{X_3}.$$

Інвертуючи ліву і праву частини цього рівняння і використав аксіому подвійного інвертування та закон де Моргана, одержимо:

$$\overline{\overline{Y(X_1, X_2, X_3)}} = \overline{\overline{X_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3}}$$

$$Y(X_1, X_2, X_3) = (X_1 + X_2 + X_3)(X_1 + X_2 + \overline{X_3})(X_1 + \overline{X_2} + X_3)(\overline{X_2} + X_2 + X_3).$$

Вирази в дужках є сумами вхідних змінних, при яких функція дорівнює нулю. Такі суми називаються **макстермами**, або **конституентами нуля**. Така форма запису функції називається **кон'юнктивною нормальною формою (КНФ)**. В разі, якщо в кожен макстерм входять усі вхідні змінні або їх інверсії, то така форма запису функції називається **досконалою кон'юнктивною нормальною формою (ДКНФ)**, або другою стандартною формою запису логічної функції.

Логічна функція  $Y$  є визначеною, якщо відомі її логічні значення для кожного можливого набору вхідних змінних  $X_1, X_2, \dots, X_n$ . Якщо для деяких

наборів вхідних змінних функція не задана, то таку функцію називають **недовизначеною** або **частково визначеною**.

### Побудова комбінаційних пристроїв за заданими функціями у відповідних базисах

Після одержання аналітичного запису логічної функції можна перейти до схемної реалізації цифрового пристрою.

Побудуємо електричну схему мажоритарного елемента “2 з 3-х” за його рівнянням у ДДНФ, яке має вигляд:

$$Y(X_1, X_2, X_3) = \bar{X}_1 \cdot X_2 \cdot X_3 + X_1 \cdot \bar{X}_2 \cdot X_3 + X_1 \cdot X_2 \cdot \bar{X}_3 + X_1 \cdot X_2 \cdot X_3. \quad (1.1)$$

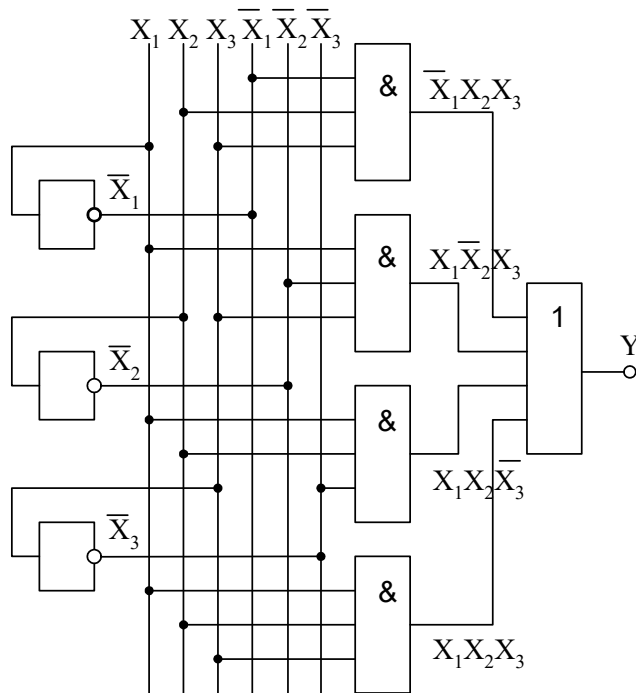


Рис. 1

Для реалізації логічного пристрою знадобляться:

- три схеми НЕ (для інвертування вхідних змінних  $X_1, X_2, X_3$ );
- чотири тривходових схем І (для виконання операції кон'юнкції кожного мінтерму);
- одна чотирьохвходова схема АБО (для виконання диз'юнкції мінтермів).

Схема розглянутого елемента зображена на рис. 1.

Набір логічних елементів, за допомогою яких можна побудувати будь якої складності схему цифрового пристрою, називається **функціонально повною системою** логічних елементів або **базисом**. Функціональну повноту утворюють такі набори логічних елементів:

- НЕ, АБО, І;
- НЕ, АБО;

- НЕ, І;
- І-НЕ;
- АБО-НЕ.

За допомогою аксіом і теорем алгебри логіки легко показати, що кожен з цих наборів є функціонально повним.

Найбільш вживаними є логічні елементи І-НЕ та АБО-НЕ, які ще називаються **універсальними**. На рис. 1.2 показана реалізація будь-якої із трьох логічних операцій (інверсії, кон'юнкції та диз'юнкції) на універсальних логічних елементах.

Покажемо реалізацію принципової схеми мажоритарного елемента «2 з 3-х» в універсальних базисах І-НЕ та АБО-НЕ.

Спочатку необхідно перетворити рівняння (1.1) у відповідний базис, скориставшись аксіомою подвійного заперечення та законом де Моргана.

Для перетворення вихідного рівняння (1.1) у базис І-НЕ необхідно замінити знаки додавання знаками множення.

Для цього потрібно проінвертувати праву частину рівняння (1.1) і за законом де Моргана перетворити суму в добуток. Для того, щоб при цьому функція не змінилась, проінвертуємо праву частину рівняння двічі (на основі аксіоми подвійної інверсії).

$$Y(X_1, X_2, X_3) = \overline{\overline{X_1 \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3} + X_1 \cdot X_2 \cdot X_3}}$$

Розкриваємо одну риску за теоремою де Моргана і одержимо рівняння в базисі І-НЕ

$$Y(X_1, X_2, X_3) = \overline{\overline{X_1 \cdot X_2 \cdot X_3} \cdot \overline{X_1 \cdot \overline{X_2} \cdot X_3} \cdot \overline{X_1 \cdot X_2 \cdot \overline{X_3}} \cdot \overline{X_1 \cdot X_2 \cdot X_3}} \quad (1.2).$$

Для побудови схеми необхідно використати:

1. Три ЛЕ 2І-НЕ (для одержання інверсних значень  $X_1$ ,  $X_2$  і  $X_3$ );
2. Чотири ЛЕ 3І-НЕ (для перемноження і інвертування чотирьох мінтермів);
3. Один ЛЕ 4І-НЕ.

Схема мажоритарного елемента «2 з 3-х» в базисі І-НЕ зображена на рис. 3.

Для реалізації логічної функції у базисі АБО-НЕ необхідно у вихідному рівнянні (1.1) добутки замінити тотожними доданками, використавши теорему

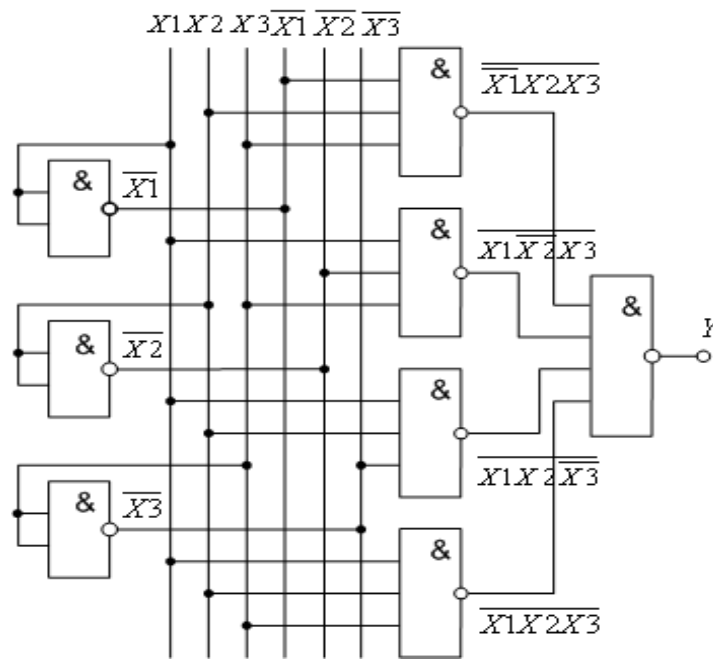


Рис. 3

де Моргана і аксіому подвійного заперечення. Крім того, для збереження базису потрібно ще двічі проінвертувати всю праву частину рівняння.

$$\begin{aligned}
 Y(X_1, X_2, X_3) &= \overline{X_1} \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3} + X_1 \cdot X_2 \cdot X_3 = \\
 &= \overline{\overline{X_1} + \overline{X_2} + \overline{X_3}} + \overline{\overline{X_1} + X_2 + X_3} + \overline{X_1 + \overline{X_2} + X_3} + \overline{X_1 + X_2 + X_3}
 \end{aligned}$$

Схема мажоритарного елемента в базисі АБО-НЕ зображена на рис. 4.

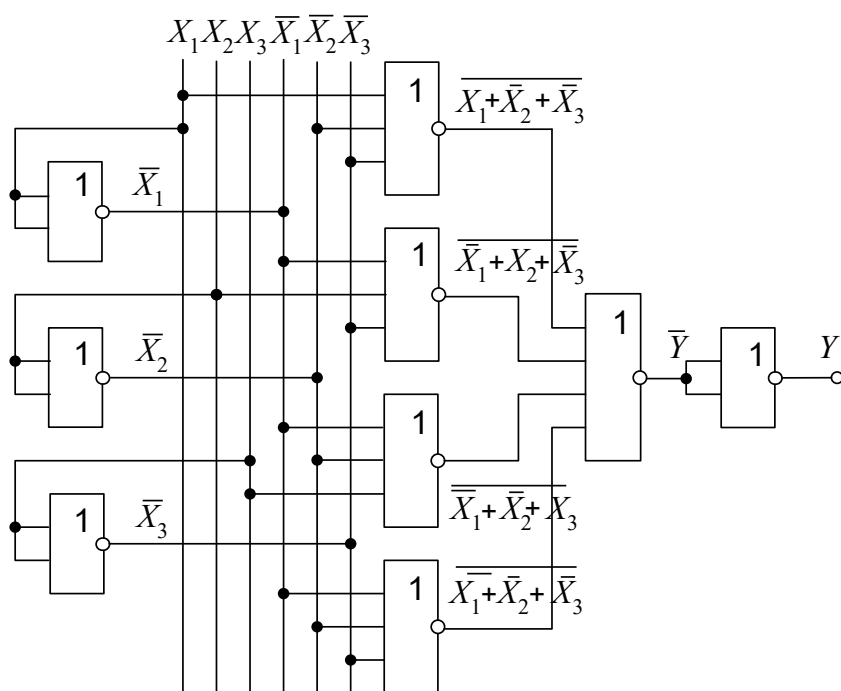


Рис. 4

## Мінімізація логічних функцій

### Алгебраїчний метод мінімізації ЛФ

Прямий спосіб побудови логічного пристрою, представлених в ДДНФ чи в ДКНФ, зазвичай не є задовільним для практики, тому що використовується «надлишкова» за повнотою система логічних елементів.

Крім того, при прямому способі побудови пристрій не є оптимальним з точки зору кількості використаних для його побудови елементів. Одержану функцію за допомогою правил і теорем булевої алгебри можна перетворити в ряд інших, тотожних, з точки зору одержаного результату, але простіших в реалізації. З усіх можливих варіантів необхідно вибрати найкращий (найпростіший), який реалізується меншою кількістю логічних елементів. При цьому покращуються як техніко-економічні (коштовність, маса, габарити), так і чисто технічні (наприклад, швидкодія, надійність) показники розроблюваного пристрою, тому що довгі кола логічних елементів

зумовлюють більший час затримки сигналу на виході при перемиканні пристрою, зменшують надійність.

З цієї причини після одержання аналітичної форми запису логічної функції її необхідно мінімізувати. Під мінімізацією розуміють таку форму запису функції, яка потребує при реалізації найменшого числа елементів.

Відомо декілька методів мінімізації, серед яких найбільш поширеними на практиці є: алгебраїчний метод, метод карт Карно (діаграм Вейча) та метод Квайна – Мак-Класкі.

В основі методів мінімізації лежить знаходження і склеювання сусідніх кон'юнкцій. **Сусідніми** називаються дві однакового рангу кон'юнкції, до складу яких входять логічні добутки одних і тих же змінних, якщо тільки одна змінна водить в одну із кон'юнкцій з інверсією, а в іншу – без інверсії.

Наприклад, сусідніми є наступні кон'юнкції:

$$X_1 X_2 X_3 \text{ і } X_1 X_2 \bar{X}_3 \text{ або } \bar{X}_1 \bar{X}_2 \bar{X}_3 \text{ і } X_1 \bar{X}_2 \bar{X}_3.$$

**Алгебраїчний спосіб мінімізації** полягає в спрощенні логічної функції шляхом послідовного використання аксіом і законів булевої алгебри. При цьому використовують наступні типові прийоми:

- додавання одного або декількох однотипних членів з числа тих, які є в першій стандартній формі (ДДНФ). Через те, що  $A+A+\dots+A=A$ , то додавання до наявного члена  $A$  одного чи декількох таких же членів не змінить правдивості рівності  $Y=f(X_1, X_2, \dots, X_n)$ ;

- множення окремих членів функції на суму  $A+\bar{A}$ , де  $A$  може бути як однією із змінних  $X_1, X_2, \dots, X_n$ , так і функцією цих змінних. Оскільки  $A+\bar{A}=1$ , то таке множення не порушить тотожності вихідного і одержаного співвідношень;

- виділення доданків типу  $A+\bar{A}$  шляхом використання розподільчого закону. Вираз спроститься, оскільки  $A+\bar{A}=1$ ;

- використання законів склеювання і поглинання.

Після проведення всіх можливих перетворень одержують функцію, яка немає надлишкових членів і не підлягає подальшій мінімізації. Таку форму запису функції називають **тупиковою**. Причому функція може мати декілька тупикових форм.

Наприклад: Проведемо мінімізацію раніше складеної функції в ДДНФ для мажоритарного елемента «2 з 3-х».

Вихідна функція має вигляд:

$$Y(X_1, X_2, X_3) = \overline{X_1}X_2X_3 + X_1\overline{X_2}X_3 + X_1X_2\overline{X_3} + X_1X_2X_3.$$

До доданку  $X_1X_2X_3$  добавимо ще два таких доданки і виконаємо групування членів на основі використаного розподільчого закону

$$\begin{aligned} Y(X_1, X_2, X_3) &= \overline{X_1} \cdot X_2 \cdot X_3 + \underline{\underline{X_1 \cdot \overline{X_2} \cdot X_3}} + \underline{\underline{X_1 \cdot X_2 \cdot \overline{X_3}}} + \\ &\quad + \underline{\underline{X_1 \cdot X_2 \cdot X_3}} + \underline{\underline{X_1 \cdot X_2 \cdot X_3}} + \underline{\underline{X_1 \cdot X_2 \cdot X_3}} = \\ &= X_2 \cdot X_3 (\overline{X_1} + X_1) + X_1 \cdot X_3 (\overline{X_2} + X_2) + X_1 \cdot X_2 (\overline{X_3} + X_3) = \\ &= X_2 \cdot X_3 + X_1 \cdot X_3 + X_1 \cdot X_2. \end{aligned}$$

Одержана форма запису логічної функції є тупиковою.

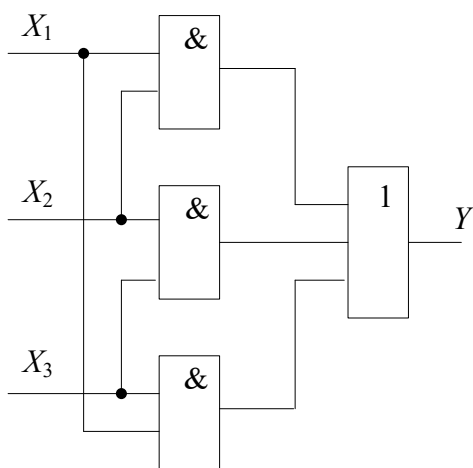


Рис. 5

Схема логічного пристрою побудована згідно з тупиковою функцією мажоритарного елемента «2 з 3-х» зображена на рис.5.

Порівнюючи цю схему з раніше одержаною без мінімізації (рис.1) бачимо, що мінімізація дозволила суттєво спростити пристрій:

- відпала потреба в інверторах (сх. НЕ);

- знадобилось менше число входів у кожного з елементів І та кількість таких елементів;
- потрібен елемент АБО з меншим числом входів.

Подальше перетворення рівняння тупикової форми залежить від наявності типів ЛЕ.

Наприклад, для реалізації ЛФ на елементах І-НЕ перетворимо тупикове рівняння відповідно правилу де Моргана.

$$\begin{aligned}
 Y(X_1, X_2, X_3) &= X_2 \cdot X_3 + X_1 \cdot X_3 + X_1 \cdot X_2 = \\
 &= \overline{\overline{X_2 \cdot X_3 + X_1 \cdot X_3 + X_1 \cdot X_2}} = \overline{\overline{X_2 \cdot X_3} \cdot \overline{X_1 \cdot X_3} \cdot \overline{X_1 \cdot X_2}}.
 \end{aligned}$$

Схема на елементах І-НЕ зображена на рис. 6.

Мінімізація логічних функцій алгебраїчним методом потребує відповідних навичок, тому що складно визначити, чи є одержана логічна функція тупиковою, а інколи складно визначити доданки, які піддаються склеюванню.

### Мінімізація ЛФ методом карт Карно

Цей метод автоматизує процедуру знаходження і склеювання сусідніх кон'юнкцій (мінтермів).

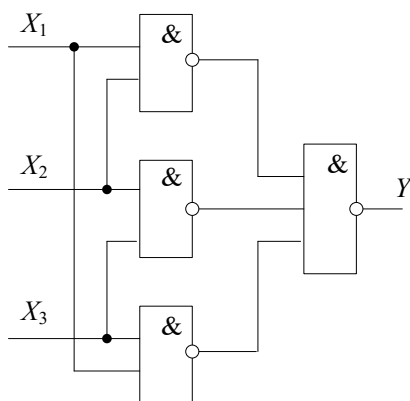


Рис. 6

Карта Карно – це таблиця, яка має комірки для всіх можливих мінтермів функції. Зазвичай карти Карно використовують для мінімізації функцій, мінтерми яких мають не більше 5-6 змінних.

Карту Карно слід розглядати як площину одержану з поверхні тора, розділену на  $2^n$  комірок, де  $n$  – число змінних (спочатку тор розрізаний і випрямлений в циліндр, а потім циліндр розрізаний по твірній і розгорнутий в площину). Карты Карно для двох, трьох і чотирьох змінних приведені відповідно на рис. 7, а, б, в.

Число клітинок карти дорівнює числу всіх можливих наборів вхідних змінних (аргументів)  $2^n$ , де  $n$  – число вхідних змінних. Карта Карно розмічається системою координат відповідних значень вхідних змінних.

Наприклад, верхній рядок карти для функції трьох змінних (рис. 7, б) відповідає нульовому значенню змінної  $X_1$ , а нижній – одиничному значенню. Кожен стовпець цієї карти характеризується значеннями двох змінних:  $X_2$  і  $X_3$ .

Комбінація цифр, якими відмічається кожен стовпець, показує для яких значень змінних  $X_2$  і  $X_3$  вираховується функція, що розміщена в клітинках цього стовпця.

У випадку карти Карно для функції чотирьох змінних (рис. 7, в) функція, яка розміщена в клітинках стовпця з координатами 01, вираховується при значеннях змінних  $X_3=0$  і  $X_4=1$ . Функція, яка розміщена в клітинках на перехрещенні цього стовпця і рядка з координатами 11, визначається при наборі

вхідних змінних  $X_1=1, X_2=1, X_3=0, X_4=1$ .

	$X_2$	0	1
$X_1$	$\bar{X}_2$	$X_2$	
0	$\bar{X}_1$	$\bar{X}_1\bar{X}_2$	$\bar{X}_1X_2$
1	$X_1$	$X_1\bar{X}_2$	$X_1X_2$

а)

	$X_2X_3$	00	01	11	10
$X_1$	$\bar{X}_2\bar{X}_3$	$\bar{X}_2X_3$	$X_2X_3$	$X_2\bar{X}_3$	
0	$\bar{X}_1$	$\bar{X}_1\bar{X}_2\bar{X}_3$	$\bar{X}_1\bar{X}_2X_3$	$\bar{X}_1X_2X_3$	$\bar{X}_1X_2\bar{X}_3$
1	$X_1$	$X_1\bar{X}_2\bar{X}_3$	$X_1\bar{X}_2X_3$	$X_1X_2X_3$	$X_1X_2\bar{X}_3$

б)

	$X_3X_4$	00	01	11	10
$X_1X_2$	$\bar{X}_3\bar{X}_4$	$\bar{X}_3X_4$	$X_3X_4$	$X_3\bar{X}_4$	
00	$\bar{X}_1\bar{X}_2$	$\bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4$	$\bar{X}_1\bar{X}_2\bar{X}_3X_4$	$\bar{X}_1\bar{X}_2X_3X_4$	$\bar{X}_1\bar{X}_2X_3\bar{X}_4$
01	$\bar{X}_1X_2$	$\bar{X}_1X_2\bar{X}_3\bar{X}_4$	$\bar{X}_1X_2\bar{X}_3X_4$	$\bar{X}_1X_2X_3X_4$	$\bar{X}_1X_2X_3\bar{X}_4$
11	$X_1X_2$	$X_1X_2\bar{X}_3\bar{X}_4$	$X_1X_2\bar{X}_3X_4$	$X_1X_2X_3X_4$	$X_1X_2X_3\bar{X}_4$
10	$X_1\bar{X}_2$	$X_1\bar{X}_2\bar{X}_3\bar{X}_4$	$X_1\bar{X}_2\bar{X}_3X_4$	$X_1\bar{X}_2X_3X_4$	$X_1\bar{X}_2X_3\bar{X}_4$

в)

Якщо на вказаному наборі вхідних змінних функція дорівнює одиниці, то її ДДНФ обов'язково має елементарний добуток  $X_1X_2\bar{X}_3X_4$ , який приймає на цьому наборі одиничне значення. Таким чином, клітини карти Карно, що представляють функцію, мають стільки одиниць,

Рис.7

скільки елементарних добутків є в її ДДНФ, при цьому кожній одиниці відповідає один з елементарних добутків.

Звернемо увагу на те, що координати рядків і стовпців на карті Карно слідує не в природному порядку зростання двійкових кодів, а в порядку 00,01,11,10. Зміна порядку слідування наборів зроблено для того, щоб сусідні

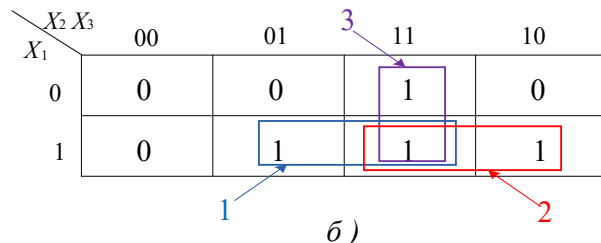
набори (які відрізняються між собою тільки цифрою будь якого одного розряду) були сусідніми в геометричному сенсі. В такому разі мінтерми, що знаходяться в лівій і правій клітині кожного рядка, а також у верхній і нижній клітинах кожного стовпчика будуть «сусідніми».

Використавши карту Карно, мінімізуємо функцію мажоритарного елемента «2 з 3-х», яка була розглянута раніше.

$$Y(X_1, X_2, X_3) = \overline{X_1} \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3} + X_1 \cdot X_2 \cdot X_3$$

$X_1$	$X_2$	$X_3$	$Y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

a)



б)

Рис. 8

Процес мінімізації полягає у формуванні прямокутників, які вміщують по  $2^k$  клітин, де  $k$  – ціле число. В прямокутники об'єднуються сусідні клітини, які відповідають сусіднім елементарним добуткам.

Розглянемо карту Карно для мажоритарного елемента «2 з 3-х», функція якого була раніше мінімізована алгебраїчним методом. На рис.8 показані таблиця істинності (а) і карта Карно (б) мажоритарного елемента «2 з 3-х».

Клітини карти Карно, в яких функція приймає значення одиниці, заповнюються одиницями. В решту клітин записуються нулі. Сусідні клітини заповнені одиницями об'єднуються прямокутниками. Сукупність прямокутників, що покривають усі одиниці, називають **покриттям**. Зауважимо, що одна і та ж одиниця (на рис. 1. 8, б клітина з координатами 111) може покриватися декілька разів (у даному випадку три рази), тобто входити в декілька об'єднань. Об'єднання, відповідне контуру 1, відображає «склеювання» мінтермів  $X_1X_2X_3$  і  $X_1\overline{X_2}X_3$ :

$$X_1 X_2 X_3 + X_1 \overline{X_2} X_3 = X_1 X_3 (X_2 + \overline{X_2}) = X_1 X_3.$$

Об'єднання, відповідне контуру 2, відображає «склеювання» мінтермів

$$X_1 X_2 X_3 \text{ і } X_1 X_2 \overline{X_3}: X_1 X_2 X_3 + X_1 X_2 \overline{X_3} = X_1 X_2 (X_3 + \overline{X_3}) = X_1 X_2.$$

Об'єднання, відповідне контуру 3, відображає «склеювання» мінтермів

$$X_1 X_2 X_3 \text{ і } \overline{X_1} X_2 X_3: X_1 X_2 X_3 + \overline{X_1} X_2 X_3 = X_2 X_3 (X_1 + \overline{X_1}) = X_2 X_3.$$

В результаті проведених операцій «склеювання» з чотирьох мінтермів, що входять у функцію  $Y=f(X_1, X_2, X_3)$  і є кон'юнкцією трьох змінних, залишилися лише доданки:  $X_1 X_3$ ,  $X_1 X_2$ ,  $X_2 X_3$ .

Звідси  $Y=X_1 X_3 + X_1 X_2 + X_2 X_3$ , що було раніше показано алгебраїчним методом.

В результаті «склеювання» у кожному контурі зникають ті змінні, які в межах контуру змінюють своє значення. Наприклад, у контурі 1 зникла змінна  $X_2$ , тому що  $X_2 + \overline{X_2} = 1$ ; у контурі 2 – змінна  $X_3$ ; у контурі 3 – змінна  $X_1$ .

### Висновки:

1. Формула, одержана за допомогою мінімізації логічної функції методом карт Карно, має суму стількох елементарних добутків, скільки прямокутників є у покритті.

2. Чим більше клітин у прямокутнику, тим менше змінних є у відповідному йому елементарному добутку.

Якщо в прямокутник входить дві клітини, то зникає одна логічна змінна; якщо в прямокутник входить чотири клітини, то зникає дві логічні змінні, а якщо вісім, то – три змінних.

На завершення наведемо декілька типових прикладів.

**Приклад 1** (рис. 9, а). Прямокутнику 1 з чотирьох клітин відповідає елементарний добуток  $X_3 X_4$ , а прямокутнику 2, який складається тільки з однієї клітини, відповідає елементарний добуток, який складається з чотирьох змінних  $X_1 X_2 \overline{X_3} \overline{X_4}$ . Функція відповідно покриттю рис.1.9, а має вигляд:

$$Y(X_1, X_2, X_3, X_4) = X_3 X_4 + X_1 X_2 \overline{X_3} \overline{X_4}.$$

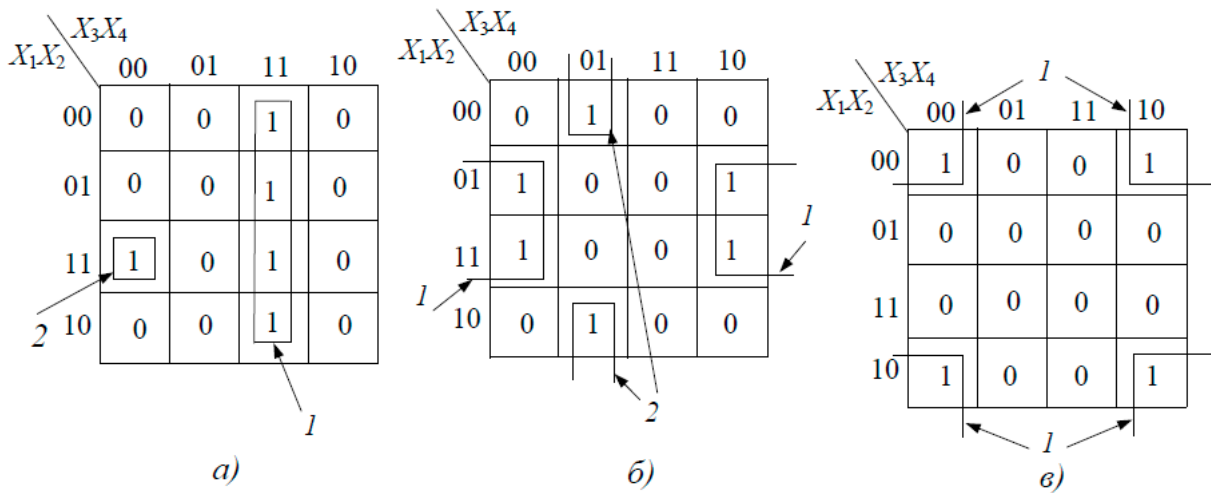


Рис. 9

**Приклад 2** (рис.9, б). Враховуючи, що крайні ліві і крайні праві клітини в рядках є сусідніми, одержуємо контур 1 з чотирьох клітин. Крайні верхні і крайні нижні клітини в стовпцях також є сусідніми і утворюють контур 2. З кожного контуру зникають ті змінні, які в межах контуру змінюють своє значення: з першого контуру зникають  $X_1$  і  $X_3$ , а з другого -  $X_1$ . Мінімізоване логічне рівняння функції буде мати вигляд:

$$Y(X_1, X_2, X_3, X_4) = X_2 \overline{X_4} + \overline{X_2} \overline{X_3} X_4.$$

**Приклад 3** (рис.9, в). У даному випадку карта Карно має одиничні комірочки розміщені в кутах. Усі чотири комірочки є сусідніми і після об'єднання дадуть елементарний добуток  $\overline{X_2} \overline{X_4}$ .

$$Y(X_1, X_2, X_3, X_4) = \overline{X_2} \overline{X_4}.$$

## Запитання для самоконтролю

1. Наведіть способи представлення логічних функцій.
2. Поясніть, що таке диз'юнктивна нормальна форма (ДНФ) запису логічної функції. Наведіть приклад.
3. Поясніть, чим відрізняється досконала диз'юнктивна нормальна форма (ДДНФ) запису ЛФ від ДНФ. Наведіть приклад.
4. Поясніть сутність кон'юнктивної нормальної форми (КНФ) запису логічної функції.
5. Наведіть приклад досконалої кон'юнктивної нормальної (ДКНФ) форми запису ЛФ.
6. Що таке функціонально повна система логічних елементів?
7. Наведіть перелік наборів ЛЕ, що відповідають функціональною повнотою.
8. Поясніть що логічний елемент І-НЕ є функціонально повним.
9. Поясніть функціональну повноту ЛЕ АБО-НЕ.
10. Покажіть на прикладі перетворення логічного рівняння в базис І-НЕ.
11. Реалізуйте наступне рівняння в базисі АБО-НЕ:

$$Y(X_1, X_2, X_3, X_4) = X_1 \overline{X_2} + \overline{X_3} X_4.$$

12. З якою метою виконують тотожні перетворення логічних функцій? Як це впливає на техніко-економічні і технічні параметри пристроїв?
13. Поясніть, що таке мінімізація логічних функцій і для чого вона використовується.
14. Назвіть найбільш поширені способи мінімізації.
15. Поясніть, в чому полягає сутність мінімізації. Дайте визначення, що таке сусідні кон'юнкції.
16. Поясніть сутність алгебраїчного способу мінімізації. Які типові прийоми використовуються при такій мінімізації? В чому полягають недоліки алгебраїчного способу мінімізації?
17. Яка логічна функція називається тупиковою?
18. Поясніть, в чому полягає сутність мінімізації за допомогою карт Карно.
19. Охарактеризуйте, що собою представляє карта Карно.

20. Поясніть розмітку сторін карти Карно і її заповнення.
21. Зобразіть карту Карно для двох, трьох і чотирьох змінних.
22. Покажіть на прикладі, як за допомогою карти Карно отримати тупикове рівняння ЛФ.

## ЛЕКЦІЯ 3

### Мінімізація недовизначених ЛФ

Якщо логічна функція на деяких наборах не задана, то вона називається **недовизначеною** або **частково визначеною**. Такі входні набори можуть бути байдужими або забороненими. Функція на байдужих або заборонених наборах в таблиці істинності і на карті Карно позначається одним із знаків: \*, ∅, н/в.

При мінімізації недовизначеної функції спочатку її необхідно довизначити, тобто недовизначені чи заборонені значення функції  $Y=f(X_1, X_2, X_3)$ , таблиця істинності якої приведена на рисунку 10, а, замінити нулями і одиницями. Спочатку складаємо карту Карно

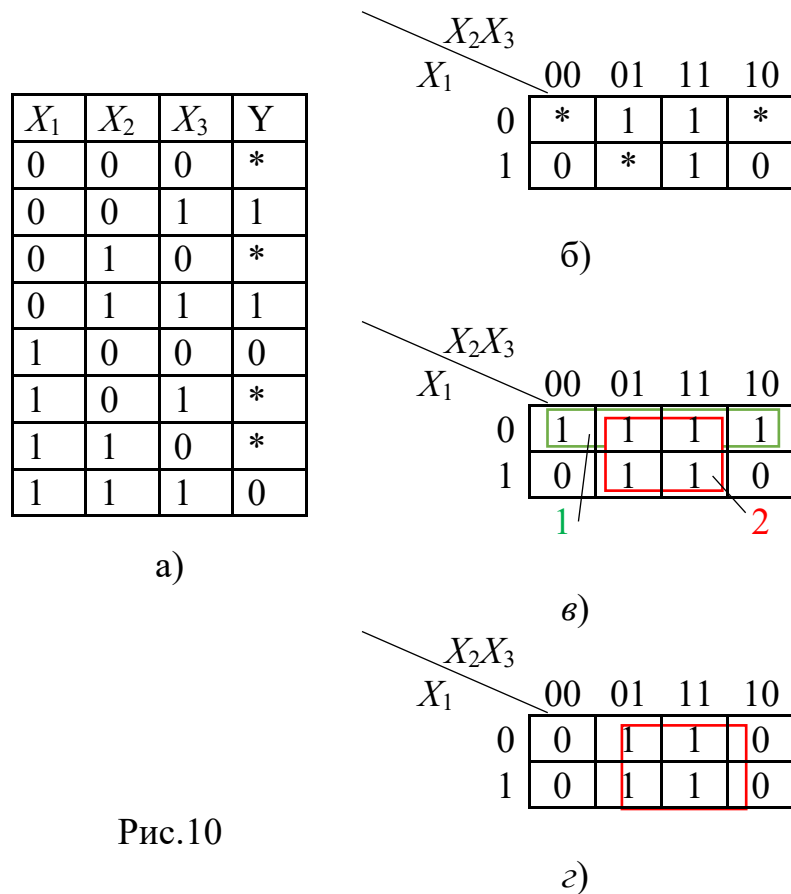


Рис.10

(рис.10, б) і заповнюємо її відповідно таблиці істинності. Потім довизначаємо функцію заміною довільним чином недовизначених значень клітинок карти Карно нулями і одиницями. На рис.10, в наведена карта Карно, в якій усі недовизначеності замінені одиницями. Виділяємо на карті два прямокутника. Мінімізована функція буде мати формулу

$$Y_1 = f(X_1, X_2, X_3) = \overline{X_1} + X_3.$$

Якщо крайні клітини верхнього рядку карти Карно замінити нулями, як показано на рис.10, з, то одержимо функцію  $Y_2 = f(X_1, X_2, X_3) = X_3$ , простішу за функцію  $Y_1$ .

Розглянуті приклади ілюструють можливість спрощення формули недовизначеної функції в залежності від її до визначеності.

Якщо функція має  $m$  заборонених (недовизначених) наборів логічних змінних, то може бути  $2^m$  варіантів вирішення задачі до визначеності. Бажано вибрати такий варіант, при якому формула мінімізованої функції буде найпростішою, тобто **в покритті повинно бути мінімальна кількість контурів,**

**а при їх рівності необхідно вибрати варіант з більшою площею покриття.**

В заключення наведемо послідовність дій при мінімізації ЛФ методом карт Карно:

1. Зображується таблиця для  $n$  змінних і проводиться розмітка її сторін.
2. Клітинки таблиці, відповідні наборам змінних, при яких функція дорівнює одиниці, заповнюються одиницями; клітинки таблиці, відповідні наборам змінних, при яких функція дорівнює нулю, заповнюються нулями; клітинки таблиці, відповідні наборам змінних, при яких функція недовизначена, заповнюються знаком недовизначеності.
3. Довизначається функція шляхом заміни недовизначеностей нулями і одиницями з таким розрахунком, щоб площа покриття була максимальною, а число контурів – мінімальним.
4. Вибирається найкраще покриття таблиці правильними прямокутниками.

Найкращим є таке покриття, яке утворене мінімальним числом прямокутників, а якщо таких варіантів декілька, то в вибирається той, який дає максимальну площу прямокутників.

Добротність мінімізації оцінюється коефіцієнтом покриття:

$$K=m/S,$$

де  $m$  – загальна кількість прямокутників,  $S$  – їх загальна площа.

Покриття рахується тим краще, чим менше коефіцієнт покриття  $K$ .

### **Запитання для самоконтролю**

1. Поясніть, що таке недовизначена функція і як можна мінімізувати таку функцію за допомогою карти Карно.
2. Скільки може бути варіантів до визначення недовизначеною ЛФ і як вибрати найкращий з них?
3. Наведіть послідовність дій при мінімізації методом карт Карно.
4. Поясніть, як можна оцінити якість мінімізації. Коли вона буде найкращою?

## ЛЕКЦІЯ 4

### Логічні елементи

#### Класифікація логічних елементів (ЛЕ)

Логічні елементи – це пристрої, що реалізують логічні функції.

Цифрові логічні елементи широко використовуються в автоматичі, зв'язку, комп'ютерній техніці. На їх основі будуються сучасні мікропроцесорні пристрої, які можна самостійно програмувати для керування побутовими приладами, в технологічних процесах, в роботизованих конвеєрних лініях, в радіозв'язку та телекомунікаційних пристроях. На даному етапі найбільше використовують наступні види логічних елементів:

ТТЛ - транзисторно-транзисторні логічні елементи на біполярних транзисторах;

ЕЗЛ - емітерно-зв'язані логічні елементи на біполярних транзисторах;

МОН (МДН) - логічні елементи на польових транзисторах;

КМОН - логічні елементи на комплементарних польових транзисторах

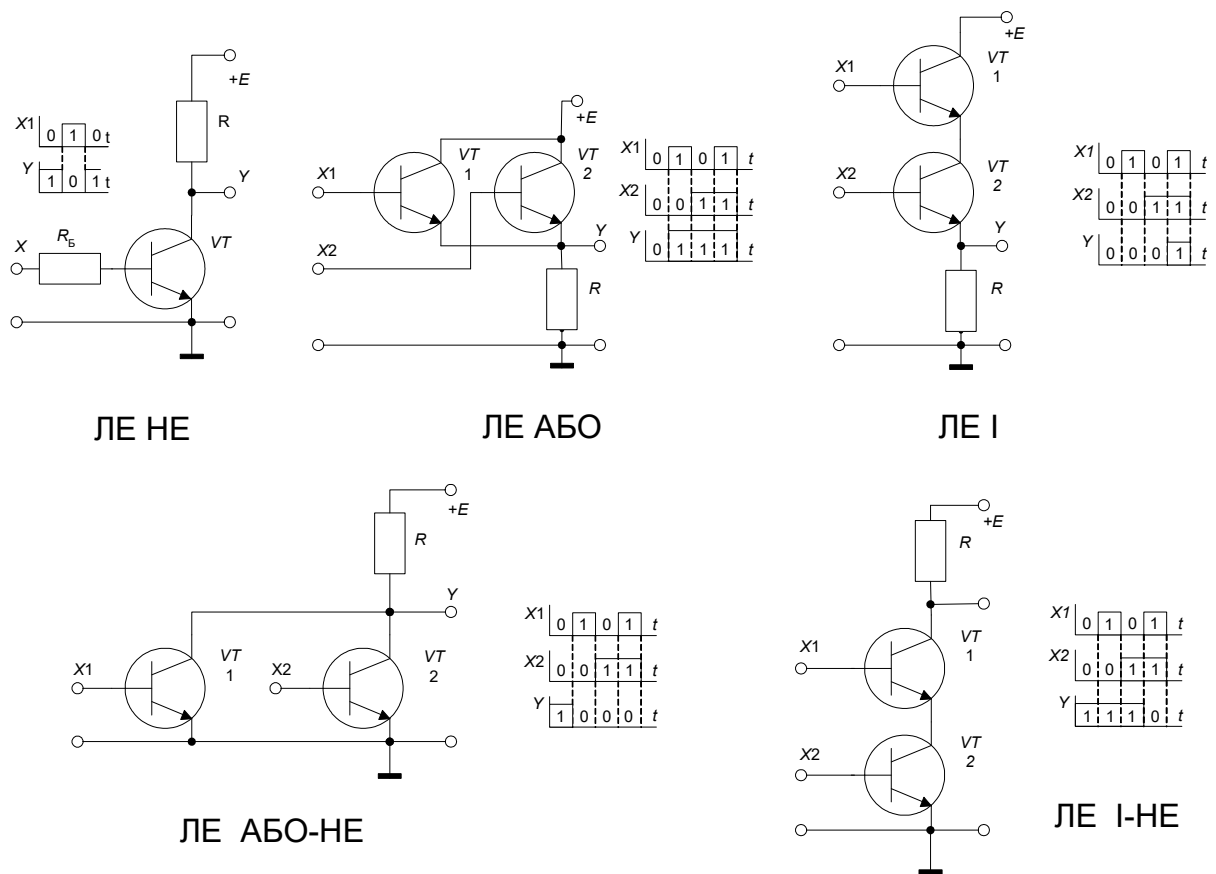


Рис.11

Логічні елементи представляють собою електронні пристрої, на входах і виходах яких сигнали можуть мати тільки один з двох дискретних рівнів напруги - низький або високий, які називають логічним нулем і логічною одиницею.

Логічні елементи (ЛЕ) можуть виконуватись на основі різних електронних приладів (діодів, транзисторів та ін.). На рис.11 наведені найпростіші схеми логічних елементів виконаних на біполярних транзисторах та їх часові діаграми. Аналізуючи за часовими діаграмами можливі набори вхідних змінних  $X_1, X_2$  і відповідні їм значення функції  $Y$ , можна легко зрозуміти принцип роботи кожної схеми.

### Транзисторно-транзисторні ЛЕ. Базова схема ТТЛ елемента.

Найбільш поширеною схемою базового логічного елемента І-НЕ є схема на основі транзисторно-транзисторної логіки (ТТЛ). В такому елементі логічні операції І і НЕ реалізуються транзисторами.

Схема І виконана на багатоемітерному транзисторі (БЕТ)  $VT_1$  (рис.12). Його база через резистор  $R_1$  з'єднана з додатним полюсом джерела живлення  $E$ , емітери ( $X_1, X_2, X_3$ ) БЕТ є входами елемента, а в коло колектора ввімкнутий емітер - базовий перехід транзистора  $VT_2$ .

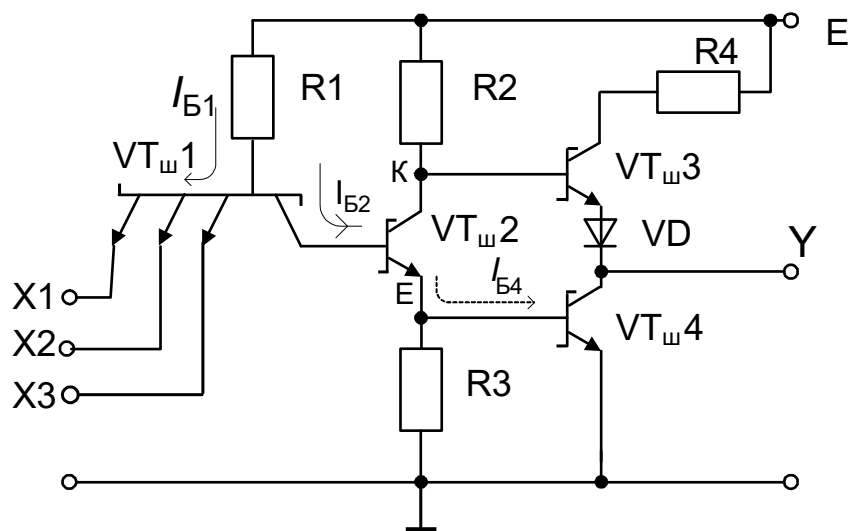


Рис.12

Схема НЕ виконана на транзисторах  $VT_2$ ,  $VT_3$  і  $VT_4$  за схемою складного інвертора. Він забезпечує малий вихідний опір логічного елемента при обох рівнях сигналу на виході, високу навантажувальну спроможність, достатню швидкодію і високу завадостійкість. Діод  $VD$  призначений для надійного запирання транзистора  $VT_3$ .

Потенціал бази закритого транзистора  $VT_3$

$$U_{BVT_3} = U_{BE_{нас}VT_4} + U_{KE_{нас}VT_2}.$$

Потенціал емітера при відсутності діода  $U_{EVT_3} = U_{KE_{нас}VT_4}$ .

Напруга між базою і емітером транзистора  $VT_3$  буде дорівнювати:

$$U_{BEVT_3} = U_{BVT_3} - U_{EVT_3} = U_{BE_{нас}VT_4} + U_{KE_{нас}VT_2} - U_{KE_{нас}VT_4} \gg U_{BE_{нас}VT_4},$$

тобто, якщо діод  $VD$  буде відсутній, то транзистор  $VT_3$  може бути відкритим.

Резистор  $R_4$  (130 Ом) захищає схему від короткого замикання на виході і обмежує струм  $I_K$  транзистора  $VT_3$  при перемиканні елемента.

Розглянемо роботу схеми. Якщо на всі входи БЕТ  $VT_1$  подати напруги відповідні рівням логічної одиниці ( $X_1 = X_2 = X_3 = 1$ ), то емітерні переходи БЕТ будуть закриті і базовий струм  $I_B$   $VT_1$  через відкритий колекторний перехід потече в базу транзистора  $VT_2$ , а потім підсилений струм з емітера  $VT_2$  поступає в базу транзистора  $VT_4$  і відкриває його. Транзистор  $VT_3$  буде закритим, а тому напруга на виході  $Y$  буде відповідати рівню логічного нуля. Якщо бодай на одному вході БЕТ  $VT_1$  з'явиться напруга логічного нуля, то відкриється відповідний емітерний перехід і БЕТ  $VT_1$  перейде у стан насичення. Потенціал його колектора знизиться практично до нуля, а базовий струм  $I_B$   $VT_1$  перейде в коло відкритого емітерного переходу. У результаті транзистори  $VT_2$  і  $VT_4$  закриються, а транзистор  $VT_3$  відкриється. На виході  $Y$  встановиться високий рівень напруги, тобто логічна одиниця. Таким чином, схема реалізує функцію  $Y = \overline{X_1 \cdot X_2 \cdot X_3}$ .

### ТТЛ елемент з підвищеною навантажувальною можливістю

Транзистори  $VT3$  і  $VT5$  (рис.13) утворюють складений транзистор (схема Дарлінгтона). У нього значення коефіцієнта підсилення за струмом дорівнює добутку коефіцієнтів підсилення цих транзисторів  $\beta_{скл} = \beta_5 \beta_3$ .

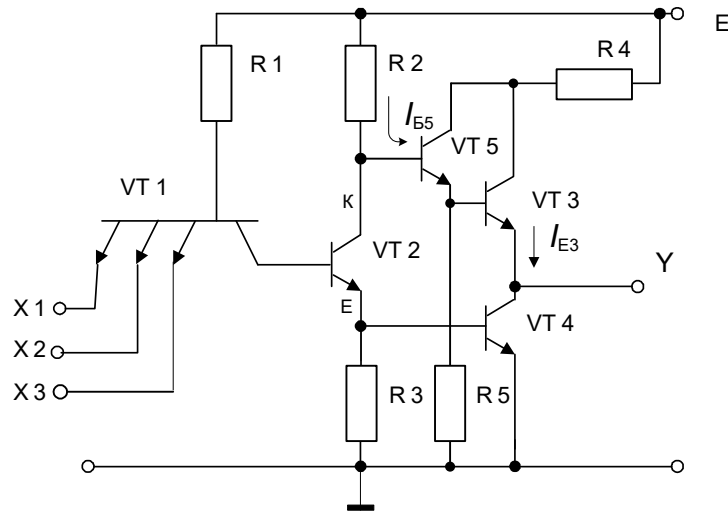


Рис.13

Це приводить до збільшення вихідного струму  $i_{E3} = i_{B5}(1 + \beta_{скл})$  і відповідно підвищення навантажувальної можливості ЛЕ.

### ТТЛ елемент підвищеної швидкодії

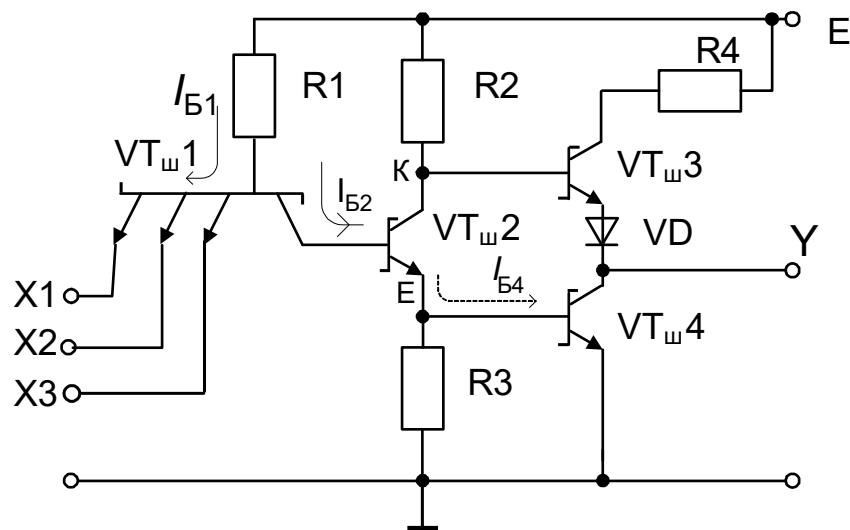


Рис.14

В розглянутій раніше схемі ТТЛ транзистори входять у режим насичення, що приводить до збільшення часу перемикання схеми. Для підвищення швидкодії логічних елементів використовують транзистори Шотткі.

Базовий елемент транзисторно-транзисторної логіки на транзисторах Шотткі зображений на рис.14. Транзистори Шотткі не можуть перебувати у режимі насичення і тим самим виключається затримка виключення, що збільшує їх швидкодію перемикання.

Слід зазначити, що використання транзисторів Шотткі погіршує статичні параметри ЛЕ: збільшується рівень логічного нуля приблизно на 0,2 В, що погіршує завадостійкість ЛЕ.

### ТТЛ елемент з трьома вихідними станами

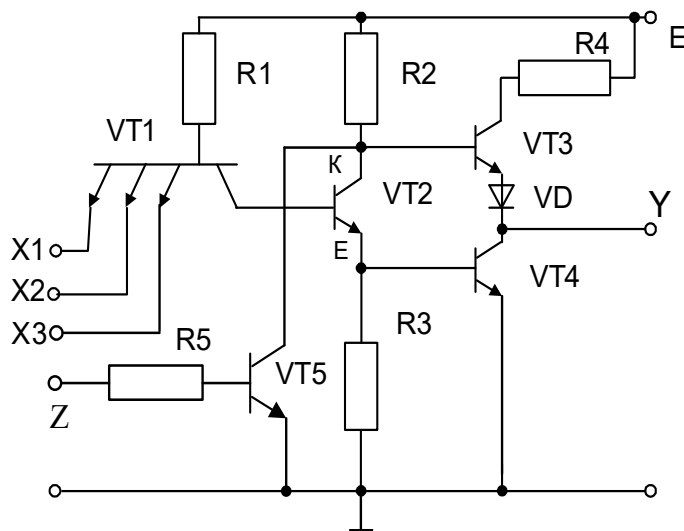


Рис.15

ТТЛ елементи з складним інвертором не можна об'єднувати виходами на спільне навантаження (для реалізації монтажного АБО). Це пояснюється тим, що елементи можуть споживати великий струм від джерела живлення і

рівень сигналу становиться логічно не визначеним.

Об'єднання виходів ЛЕ необхідне у випадках розробки двонаправлених інформаційних шин чи магістральних пристроїв для використання їх у каналах зв'язку цифрових пристроїв.

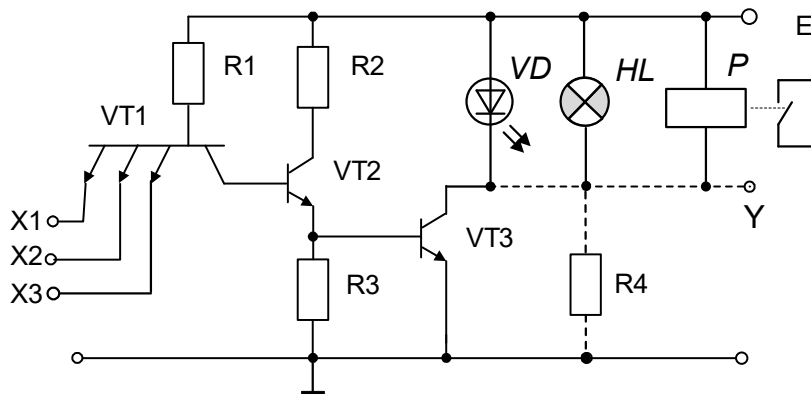
Схема з трьома вихідними станами (рис.15) доповнена транзисторним ключем на транзисторі *VT5*, який керується сигналом *Z*. Якщо на вході *Z* діє логічний нуль, то транзистор *VT5* буде закритим і не впливати на роботу схеми, тобто схема буде реалізовувати функцію І-НЕ.

Якщо на вхід  $Z$  подати напругу відповідну рівню логічного нуля, транзистор  $VT5$  відкриється і транзистори  $VT3$  і  $VT4$  закриються незалежно від комбінації вхідних сигналів  $X1$ ,  $X2$ ,  $X3$  і схема перейде в третій (високоомний) стан, в якому ЛЕ практично цілком відключається від навантаження, тобто не споживає і не видає струм.

Логічні елементи з трьома станами можна об'єднувати виходами до спільного навантаження. При цьому навантаження в будь-який час обслуговується тільки одним ЛЕ, а інші елементи повинні перебувати у третьому стані.

### ТТЛ елемент з відкритим колектором (елемент індикації)

ТТЛ з відкритим колектором (рис.16) використовують для роботи на нестандартне навантаження, наприклад, світлодіод ( $VD$ ), лампу розжарювання ( $HL$ ) чи обмотку реле ( $P$ ). Він реалізує логічну операцію І-НЕ



( $Y = \overline{X1 \cdot X2 \cdot X3}$ ). При збігу на входах логічних одиниць транзистори  $VT2$  і  $VT3$  відкриваються і через навантаження тече струм і світлодіод чи лампа розжарювання

Рис.16

світяться, або спрацьовує реле.

### Логічні елементи на польових транзисторах

Особливістю схем на МОН транзисторах є те, що у них відсутні резистори. Їх роль виконують відповідним чином увімкнені транзистори.

Інтегральні схеми в основному виконуються на МОН транзисторах з індуктованим каналом, статичні характеристики яких зображені на рис.17.

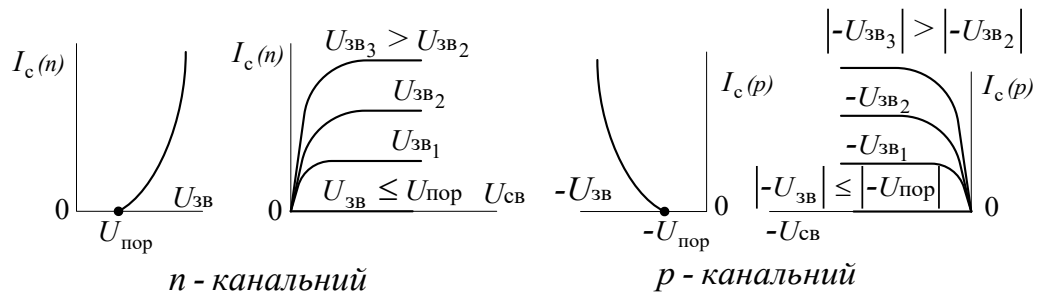


Рис.17

Основою всіх логічних схем на польових транзисторах є інвертор (схема НЕ), зображений на рис.18.

Транзистор  $VT_1$ , затвор якого з'єднаний із стоком, працює в активному режимі і виконує роль резистора навантаження, а транзистор  $VT_2$  працює в імпульсному режимі і відіграє роль ключа. Якщо на затвор транзистора  $VT_2$

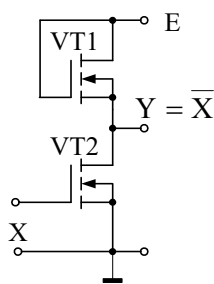


Рис.18

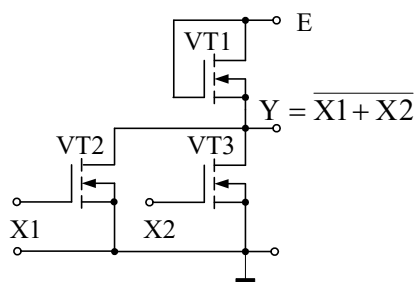


Рис.19

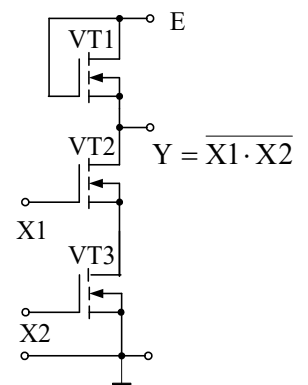


Рис.20

подати напругу, рівень якої відповідає логічному 0, то транзистор  $VT_2$  закриється і на виході елемента буде висока напруга, рівень якої відповідає логічній 1. Якщо ж на затвор подати напругу відповідну логічній 1, то транзистор  $VT_2$  відкриється і вихід елемента з'єднається з нульовою шиною, тобто  $Y=0$ . Таким чином, схема виконує операцію НЕ  $Y = \overline{X}$ .

Елемент АБО-НЕ (рис.19), утворюється паралельним з'єднанням транзисторів  $VT_2$ ,  $VT_3$ , що працюють у ключовому режимі і з'єднання їх стоків з витком навантажувального транзистора  $VT_1$  який працює в активному режимі. Входами схеми є затвори транзисторів  $VT_2$ ,  $VT_3$ . Якщо хоча б на одному вході схеми присутній сигнал логічної одиниці (наприклад  $X_1 = 1$ ), то транзистор  $VT_2$

буде відкритий і сигнал на виході схеми буде відповідати логічному нулю ( $Y = 0$ ). У разі, коли  $X_1 = X_2 = 0$ , транзистори  $VT_2$ ,  $VT_3$  будуть закриті і напруга на виході буде мати високий рівень, тобто  $Y = 1$ . Таким чином, схема реалізує операцію АБО-НЕ ( $Y = \overline{X_1 + X_2}$ ).

Елемент І-НЕ (рис.20) реалізується послідовним включенням навантажувального транзистора  $VT_1$ , який працює в активному режимі, і транзисторів  $VT_2$ ,  $VT_3$ , які працюють в ключовому режимі. Якщо напруга на вході одного із транзисторів буде дорівнювати логічному нулю (наприклад,  $X_1 = 0$ ), то цей транзистор (в даному випадку  $VT_2$ ) буде закритий і на виході схеми буде високий рівень сигналу, тобто логічна одиниця ( $Y = 1$ ). У разі, якщо на обох входах одночасно будуть присутні високі рівні сигналів ( $X_1 = X_2 = 1$ ), транзистори  $VT_2$ ,  $VT_3$  будуть відкриті і на виході встановиться сигнал логічного нуля, тобто  $Y = 0$ . Таким чином, схема виконує операцію І-НЕ ( $Y = \overline{X_1 \cdot X_2}$ ).

Логічні елементи на МОН- транзисторах споживають незначну потужність, мають високу навантажувальну властивість і завадостійкість, займають мало місця на поверхні кристалу, вони технологічні і дешеві. У зв'язку з цим вони використовуються у випадках, коли не потрібна велика швидкодія, а необхідна велика ступінь інтеграції. Схеми на МОН-транзисторах мають меншу швидкодію, ніж схеми на біполярних транзисторах. Це пояснюється наявністю значних ємностей між затвором, витоком, стоком і підкладкою МОН- транзистора, на перезаряд яких потрібен відповідний час. При роботі з великими ємнісними навантаженнями ( $C_H > 100\text{пФ}$ ) використовують схеми буферних підсилювачів з інвертуванням і без інвертування вхідного сигналу (рис.21, а, б).

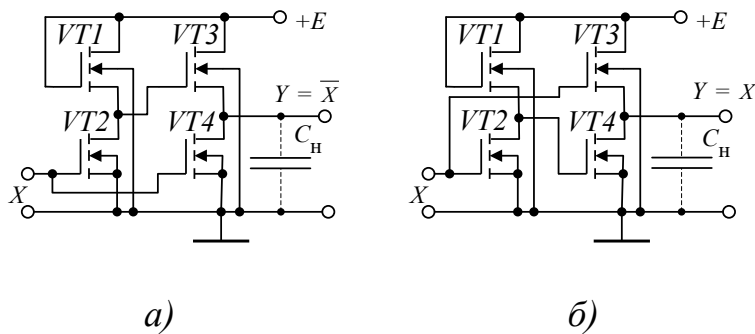


Рис.21

Такі підсилювачі дозволяють одержати на їх виході повну амплітуду напруги живлення, мають більш високу швидкодію, ніж розглянуті вище схеми.

У разі подачі на вхід схеми (рис.21, а) напруги відповідній рівню логічної одиниці, транзистори  $VT_2$  і  $VT_4$  будуть відкриті, а транзистор  $VT_3$  -

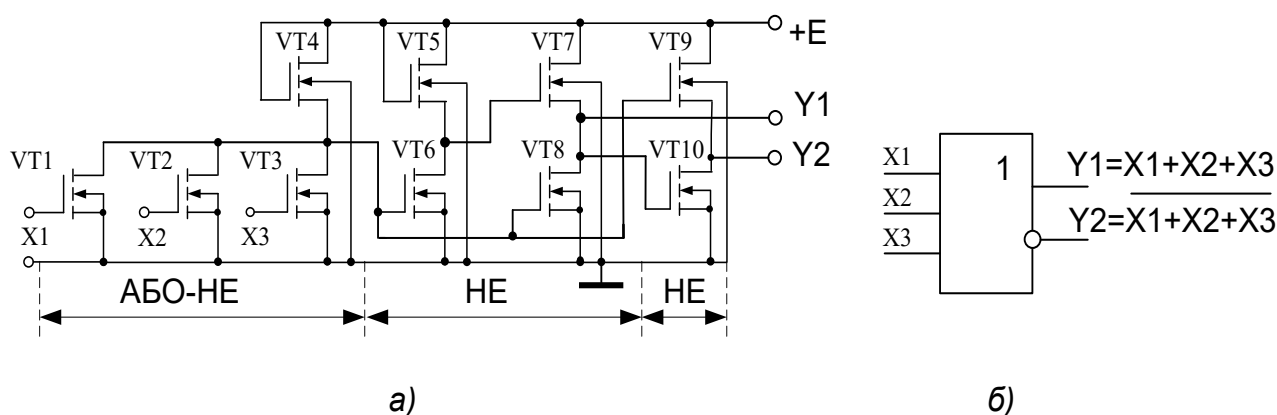


Рис.22

закритий. Через транзистор  $VT_4$  розряджається ємність навантаження  $C_H$ .

При входній напрузі, рівній рівню логічного нуля, транзистори  $VT_2$  і  $VT_4$  запираються і відкривається транзистор  $VT_3$ , через який заряджається ємність  $C_H$ . Таким чином досягається висока навантажувальна властивість схеми і підвищується її швидкодія.

Якщо потрібно забезпечити роботу ЛЕ з великим ємнісним навантаженням без інвертування вхідного логічного сигналу, то використовується буферний каскад без інвертування вхідного сигналу (рис.21, б). У разі подачі на вхід такої схеми напруги відповідній рівню логічної одиниці транзистори  $VT_1$  і  $VT_3$  будуть відкриті, а -  $VT_2$  закритий. Це забезпечить швидкий заряд ємності навантаження  $C_H$  і встановлення на виході високого рівня напруги (логічної одиниці). При подачі на вхід напруги відповідній рівню логічного нуля транзистори  $VT_1$  і  $VT_3$  будуть закриті, а -  $VT_2$

відкритий, що забезпечить швидкий розряд ємності навантаження і встановлені на виході логічного нуля.

Основна логічна схема на МОН-транзисторах з буферними підсилювачами зображена на рис.22. Вона має прямий ( $Y_1$ ) і інверсний ( $Y_2$ ) виходи і виконує функцію АБО/АБО-НЕ. По виходу  $Y_1$  реалізується функція АБО ( $Y = X_1 + X_2 + X_3$ ), а по виходу  $Y_2$  – АБО-НЕ ( $Y = \overline{X_1 + X_2 + X_3}$ ).

### Логічні елементи на КМОН транзисторах

Крім логічних елементів на МОН транзисторах логічні елементи реалізуються на КМОН транзисторах. КМОН транзисторами (комплементарна пара) називаються два послідовно з'єднані МОН транзистори з різними типами провідності каналів.

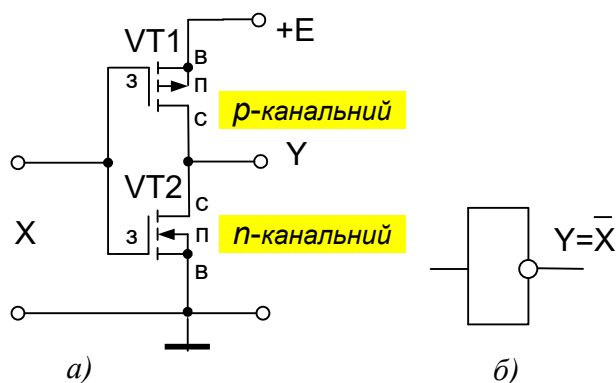


Рис.23

Перевагами схем на КМОН-транзисторах є мала споживана потужність, висока швидкодія і підвищена завадостійкість. В основі усіх логічних КМОН-схем лежить КМОН-інвертор (рис. 23). Затвори транзисторів  $VT_1$  ( $p$ -канальний) і  $VT_2$  ( $n$ -канальний)

об'єднані і на них подається керуюча напруга. З об'єднаних стоків знімається вихідна напруга.

При подачі на вхід напруги високого рівня (логічної одиниці) транзистор  $VT_2$  відкривається, а транзистор  $VT_1$  закривається і на виході  $Y$  встановлюється низький рівень напруги, тобто, логічний нуль.

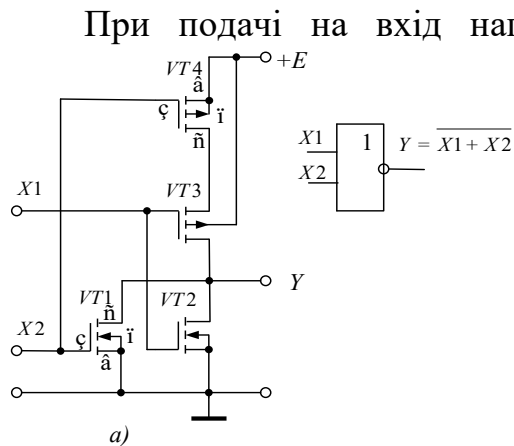


Рис. 24

При подачі на вхід напруги, відповідної рівню логічного нуля, відкривається транзистор  $VT_1$ , а  $VT_2$  закривається і на виході  $Y$  встановлюється високий рівень напруги, тобто, логічна одиниця. Таким чином, схема реалізує логічну функцію НЕ ( $Y = \bar{X}$ ).

Висока швидкодія таких схем реалізується за рахунок того, що в колах заряду і розряду паразитних ємностей

схеми включені малі опори відкритих транзисторів.

На рис.24, *a* наведена схема, яка реалізує логічну функцію АБО-НЕ ( $Y = \overline{X1 + X2}$ ). При надходженні до входу  $X_1$  (або  $X_2$ ) напруги, відповідної рівню логічної одиниці, відкривається транзистор  $VT_2$  (або  $VT_1$ ) і закривається  $VT_3$  (або  $VT_4$ ), в результаті чого напруга на виході  $Y$  буде відповідати рівню логічного нуля ( $Y = 0$ ). Якщо одночасно подати на входи  $X_1$  і  $X_2$  напруги, відповідні рівням логічного нуля, транзистори  $VT_1$  і  $VT_2$  будуть закриті, а  $VT_3$  і  $VT_4$  будуть відкриті. Напруга на виході  $Y$  буде відповідати рівню логічної одиниці (близької до напруги  $E$ ).

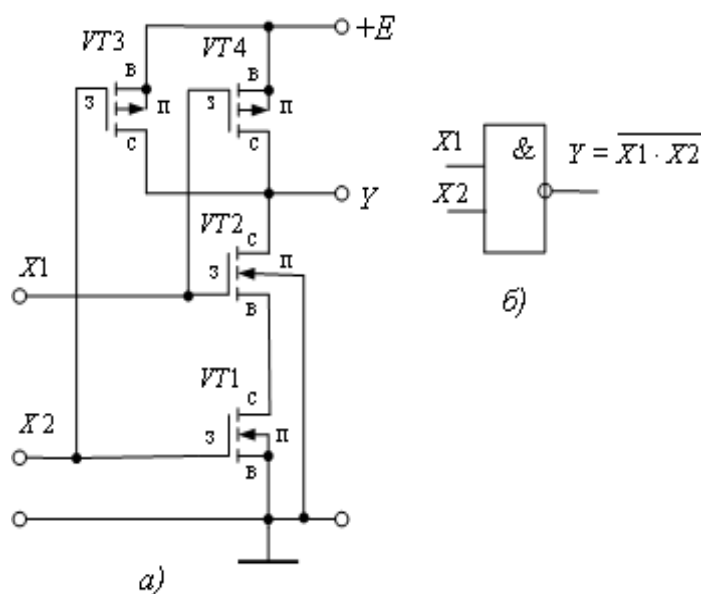


Рис. 25

Схема, яка реалізує функцію І-НЕ ( $Y = \overline{X1 \cdot X2}$ ), зображена на рис.25, *a*.

### Переваги логічних елементів на КМОН- транзисторах:

- Мала споживана потужність;
- Висока швидкодія;
- Підвищена завадостійкість;
- Високий коефіцієнт розгалуження по виходу;
- Можуть працювати в широкому діапазоні напруги живлення, що дозволяє стикувати їх з ТТЛ- схемами.

До недоліків КМОН логічних елементів слід віднести:

- Менш щільна упаковка, ніж у МОН структурах;
- Більша втрата потужності в динамічному режимі через перезаряд міжелектродних ємностей і одночасне відпирання усіх транзисторів у момент переключення;
- КМОН схеми не можуть керуватися ТТЛ схемами, рівень логічної одиниці яких недостатній для переключення КМОН логічних елементів.

### Запитання для самоконтролю

1. Поясніть, які логічні операції називаються елементарними і якими логічними рівняннями вони описуються.
2. Сформулюйте аксіоми кон'юнкції, диз'юнкції та інверсії.
3. Приведіть способи, якими можна подати логічні функції.
4. Поясніть, що таке диз'юнктивна нормальна форма (ДНФ) запису логічної функції. Наведіть приклад.
5. Поясніть відмінність між диз'юнктивною нормальною формою (ДНФ) і досконалою диз'юнктивною нормальною формою (ДДНФ) запису логічної функції.
6. Поясніть, що таке кон'юнктивна нормальна форма (КНФ) і досконала кон'юнктивна нормальна форма (ДКНФ) запису логічної функції.
7. Що таке базис і які бувають базиси побудови логічних функцій.
8. Поясніть, в чому полягає універсальність логічного елемента І-НЕ.
9. Поясніть, в чому полягає універсальність логічного елемента АБО-НЕ.

10. Наведіть умовне графічне зображення логічних елементів І, АБО, НЕ, І-НЕ, АБО-НЕ.
11. Поясніть, що таке функціонально повна система ЛЕ.
12. Поясніть роботу базового ТТЛ елемента І-НЕ.
13. Поясніть роботу базового ТТЛ елемента І-НЕ з підвищеною навантажувальною спроможністю.
14. На яких транзисторах будуються ТТЛ елементи підвищеної швидкодії?
15. Наведіть схему ТТЛ елемента з відкритим колектором. Де використовуються такі схеми?
16. Наведіть схему і поясніть роботу ТТЛ елемента з трьома вихідними станами.
17. Наведіть схему ЛЕ НЕ на МОН транзисторах. В яких режимах працюють транзистори такої схеми?
18. Наведіть схему і поясніть роботу ЛЕ 2АБО-НЕ на МОН транзисторах.
19. Наведіть схему і поясніть роботу ЛЕ 2І-НЕ на МОН транзисторах.
20. Для чого в схемах ЛЕ на МОН транзисторах використовують буферні підсилювачі?
21. Поясніть роботу буферного підсилювача на МОН транзисторах з інвертуванням вихідного сигналу.
22. Поясніть роботу буферного підсилювача на МОН транзисторах без інвертуванням вихідного сигналу.
23. Чим пояснюється менша швидкодія ЛЕ на МОН транзисторах в порівнянні з ЛЕ на БТ?
24. Наведіть схему ЛЕ 2І-НЕ на комплементарних КМОН транзисторах і поясніть її роботу.
25. Наведіть схему і поясніть її роботу ЛЕ 2АБО-НЕ на комплементарних КМОН транзисторах.
26. Поясніть роботу ЛЕ НЕ на КМОН транзисторах. Поясніть переваги і недоліки таких ЛЕ.

## ЛЕКЦІЯ 5

### Послідовнісні цифрові пристрої (ЦП)

#### Характеристика і класифікація ЦП

Пристрої, що оперують з двійковою (дискретною) інформацією, поділяються на два класи:

- *комбінаційні* (без запам'ятовування);
- *послідовнісні* (із запам'ятовуванням).

*Комбінаційні* логічні елементи і пристрої мають спільну властивість: стан їх виходів повністю визначається комбінацією вхідних сигналів у даний момент часу і не залежить від попередніх значень цих сигналів.

Пам'ять це властивість системи зберігати на протязі необхідного часу значення сигналів, які характеризують внутрішній стан цифрового пристрою (ЦП).

Сигнали на виходах комбінаційного пристрою (КП) у будь-який момент часу однозначно визначаються дією сигналів на входах і не залежать від його попереднього стану. Схемною ознакою таких пристроїв є відсутність кіл зворотних зв'язків, тобто замкнених петель для надходження сигналів з виходів до входів.

*Послідовнісні* пристрої запам'ятовують попередню інформацію і в разі зміни інформації на входах для визначення сигналів на виходах необхідно знати також стан, в якому пристрій був до цього. Характерною ознакою послідовних пристроїв є наявність кіл зворотних зв'язків з виходів на їх входи.

Роботу схем, які реалізують перемикальні функції, прийнято розглядати у безрозмірному дискретному часі, для чого реальний час розбивається на інтервали, які нумеруються, починаючи деякого моменту. Кожний проміжок часу називається тактовим інтервалом або просто тактом. Відновлення інформації на виходах відбувається в моменти початку нових тактів.

## Тригери

Тригери являються найпростішими послідовними пристроями з двома стійкими станами рівноваги, зміна яких відбувається стрибком (лавиноподібно) під дією вхідних сигналів. Процес переходу тригера з одного стану стійкої рівноваги в інший називають *перемиканням, спрацюванням або стуском* тригера. Логічна функція, що встановлює залежність стану, в який переходить тригер під дією сигналів керування, називається функцією переходів тригера. Функції переходів задаються логічними формулами або таблицями.

Тригери використовуються:

- в якості формувачів імпульсів;
- в схемах дільників частоти;
- в схемах лічильників, регістрів;
- в арифметичних і логічних пристроях збереження інформації;
- в електронних реле та ін.

Узагальнена структурна схема тригерного пристрою (рис.26) складається зі схеми керування (Сх.К) та елемента пам'яті (ЕП) і має:

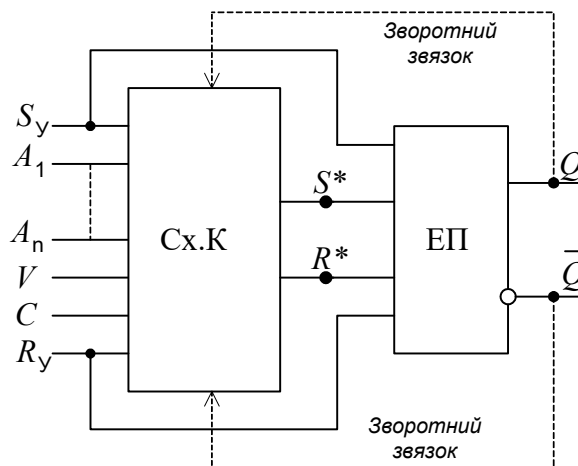


Рис. 26

- $A_1, \dots, A_n$  – інформаційні входи;
- $C$  – вхід синхронізації (тактовний вхід);
- $V$  – підготовчий вхід;
- $S_y, R_y$  – установлювальні входи;

- $R^*, S^*$  - інформаційні входи елемента пам'яті;
- $Q, \bar{Q}$  - два взаємно інверсні виходи.

Літерні позначення і призначення входів тригерних пристроїв приведені в таб.6. Схема керування представляє собою комбінаційний пристрій, що перетворює вхідну інформацію в комбінацію сигналів, під дією яких елемент пам'яті приймає один з двох сталих станів. Змінюючи схему керування і способи її зв'язків з елементом пам'яті, можна одержати тригери з різними функціональними властивостями. В простішому варіанті схема керування може бути відсутня. У такому випадку вхідні інформаційні сигнали впливають безпосередньо на входи елемента пам'яті.

Табл. 6

Літерні позначення	Призначення
<b>Інформаційні входи</b>	
$S$ ( <i>set</i> - встановлення)	Вхід для встановлення тригера в одиничний стан ( $Q=1, \bar{Q}=0$ );
$R$ ( <i>reset</i> - скидання)	Вхід для встановлення тригера у нульовий стан ( $Q=0, \bar{Q}=1$ );
$T$ ( <i>toggle</i> - релаксатор)	Лічильний вхід тригера;
$J$ ( <i>jerk</i> - включення)	Вхід для встановлення універсального $JK$ -тригера в одиничний стан;
$K$ ( <i>kill</i> - відключення)	Вхід для встановлення універсального $JK$ -тригера у нульовий стан
$D$ ( <i>delay</i> - затримка)	Вхід для встановлення тригера у стан «1» або «0».
<b>Керуючі входи</b>	
$V$ ( <i>valve</i> - клапан)	Керуючий вхід для дозволу приймання інформаційних або тактових сигналів;
$C$ ( <i>clock</i> - )	Тактовний (синхронізуючий) вхід для дозволу записування інформації в тригер.
<b>Установлювальні входи (пріоритетні)</b>	
$S_y$	Установлювальний вхід для попереднього встановлення тригера в одиничний стан;
$R_y$	Установлювальний вхід для встановлення тригера в нульовий стан

## Класифікація тригерів

Тригери класифікуються за такими ознаками:

### 1. За способом організації логічних зв'язків:

- *RS*- тригери – тригери з окремим встановленням станів «0» і «1».
- *T*- тригери – тригери з лічильним входом (лічильні тригери).
- *D*- тригери (тригери затримки) – універсальні тригери з керованим прийманням інформації по одному входу.
- *JK*- тригери – універсальні тригери з окремим встановлення «0» і «1».
- Тригери з складною логікою та ін.

### 2. За способом записування інформації:

- асинхронні (не тактовні) тригери;
- синхронні (тактовні) тригери:

### 3. За способом синхронізації:

- синхронні тригери зі статичним керуванням;
- синхронні тригери з динамічним керуванням.

### 4. За характером процесу перемикання:

- одноступеневі;
- двоступеневі.

## Асинхронний *RS*-тригер

*RS*- тригером називають запам'ятовуючий елемент з роздільними інформаційними входами для встановлення його у стан «0» (*R* вхід) і у стан «1» (*S* вхід). Перехід тригера у кожний наступний стан залежить як від поточних значень вхідних інформаційних сигналів, так і від попереднього стану тригера. Інформація про попередній стан, яка надходить з виходу тригера, разом із зовнішніми сигналами керує його роботою.

Логічна функція, що встановлює залежність стану, в який переходить тригер з поточного стану при дії заданих сигналів керування, називається *функцією переходів* тригера. Функції переходів задаються логічними рівняннями, які виражають залежність стану тригера в  $(n+1)$ -му такті  $Q_{n+1}$  від

стану його в  $n$ -му такті  $Q_n$  і від вхідних змінних, або у вигляді таблиць. Для асинхронних  $RS$ -тригерів такі рівняння мають вигляд:

$$Q_{n+1} = f(S_n, R_n, Q_n).$$

Логіку роботи асинхронного  $RS$ -тригера можна подати таблицю станів (переходів) (табл.7). В таблиці переходів прийняті такі позначення:

$R_n, S_n, Q_n$  - значення логічних змінних на  $n$ -му такті відповідно на інформаційних входах і на виході тригера до перемикавання;

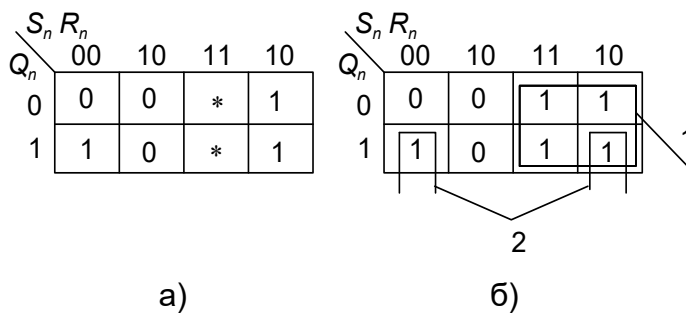
$Q_{n+1}$  - стан, якого набуває тригер у результаті впливу інформаційних сигналів на  $(n+1)$ -му такті після перемикавання;

\* - заборонені комбінації сигналів.

Таблиця 7

$R_n$	$S_n$	$Q_n$	$Q_{n+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

Для одержання характеристичного рівняння  $RS$  тригера мінімізуємо



функцію переходів методом карт Карно, довизначивши її одиницями (рис.27). Мінімізоване логічне рівняння у ДНФ має вигляд:

Рис. 27

$$Q_{n+1} = S_n + \bar{R}_n \cdot Q_n \quad (1.4)$$

Перетворимо одержаний логічний вираз у базис АБО-НЕ.

Для цього спочатку двічі проінвертуємо добуток у правій частині і перетворимо його за теоремою де Моргана

$$Q_{n+1} = S_n + \overline{\overline{R_n} \cdot \overline{Q_n}} = S_n + \overline{R_n + \overline{Q_n}}.$$

Так як тригер має два взаємно інверсні виходи, то проінвертував обидві частини цього рівняння, одержимо логічне рівняння  $RS$ - тригера у базисі АБО-

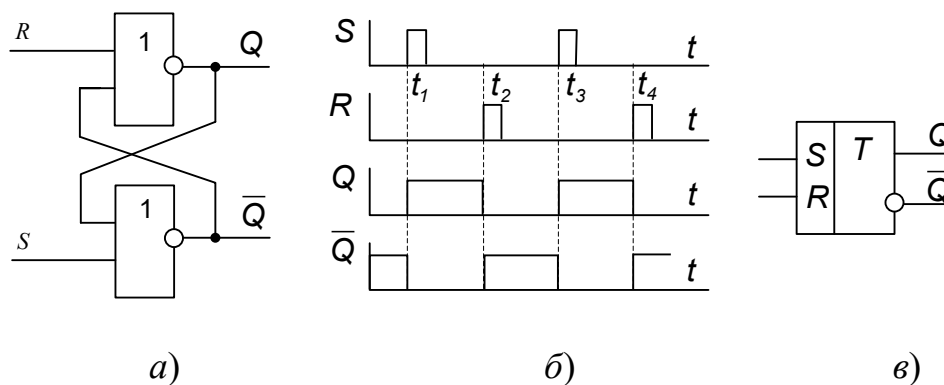


Рис. 28

Для  $RS$ - тригера на елементах АБО-НЕ комбінація вхідних сигналів  $RS=1$  є заборонена, тобто неможна одночасно подавати на входи такого тригера логічні «1». Це пов'язано з тим, що в такому випадку на обох виходах тригера будуть логічні «0», а після відміни такої комбінації неможливо передбачити на якому виході буде логічний «0», а на якому – «1».  $RS$ - тригер на логічних елементах АБО-НЕ називається тригером з прямим керуванням.

НЕ для інверсного виходу: 
$$\overline{Q}_{n+1} = \overline{S_n + R_n + \overline{Q}_n}.$$

Для реалізації схеми  $RS$ - тригера за цим рівнянням необхідно використати два двовходових логічних елементів АБО-НЕ. Схема тригера зображена на рис. 28, а, часові діаграми і умовне графічне зображення показані відповідно на рис. 28, б і в.

Для реалізації схеми  $RS$ - тригера на елементах І-НЕ перетворимо логічний вираз (1.4) до відповідного базису: 
$$Q_{n+1} = \overline{S_n + \overline{R_n} \cdot Q_n} = \overline{\overline{S_n} \cdot \overline{\overline{R_n} \cdot Q_n}}.$$

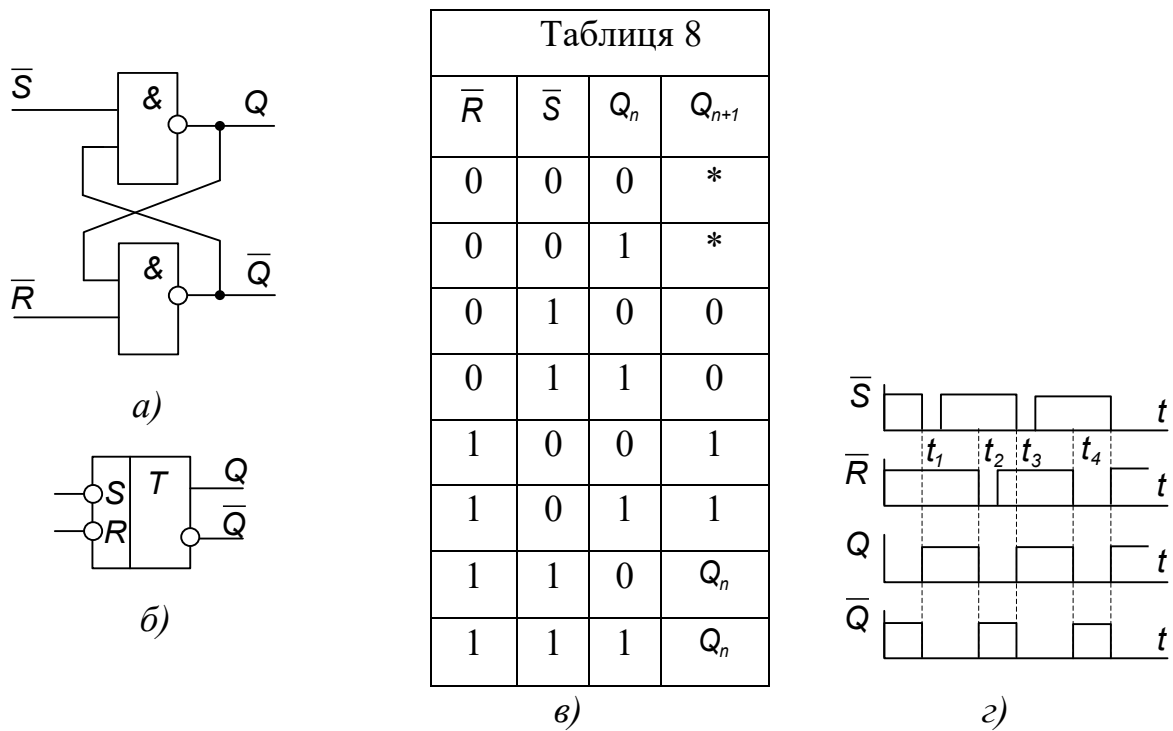


Рис. 29

На рис.29, *a* показана схемна реалізація *RS*- тригера у базисі І-НЕ, умовне позначення (*б*), таблиця переходів (*в*) і часові діаграми його роботи (*г*).

Особливістю такого тригера є інверсне керування за інформаційними входами.

*RS*- тригер на елементах І-НЕ називають тригером з інверсним керуванням. Для нього є забороненою одночасна подача на *R* і *S* входи

логічних нулів  $\bar{R} + \bar{S} = 0$ .

Стан, в який переходить тригер по закінченню дії забороненої комбінації, залежить від того, котрий із вхідних сигналів триває довше. Неоднозначності реакції *RS*-тригерів на заборонену комбінацію вхідних сигналів є їх істотним недоліком. Іншим недоліком асинхронних тригерів є те, що вони не захищені від завад.

Імпульси синхронізації подаються через такий інтервал часу (період синхронізації), щоб закінчилися перехідні процеси переходу тригерів та інших цифрових пристроїв з одного стану в інший. Застосування імпульсів синхронізації усуває неоднозначність стану тригерів, різко збільшує надійність їх роботи і завадостійкість.

**Синхронний RS-тригер.** У синхронних тригерах перемикання відбувається під дією інформаційних сигналів тільки за наявності

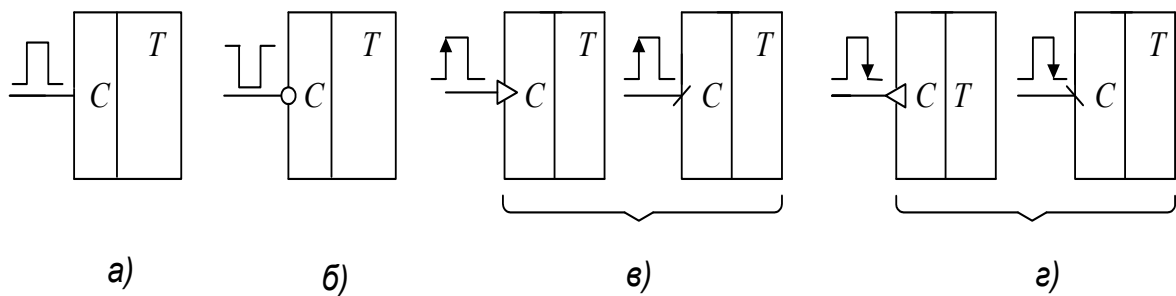


Рис. 30

синхронізуючого (тактового) сигналу. Синхронні тригери поділяються на тригери зі статичним керуванням, динамічним керуванням і двоступеневі тригери. У синхронних тригерах зі статичним керуванням запис інформації, яка надходить до інформаційних входів, можливо впродовж тривалості синхронізуючих (тактових) сигналів. При цьому тактові сигнали можуть приймати значення 1 ( $\square$ ) або 0 ( $\square$ ), а тригери відповідно називаються тригерами з прямим чи інверсним керуванням. Умовні позначення статичних входів керування зображені на рис.30, а, б. У тригерах з динамічним керуванням запис інформації відбувається тільки в моменти дії фронтів тактових імпульсів (прямі динамічні входи), або в моменти зрізів (задніх фронтів) тактових імпульсів ( $\uparrow$  або  $\downarrow$ ). Умовні позначення динамічних входів керування тригерів зображені на рис. 30, в, г.

Синхронний RS-тригер крім інформаційних входів  $R$  і  $S$  має ще вхід синхронізації  $C$ , на який надходять тактові імпульси (імпульси синхронізації).

Синхронний  $RS$ - тригер одержують з асинхронного шляхом підключення до його входів схеми керування, утвореної з логічних елементів.

На рис. 31, *a* наведена схема синхронного тригера з статичним керуванням, виконаного на елементах І-НЕ. Елементи  $DD1$  і  $DD2$  утворюють схему керування, а елементи  $DD3$  і  $DD4$  - елемент пам'яті (асинхронний  $RS$ - тригер). Входи  $R$  і  $S$  – інформаційні, а вхід  $C$  – тактовий (синхронізуючий). Кожен із інформаційних входів з'єднаний з тактовим входом операцією І, а

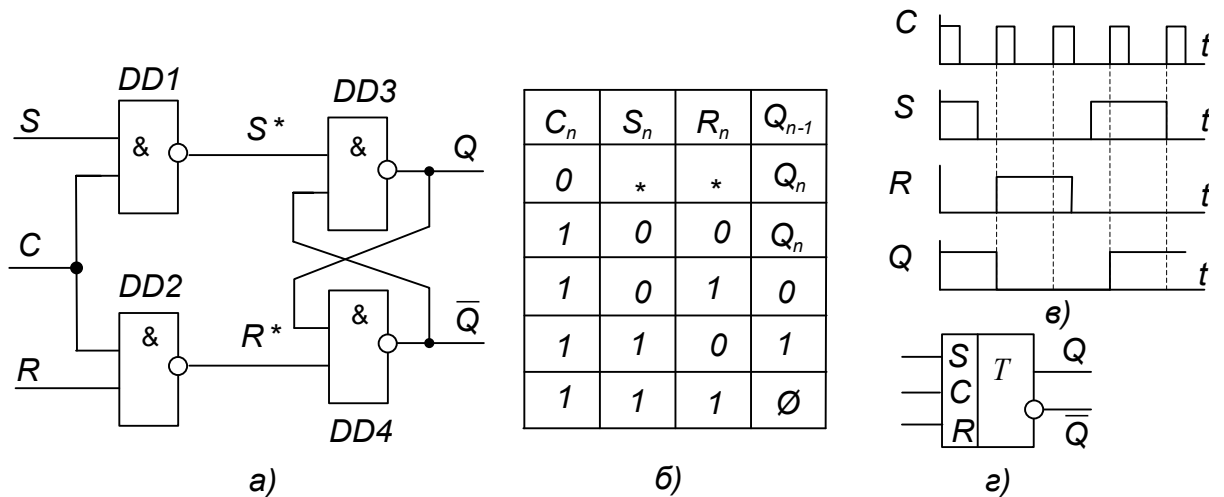


Рис. 31

тому інформація з входів  $R$  і  $S$  може передаватись на елемент пам'яті тільки тоді, коли  $C=1$ . Внутрішні інформаційні входи  $R^*$  і  $S^*$  керують власне асинхронним  $RS$  тригером, який перемикається сигналами нульового рівня. Оскільки в елементах  $DD1$  і  $DD2$  виконується інверсія, то для перемикавання тригера потрібні входні сигнали логічної одиниці. Таблиця переходів синхронного  $RS$ - тригера наведена на рис. 31, *б*, спрощені часові діаграми (без врахування часу затримки перемикавання ЛЕ) - на рис. 31, *в*, умовне графічне зображення – на рис. 31, *г*. Комбінація  $CRS=1$  синхронного тригера на елементах І-НЕ заборонена, тому що в такому разі на входах  $R^*$  і  $S^*$  будуть заборонені для асинхронного  $RS$ - тригера нульові рівні.

Логічну функцію, яку реалізує синхронний  $RS$ - тригер, можна записати

$$\text{як } Q_{n+1} = \overline{C_n S_n} \cdot \overline{C_n R_n} \cdot Q_n = C_n S_n + \overline{C_n R_n} \cdot Q_n \quad (1.5)$$

З цього виразу слідує, що якщо  $C_n = 0$ , то  $Q_{n+1} = Q_n$  (тригер зберігає попередню інформацію), а коли  $C_n = 1$ , то  $Q_{n+1} = S_n + \overline{R_n} \cdot Q_n$ , тобто тригер працює як асинхронний тригер.

**D-тригери.** D-тригер має один інформаційний вхід  $D$  і вхід синхронізації  $C$ . При наявності імпульсу синхронізації стан прямого виходу такого тригера

Табл. 9				
$C_{n+1}$	$D_n$	$Q_n$	$Q_{n+1}$	
0	0	0	0	$Q_n$
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	$D_n$
1	0	1	0	
1	1	0	1	
1	1	1	1	

на  $(n+1)$ -му такті повторює стан інформаційного входу, що діяв на ньому на попередньому ( $n$ -му) такті, тобто  $Q_{n+1} = C_n \cdot D_n$ .

Таким чином, поданий на інформаційний вхід сигнал затримується тригером на один такт. Тому D-тригери називають тригерами затримки (від англійського слова *delay* – затримка).

Порядок роботи D-тригера визначається таблицею станів (табл.9), від якої можна перейти до спрощеної таблиці (табл.10).

Табл. 10	
$C$	$Q_{n+1}$
0	$Q_n$
1	$D_n$

Схему одноступеневого D-тригера можна побудувати на основі синхронного RS-тригера, якщо сигнал по входу  $S$  одночасно подавати через інвертор на вхід  $R$  (рис.32, а). Завдяки інвертору неможливий заборонений стан сигналів на входах  $S$  і  $R$  ( $S \cdot R = 1$ ). Схему D-тригера можна

побудувати також на основі рівняння, одержаного з (1.5) замінивши сигнал  $S$  на  $D$  і сигнал  $R$  на  $\overline{D}$ :

$$Q_{n+1} = \overline{\overline{C_n S_n} \cdot \overline{C_n R_n}} \cdot Q_n = \overline{C_n D_n} \cdot \overline{C_n \cdot \overline{D_n}} \cdot Q_n \quad (1.6)$$

Схема D-тригера згідно з рівнянням (4.8) показана на рис. 32, б.

На рис. 32, в наведені часові діаграми, а на рис.32, з умовне зображення  $D$ -тригера.

З часових діаграм видно, що  $D$ - тригер здійснює затримку встановлення

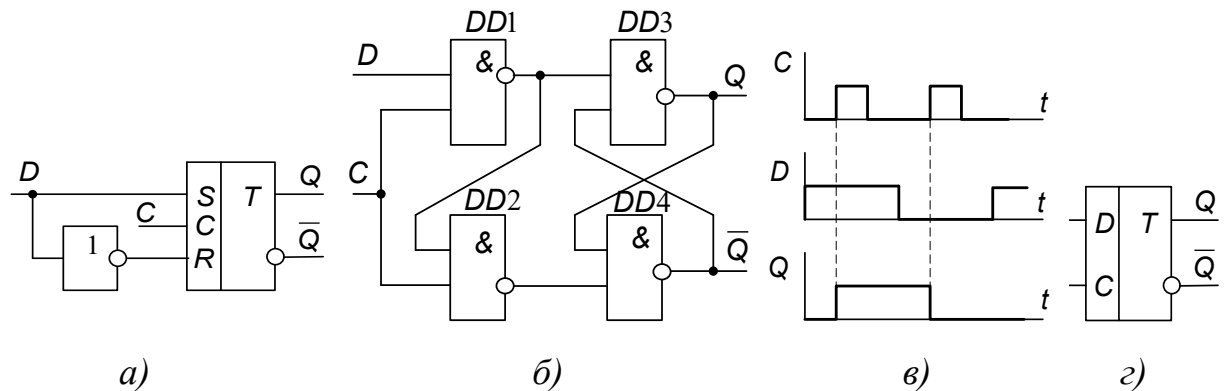


Рис.32

$Q$  на час, що відділяє момент зміни сигналу  $D$  від початку чергового тактового імпульсу. При цьому вихідний сигнал  $Q$  зберігається до надходження чергового тактового імпульсу.

**T-тригер.** Тригер  $T$ -типу, або лічильний тригер, має один інформаційний вхід  $T$  (*toggle* - релаксатор). Стан такого тригера змінюється на протилежний після надходження кожного сигналу на  $T$  вхід.

$T_n$	$Q_n$	$Q_{n+1}$
0	0	0
0	1	1
1	0	1
1	1	0

За способом введення інформації  $T$ -тригери можуть бути асинхронними і синхронними.  $T$ - тригер є єдиним видом тригера, поточний стан якого визначається не інформацією на входах, а станом його на попередньому такті.

Логіка роботи такого тригера подана таблицею істинності (табл.1.11), з якої одержимо логічне рівняння в

$$\text{ДДНФ } Q_{n+1} = \bar{T}_n \cdot Q_n + T_n \cdot \bar{Q}_n.$$

Для реалізації  $T$ -тригера в базисі І-НЕ перетворимо рівняння

$$Q_{n+1} = \overline{\overline{\bar{T}_n \cdot Q_n + T_n \cdot \bar{Q}_n}} = \overline{\overline{\bar{T}_n \cdot Q_n} \cdot \overline{\overline{T_n \cdot \bar{Q}_n}}} = \overline{\overline{\bar{T}_n \cdot Q_n} \cdot \overline{T_n \cdot \bar{Q}_n}}.$$

$$\text{У рівнянні враховано, що } \overline{\overline{\bar{T}_n \cdot Q_n} \cdot \overline{T_n \cdot \bar{Q}_n}} = (\bar{T}_n + \bar{Q}_n) \cdot Q_n = \bar{T}_n \cdot Q_n + \bar{Q}_n \cdot Q_n = \bar{T}_n \cdot Q_n.$$

Перемикання тригера відбувається за рахунок спільної дії сигналів  $T$ -входу і виходів  $Q$  та  $\bar{Q}$ . Схема одноступеневого асинхронного  $T$ - тригера приведена на рис.33, а. Сигнали з виходів  $DD1$  і  $DD2$  затримуються лініями затримки (ЛЗ) на час дії сигналу на  $T$ - вході.

Часові діаграми і умовне зображення  $T$ - тригера показані відповідно на рис. 33, б і в.

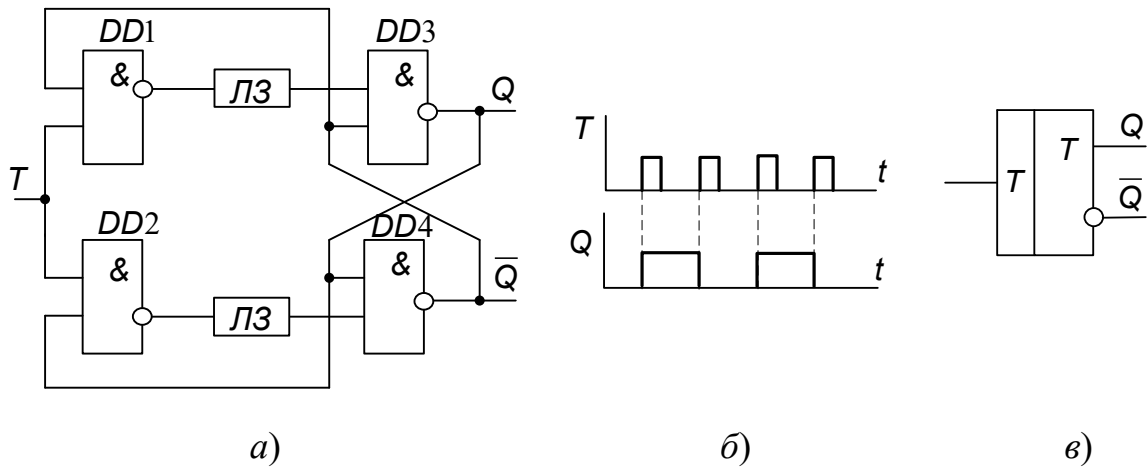


Рис. 33

**JK-тригери.** Цей тип тригерів немає невизначених станів. За способом керування JK-тригери, як і RS-тригери, можуть бути асинхронними і синхронними.

Якщо на карті Карно RS-тригера (рис.34) стовпець невизначеності замінити сполученням 1,0, то карта Карно прийме вигляд (рис.34,б).

Мінімізована функція в ДНФ має вигляд:

$$Q_{n+1} = S_n \cdot \bar{Q}_n + \bar{R}_n \cdot Q_n .$$

Замінив  $S_n$  на  $J_n$ , а  $R_n$  на  $K_n$  одержимо логічне рівняння асинхронного JK-тригера:

$$Q_{n+1} = J_n \cdot \bar{Q}_n + \bar{K}_n \cdot Q_n .$$

Таблиці станів JK-тригера за цим рівнянням повна і спрощена мають вигляд (табл.12):

Як видно з таблиці JK-тригер не має заборонених станів.

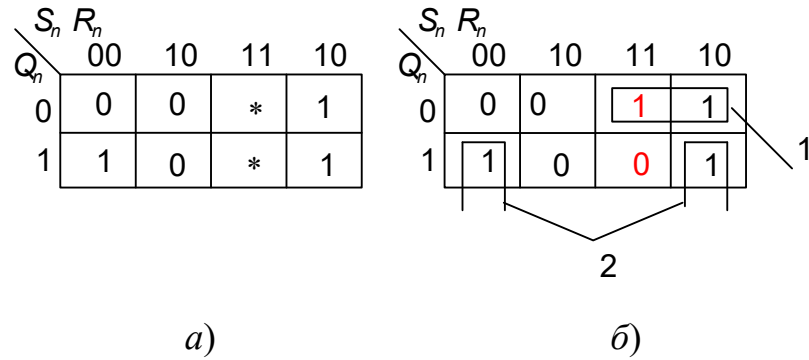


Рис. 34

Для побудови одноступеневого синхронного  $JK$ -тригера на елементах І-НЕ потрібно замінити в рівнянні для асинхронного  $JK$ -тригера змінні  $K$  і  $J$  на сполучення  $CK$  і  $CJ$  і перетворити його за аксіомою подвійної інверсії та правилом де Моргана:

$$Q_{n+1} = \overline{\overline{C \cdot J_n \cdot \overline{Q_n}} + \overline{C \cdot K_n \cdot Q_n}} = \overline{C \cdot J_n \cdot \overline{Q_n}} \cdot \overline{C \cdot K_n \cdot Q_n} \quad (1.7)$$

Табл. 12

$K_n$	$J_n$	$Q_n$	$Q_{n+1}$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Повна

$K_n$	$J_n$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	$\overline{Q_n}$

Спрощена

На рис.35 приведена схема (а), умовне позначення (б) і часові діаграми (в) одноступеневого  $JK$ -тригера, виконаного відповідно рівняння (1.7).

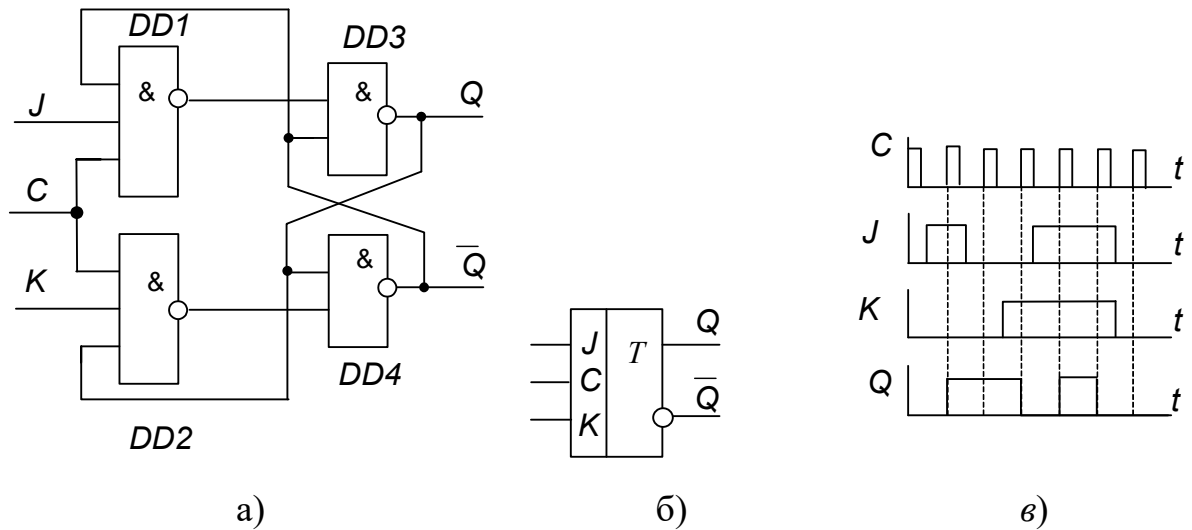


Рис.35

Розглянуті раніше синхронні тригери є тригерами зі статичним керуванням, в яких можливе фальшиве перемикання у випадку зміни сигналів на інформаційних входах під час дії синхросигналу на вході  $C$ . Це знижує завадостійкість таких тригерів.

**Тригери з динамічним керуванням.** У тригерах з динамічним керуванням дозвіл на запис інформації відбувається лише під час фронту чи спаду синхроімпульсу, що підвищує завадостійкість таких тригерів. Такі тригери виконуються за двоступеневими схемами, які ще називають *MS-тригерами* (від англ. Master - Slave).

Двоступеневі тригери складаються з двох синхронних *RS*- тригерів і додаткового елемента НЕ (рис. 36, *a*).

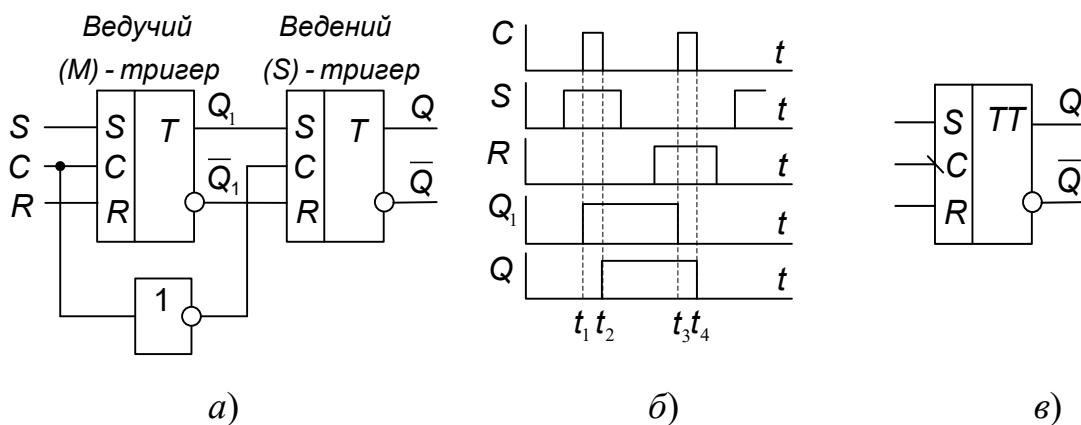


Рис. 36

Переднім фронтом синхроімпульсу інформація, що поступає на інформаційний  $S$ - вхід тригера, записується у ведучий ( $M$ ) тригер (момент  $t_1$

на рис. 36, б). При цьому ведений ( $S$ ) тригер не змінює свого стану, тому що на його вхід синхронізації через схему НЕ подається логічний нуль. Після закінчення запису інформації у ведучий тригер і зміні значення синхроімпульсу з одиниці на нуль відбувається запис інформації у ведений ( $S$ ) тригер (момент  $t_2$  на рис. 36, б).

Таким чином, у ведучий тригер інформація з  $S$  і  $R$  входів записується в момент надходження синхроімпульсу, тобто за його переднім фронтом, а інформація з виходів ведучого тригера ( $Q_1$  і  $\bar{Q}_1$ ) записується веденим тригером по закінченню тактового імпульсу, тобто за його зрізом. Така синхронізація називається *динамічною*.

Умовне зображення двоступеневого  $RS$ - тригера з динамічним входом  $C$  у разі перемикання зрізом імпульсу наведено на рис. 36, в. Наявність двох ступенів позначається на умовному зображенні двома буквами  $T$ .

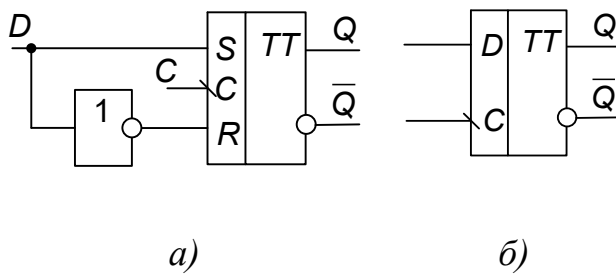


Рис.37

**Двоступеневий D- тригер** можна реалізувати на основі двоступеневого  $RS$ - тригера, якщо між  $S$  і  $R$  входами включити схему НЕ (рис.1.37, а). Умовне зображення двоступеневого  $D$ -

тригера наведено на рис.37, б).

Двоступеневий  $D$ - тригер з динамічним керуванням можна перетворити в лічильний  $T$ - тригер, з'єднавши його вхід  $D$  з інверсним виходом  $\bar{Q}$  (рис.

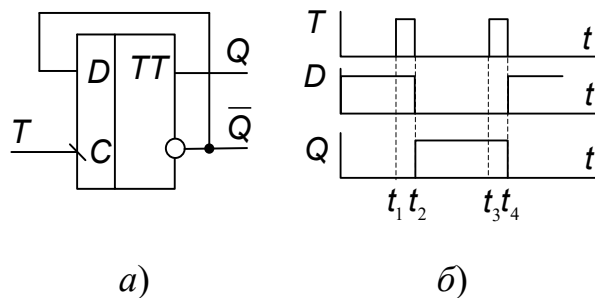


Рис. 38

1.38, а).

Через те, що  $D = \bar{Q}$ , у такій схемі кожний перехід 1/0 на вході  $C$  буде приводити до переходу тригера у протилежний стан, тобто  $Q_{n+1} = D_n$  (рис. 38, б).

Більшими функціональними можливостями володіє *двоступеневий JK- тригер*, схема якого і умовне зображення показані відповідно на рис. 39, а і б).

Схема доповнена двома двохходовими елементами 2І DD1 і DD2.

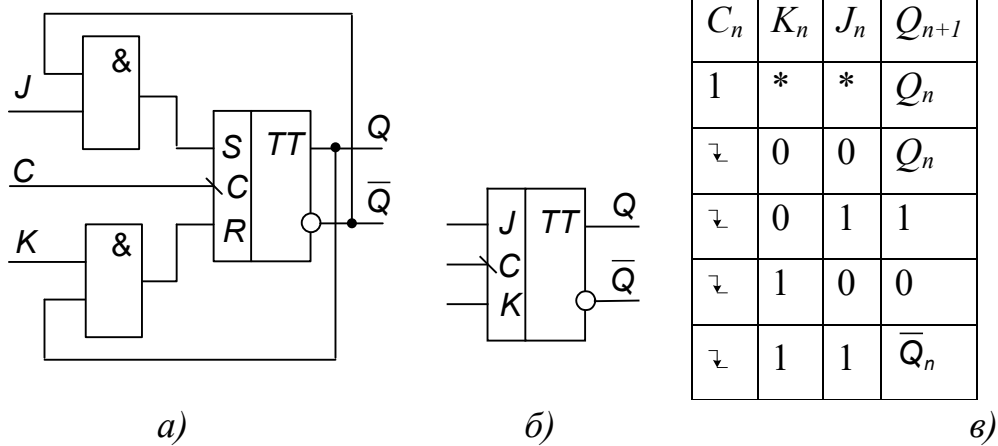


Рис. 39

Через те, що на їх входи заведений перехресний зворотний зв'язок з виходів  $Q$  і  $\bar{Q}$  то завжди один із елементів буде закритий для проходження одного із інформаційних сигналів  $J$  або  $K$ .

У зв'язку з цим на входи такого  $JK$ - тригера можна одночасно подавати

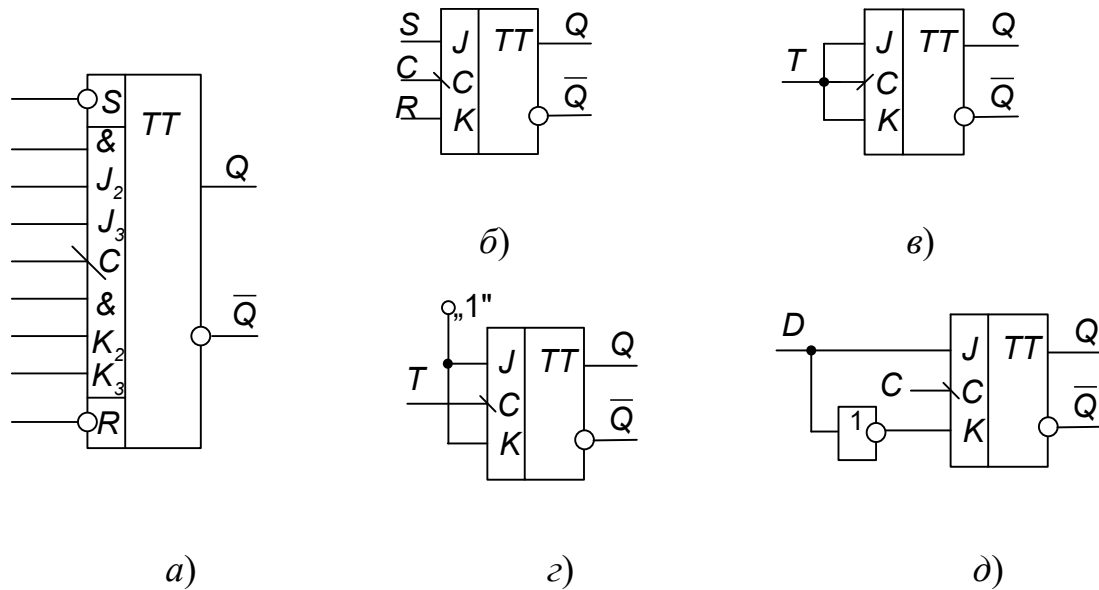


Рис. 40

логічні одиниці. Входи  $J$  і  $K$  відповідають входам  $S$  і  $R$   $RS$ - тригера. Якщо на синхровході  $C$  діє «1», то при будь-яких значеннях сигналів на  $J$  і  $K$  входах тригер не змінює свого стану. Якщо на вході  $C$  є дозвіл запису інформації, то сигнали  $J=1$ ,  $K=0$  установлюють тригер у стан 1, а сигнали  $J=0$ ,  $K=1$  – у стан 0 незалежно від його попереднього стану. Якщо  $J=K=0$ , то

має місце режим збереження інформації, яка була записана на попередньому такті. Якщо  $J=K=1$ , то з надходженням імпульсу до  $C$  входу тригер змінює свій стан на протилежний, тобто веде себе як  $T$ - тригер. Таблиця станів такого тригера приведена на рис. 39, в.

Двоступеневе керування використовується у більшості типів інтегральних  $JK$ - тригерів.

На рис. 40, а показано умовне зображення інтегрального  $JK$ - тригера, який має по три  $J$  і  $K$  входи, пов'язані операцією І. Крім інформаційних  $J$  і  $K$  входів і синхронізуючого входу  $C$  тригер має додаткові асинхронні установлювальні входи  $S$  і  $R$ , які є пріоритетні (команди на їх входах виконуються в першу чергу). Вони дозволяють встановлювати тригер у потрібний початковий стан.  $S$  вхід встановлює на виході  $Q$  «1», а  $R$  вхід – «0».  $JK$ - тригери називають універсальними, тому що вони можуть працювати в режимах  $RS$ - ,  $T$ - і  $D$ - тригерів. На рис. 40, б показано включення  $JK$ - тригера в режимі  $RS$ - тригера, на рис. 40, в, г – в режимі  $T$ - тригера, на рис. 1.40, д - в режимі  $D$ - тригера.

### Запитання для самоконтролю

1. Охарактеризуйте, за якими ознаками цифрові пристрої (ЦП) поділяються на комбінаційні і послідовні.
2. Поясніть, які пристрої називаються тригерами і де вони використовуються.
3. Наведіть структурну схему тригерного пристрою. Поясніть, які входи і виходи має такий пристрій та їх призначення.
4. Назвіть ознаки за якими класифікуються тригери.
5. Наведіть таблицю істинності, логічне рівняння та схему на ЛЕ АБО-НЕ асинхронного  $RS$ -тригера.
6. Поясніть, яку і чому асинхронний  $RS$ -тригер на ЛЕ АБО-НЕ має заборонену комбінацію вхідних сигналів.

7. Поясніть, які тригери називаються синхронними. Яке призначення входу синхронізації? Які переваги має синхронний тригер в порівнянні з асинхронним?

8. Наведіть схему і поясніть роботу синхронного *RS*- тригера побудовану на ЛЕ І-НЕ.

9. Наведіть таблицю істинності, логічне рівняння і схему *D*- тригера.

10. Поясніть, який тригер називається *T*- тригером. Нарисуйте його схему і поясніть роботу.

11. Поясніть, що таке *JK*- тригер. Наведіть таблицю істинності асинхронного *JK*- тригера, логічне рівняння і схемну реалізацію.

12. Наведіть схему, умовне зображення і таблицю істинності синхронного *JK*- тригера.

13. Поясніть, в чому полягає універсальність *JK*- тригера.

14. Наведіть приклади використання *JK*- тригера в режимі *T*- тригера.

15. Поясніть включення *JK*- тригера в режимі *D*-тригера.

16. Поясніть, як будуються двоступеневі тригери (тригери з динамічним керуванням) і в чому їх перевага.

## ЛЕКЦІЯ 6

### Двійкові лічильники.

Лічильниками імпульсів називаються логічні електронні пристрої з пам'яттю, призначені для лічби вхідних імпульсів і фіксації їх числа у двійковому коді.

Основними параметрами лічильників є коефіцієнт (модуль) лічби і швидкодія. Коефіцієнт лічби  $K_{лч}$  визначає максимальне число імпульсів, після приходу яких лічильник повертається в початковий стан. Швидкодія лічильника визначається часом встановлення вихідного коду  $t_{вст}$ , який визначається часовим інтервалом між моментом надходження імпульсу і моментом встановлення нового кода на виході лічильника.

Лічильники можуть використовуватись також у режимі ділення частоти. В такому режимі частота вихідних імпульсів визначається виразом  $f_{вих} = f_{вх} / K_{лч}$ .

**Класифікація лічильників.** Лічильники класифікуються за такими ознаками:

**1. За коефіцієнтом лічби:**

- двійкові (бінарні) з  $K_{лч} = 2^m$ , де  $m$  – число розрядів (тригерів) лічильника;

- з довільним (програмованим) коефіцієнтом лічення  $K_{лч} \neq 2^m$ ;

- двійково-десяткові  $K_{лч} = 10$ .

**2. За напрямком лічби:**

- додавальні;

- віднімальні;

- реверсивні.

**3. За способом організації внутрішніх (міжрозрядних) зв'язків:**

- з послідовним перенесенням;

- з паралельним перенесенням;

- комбінованим перенесенням;

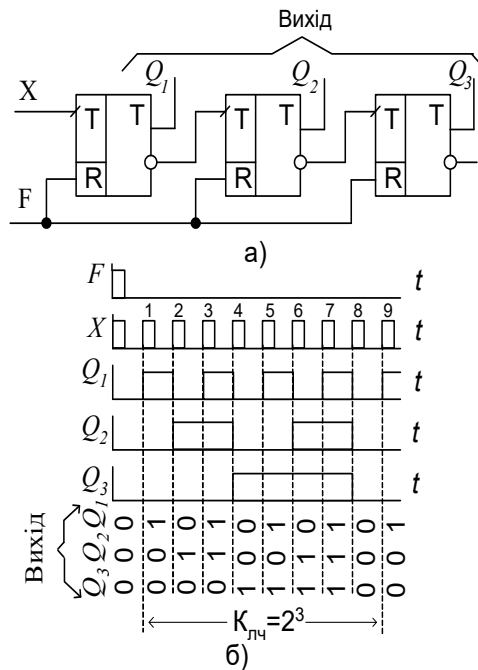
- кільцеві.

## Підсумовуючі (додавальні) лічильники

У додавальних лічильниках кожний вхідний імпульс збільшує занесене в лічильник число на одиницю. Лічильник з послідовним перенесенням являє собою ланцюжок тригерів, у яких імпульси, що підлягають підрахунку, надходять на вхід першого тригера, а сигнал переносу передається послідовно від одного розряду до іншого. В цих лічильниках використовуються асинхронні *T*, *D*, *JK*- тригери, а тому такі лічильники називають ще асинхронними.

Лічильники з паралельним перенесенням будуються на синхронних *D* або *JK*- тригерах. У них імпульси, що підлягають підрахунку, надходять одночасно до тактових входів усіх тригерів, а кожен з тригерів ланцюжка служить по відношенню до наступного тільки джерелом інформаційних сигналів.

У лічильниках з паралельним перенесенням тригери перемикаються одночасно (синхронно), а тому затримка перемикання лічильника дорівнює затримці перемикання одного тригера, тобто швидкодія паралельних лічильників вища ніж послідовних.



На рис. 41, а наведено трирозрядний асинхронний (послідовний) лічильник на основі послідовно з'єднаних  $T$ -тригерів, тобто інверсний вихід першого тригера подається на лічильний вхід другого, інверсний вихід другого – на вхід третього і т. д. Вхідні імпульси надходять на лічильний  $T$ -вхід першого тригера. Сигнали перенесення передаються послідовно в часі (асинхронно) з інверсних виходів молодших розрядів на  $T$ -входи сусідніх старших розрядів. Виходом лічильника є прямі виходи тригерів  $Q_3Q_2Q_1$ , де  $Q_3$  - старший розряд. Після підрахунку семи імпульсів на виході три розрядного лічильника встановлюється двійковий код  $Q_3Q_2Q_1=111$ . Після приходу восьмого вхідного імпульсу лічильник перемикається у початковий нульовий стан послідовно (асинхронно) в часі. Вхід  $F$  служить для встановлення лічильника в нульовий стан. При подачі імпульсу до входу скидання  $F$  лічильник повертається в нульовий стан у будь-який момент часу. Часові діаграми лічильника показані на рис. 41, б.

Зміна станів тригерів відбувається при появі додатних імпульсів на їх лічильних входах ( $T$ ). Через те, що їх входи з'єднані з інверсними виходами попередніх тригерів, то тригери старших розрядів перемикаються в разі появи на прямих виходах попередніх тригерів нульового сигналу. Після надходження восьмого імпульсу лічильник переходить у початковий стан і 9-й імпульс запише у лічильник цифру 1. Таким чином коефіцієнт лічби розглянутого лічильника  $K_{лч} = 2^3 = 8$ .

Якщо лічильник має  $m$  розрядів, то записане в нього число визначається за формулою:

$$M = Q_m 2^{m-1} + Q_{m-1} 2^{m-2} + \dots + Q_2 2^1 + Q_1 2^0,$$

де  $m$  – номер розряду (тригера);  $2^m$  – вага  $m$ -го розряду;  $Q_m$  – стан виходу тригера  $m$ -го розряду.

Перевагою лічильників з послідовним переносом є простота схеми: збільшення розрядності виконується підключення необхідного числа тригерів. Основним недоліком послідовних (асинхронних) лічильників є їх низька швидкодія.

## Віднімальні лічильники

У віднімальних лічильниках кожен черговий імпульс, що надходить до його входу, зменшує записане у лічильник число на одиницю. Віднімальний лічильник можна одержати з додавального одним з таких способів:

- зробити виходами лічильника інверсні виходи тригерів;
- з'єднати прямі виходи тригерів молодших розрядів з  $T$ - входами тригерів наступних розрядів і залишити виходами лічильника прямі виходи тригерів.

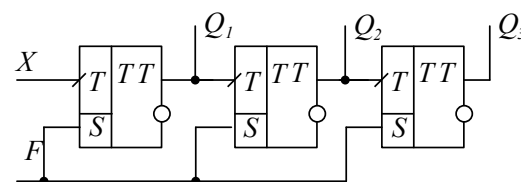
На рис. 42 наведена схема (а) і часові діаграми (б) віднімального лічильника, де прямі виходи попередніх тригерів  $Q_i$  з'єднані з  $T$ - входами тригерів наступних розрядів ( $i+1$ ) розрядів. Поточне значення кількості вхідних імпульсів  $n$ -розрядного двійкового віднімального лічильника визначається за формулою  $N_{\text{пот}} = N_{\text{п}} - N$ ,

де  $N_{\text{пот}}$  – поточне значення кількості вхідних імпульсів;

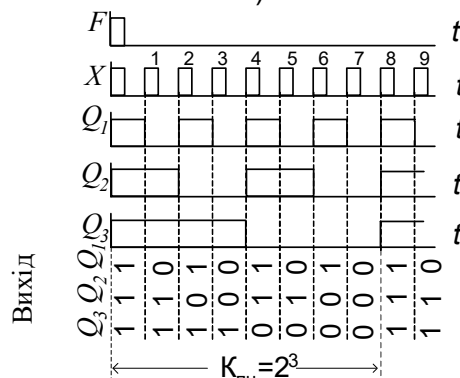
$N_{\text{п}}$  – попередньо записане початкове число;

$N$  – значення коду на виході лічильника.

Перед початком роботи за допомогою сигналу на вході  $F$  всі тригери лічильника встановлюються в стан 1 ( $Q_1=Q_2=Q_3=1$ ), утворюючи вихідний код 111. Для цього вхід  $F$  об'єднує  $S$  установчі входи тригерів.



а)



б)

Рис. 42

## Запитання для самоконтролю

1. Дайте визначення, які цифрові пристрої називаються лічильниками і якими основними параметрами вони характеризуються.
2. Перелічіть, за якими ознаками класифікуються лічильники.
3. Дайте визначення додавального лічильника.
4. Нарисуйте схему трьохрозрядного додавального лічильника і поясніть його роботу. Чому дорівнює коефіцієнт лічби такого лічильника?
5. Перелічіть переваги і недоліки лічильників з послідовним перенесенням.
6. Дайте визначення віднімального лічильника. Як з підсумовуючого лічильника одержати віднімальний лічильник?

## ЛЕКЦІЯ 7

### Реверсивні лічильники

Лічильники імпульсів, у яких можна вибрати один з двох режимів: режим додавання, чи режим віднімання, називаються реверсивними лічильниками. На рис. 43 приведена схема реверсивного лічильника імпульсів на  $JK$ -тригерах, у якому режим віднімання чи додавання вибирається сигналом  $E$ .

Якщо  $E=1$ , то лічильник буде працювати у режимі віднімання, а якщо  $E=0$ , то в режимі додавання.

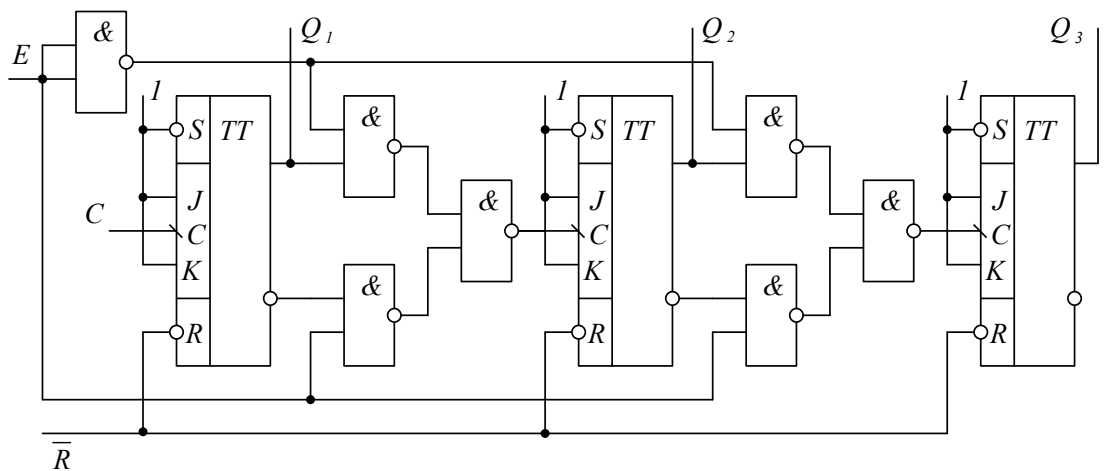


Рис. 43

### Лічильники з довільним коефіцієнтом лічби ( $K_{лч} \neq 2^m$ )

За допомогою додаткового логічного елемента можна змінювати коефіцієнт лічби в межах  $2^{m-1} < K_{лч} < 2^m$ , для чого входи логічного елемента підключаються до виходів відповідних тригерів, а його вихід – до входів  $R$  примусового встановлення тригерів у нульовий стан, а інколи і до входів  $S$  – примусового встановлення тригерів в одиничний стан.

Прикладом такого лічильника може бути двійково-десятковий лічильник з  $K_{лч} = 10$ . При побудові таких лічильників використовуються два методи: метод виключення зайвих станів; метод керованого скидання.

Перший метод використовується при проектуванні пристроїв, що випускаються великими партіями.

Сутність методу керованого скидання полягає у тому, що формується сигнал скиду тригерів розрядних схем двійкового лічильника в разі появи на його виході коду, який збігається із заданим коефіцієнтом лічення.

Розглянемо порядок дій при побудові лічильника з  $K_{лч} = 10$ . Спочатку визначимо розрядність лічильника  $2^{m-1} \leq 10 \leq 2^m$ , де  $m$  - найменше число розрядів лічильника, необхідних для одержання  $K_{лч} = 10$ . Так як  $2^m \geq 10$ , то якщо взяти логарифм від цього виразу, знайдемо мінімальну кількість розрядів (тригерів) потрібних для побудови лічильника.

$$m \cdot \ln 2 \geq \ln 10 \Rightarrow m \geq \ln 10 / \ln 2 = 2,3 / 0,69 = 3,3, \text{ тобто } m=4.$$

На рис. 44, а наведена схема лічильника на тригерах DD1...DD4.

Вхід  $F$  (встановлення "0") об'єднує входи  $R$  усіх тригерів, що дозволяє імпульсами на цьому вході обнулити лічильник. Нагадаємо, що вхід  $F$  є пріоритетним. Це означає, що команда цього входу виконується першочергово. На вхід  $X$  лічильника надходять імпульси, які підлягають підрахунку.

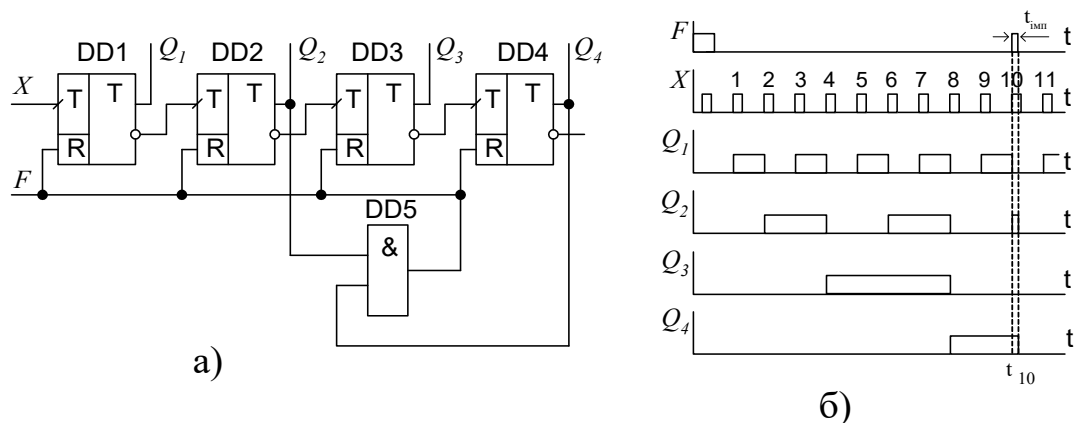


Рис. 44

На рис. 44, б наведені часові діаграми роботи лічильника. В момент  $t=0$  імпульсом на вході  $F$  лічильник встановлюється в нульовий стан ( $Q_1 = Q_2 = Q_3 = Q_4 = 0$ ). Після цього схема працює як звичайний підсумовуючий двійковий лічильник до моменту надходження 10-го імпульсу ( $t_{10}$ ). В цей момент на виходах тригерів буде такий стан:

$Q_1 = 0; Q_2 = 1; Q_3 = 0; Q_4 = 1$ , тобто в лічильник записане в двійковому коді число  $C = Q_4 2^3 + Q_3 2^2 + Q_2 2^1 + Q_1 2^0 = (1010)_2 = (10)_{10}$ .

На виходах тригерів  $DD2$  і  $DD4$  буде вперше одночасно встановлені “1”. Цей стан і використовується для примусового обнуління лічильника. Для цього використовується кон’юнктор (елемент І)  $DD5$ , на входи якого поступають сигнали з прямих виходів тригерів  $DD2$  і  $DD4$ , а вихід приєднаний до входу  $F$ . У разі, коли  $Q_2 = Q_4 = 1$ , на виході  $DD5$  сформується логічна одиниця яка визве обнуління лічильника.

В інтервалі між 10-м і 11-м імпульсами відбудеться примусовий скид лічильника в нульовий стан. З приходом 11-го імпульсу в лічильник запишеться одиниця

(рис. 44, б). Далше процес буде повторюватись через кожні 10 імпульсів.

Таким чином, розглянутий лічильник має коефіцієнт лічби  $K_{лч} = 10$ . Аналогічно можна побудувати лічильник з довільним коефіцієнтом лічби.

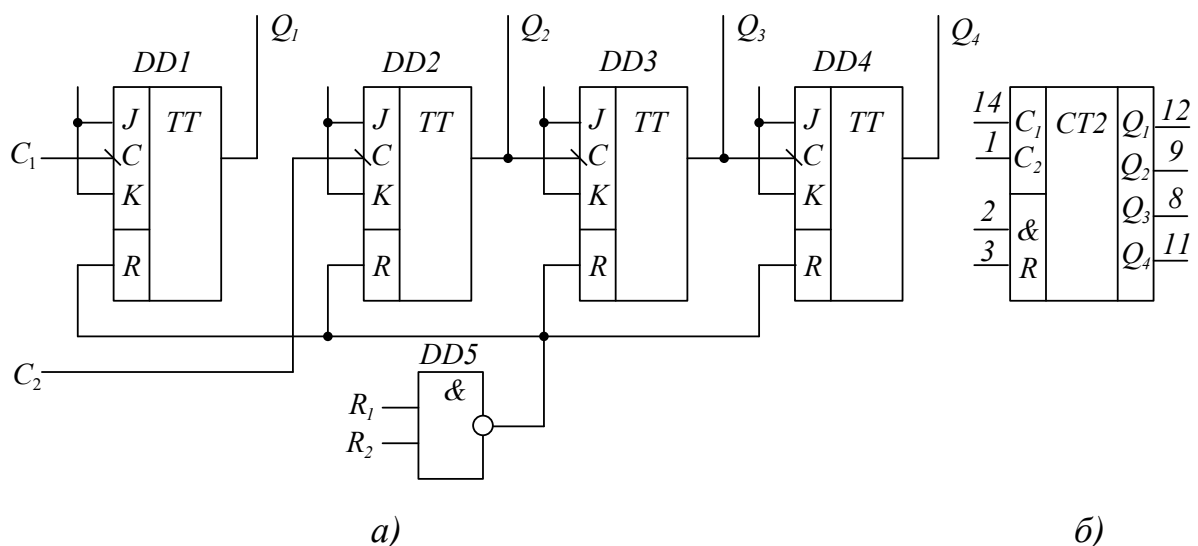


Рис. 45

На рис.45 наведена логічна структурна схема лічильника з послідовним перенесенням К155ИЕ5 (а) і його умовне зображення на схемах (б). Він складається з чотирьох  $JK$ - тригерів, які працюють в режимі  $T$ - тригерів. Спрацьовування тригерів відбувається від’ємними перепадами вхідних імпульсів. Три тригери об’єднані в послідовне коло, а четвертий  $DD1$  – самостійний. Така структура дозволяє включати їх окремо, а також по різному включати їх по між собою.

Тригери  $DD2 - DD4$  утворюють лічильник-дільник на 8. При послідовному з'єднанні усіх тригерів (вихід  $Q_1$  поєднати з входом  $C_2$ ) одержимо лічильник - дільник на 16.

Робота лічильника в даному випадку визначається таблицею 13.

Логічний елемент  $DD5$  забезпечує примусове встановлення усіх тригерів у нульовий стан і зупинку лічби під час одночасної дії на його входах  $R_1$  і  $R_2$  логічних одиниць. Дія логічного елемента  $DD5$  характеризується таблицею 14. Шляхом відповідних з'єднань входів  $C_1$ ,  $C_2$ ,  $R_1$  і  $R_2$  з виходами  $Q_1$ ,  $Q_2$ ,  $Q_3$  і  $Q_4$  можна забезпечити різні коефіцієнти лічби (ділення) менші 16.

Номер вхідного імпульсу	Виходи			
	$Q_4$	$Q_3$	$Q_2$	$Q_1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Оскільки логічний елемент  $DD5$  має два входи, то за його допомогою можна забезпечити такі коефіцієнти лічби (ділення), які в двійковому коді мають дві одиниці:  $3_{10}=011_2$ ;  $5_{10}=101_2$ ;  $6_{10}=110_2$ ;  $9_{10}=101_2$ ;  $10_{10}=1010_2$ ;  $12_{10}=1100_2$ .

Для забезпечення коефіцієнтів лічби 7, 11, 13, і 15 необхідно мати тривходову схему І-НЕ, що можна зробити підключенням додатково логічного розширювача за І.

Таблиця 14

Входи		Режим
$R_1$	$R_2$	
0	0	Лічба
0	1	
1	0	
1	1	$Q_1=Q_2=Q_3=$ $Q_4=0,$ зупинка лічби

### Запитання для самоконтролю

1. Приведіть схему реверсивного двійково-десятькового лічильника і поясніть її роботу
2. Поясніть, як будуються лічильники з  $K_{лч} \neq 2^m$ .

## ЛЕКЦІЯ 8

### Регістри

Регістри – це електронні пристрої, побудовані на основі тригерів і призначені для приймання, зберігання, перетворення і видачі інформації у формі двійкових чисел. В регістрах під дією вхідних імпульсів циркулює одна або декілька кодових одиниць. Для зберігання кожного двійкового розряду в регістрі використовується один тригер. Таким чином, кількість розрядів двійкового числа, яке може зберігати регістр визначається кількістю тригерів, що входять до його складу. Крім тригерів до складу регістрів входять комбінаційні елементи, які виконують допоміжну роль.

Регістри використовуються в якості:

- керуючих і запам'ятовуючих пристроїв;
- генераторів і перетворювачів кодів;
- лічильників і дільників частоти;
- вузлів часової затримки та ін.

За способом записування і видачі двійкових кодів розрізняють

паралельні (пам'яті), послідовні (здвигові) і послідовно-паралельні регістри, в яких інформація записується послідовно, а зчитується паралельно..

#### Регістри пам'яті (паралельні регістри)

Паралельні регістри використовуються для записування, збереження і виводу інформації представленої двійковим кодом. У паралельних регістрах записування і видача інформації виконується

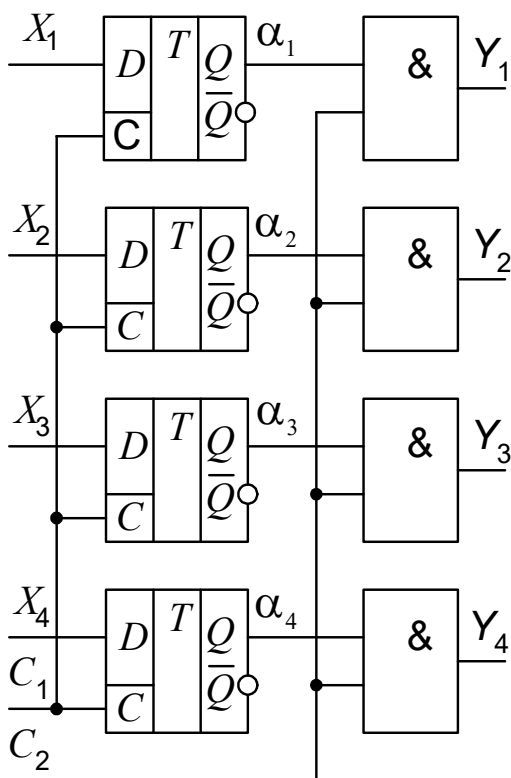


Рис. 46

одночасно (паралельно) усіма розрядами. Паралельні регістри використовуються як пам'ять з великою швидкістю.

Паралельні регістри представляють собою набір синхронних тригерів, кожен з яких зберігає один розряд двійкового числа, і додатково схем множення. На рис. 46 наведена схема 4-х розрядного паралельного регістра, виконана на синхронних  $D$ - тригерах і схемах множення  $I$ .

Схема має інформаційні входи  $X_1, \dots, X_4$ , керуючий вхід тригерів  $C_1$  і вихідних каскадів  $C_2$ , виходи  $Y_1, \dots, Y_4$ , виходи тригерів  $\alpha_1, \dots, \alpha_4$ .

Регістр пам'яті може працювати в таких режимах:

- запису (введення) інформації;
- зберігання інформації;
- видачі (зчитування) інформації.

Введення (запис) і видача (зчитування) інформації відбувається одночасно в усіх розрядах паралельним кодом.

**Режим запису інформації.** Запис інформації відбувається в разі, якщо  $C_{n1} = 1$ , а  $C_{n2} = 0$ . При цьому інформація, що діє на інформаційних входах  $X_{n1}, \dots, X_{n4}$ , запишеться у відповідні розряди тригерів, тобто  $\alpha_{ni} = X_{ni}$ , де  $i = 1, \dots, 4$  – номер розряду, а  $n$  – номер такту. Інформація на виходах буде відсутня  $Y_{ni} = C_{n2}\alpha_{ni} = 0$ .

**Режим зберігання інформації.** Записана в тригери інформація буде зберігатися, якщо на керуючі входи регістра подати нулі, тобто  $C_{n1} = C_{n2} = 0$ . У даному разі  $\alpha_{ni} = \alpha_{(n-1)i}$ ,  $Y_{ni} = C_{n2}\alpha_{ni} = 0$ , тобто регістр зберігає раніше записану інформацію.

**Режим видачі інформації.** Для видачі інформації необхідно подати до керуючих входів такі сигнали:  $C_{n1} = 0$ ,  $C_{n2} = 1$ . При цьому  $\alpha_{ni} = \alpha_{(n-1)i}$ ,  $Y_{ni} = C_{n2}\alpha_{ni} = \alpha_{ni}$ , тобто відбувається паралельна видача інформації.

Нарощування розрядності регістрів пам'яті досягається додаванням потрібного числа тригерів та схем  $I$ .

## Зсувні (послідовні) регістри

Послідовні регістри виконують операцію зсуву під час послідовного введення чи виведення інформації. Сутність зсуву полягає в тому, що з надходженням кожного тактового імпульсу відбувається перезапис (зсув) вмісту тригера кожного розряду в сусідній розряд без зміни порядку надходження одиниць і нулів. Таким чином, кожний тригер регістра одночасно приймає інформацію з попереднього розряду і передає у наступний без зміни порядку надходження нулів та одиниць:

$$Q_i^n = Q_{i-1}^{n-1},$$

де  $i=2, 3, 4, \dots, m$  – кількість розрядів (тригерів) регістра;  $n$  – номер такту.

Якщо зсув інформації здійснюється в одному напрямку, то достатньо з'єднати виходи попереднього тригера з входами наступного. Інформація, яка надходить до входу  $X$ , під час  $n$ -го такту з'явиться на виході  $Q_m$  регістра через  $m$  тактів.

При зсуву інформації праворуч після кожного тактового імпульсу біт з більш старшого розряду зсувається в молодший, а при зсуву ліворуч – навпаки.

На умовних позначеннях символом регістра, як і регістра пам'яті, служать літери  $RG$  і стрілки, які вказують напрямок зсуву:  $\rightarrow$  праворуч;  $\leftarrow$  ліворуч;  $\leftrightarrow$  реверсивний.

На рис. 47, а приведена схема 4-х розрядного регістра з послідовним введенням інформації і зсувом її праворуч, а на рис. 1.47, б часові діаграми його роботи.

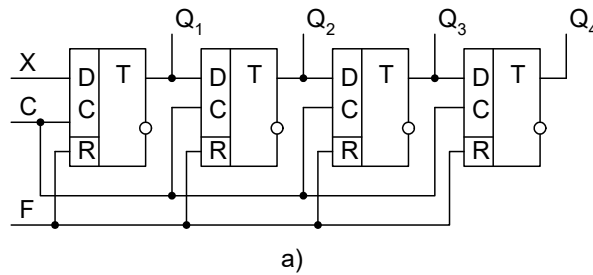
Введення інформації здійснюється послідовно, розряд за розрядом, по входу  $X$  з наступним зсувом інформації праворуч на один розряд кожним імпульсом синхронізації. Вхід  $F$  забезпечує ( $F=1$ ) встановлення нульового стану регістра.

Регістр працює наступним чином:

1. При  $F^n = 1$  на виходах усіх тригерів встановлюються логічні нулі, тобто  $Q_1^n = Q_2^n = Q_3^n = Q_4^n = 0$ , незалежно від значень сигналів на  $X$  і  $C$  входах.

2. При  $F^n=0, C^n=0$  стани тригерів не змінюються, тобто,

$$Q_1^n = Q_1^{n-1}; Q_2^n = Q_2^{n-1}; Q_3^n = Q_3^{n-1}; Q_4^n = Q_4^{n-1}.$$



3. При  $F^n=1, C^n=1$  кожний  $D$ -тригер запише інформацію, яка була на його вході на попередньому  $n-1$  такті, тобто,

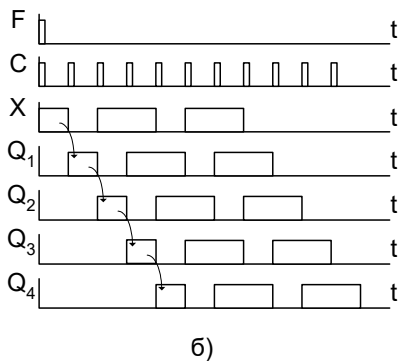


Рис. 47

$$Q_1^n = X^{n-1}; Q_2^n = Q_1^{n-1}; Q_3^n = Q_2^{n-1}; Q_4^n = Q_3^{n-1}.$$

Таким чином, відбувається зсув інформації від молодшого розряду (тригера) до старшого. На виході  $Q_4$  кожний сигнал з'явиться через чотири такти, рахуючи з моменту подачі його до входу  $X$ . Цю властивість регістра зсуву використовують для затримки цифрової інформації на задане число тактових інтервалів.

Крім зберігання інформації, регістр зсуву виконує перетворення послідовного двійкового коду в паралельний, паралельного - в послідовний, виконує арифметичні і логічні операції, часову затримку передачі цифрової інформації.

У реверсивних регістрах зсув інформації може здійснюватися в обох напрямках, тому вихід кожного розряду має бути з'єднаний через логічні елементи з входами попереднього і наступного розрядів.

**Універсальний регістр.** Універсальним регістром називається реверсивний регістр зсуву, в якому передбачена можливість паралельного занесення інформації, тобто в універсальному регістрі поєднані властивості

паралельних і послідовних регістрів. Сучасна електронна промисловість випускає універсальні регістри у вигляді інтегральних мікросхем, які, залежно

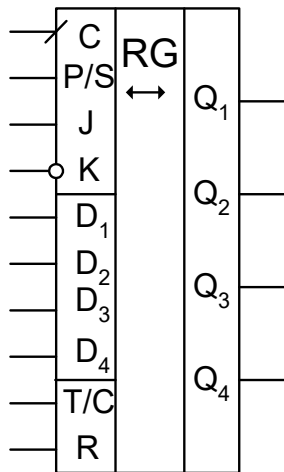


Рис. 48

від спеціальних керівних сигналів, можуть працювати як у режимі послідовного, так і паралельного регістрів.

На рис. 48 наведено умовне позначення мікросхеми універсального 4-х розрядного регістра 564ИР9.

Регістр може працювати в наступних режимах:

- паралельного вводу – паралельного виводу;
- паралельного вводу – послідовного виводу;

послідовного вводу – паралельного виводу; послідовного вводу – послідовного виводу. За рахунок зовнішніх з'єднань виводів мікросхеми може відбуватись зсув інформації як вліво, так і в право. Виводи мікросхеми регістра мають наступні призначення:

- входи  $D_1, \dots, D_4$  – для паралельного введення інформації;
- входи  $J$  і  $\bar{K}$  – для послідовного введення інформації;
- вхід синхронізації  $C$  (тактовий вхід);
- вхід  $P/S$  – для завдання режиму введення (паралельний/послідовний);
- вхід  $T/C$  – для завдання видачі інформації у прямому або оберненому

коді;

- вхід  $R$  – для встановлення нульового стану регістра;

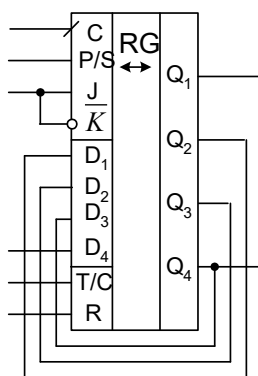


Рис. 49

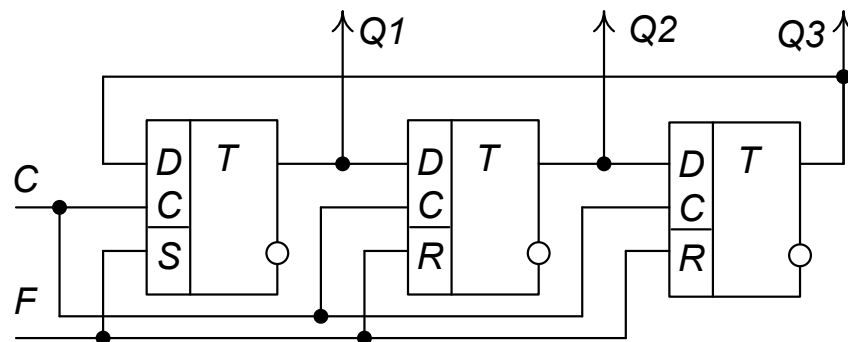
- $Q_1, \dots, Q_4$  – виходи розрядів регістра.

Введення інформації паралельним кодом відбувається, якщо на вхід  $P/S$  подати сигнал логічної одиниці. Якщо  $P/S=0$ , то введення інформації, що подається на входи  $J$  і  $\bar{K}$ , відбувається послідовним кодом. Вхід  $T/C$  керує вихідними сигналами: якщо  $T/C = 1$ , то інформація на виході представляється у прямому коді, якщо  $T/C = 0$  – в інверсному коді.

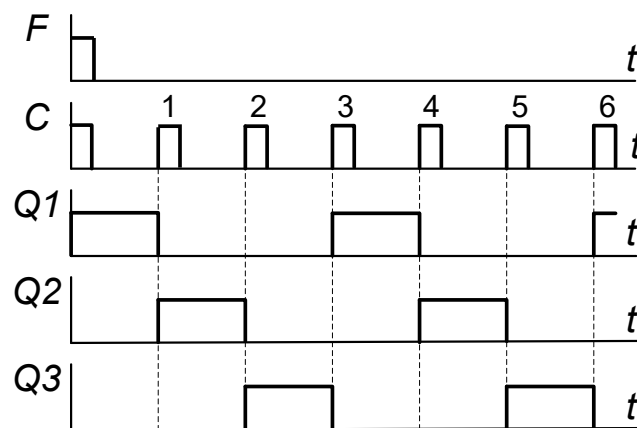
На рис. 49 показано вмикання реєстра при роботі його в реверсивному режимі. Для зсуву інформації вправо необхідно на керуючий вхід  $P/S$  подати логічний нуль, вхідну інформацію вводиться через об'єднані входи  $J$  і  $\bar{K}$ , а вихідну інформацію знімати з виходу  $Q_4$ . Для зсуву інформації вліво необхідно на вхід  $P/S$  подати логічну одиницю. Інформація у даному разі вводиться через вхід  $D_4$ , а знімається з виходу  $Q_1$ .

### Кільцеві лічильники на реєстрах

Реєстри зсуву використовуються для побудови кільцевих лічильників (розподільників імпульсів). Такий лічильник представляє собою зсувний реєстр, в якого інформаційний вхід першого тригера з'єднаний з прямим або інверсним виходом тригера останньої ступені, утворюючи замкнене кільце. На рис. 1.50, а, б показана схема трирозрядного кільцевого лічильника, зібраного



а)



б)

Рис. 50

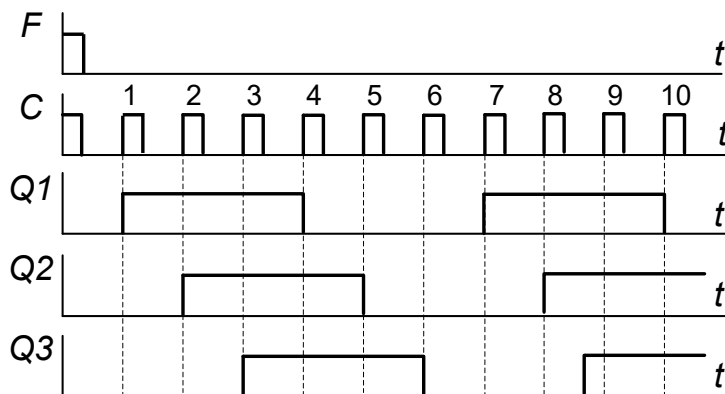
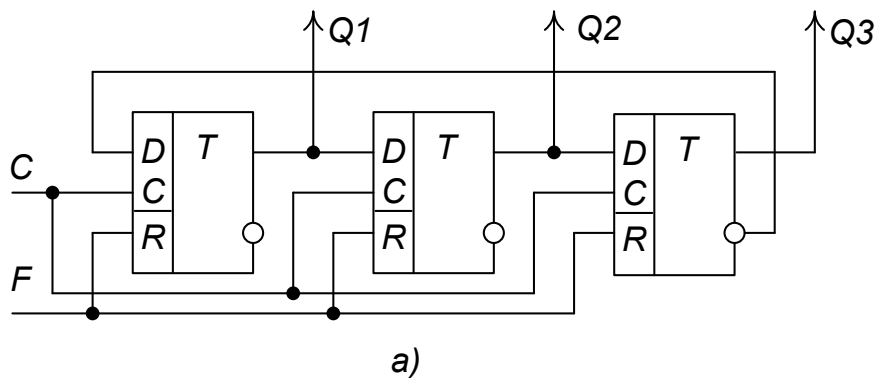
на D- тригерах, і його часові діаграми. Прямий вихід третього тригера з'єднаний з інформаційним входом першого тригера. До початку роботи у

перший розряд регістра вводиться логічна одиниця, а в інші розряди вводяться логічні нулі. Кожний із виходів переходить в активний стан з частотою  $f_{\text{вих}} = f_{\text{вх}}/m$ , де  $m$  – число тригерів. Коефіцієнт лічби такого кільцевого лічильника дорівнює числу тригерів  $K_{\text{лч}}=m$ .

Недоліком такого лічильника є:

1. Більша кількість тригерів і відповідно більші економічні і енергетичні затрати.
2. Можливість збоїв під впливом завад, після яких лічильник самостійно не виправиться.

**Лічильник Джонсона.** Коефіцієнт лічби кільцевого лічильника можна збільшити до  $K_{\text{лч}}=2m$ , якщо інверсний вихід тригера останньої ступені з'єднати з  $D$  входом тригера першого розряду. Такий лічильник називається лічильником Джонсона.



б)

Рис.51

Функціональна схема і часові діаграми, пояснюючі роботу такого лічильника, зображені на рис. 51, а, б.

Після встановлення всіх тригерів у нульовий стан на вході  $D$  першого тригера буде логічна одиниця, яка буде з кожним тактовим імпульсом,

Після встановлення всіх тригерів у нульовий стан на вході  $D$  першого тригера буде логічна одиниця, яка буде з кожним тактовим імпульсом, передаватись до наступного розряду.

На вході першого розряду логічна одиниця залишається до тих пір, доки не появиться одиниця на прямому виході останнього розряду  $Q_3=1$ , тобто доки не заповняться одиницями усі розряди лічильника. За рахунок зворотного зв'язку після  $m$  (у нашому прикладі  $m=3$ ) одиниць по лічильнику піде хвиля  $m$  нулів і т.д. Коефіцієнт лічби лічильника Джонсона  $K_{лч}=2m$ .

### Запитання для самоконтролю

1. Поясніть, які пристрої називаються регістрами, на яких елементах вони будуються і де використовуються.
2. Перелічіть, за якими признаками класифікуються регістри.
3. Поясніть сутність роботи паралельного регістра (регістра пам'яті). На яких елементах вони будуються?
4. Приведіть схему регістра пам'яті і поясніть, в яких режимах він може працювати.
5. Наведіть умовне зображення інтегральних регістрів пам'яті на схемах.
6. Поясніть сутність роботи регістра зсуву. Як вони зображуються на схемах?
7. Наведіть схему регістра зсуву і поясніть її роботу.
8. Поясніть, які регістри називаються універсальними.
9. Поясніть роботу кільцевого лічильника на основі регістра зсуву. Чому дорівнює його коефіцієнт лічби?
10. Поясніть, що таке лічильник Джонсона. Приведіть його схему і поясніть роботу. Чому дорівнює його коефіцієнт лічби?

## ЛЕКЦІЯ 9

### Комбінаційні логічні пристрої

**Комбінаційні схеми** реалізують функції, значення яких у даний момент часу визначаються тільки сукупністю значень вхідних змінних у цей же момент часу і не залежать від попередніх значень вихідних змінних.

Схемною ознакою таких схем є відсутність кіл зворотних зв'язків.

Сигнали на виходах комбінаційного пристрою (КП) у будь-який момент часу однозначно визначаються дією сигналів на входах і не залежать від його попереднього стану. Схемною ознакою таких пристроїв є відсутність кіл зворотних зав'язків, тобто замкнених петель для надходження сигналів з виходів до входів.

Відновлення інформації на виходах ЦП відбувається на початку нового такту.

Основні типи комбінаційних пристроїв:

- Мультиплексори (комутатори);
- Демультиплексори (розподільники);
- Суматори;
- Шифратори (кодери);
- Дешифратори (декодери);
- Перетворювачі кодів;
- Схеми рівнозначності кодів;
- Схеми порівняння двійкових чисел (компаратори);
- Порогові схеми;
- Мажоритарні елементи та ін..

#### Мультиплексори

**Мультиплексори** – це комутатори логічних сигналів з декількох вхідних шин на одну вихідну. Умовне зображення мультиплексора показане на рис. 52, а. Мультиплексор має інформаційні входи –  $D_1, D_2, D_3, D_4$ ; адресні входи –  $A, B$ ; дозволяючий вхід  $V$  і вихід  $F$ . Кількість адресних та

інформаційних входів взаємозв'язане. Число інформаційних входів дорівнює  $2^m$ , де  $m$  – число адресних

входів.

Дозволяючий (стробуючий) вхід  $V$  керує одночасно усіма інформаційними входами незалежно від адресних входів.

Дозволяючий сигнал на цьому вході блокує роботу всього пристрою.

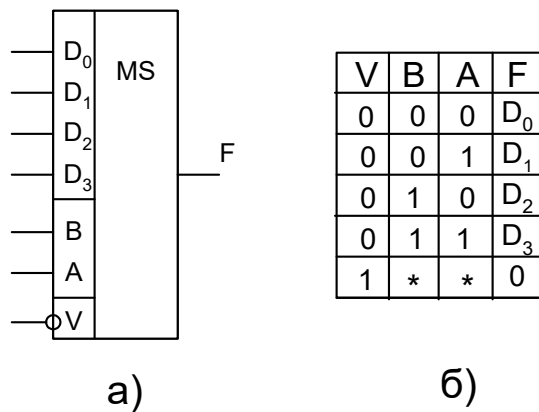


Рис. 52

Дозволяючий вхід використовується також для нарощування розрядності мультиплексорів, а також забезпечує синхронізацію їх роботи з роботою інших цифрових пристроїв.

Двійковим кодом адресних входів  $A$  і  $B$  ( $B$  – старший розряд) задається індекс задіяного інформаційного входу, що комутується

на вихід.

Наприклад, двійкове число  $BA=10_2=2_{10}$  на адресних входах забезпечує селекцію шини  $D_2$ , тобто  $F=D_2$ . Таблиця істинності мультиплексора зображена на рис. 52, б.

Рівняння мультиплексора в ДДНФ має вигляд:

$$F = \bar{V} \cdot \bar{B} \cdot \bar{A} \cdot D_0 + \bar{V} \cdot \bar{B} \cdot A \cdot D_1 + \bar{V} \cdot B \cdot \bar{A} \cdot D_2 + \bar{V} \cdot B \cdot A \cdot D_3.$$

Комбінаційна схема мультиплексора, відповідно до одержаного рівняння, приведена на рис. 53.

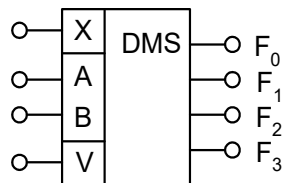
**Робота мультиплексора.** Якщо на дозволяючий вхід подати логічну одиницю  $V=1$ , то на одному із входів кожного ЛЕ І буде присутній логічний нуль і на виході цих елементів, а також на виході елемента АБО, буде також логічний нуль ( $F=0$ ).

В разі, коли  $V=0$ , будь-які комбінації на адресних входах  $B$  і  $A$  створюють умови, при яких на входах трьох логічних елементів І присутні логічні нулі, а стан четвертого ЛЕ І визначається сигналом на інформаційному вході. Такий же сигнал буде на виході мультиплектора. Наприклад, двійкове число **10** на адресних входах забезпечує селекцію шини  $D_2$ , тобто  $F=D_2$ .

Випускаються мікросхеми мультиплексорів з 2-ма, 4-ма, 8-ю і 16-ю інформаційними входами

### Демультимплексори

Демультимплексори (розподільники) у функціональному відношенні протилежні мультиплексорам. У демультимплексорах сигнали з одного інформаційного входу розподіляються у бажаній послідовності по декількох виходах. Вибір потрібної вихідної шини забезпечується кодом на адресних входах.



а)

Входи				Виходи			
X	B	A	V	F <sub>0</sub>	F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>
X	0	0	1	X	0	0	0
X	0	1	1	0	X	0	0
X	1	0	1	0	0	X	0
X	1	1	1	0	0	0	X
*	*	*	0	0	0	0	0

б)

Рис. 54

Демультимплексор, умовне позначення якого приведене на рис. 54, а,

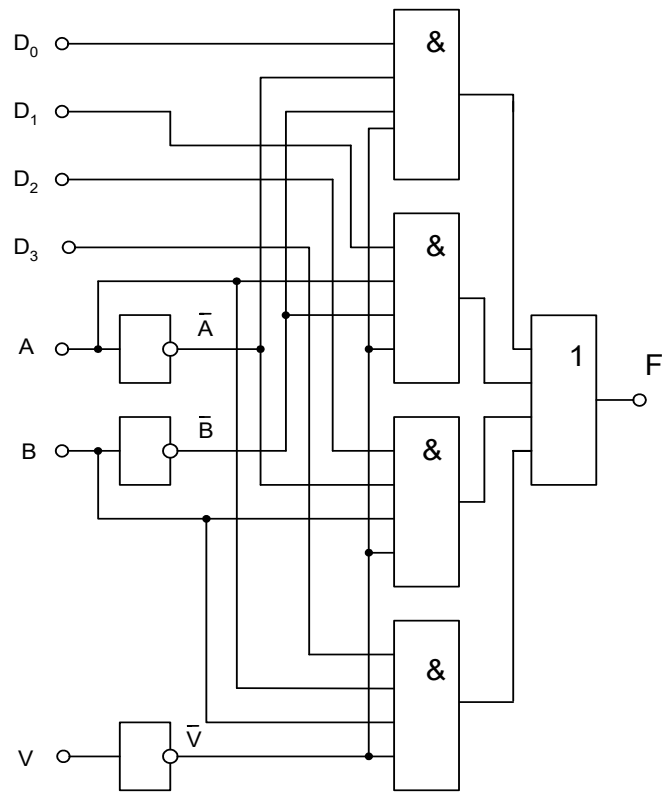


Рис. 53

має  $X$ - інформаційний вхід,  $B$  і  $A$  – адресні входи,  $V$  – дозволяючий вхід;  $F_0$ ,  $F_1$ ,  $F_2$ ,  $F_3$  – виходи. У разі  $m$  адресних входів мультиплексор може мати  $2^m$  виходів.

З таблиці істинності демультимплексора (рис. 1.54, б) одержимо рівняння функцій на його виходах:

$$F_0 = XV\bar{B}\bar{A}; F_1 = X\bar{B}AV; F_2 = XB\bar{A}V; F_3 = XBAV.$$

Схема демультимплексора за цими рівняннями зображена на рис.55.

Демультимплексори використовуються як розподільники інформаційних сигналів і синхроімпульсів, для організації адресної логіки в пристроях пам'яті та ін.

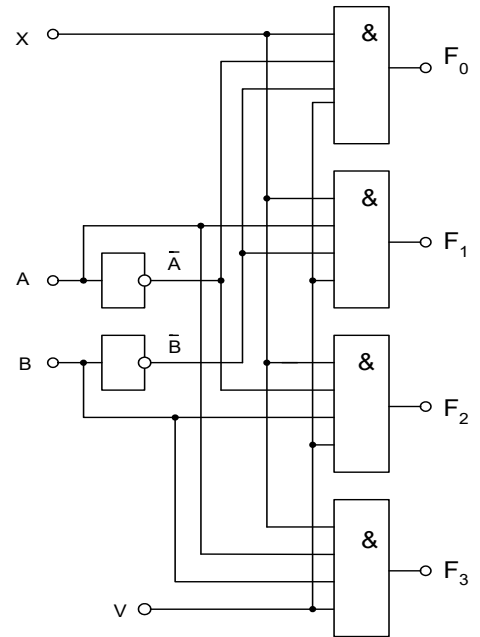


Рис. 55

### Запитання для самоконтролю

1. Поясніть, на які типи поділяються логічні пристрої.
2. Дайте визначення комбінаційних пристроїв. Назвіть основні типи комбінаційних пристроїв.
3. Які логічні пристрої називаються послідовнісними? Наведіть приклади таких пристроїв.
4. Які пристрої називаються мультиплексорами? Як мультиплексори умовно позначаються на схемах? Поясніть призначення виводів схеми мултиплексора.
5. Які пристрої називаються демультимплексорами? Як вони умовно позначаються на схемах і яке призначення виводів схеми?

## ЛЕКЦІЯ 10

### Шифратори

**Шифратор** (кодер) – це комбінаційний пристрій, призначений для перетворення вхідного  $n$ -розрядного унітарного коду у  $m$ -розрядний вихідний двійковий позиційний код.

Двійковий код, який вміщує тільки одну одиницю, а інші - нулі, називається **унітарним**.

Шифратор має  $n$  входів і  $m$  виходів.

Якщо  $n=2^m$ , то шифратор називається *повним*, а якщо  $n < 2^m$ , то - *неповним*.

Входам шифратора послідовно присвоюються значення десяткових чисел, а тому подача активного логічного сигналу на один із входів приймається шифратором як подача відповідного десяткового числа.

Наприклад, число 4 зображується 0000010000, число 9 – 1000000000.

Розглянемо роботу шифратора на прикладі перетворювача десяткових чисел від 0 до 9 у двійково-десятковий код.

Табл. 15

Десяткове число	Вхідний позиційний одичний код										Вихідний двійковий код			
	$X_9$	$X_8$	$X_7$	$X_6$	$X_5$	$X_4$	$X_3$	$X_2$	$X_1$	$X_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

В таблиці істинності (табл.15) наведена відповідність між вхідним унітарним кодом і двійковим кодом перших десяти чисел.

Кожен розряд вихідного двійкового коду залежить від усіх розрядів вхідного коду і тому є логічною (булевою) функцією змінних  $X_0, X_1, X_2, \dots, X_9$ , тобто  $Q_i = f(X_0, X_1, X_2, \dots, X_9)$ .

Виразимо розряди вихідного коду через розряди вхідного коду відповідно до таблиці істинності за допомогою операцій диз'юнкції.

$$Q_3 = X_8 + X_9;$$

$$Q_2 = X_4 + X_5 + X_6 + X_7;$$

$$Q_1 = X_2 + X_3 + X_6 + X_7;$$

$$Q_0 = X_1 + X_3 + X_5 + X_7 + X_9.$$

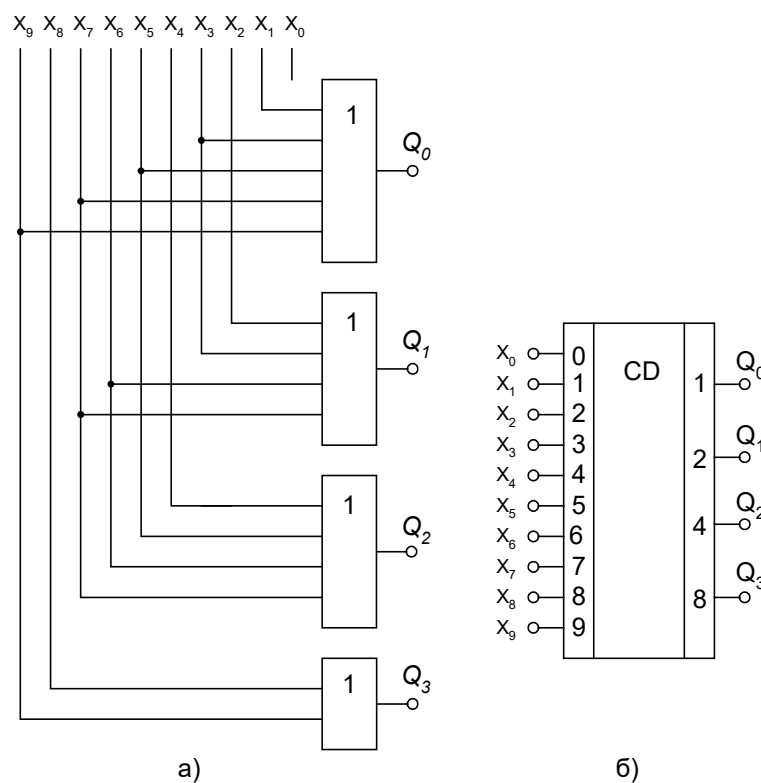


Рис. 56

Відповідно до наведених логічних виразів, реалізована схема шифратора (рис. 56, а). Графічне зображення шифратора на електричних схемах наведене на рис. 56, б). Входи шифратора нумеруються послідовними десятковими цифрами  $0, 1, \dots, n-1$ , а позначки виходів відображають ваги вихідних двійкових змінних  $1 \cdot 2^0, \dots, 1 \cdot 2^{m-1}$ .

У розглянутому шифраторі сигнал, що подається на вхід  $X_0$ , не використовується. Відсутність сигналів на входах  $X_0, \dots, X_9$  трактується схемою як присутність на виході нульового сигналу.

У цифрових пристроях шифратори використовуються для виконання операцій перетворення унітарного коду у вихідний двійковий позиційний код, введення первинної інформації з клавіатури, передачі інформації між різними пристроями при обмеженому числі ліній зв'язку та ін.

### Дешифратори

Дешифратор (декодер) – це комбінаційний пристрій, що перетворює кожен вхідну комбінацію двійкового коду в керуючий сигнал лише на одному із своїх виходів.

Вхідний двійковий код			Вихідний позиційний код						
$Q_3$	$Q_2$	$Q_1$	$F_0$	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$
0	0	0	1	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0
0	1	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0
1	0	1	0	0	0	0	0	1	0
1	1	0	0	0	0	0	0	0	1
1	1	1	0	0	0	0	0	0	0

Дешифратор має число  $n$  входів (число розрядів вхідного коду) і  $m$  виходів. Він виробляє одиничний (або нульовий) сигнал на відповідному виході тільки у тому випадку, коли на входи поступає код числа, відповідний номеру

цього виходу. У таблиці істинності (табл.16) наведена відповідність між числами у двійковому коді і одиничній позиційній системі числення.

Дешифратори класифікуються за такими ознаками:

- ✓ Способом структурної організації – одноступеневі (лінійні) і багатоступеневі;
- ✓ Форматом вхідного коду – двійкові, двійково-десяткові;
- ✓ Розрядністю коду, що дешифрується – 2, 3, ...,  $n$ ;
- ✓ Формою передачі вхідного коду – з однофазними і пара фазними входами;
- ✓ Кількістю виходів – повні й неповні дешифратори;
- ✓ Видом вхідних стробуючих сигналів – прямих або інверсних і т. п.

Якщо число виходів дорівнює  $m=2^n$ , то дешифратор називається **повним**, а якщо  $m < 2^n$ , то - **неповним**. У будь-який момент часу логічна 1 буде тільки на тому виході, номер якого відповідає десятковому числу заданому вхідним двійковим кодом. Тому можна сказати, що дешифратор перетворює вхідний позиційний код в унітарний вихідний код.

Проілюструємо реалізацію дешифратора на прикладі повного дешифратора трьохрозрядного двійкового коду, таблиця істинності якого приведена в табл.16.

Робота такого дешифратора описується вісьма функціями – за числом виходів дешифратора.

$$F_0 = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}; \quad F_1 = \overline{Q_3} \cdot \overline{Q_2} \cdot Q_1; \quad F_2 = \overline{Q_3} \cdot Q_2 \cdot \overline{Q_1}; \quad F_3 = \overline{Q_3} \cdot Q_2 \cdot Q_1;$$
$$F_4 = Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1}; \quad F_5 = Q_3 \cdot \overline{Q_2} \cdot Q_1; \quad F_6 = Q_3 \cdot Q_2 \cdot \overline{Q_1}; \quad F_7 = Q_3 \cdot Q_2 \cdot Q_1.$$

Оскільки код числа може мати як одиниці, так і нулі, то для індикації коду створюють за допомогою інверторів інверсні значення логічних змінних вхідних сигналів, тобто повний дешифратор має  $2n$  вхідних шин ( $n$  – для прямих і  $n$  – для інверсних значень розрядних чисел).

Індекс функції  $F_i$  ( $i=0, 1, \dots, 7$ ) визначає номер вибраного виходу і відповідає десятковому еквіваленту вхідного двійкового коду.

Схема дешифратора за наведеними рівнянням зображена на рис. 57, а, а умовне графічне позначення дешифратора на електричних схемах показано на рис. 57, б.

Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних.

У схемах дешифраторів може бути ще стробуючий (дозволяючий) вхід  $S$ ,

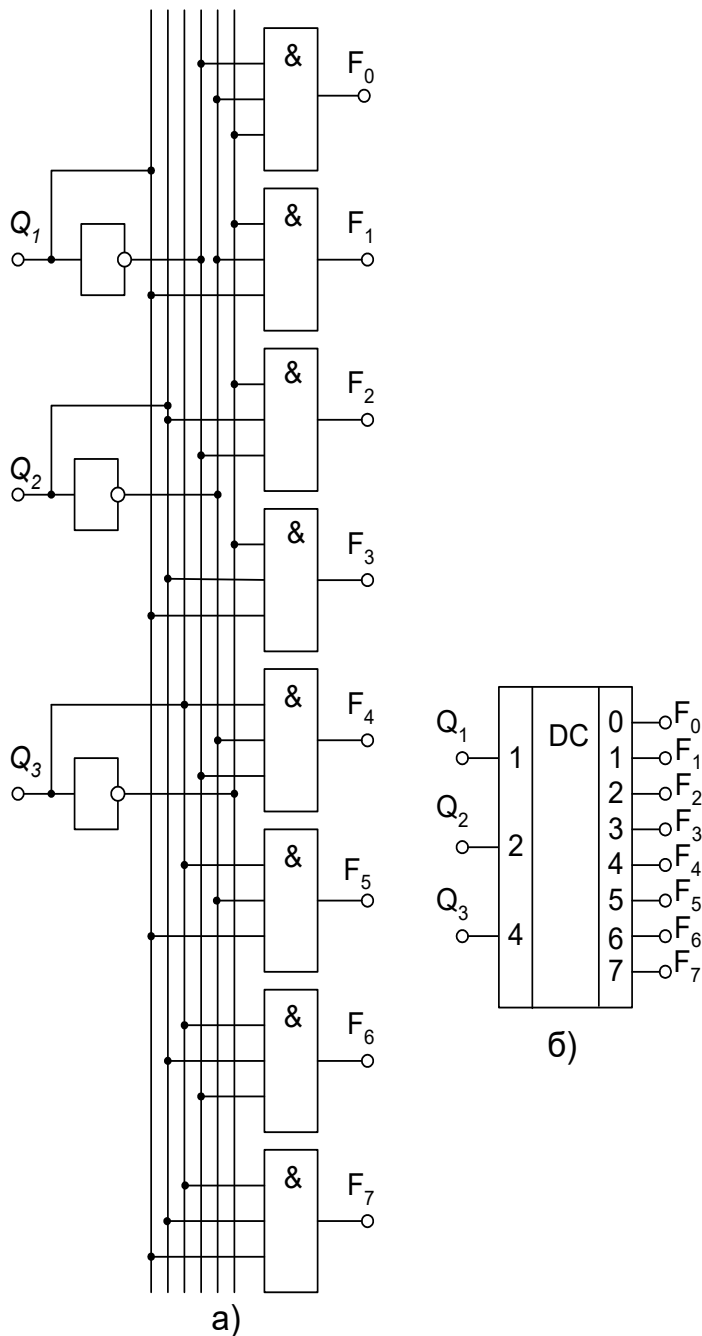


Рис. 57

за допомогою якого визначається момент спрацювання дешифратора. Крім того, вхід  $S$  використовується для нарощування розрядності вхідного коду.

Для неповних дешифраторів мають місце байдужі набори вхідних змінних, які можна використати при мінімізації вихідних функцій. Наприклад, в неповному дешифраторі «з 4 в 10», який використовується в пристроях виводу інформації для забезпечення десяткової індикації або друкування двійково-десяткових чисел. Широко розповсюдженим функціональним вузлом

середньої степені інтеграції є дешифратор двійково-десятькового коду в семи сегментний код.

Такі дешифратори використовуються в пристроях візуальної індикації десятикових цифр на світлових табло, які використовують світлодіоди, індикатори на рідинних кристалах, електролюмінісцентні чи електровакуумні прилади. Дешифратори використовуються також в пристроях виводу інформації для забезпечення десятикової індикації чи друкування двійково-десятькових чисел, в пристроях формування сигналів керування для інших блоків цифрових систем у відповідності з надходженням коду мікрокоманди чи адреси, для реалізації логічних операцій та побудови мультиплексорів і демультіплексорів.

### **Запитання для самоконтролю**

1. Поясніть призначення шифратора і наведіть його структурну схему?
2. Поясніть, що таке повний і неповний шифратор?
3. Покажіть умовні зображення шифраторів і дешифраторів.
4. Поясніть призначення дешифратора і приведіть його структурну схему?
5. Приведіть схему і поясніть роботу двійково-десятькового дешифратора.

## ЛЕКЦІЯ 11

### Кодоперетворювачі

Перетворювачі кодів призначені для перетворення одного паралельного коду в інший.

Таблиця 1.17

Для подання інформації в цифрових пристроях

використовують

різноманітні двійкові та двійково-десяткові коди.

Велика різноманітність кодів забезпечують:

- Шифрацію і дешифрацію цифрової інформації;

- простоту виконання арифметико-логічних операцій;

- зручність переведення чисел з десятикової системи в

двійковий код;

- зменшення апаратних витрат при побудові цифрових пристроїв та ін.

Перетворювачі кодів можуть мати  $n$

Цифра	X	X	X	X	F	F	F	F	F	F	F
	1	2	3	4	0	1	2	3	4	5	6
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
10	1	0	1	0	*	*	*	*	*	*	*
11	1	0	1	1	*	*	*	*	*	*	*
12	1	1	0	0	*	*	*	*	*	*	*
13	1	1	0	1	*	*	*	*	*	*	*
14	1	1	1	0	*	*	*	*	*	*	*
15	1	1	1	1	*	*	*	*	*	*	*

входів і  $k$  виходів. При цьому можливі варіанти:  $n = k$ ;  $n < k$ ;  $n > k$ .

Розглянемо перетворювач двійково-десятькового коду в спеціальний семирозрядний код, який керує роботою семисегментного цифрового індикатора.

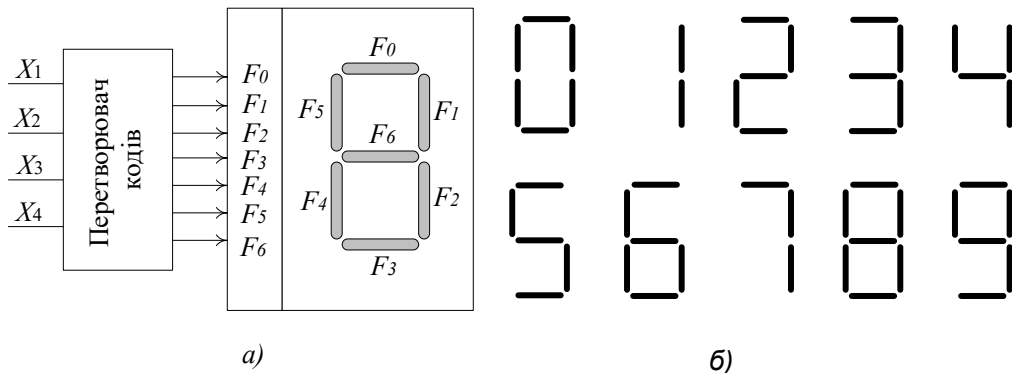


Рис.58

Десятьковий код відображуваної цифри поступає на вхід двійково-десятькового перетворювача кодів, виходи якого  $F_0, \dots, F_6$  підключаються до відповідних сегментів індикатора (рис. 58, а).

Одиничне значення вихідного сигналу перетворювача коду викликає світіння сегменту індикатора, підключеного до цього виходу. Комбінації одиничних сигналів на виходах перетворювача коду утворюють зображення десятикової цифри на індикаторі (рис. 58, б).

Наприклад, десятикова цифра 0 задається двійково-десятьковим кодом 0000 на вході перетворювача. В цьому разі світяться всі сегменти індикатора, крім  $F_6$ . Цифра 9 задається кодом 1001 і світяться всі сегменти індикатора, крім  $F_4$ . Відповідність між двійково-десятьковим числом на входах перетворювача ( $X_1, X_2, X_3, X_4$ ) і необхідним для відображення десятикової цифри наборами сегментів наведена в таблиці 17.

Останні шість кодових комбінацій не відповідають ніяким десятиковим числам, а тому є забороненими і помічені значком \*. Вони використовуються при мінімізації вихідних функцій перетворювача кодів. Покажемо це на прикладі одержання мінімізованої функції  $F_5$ . Карта Карно для функції  $F_5$  зображена на рис. 59. Комірки, в яких функція невизначена, заповнюємо одиницями. Покриття має чотири контури, а це означає що мінімізована диз'юнктивна нормальна форма функції  $F_5$  складається з чотирьох елементарних добутоків

$$F_5 = X_1 + X_2 \cdot \bar{X}_3 + \bar{X}_3 \cdot \bar{X}_4 + X_2 \cdot \bar{X}_4.$$

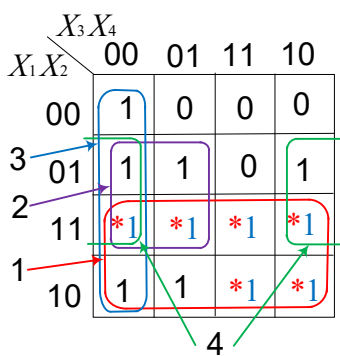


Рис. 59

Аналогічно можна одержати мінімізовані форми інших функцій перетворювача.

За одержаними рівняннями будується схема перетворювача коду в базисі І, АБО, НЕ. Для функції  $F_5$  схема приведена на рис. 60.

Кожна функція може бути реалізована в будь-якому базисі. Для цього її потрібно перетворити у необхідний базис. Реалізуємо, як

приклад, функцію  $F_5$  у базис І-НЕ, використавши правило де Моргана і аксіому подвійного заперечення.

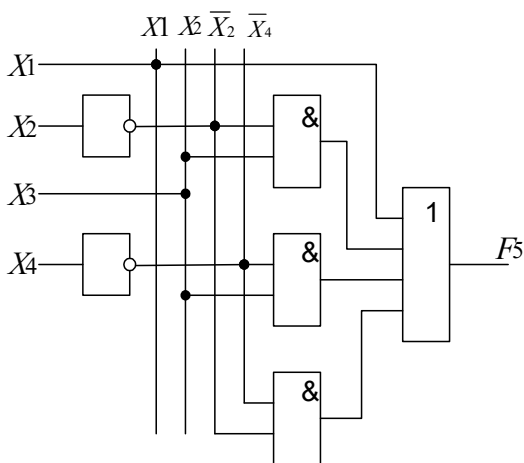


Рис.60

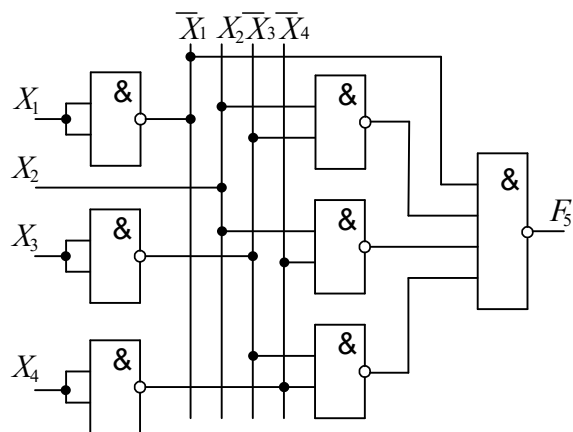


Рис.61

$$F_5 = X_1 + X_2 \cdot \bar{X}_3 + \bar{X}_3 \cdot \bar{X}_4 + X_2 \cdot \bar{X}_4 = \overline{\overline{X_1} \cdot \overline{X_2 \cdot \bar{X}_3} \cdot \overline{\bar{X}_3 \cdot \bar{X}_4} \cdot \overline{X_2 \cdot \bar{X}_4}}.$$

Схема функції  $F_5$  в базисі І-НЕ зображена на рис.61.

Умовне зображення перетворювачів кодів приведене на рис. 62.

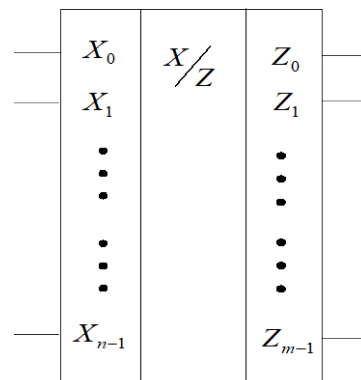


Рис.62

### **Запитання для самоконтролю**

1. Які призначення і умовні графічні зображення перетворювача коду?
2. Приведіть таблицю істинності перетворювача двійково-десятькового коду в семисегментний код.

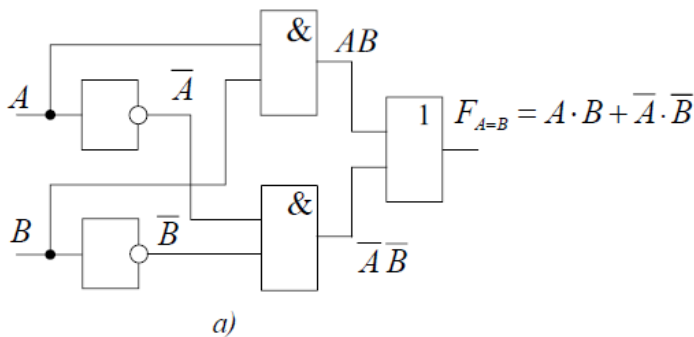
## ЛЕКЦІЯ 12

### Цифрові компаратори

Цифрові компаратори (пристрої порівняння) виконують порівняння двох чисел, поданих у двійковому або двійково-десятковому коді. В залежності від схемного виконання цифрові компаратори можуть визначати рівність ( $A=B$ ) або нерівність ( $A<B$  чи  $A>B$ ) двох чисел ( $A$  і  $B$  – незалежні числа з однаковою кількістю розрядів). Результат порівняння відображається відповідним логічним рівнем на виході компаратора. Мікросхеми цифрових компараторів виконують, як правило, усі три операції і мають три виходи.

Цифрові компаратори широко використовуються:

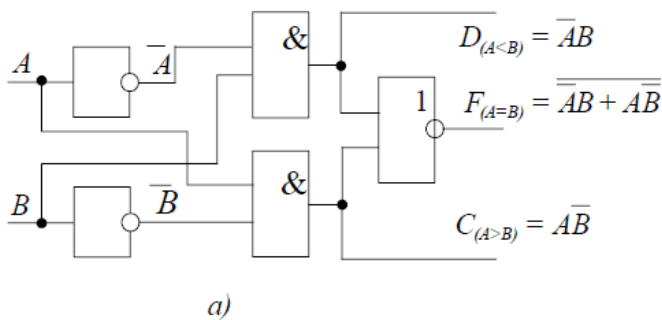
- для виявлення необхідного числа (слова) в потоці цифрової інформації;
- для відмітки часу в часових приладах;
- для виконання умовних переходів в обчислювальних пристроях.



$A$	$B$	$F$
0	0	1
0	1	0
1	0	0
1	1	1

б)

Рис. 1.63



		$A=B$	$A<B$	$A>B$
$A$	$B$	$F$	$D$	$C$
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

б)

Рис. 1.64

В якості однорозрядного компаратора можна використати логічну схему, яка виконує операцію «еквівалентність»  $F = A \cdot B + \bar{A} \cdot \bar{B}$  (рис. 63, а) або «виключне АБО-НЕ»  $F = \overline{A \cdot B + \bar{A} \cdot \bar{B}}$  (рис. 64, а). Таблиці істинності однорозрядних компараторів приведені відповідно на рис. 63, б і рис. 64, б.

Два  $n$ -розрядних двійкових числа рівні, якщо одночасно попарно рівні між собою всі розряди цих чисел.

$$F = (A_1 B_1 + \bar{A}_1 \bar{B}_1) \cdot (A_2 B_2 + \bar{A}_2 \bar{B}_2) \cdot \dots \cdot (A_n B_n + \bar{A}_n \bar{B}_n).$$

Для реалізації багаторозрядного компаратора на елементах І-НЕ, перетворимо цей вираз, використав теорему де Моргана.

$$\begin{aligned} F &= \overline{\overline{(A_1 B_1 + \bar{A}_1 \bar{B}_1)} \cdot \overline{(A_2 B_2 + \bar{A}_2 \bar{B}_2)} \cdot \dots \cdot \overline{(A_n B_n + \bar{A}_n \bar{B}_n)}} = \\ &= \overline{\overline{(A_1 B_1 \cdot \bar{A}_1 \bar{B}_1)} \cdot \overline{(A_2 B_2 \cdot \bar{A}_2 \bar{B}_2)} \cdot \dots \cdot \overline{(A_n B_n \cdot \bar{A}_n \bar{B}_n)}}. \end{aligned}$$

Схема за цим рівнянням приведена на рис.65.

Схема компаратора, який визначає як рівність, так і нерівність двох

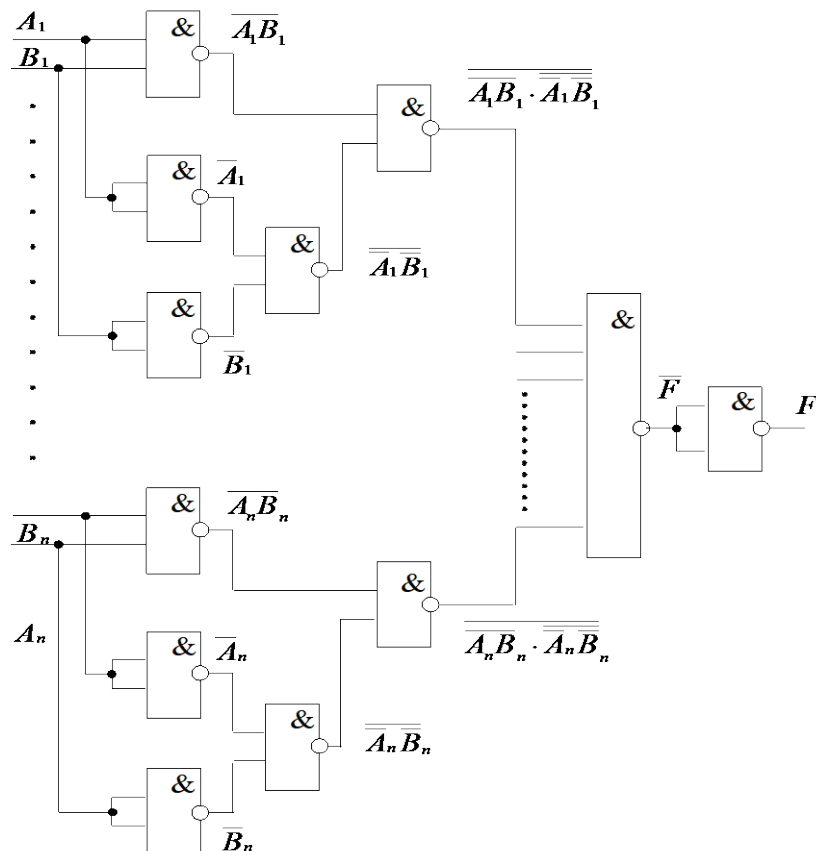
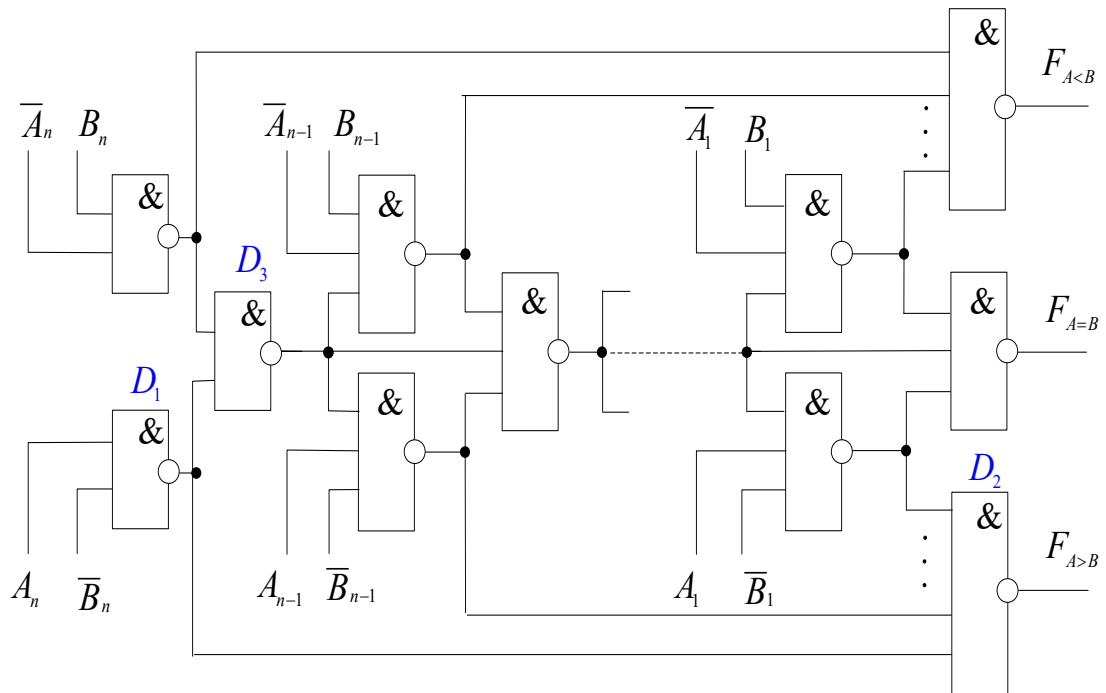


Рис. 65

багаторозрядних чисел зображена на рис. 66.



**Робота схеми.** На виході  $F_{A=B}$  буде сигнал логічної «1», якщо усі розряди чисел попарно однакові, тобто  $A_i = B_i$ .

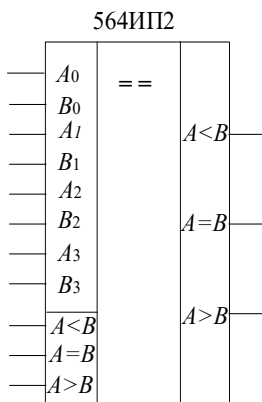


Рис.67

На виході  $F_{A>B}$  сигнал лог. «1» виробляється в разі, якщо  $A > B$ . При цьому виконується порозрядне порівняння. Спочатку порівнюються розрядні  $\overline{B_n} = 0$ , коефіцієнти старшого розряду  $A_n$  і  $B_n$ . Якщо  $A_n = 1$ , а то  $A_n \cdot \overline{B_n} = 1$ .

В даному випадку на виході  $D_1$  виробляється лог. «0», який передається на вхід  $D_2$ , на виході якого  $F_{A>B}$  сформується лог. «1». Якщо на виході  $D_1$  виробиться лог. «0», то відбудеться порівняння наступного розряду і т. д.

На виході  $F_{A<B}$  сигнал лог. «1» виробляється, якщо  $A < B$ , також шляхом порозрядного порівняння, починаючи зі старшого розряду.

Умовне графічне зображення цифрових компараторів показано на рис.67.

## Суматори

Суматори це комбінаційні пристрої, призначені для додавання двох чисел представлених у двійковому коді.

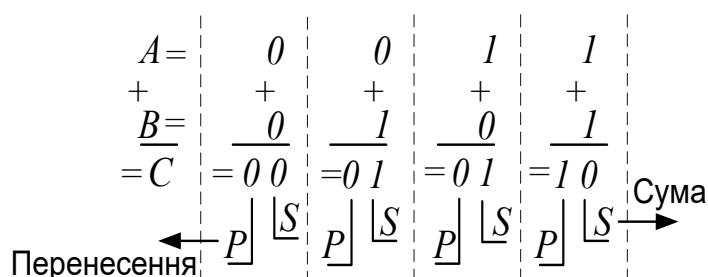


Рис. 68

За характером дії суматори можуть бути комбінаційними (без пам'яті) і накопичувальні (запам'ятовуючі). За способом додавання вони діляться на послідовні і

паралельні. Додавання чисел у послідовних суматорах відбувається порозрядно, послідовно в часі. В суматорах паралельного типу додавання усіх розрядів багаторозрядних чисел відбувається одночасно. Багаторозрядні суматори (як послідовні, так і паралельні) складаються з однорозрядних суматорів. Однорозрядні суматори можуть бути з двома і з трьома входами. Двовходові схеми додавання називаються **напівсуматорами**, а трьохвходові – **повними суматорами**.

При додаванні двох однорозрядних двійкових чисел (рис.68) формується біт суми  $S$  і біт перенесення  $P$ .

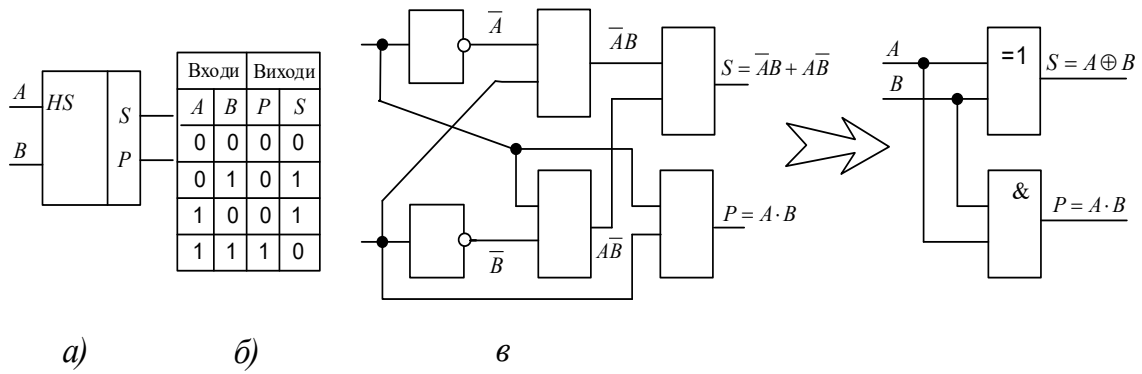
**Напівсуматор** (рис. 69, а) має входи  $A$  і  $B$  для двох однорозрядних доданків,  $S$  – вихід суми і  $P$  – вихід перенесення. З таблиці істинності напівсуматора (рис. 69, б) одержимо рівняння для суми і перенесення:

$$S = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B;$$

$$P = A \cdot B.$$

Схема напівсуматора за цими рівняннями зображена, на рис.69, в. Напівсуматором розглянута схема називається тому, що в неї немає входу перенесення з молодшого розряду.

Використовується напівсуматор для додавання двох однорозрядних чисел або молодших розрядів двох багаторозрядних чисел.



**Повний суматор.**

Повний суматор виконує додавання значень  $i$ -х розрядів двох двійкових чисел  $A_i$  та  $B_i$  з урахуванням перенесення  $P_{i-1}$  з молодшого розряду. Як і напівсуматор, повний суматор має вихід суми  $S_i$  і вихід перенесення в старший розряд  $P_i$ . Процес складання двох  $n$ - розрядних

Таблиця 18

Входи		Виходи		
$A_i$	$P_{i-1}$	$P_i$	$S_i$	
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	1	1	0
1	0	0	0	1
1	1	1	1	0
1	0	1	1	0
1	1	1	1	1

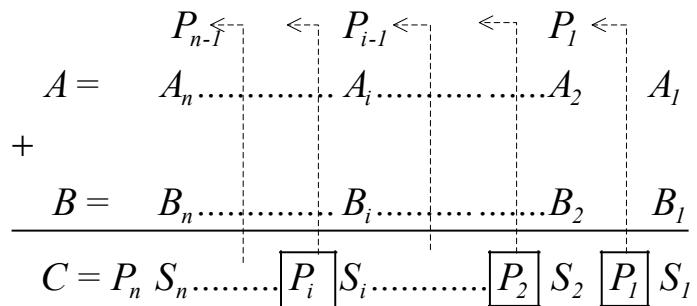


Рис. 70

двійкових чисел показаний на рис.70.

Складання цифр  $A_1$  і  $B_1$  молодшого розряду дає біт суми  $S_1$  і біт перенесення  $P_1$ . В наступному (2-му) розряді відбувається складання цифр  $P_1$ ,  $A_2$  і  $B_2$ , які формують біт суми  $S_2$  і біт перенесення  $P_2$ . Операція продовжується доти, поки не буде складена кожна пара цифр в усіх розрядах. Результатом складання буде число:

$$C = P_n S_n \dots S_i \dots S_2 S_1,$$

де  $P_n$  і  $S_i$  відображають 1 або 0, одержані в результаті порозрядного складання.

На основі однорозрядних схем додавання на три входи будуються багаторозрядні суматори.

Алгоритм роботи однорозрядного тривходового суматора відображається таблицею істинності (табл.18).

На основі табл.18 запишемо систему логічних функцій для суми  $S_i$  і перенесення  $P_i$  у ДДНФ:

$$S_i = \bar{A}_i \bar{B}_i P_{i-1} + \bar{A}_i B_i P_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + A_i B_i P_{i-1};$$

$$P_i = \bar{A}_i B_i P_{i-1} + A_i \bar{B}_i P_{i-1} + A_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1}.$$

Мінімізуємо ці функції методом карт Карно.

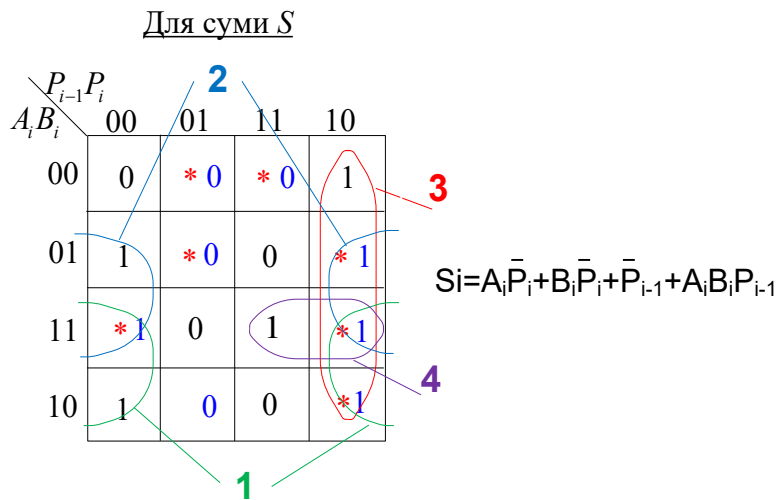


Рис. 71

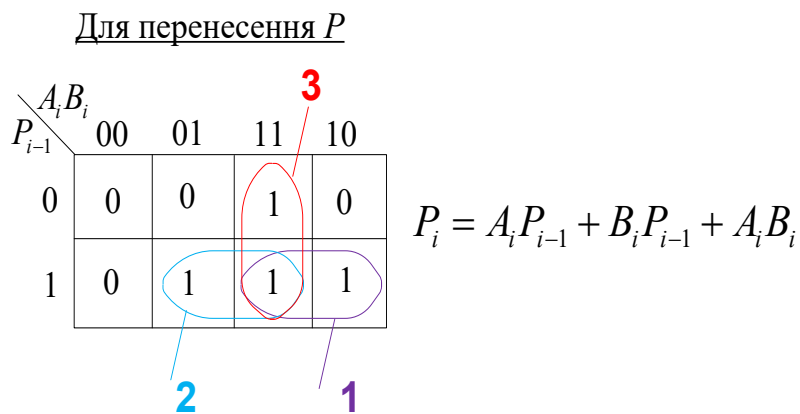
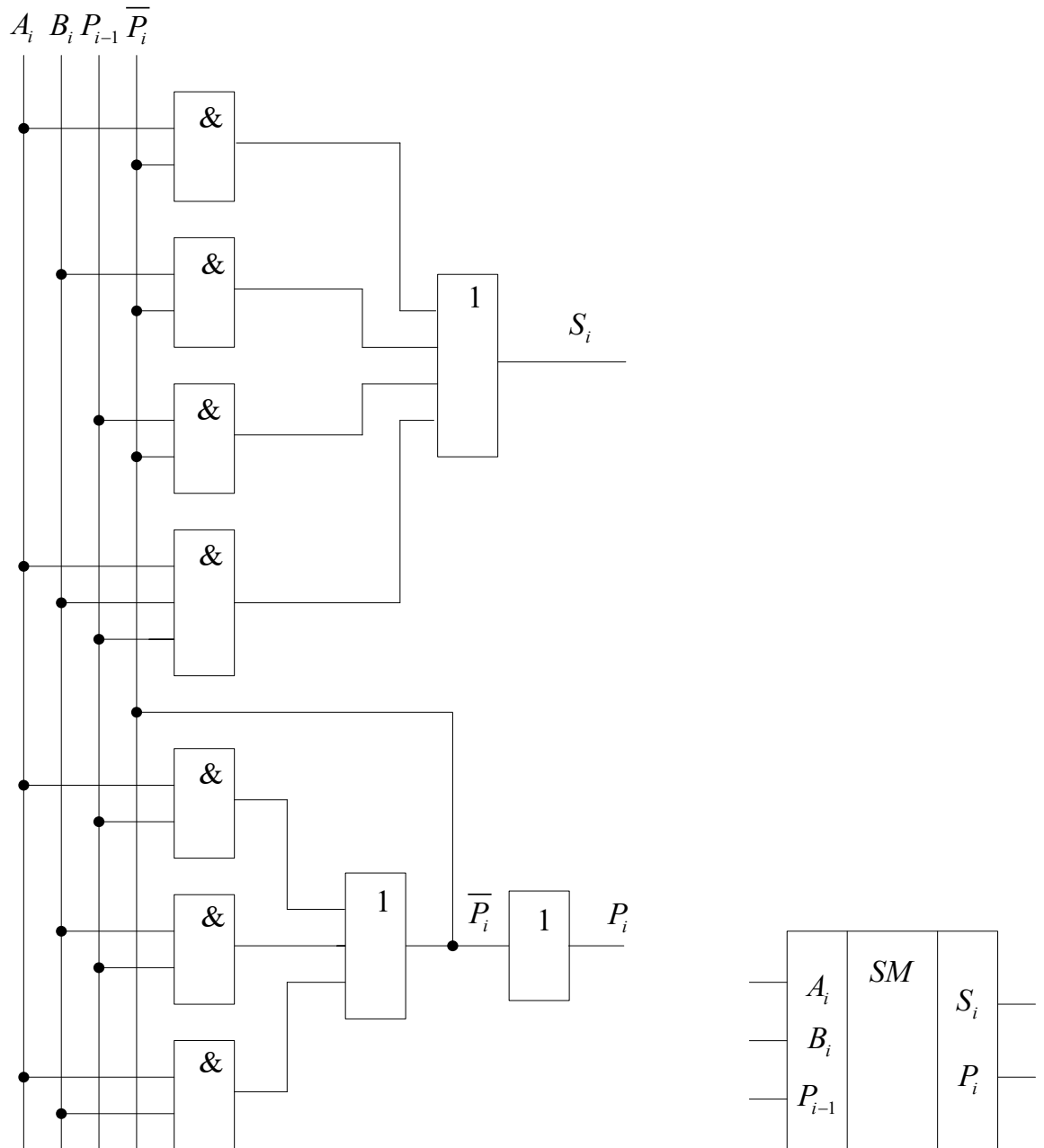


Рис. 72

На рис. 71 і 72 зображені карти Карно і одержані мінімізовані функції відповідно для суми і перенесення. За системою цих рівнянь складається

функціональна схема повного однорозрядного суматора (рис.73, а), умовне графічне зображення якого приведене на рис. 73, б.

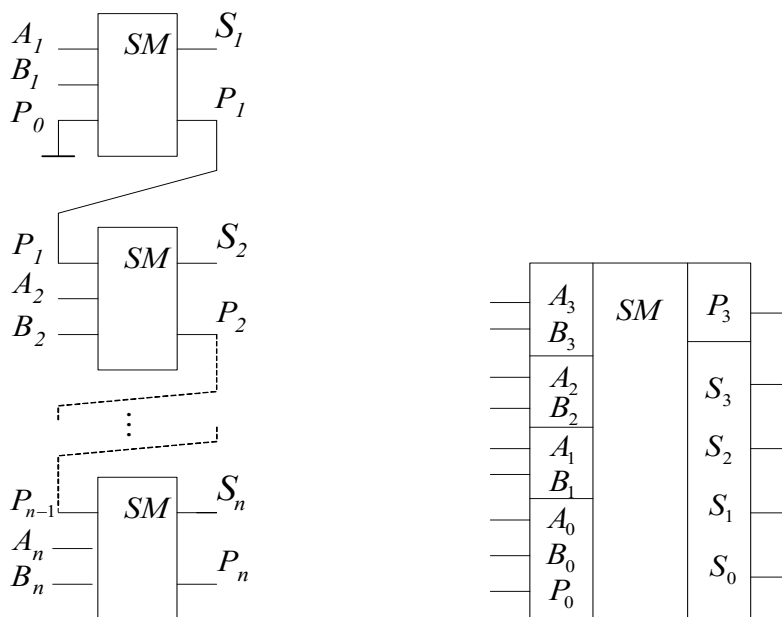


Паралельний  $n$ -розрядний суматор з послідовним перенесенням (рис.74, а) складається з однорозрядних суматорів. Проміжна сума  $S_i^*$  утворюється в результаті складання значень чисел однойменних розрядів  $A_i$  і  $B_i$ . Потім  $S_i^*$  складається з сигналом перенесення  $P_{i-1}$  попереднього розряду і одержується кінцеве значення суми  $S_i$ . Опісля завершення операції додавання на виходах

$S_n, \dots, S_i, \dots, S_1$  комбінаційного суматора з'явиться код, відповідний сумі значень  $n$ -розрядних вихідних чисел.

Сигнал перенесення  $P_n$  старшого розряду служить для індикації переповнення розрядної сітки.

Якщо в першому розряді використаний повний однорозрядний суматор, то на вхід перенесення  $P_0$  необхідно подати логічний «0», або з'єднати його з загальною шиною джерела живлення, як показано на рис. 74, а.



Умовне зображення інтегрального чотирьохрозрядного суматора показано на рис. 74, б.

### Запитання для самоконтролю

1. Які призначення і логічна схема цифрового компаратора (ЦК)?
2. Приведіть таблицю істинності, логічне рівняння і схему ЦК, який визначає рівність двох одно розрядних чисел.
3. Приведіть таблицю істинності, логічне рівняння і схему ЦК, який визначає як рівність так і нерівність двох одно розрядних чисел.
4. Поясніть, як будуються компаратори багаторозрядних двійкових чисел.
5. Покажіть графічне зображення цифрових компараторів.

6. Дайте пояснення, в чому полягає відмінність однорозрядного напівсуматора і повного суматора.
7. Приведіть таблицю істинності, логічні рівняння і структурну схему напівсуматора.
8. Поясніть, де використовуються напівсуматори.
9. Поясніть алгоритм роботи повного однорозрядного суматора. Приведіть його таблицю істинності і логічні рівняння.
10. Приведіть структурну схему повного суматора на основі мінімізованих логічних рівнянь.
11. Поясніть, як відбувається складання багаторозрядних двійкових чисел на основі однорозрядних суматорів. Приведіть структурну схему  $n$ -розрядного двійкового суматора.
12. Приведіть умовне зображення 4-х розрядного суматора і поясніть призначення його входів і виходів.

## ЛЕКЦІЯ 13

### Цифро-аналогові перетворювачі (ЦАП)

#### Принцип перетворення цифрового коду в аналоговий сигнал.

**Області застосування ЦАП.** Сучасні електронні пристрої виконують обробку як аналогової, так і цифрової інформації, причому частка цифрової обробки інформації весь час зростає. Сигнали об'єктів керування, вимірювальні сигнали є, здебільшого, аналоговими. Аналого-цифрові (АЦП) і цифро-аналогові (ЦАП) перетворювачі є своєрідними ланками зв'язку між аналоговою і цифровою частинами електронних пристроїв.

**Цифро-аналогові перетворювачі.** Цифро-аналогові перетворювачі (ЦАП) призначені для перетворення цифрового сигналу в аналоговий у вигляді напруги (іноді струму). ЦАП використовують у системах керування технологічними процесами, для узгодження цифрових пристроїв вимірювання і керування з пристроями, які керуються аналоговими сигналами, в аналогових мікропроцесорах, в дисплеях, графопобудовниках, робототехніці та ін. Миттєве значення напруги на виході ЦАП пропорційне “вазі” присутнього на його вході двійкового коду, тобто його десятковому еквіваленту, рис.75:

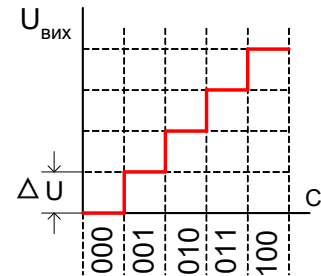


Рис. 75

$$U_{\text{вих}} = \Delta U \cdot C, \text{ де}$$

- $\Delta U$  – крок квантування;
- $C$  – число в двійковому коді.

$$C = Q_n 2^{n-1} + Q_{n-1} 2^{n-2} + \dots + Q_2 2^1 + Q_1 2^0,$$

де  $2^{n-1}$  - “вага”  $n$ -го розряду;

$Q_1, \dots, Q_n$  – коефіцієнти відповідних двійкових розрядів, які мають дискретне значення **1** або **0**.

Наприклад, якщо на вході присутній числовий код  $C$  (101101), то напруга на виході ЦАП буде дорівнювати:

$$U_{\text{вих}} = \Delta U \cdot C = \Delta U(1 \cdot 2^5 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^0) = 43 \Delta U.$$

Цифро-аналогове перетворення полягає в тому, що для вхідного паралельного  $n$ - розрядного коду спочатку отримують струм  $I_0$ , пропорційний значенню числа  $C$ , а потім перетворюють його у вихідну напругу. Значення струму  $I_0$  визначається сумою еталонних струмів  $I_i$ , які створюються для кожного розряду числа  $I_0 = Q_n I_n + \dots + Q_i I_i + \dots + Q_2 I_2 + Q_1 I_1$ .

Підсумовуються струми тільки тих розрядів, в яких  $Q_i = 1$ . Значення еталонних струмів  $I_i$  пропорційні вазі позиції двійкового числа і зменшуються у два рази при переході від старшого до сусіднього молодшого розряду.

Схема ЦАП включає:

- джерело еталонної напруги  $U_{\text{ет}}$ ;
- резистивну матрицю для формування еталонних струмів;
- набір ключів для комутації струмів до входу підсилювача;
- інвертуючий операційний підсилювач для перетворення струму у вихідну напругу;
- цифрову керуючу схему (ЦКС).

Основу ЦАП складає матриця резисторів, приєднаних до входу підсилювача ключами, які керуються двійковим кодом цифрової комутуючої схеми (ЦКС) (наприклад, кодом лічильника або регістра).

Резистивні матриці бувають двох типів:

1. матриці з набору двійково-зважених за номіналами резисторів;
2. матриці з резисторів лише двох номіналів  $R$ - $2R$ .

### **ЦАП з матрицею двійково-зважених резисторів**

Схема ЦАП з резистивною матрицею двійково-зважених опорів  $R - 2R - \dots - 2^{n-1}R$  приведена на рис. 76. У цій схемі опори резисторів матриці подвоюються при переході від старшого розряду до молодшого, а еталонні струми, навпаки, зменшуються у два рази.

ЦКС задає стани безконтактних ключів  $S_1, \dots, S_n$  у залежності від коефіцієнтів відповідних розрядів ( $Q_1, \dots, Q_n$ ) числа.

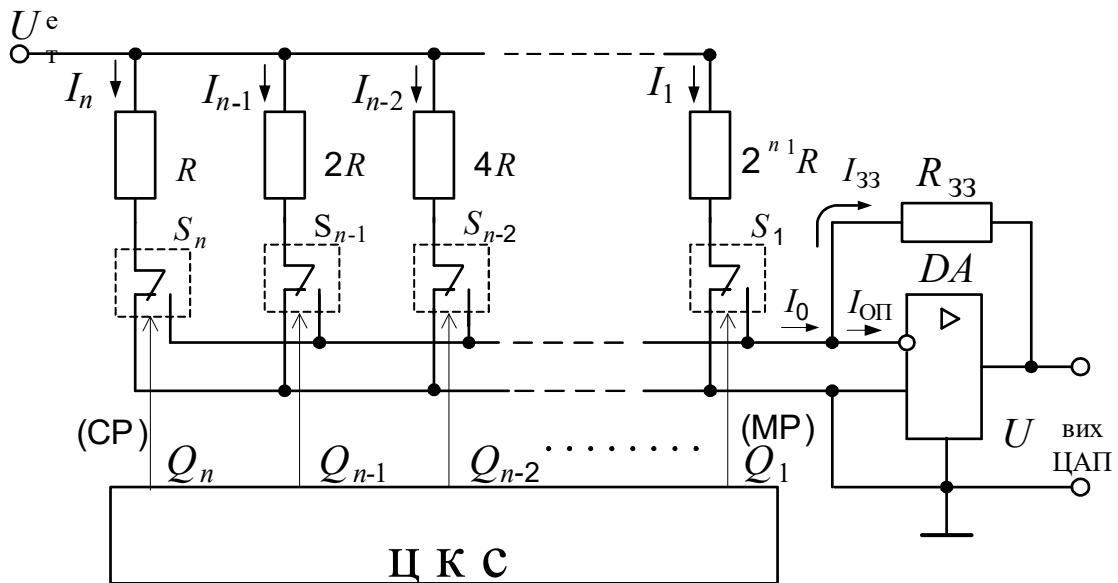


Рис. 76

Кожний з ключів зв'язує ваговий резистор даного розряду з інверсним входом ОП (якщо  $Q_i=1$ ) або з нульовою шиною (якщо  $Q_i=0$ ).

Таким чином, на вхід ОП надходить загальний струм  $I_0$ , який дорівнює сумі струмів тих розрядів, в яких вхідні сигнали  $Q_i=1$ :

$$I_0 = I_n Q_n + I_{n-1} Q_{n-1} + I_{n-2} Q_{n-2} + \dots + I_1 Q_1 = \frac{U_{\text{ет}}}{2^0 R} Q_n + \frac{U_{\text{ет}}}{2^1 R} Q_{n-1} + \frac{U_{\text{ет}}}{2^2 R} Q_{n-2} + \dots + \frac{U_{\text{ет}}}{2^{n-1} R} Q_1 = \frac{U_{\text{ет}}}{2^{n-1} R} (Q_n \cdot 2^{n-1} + Q_{n-1} \cdot 2^{n-2} + Q_{n-2} \cdot 2^{n-3} + \dots + Q_1 \cdot 2^0) = \frac{U_{\text{ет}}}{2^{n-1} R} C,$$

де  $C = Q_n \cdot 2^{n-1} + Q_{n-1} \cdot 2^{n-2} + Q_{n-2} \cdot 2^{n-3} + \dots + Q_1 \cdot 2^0$  - двійковий код числа на виході ЦКС.

Напруга на виході ОП ( $U_{\text{вихЦАП}}$ ) визначається:

$$U_{\text{вихЦАП}} = -I_0 R_{33} = -\frac{U_{\text{ет}} R_{33}}{2^{n-1} R} \cdot C,$$

тобто, напруга на виході ЦАП пропорційна вазі діючого на вході коду і може мати  $2^n$  дискретних значень в діапазоні від 0 (коли  $Q_1=Q_2=\dots=Q_n=0$ ) до

$$U_{\text{вих макс}} = -\frac{U_{\text{ет}} R_{33}}{2^{n-1} R} (2^n - 1) \quad (\text{якщо } Q_1=Q_2=\dots=Q_n=1).$$

Шаг (рівень) квантування: 
$$\Delta U = \frac{-U_{\text{ет}} R_{33}}{2^{n-1} R}.$$

Якщо  $R_{33} = R/2$ , то 
$$\Delta U = -U_{\text{ет}} / 2^n.$$

Основним недоліком розглянутої схеми ЦАП є те, що при великій кількості розрядів вхідного числа  $C$  технологічно трудно одержати достатньо точні опори резисторів, номінали яких мають широкий діапазон  $R_n/R_1=2^{n-1}$  (наприклад, при  $n=7$ , величини опорів резисторів складають від  $R$  до  $64R$ ).

### ЦАП з матрицею R-2R.

Розглянемо схему ЦАП з резистивною матрицею R-2R. Вона є більш технологічною, тому що необхідні резистори тільки двох номіналів  $R$  і  $2R$ . Схема ЦАП на основі матриці R-2R приведена на рис. 2.3.

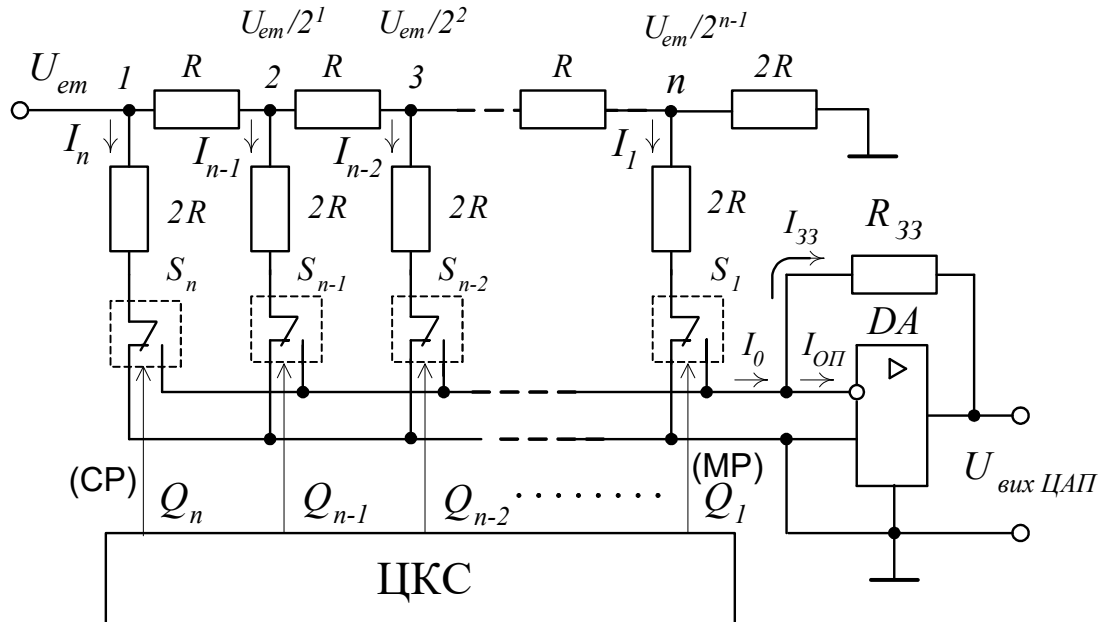


Рис. 77

Матриця R-2R має такі властивості:

- опір в усіх вузлах матриці (1, 2, 3, ..., n) дорівнює  $R$  незалежно від положення ключів;

- коефіцієнт передачі напруги між сусідніми вузловими точками дорівнює 0,5.

Напруга на виході ЦАП визначається виразом:

$$U_{\text{вихЦАП}} = -I_0 \cdot R_{\text{зз}},$$

$$\text{де } I_0 = I_n \cdot Q_n + I_{n-1} \cdot Q_{n-1} + I_{n-2} \cdot Q_{n-2} + \dots + I_1 \cdot Q_1.$$

Через те, що напруга між сусідніми вузлами зменшується вдвічі, струми сусідніх розрядів також зменшуються вдвічі.

$$I_n = U_{\text{ет}} / 2R; \quad I_{n-1} = U_{\text{ет}} / 2^2R; \quad I_{n-2} = U_{\text{ет}} / 2^3R; \quad \dots \quad I_1 = U_{\text{ет}} / 2^n R.$$

$$\begin{aligned} I_0 &= (U_{\text{ет}} / 2R) \cdot Q_n + (U_{\text{ет}} / 2^2R) \cdot Q_{n-1} + (U_{\text{ет}} / 2^3R) \cdot Q_{n-2} + \dots + (U_{\text{ет}} / 2^n R) \cdot Q_1 = \\ &= (U_{\text{ет}} / 2^n R) (Q_n 2^{n-1} + Q_{n-1} \cdot 2^{n-2} + Q_{n-2} \cdot 2^{n-3} + \dots + Q_1 2^0) = (U_{\text{ет}} / 2^n R) C. \end{aligned}$$

$$\text{Вихідна напруга ЦАП } U_{\text{вихЦАП}} = -(U_{\text{ет}} R_{\text{зз}} / 2^n R) C = -\Delta U \cdot C.$$

$$\text{У разі, якщо } R_{\text{зз}} = R, \text{ то } U_{\text{вихЦАП}} = -(U_{\text{ет}} / 2^n) C = -\Delta U \cdot C,$$

де  $\Delta U = U_{\text{ет}} / 2^n$  – крок квантування.

### Запитання для самоконтролю

1. Сформулюйте сутність перетворення цифрового кода в пропорційну йому аналогову величину.
2. Поясніть, з яких частин складається ЦАП.
3. Поясніть, яку функцію виконує резистивна матриця в схемі ЦАП і які бувають типи резистивних матриць.
4. Поясніть, в чому полягає перевага матриці  $R-2R$  відносно матриці двійково зважених резисторів.
5. Нарисуйте схему ЦАП з матрицею двійково зважених опорів і поясніть її роботу.
6. Нарисуйте схему ЦАП з матрицею резисторів  $R-2R$  і поясніть її роботу.

## ЛЕКЦІЯ 14

### Аналого-цифрові перетворювачі (АЦП)

Аналого-цифрові перетворювачі (АЦП) у функціональному відношенні виконують функцію обернену ЦАП, тобто перетворюють аналогові сигнали у цифровий код.

Аналого-цифровий перетворювач є невід'ємною складовою частиною будь-якого цифрового приладу. Виготовляються аналого-цифрові перетворювачі у вигляді однієї або декількох мікросхем.

Один із варіантів побудови АЦП приведений на рис. 78. До складу схеми входять такі пристрої:

- компаратор (схема порівняння);
- генератор імпульсів (ГІ);
- реверсивний лічильник (РЛ);
- ЦАП;
- інвертор.

**Робота АЦП.** При надходженні імпульсів від ГІ на вхід 3 реверсивного лічильника (РЛ), останній виконує підрахування імпульсів у залежності від надходження сигналів на його входи 1 і 2 від компаратора. Компаратор

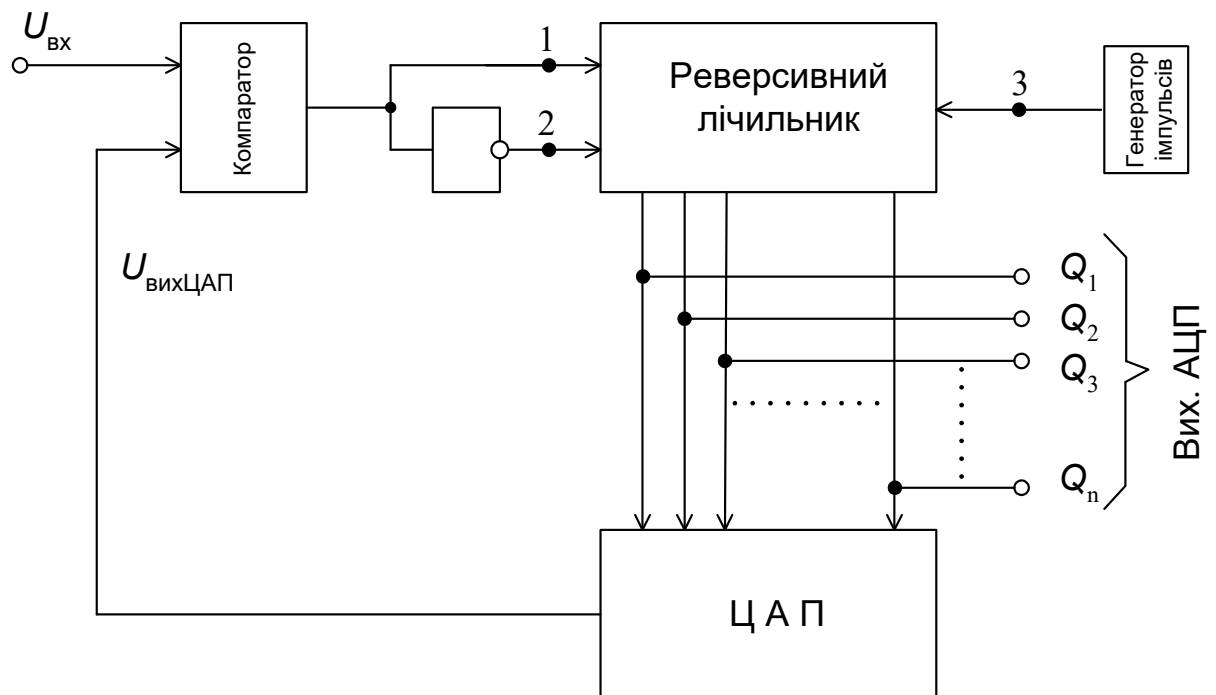


Рис. 78

порівнює вхідний аналоговий сигнал  $U_{вх}$  з вихідною напругою ЦАП  $U_{вихЦАП}$ . Якщо  $U_{вх} > U_{вихЦАП}$ , то на вхід 1 РЛ надходить сигнал “1”, а на вхід 2 – сигнал “0”.

РЛ виконує підрахунок імпульсів, які надходять від ГІ у прямому напрямку, тобто працює у режимі додавання. Якщо  $U_{вх} < U_{вихЦАП}$ , то на виході компаратора і відповідно на вході 1 РЛ формується сигнал “0” а на вході 2 – “1” і РЛ переходить в режим віднімання.

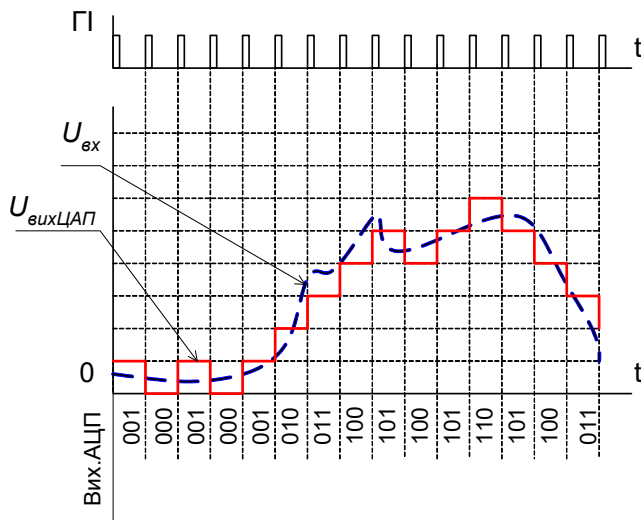


Рис. 79

Якщо  $U_{вх} > U_{вихЦАП}$ , то цифровий код на виході РЛ, який є виходом АЦП, буде зростати (рис. 79). Це, в свою чергу, приведе до зростання напруги на виході ЦАП. Якщо  $U_{вихЦАП}$  стане більше за  $U_{вх}$ , тобто  $U_{вх} < U_{вихЦАП}$ , зміниться сигнал на виході компаратора і лічильник перейде в режим віднімання.

*Таким чином, реверсивний лічильник разом з ЦАП відслідковують вхідну напругу і цифровий код на виході АЦП (виході РЛ) буде пропорційний вхідній аналоговій величині.*

### Запитання для самоконтролю

1. Поясніть сутність роботи АЦП і з яких пристроїв він складається.
2. Нарисуйте функціональну схему АЦП і поясніть її роботу.

## ЛЕКЦІЯ 15

### Пам'ять цифрових пристроїв

Елементи пам'яті є одними з найважливіших вузлів цифрових систем. Їх призначення: запис, зберігання і видача інформації. В цифровій електроніці вузли, що реалізують функцію пам'яті, називають запам'ятовуючими пристроями (ЗП).

За своєю природою ЗП можна поділити на:

- напівпровідникові (електронні);
- магнітні (використовують магнітні матеріали);
- ультразвукові лінії затримки (використовують ефекти магнітострікції та електрострікції);
- сегнетоелектричні і голографічні (лазерні);
- криогенні (на основі надпровідності).

За своїми функціями ЗП можна поділити на зовнішні та внутрішні.

Зовнішні ЗП призначені для тривалого зберігання великих об'ємів інформації.

Внутрішні ЗП призначені для зберігання інформації (даних і програм), що використовуються у безпосередньо у поточний момент.

До внутрішніх ЗП можна віднести:

- надоперативні ЗП (НЗП), які будуються на основі регістрів і призначені для короткочасного збереження інформації;
- кеш-пам'ять - призначена для зберігання інформації, що використовуються при виконанні поточних операцій та підвищення швидкодії;
- оперативні ЗП (ОЗП) - призначені для зберігання інформації, отриманої в процесі роботи пристрою та інформації, що переписується в процесі роботи пристрою із зовнішньої пам'яті;
- постійні ЗП (ПЗП), в які інформація записується заздалегідь, і її можна тільки зчитувати.

ОЗП можуть бути статичними і динамічними. В статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Для позначення ОЗП на принципових схемах використовують скорочення RAM (Random Access Memory - вибірково досяжна пам'ять).

**Приклад побудови статичного ОЗП. (Рис. 80)**

Матриця накопичувача містить 256 елементів пам'яті (ЕП): 16 рядків на 16 стовпців. Кожен елемент пам'яті це - статичний тригер, який можна реалізувати на основі біполярних або МДН транзисторів.

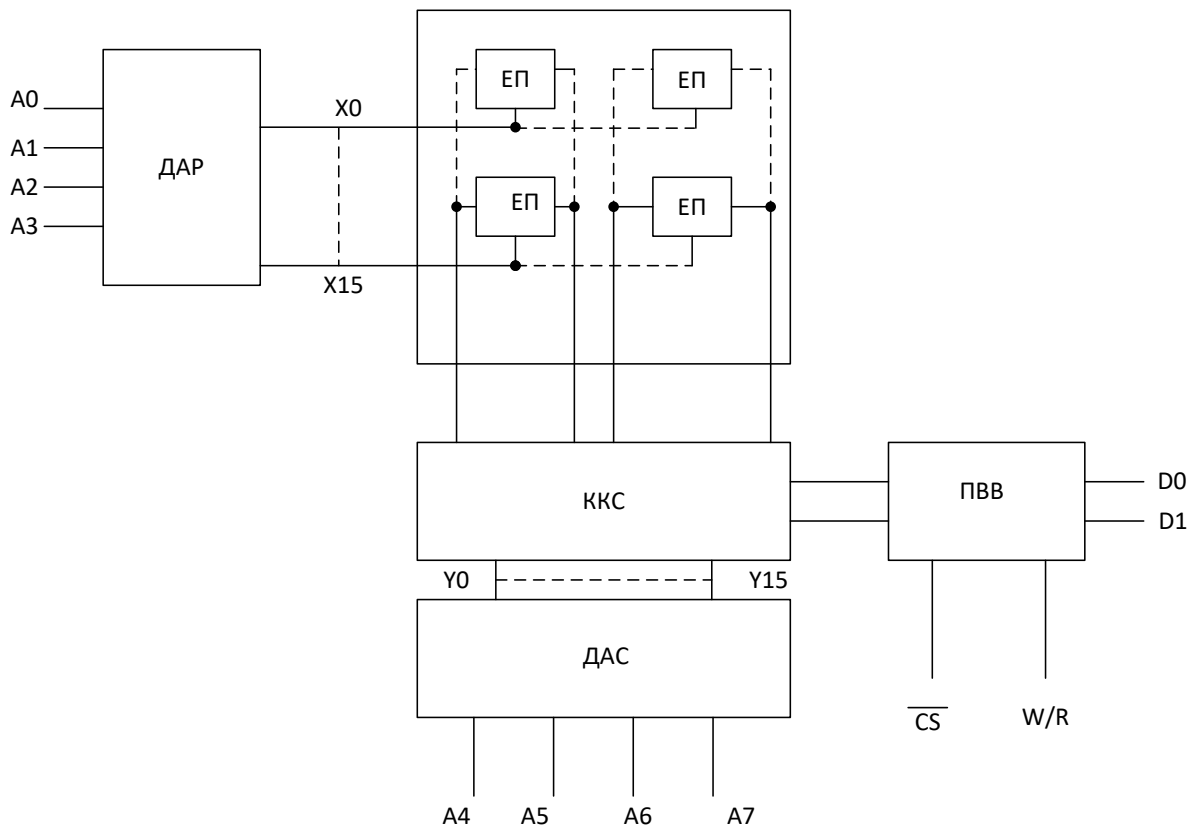


Рис. 80. Структурна мікросхема статичного ОЗП з однорозрядною організацією.

- ДАР - дешифратор адреси рядків;
- ДАС - дешифратор адреси стовпців;
- ККС - ключі комутації стовпців;
- ПВВ - пристрій введення виведення;
- A0 - A7 - адресні шини.
- D0 - D1 - шини даних

Режимом мікросхеми керують за допомогою входів:

CS - вибір мікросхеми

W/R- обирає режим запис або зчитування.

У разі порушення рядка і стовпця сигналом вибірки, перемикальні елементи пристрою введення-виведення (ПВВ) відкриваються і підключають входи-виходи тригера до розрядних шин.

В динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її зберігання. При цьому зчитування інформації супроводжується її руйнуванням. В таких ОЗП в якості елемента пам'яті використовується конденсатор утворений в середині МДН структури. Наявність заряду такого конденсатора відповідає логічній 1, відсутність - логічному 0. Оскільки час збереження заряду конденсатором обмежений, треба передбачити періодичне відновлення записаної інформації.

#### **Запитання для самоконтролю**

1. Поясніть призначення основних запам'ятовуючих пристроїв.
2. Наведіть приклад побудови статичного ОЗП.

## ЛЕКЦІЯ 16

### Генератори і формувачі електричних імпульсів

#### Мультивібратори

**Мультивібратор (МВ)** – це релаксаційний генератор прямокутних імпульсів. МВ може працювати в автоколивальному режимі, режимах очікування та синхронізації.

МВ можуть виконуватися на тунельних діодах, тиристорах, транзисторах, операційних підсилювачах, логічних елементах.

В автоколивальному режимі МВ має два квазісталіх стани рівноваги і переходить із одного стану в інший самочинно під впливом внутрішніх позитивних зв'язків.

У режимі очікування мультивібратор має один сталий стан і один несталий (квазісталий), під час якого на його виході формується імпульс. Перехід від сталого до несталого стану відбувається під дією зовнішніх імпульсів, а в зворотному напрямку – за рахунок внутрішніх процесів у схемі. Мультивібратор у режимі очікування називається *одновібратором*.

У режимі синхронізації МВ працює в автоколивальному режимі, але перехід його із одного стану в інший відбувається під дією зовнішніх імпульсів. При цьому частота синхронізуючих сигналів повинна перевищувати частоту власних коливань МВ. Це забезпечує незалежність коливань від дестабілізуючих факторів, що впливають на параметри його елементів.

Схема мультивібратора складається з двох інверторів (схем НЕ) з перехресними додатними зворотними зв'язками (ДЗЗ) (рис. 81, а).  $R1C1$  і  $R2C2$  називаються часозадавальними колами. Діоди  $VD1$  і  $VD2$  є захисними.

**Робота схеми.** Припустимо, що в момент часу  $t_0$  на виході  $DD1$  потенціал стрибком збільшився до рівня  $U^1$ , а на виході  $DD2$  до рівня  $U^0$  (приймаємо  $U^0=0$ ). Конденсатор  $C1$  заряджений на попередньому інтервалі з полярністю вказаною на рис. 81, а.

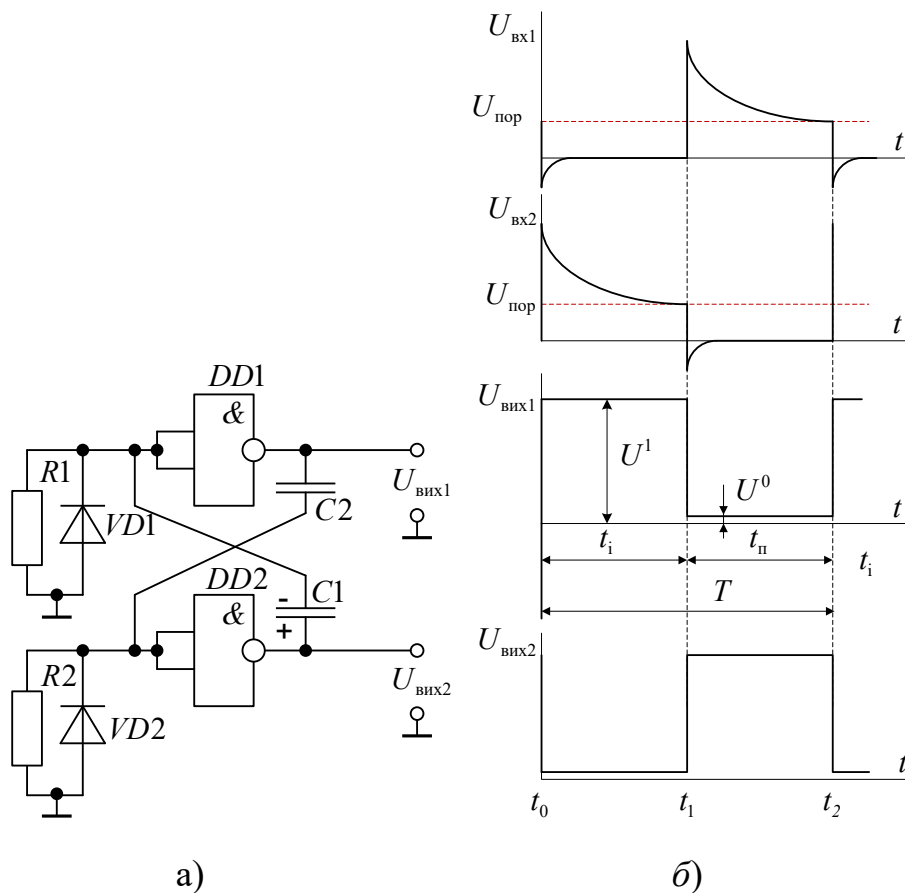


Рис. 81

На інтервалі  $t_0-t_1$  конденсатор  $C_2$  заряджається від вихідної напруги  $U_{\text{вх1}}^1$  ЛЕ  $DD_1$  через резистор  $R_2$ . На резисторі  $R_2$  зарядний струм створює напругу  $U_{\text{вх2}}$ , величина якої перевищує рівень порогу  $U_{\text{пор}}$ . Цією напругою на виході ЛЕ  $DD_2$  підтримується логічний «0». Конденсатор  $C_1$  на інтервалі  $t_0-t_1$  розряджається через вихідний опір  $U_{\text{вих2}}^0$  ЛЕ  $DD_2$  і відкритий діод  $VD_1$ . На вході ЛЕ  $DD_1(U_{\text{вх1}})$  підтримується невелика від'ємна напруга відповідна напрузі відсічки  $VD_1$ . Стала часу розряду конденсатора  $C_1$   $\tau_{\text{роз}C_1} = C_1(r_{\text{пр1}} + R_{\text{вих2}}^0)$ .

Стала часу кола заряду конденсатора  $C_2$   $\tau_2 = C_2(R_{\text{вих1}}^1 + R_2)$ .

По мірі розряду конденсатора  $C_2$  напруга на вході ЛЕ  $DD_2$   $U_{\text{вх2}}$  зменшується; коли вона досягне рівня  $U_{\text{пор}}$ , у схемі розвивається регенеративний процес переключення, який завершується стрибкоподібною зміною напруги на виході елементу  $DD_2$  до рівня  $U^1$ , а на виході ЛЕ  $DD_1$  до рівня  $U_0$ .

Конденсатор  $C_1$  після розряду до напруги  $U^0 + e_{\text{VD1}}$  починає заряджатися від напруги  $U_{\text{вих2}}^1$  через  $R_{\text{вих2}}^1$  і резистор  $R_1$ . Додатна напруга, що з'явилася на

резисторі  $R1$  під час зарядки конденсатора  $C1$  перевищує  $U_{пор}$  і утримує ЛЕ  $DD1$  у стані відповідному логічному «0» на виході. Конденсатор  $C2$ , який зарядився до напруги близької до  $U^1 - U_{пор}$ , розряджається через  $R_{вих1}^0$  і діод  $VD2$ .

Коли напруга на резисторі  $R1$  ( $u_{вих1}$ ) по мірі заряду конденсатора  $C1$  знизиться до значення  $U_{пор}$ , знову розвивається регенеративний процес переключення ЛЕ  $DD1$  і  $DD2$  (момент  $t_2$ ) і т. д.

Стала часу заряду конденсатора  $C1$  дорівнює:

$$\tau_1 = C1(R_{вих2}^1 + R1).$$

Довжина імпульсу і паузи визначаються відношеннями:

$$t_i = C2(R_{вих1}^1 + R2) \ln \frac{U^1 - U^0}{U_{пор}},$$

$$t_n = C1(R_{вих2}^1 + R1) \ln \frac{U^1 - U^0}{U_{пор}}.$$

Період повторення імпульсів  $T = t_i + t_n$ , а частота імпульсів -  $f = \frac{1}{T}$ .

Недоліком розглянутого мультивібратора є жорсткий режим збудження коливань, тобто можуть мати місце стани, при яких обидва ЛЕ можуть бути одночасно закритими (наприклад, при повільному зростанні напруги живлення під час вмикання). Для надійного запуску МВ схему доповнюють

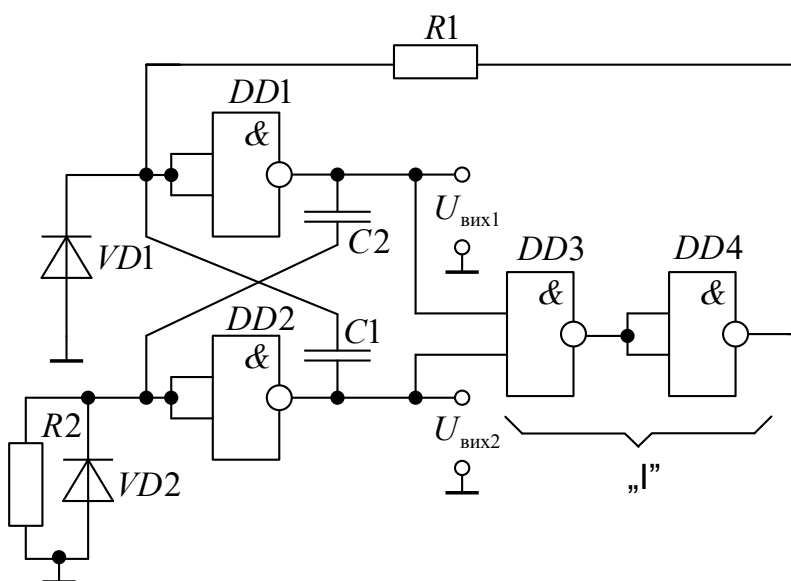


Рис. 82

елементом I ( $DD3$  і  $DD4$ ) (рис. 82).

Якщо мультивібратор працює нормально, то на входах ЛЕ  $DD3$  (на виходах  $U_{аєδ1}, U_{аєδ2}$ ) будуть різні логічні рівні і на його виході (виході  $DD4$ ) буде логічний «0». В разі, якщо ЛЕ  $DD1$  і  $DD2$  одночасно закриті, то на обох входах

ЛЕ *DD3* будуть «1» і на виході ЛЕ *DD4* також буде «1», що приведе до відкриття ЛЕ *DD1* і появи умови для виникнення коливального процесу.

### **Запитання для самоконтролю**

1. Що таке мультівібратор (МВ). В яких режимах можуть працювати МВ?
2. Наведіть схему МВ на ЛЕ і поясніть її роботу.
3. Поясніть, як забезпечити надійний запуск МВ на ЛЕ.

## ЛЕКЦІЯ 17

### Одновібратор на ЛЕ

На рис. 83 приведена схема і часові діаграми роботи одновібратора, виконаного на логічних елементах І-НЕ.

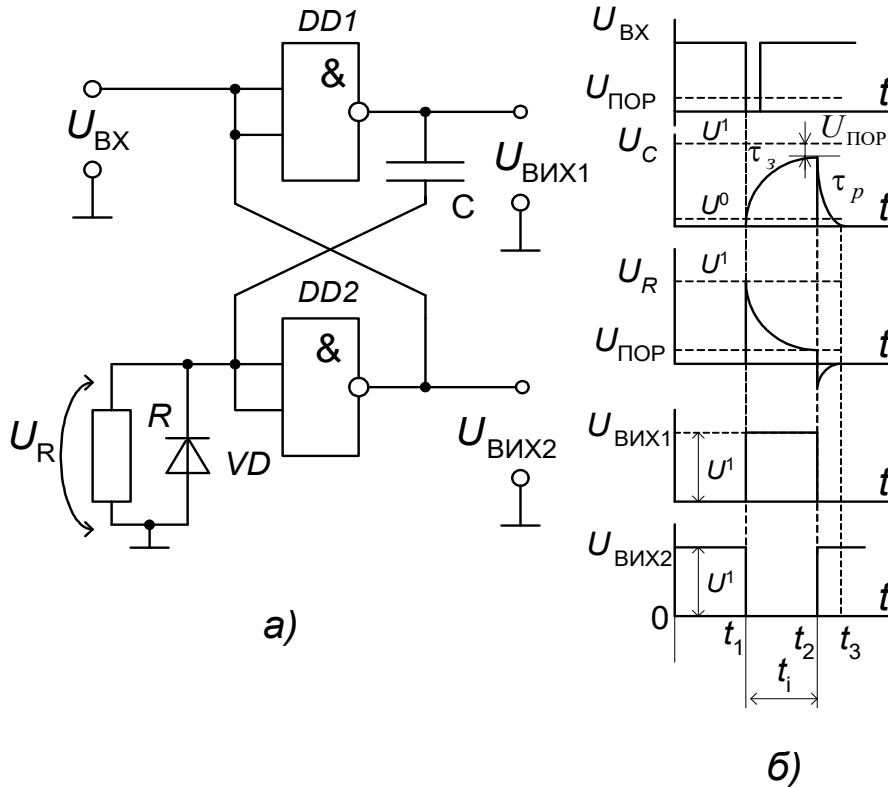


Рис.83

На інтервалі  $t_0 - t_1$  схема перебуває у сталому стані, при якому  $U_{ВХ}^1 = 1$ ;  $U_R = 0$ ;  $U_C$ ;  $U_{ВІХ1} = 0$ ;  $U_{ВІХ2} = 1$ . У такому стані схема буде перебувати до тих пір, поки на вході не з'явиться сигнал логічного нуля. Якщо в момент часу  $t_1$  на вхід короткочасно подати сигнал логічного нуля  $U_{ВХ}^0 < U_{ПОР}$ , то на виході елемента  $DD1$  з'явиться сигнал логічної одиниці  $U_{ВІХ1} = U^1$ . Цей сигнал через конденсатор  $C$  виділиться на резисторі  $R$  і переключить ЛЕ  $DD2$  у нульовий стан, тобто  $U_{ВІХ2} = U^0$ . Так як вихід  $DD2$  з'єднаний з одним із входів  $DD1$ , то на виході ЛЕ  $DD1$  буде утримуватись логічна одиниця і потреба у вхідному сигналі, який був поданий на інший вхід ЛЕ  $DD1$ , відпадає. Таким чином, вхідний сигнал забезпечує тільки перехід схеми у несталий стан, а тому його довжина повинна трохи перевищувати час перемикання ЛЕ.

На інтервалі  $t_1 = t_2$  стан схеми забезпечується напругою ( $U_R$ ) на вході ЛЕ  $DD2$ , яка змінюється відповідно  $U_R(t) = U^1 e^{-t/\tau_3}$ .

У момент  $t_2$   $U_R(t) = U_{\text{ПОР}}$ , а  $t_2 - t_1 = t_i$  – довжина вихідного імпульсу. Підставимо ці значення у наведене рівняння і вирішимо його відносно  $t_i$

$$U_{\text{ПОР}} = U^1 e^{-t_i/\tau_3} \Rightarrow e^{t_i/\tau_3} = U^1 / U_{\text{ПОР}}.$$

Звідки довжина імпульсу  $t_i = \tau_3 \ln(U^1/U_{\text{ПОР}}) = 2,3 \tau_3 \lg(U^1/U_{\text{ПОР}})$ ,

де  $\tau_3 = (R + r_{\text{ВИХ}}^1) C$  – стала часу заряду конденсатора.

На інтервалі  $t_2-t_3$  конденсатор розряджається через вихідний опір ЛЕ  $DD1$  та діод  $VD$  і схема переходить у вихідний (стійкий) стан. Час переходу у вихідний стан визначається з виразу

$$t_B = t_3 - t_2 = \tau_P \ln[(U^1 - U_{\text{ПОР}})/U^0],$$

де  $\tau_P = (r_{\text{ВИХ}}^0 + r_{VD}) \cdot C$  – стала часу розряду конденсатора.

### Запитання для самоконтролю

1. Що таке одновібратор (ОВ). Де використовуються ОВ?
2. Наведіть схему і поясніть роботу ОВ.
3. Від чого залежить довжина вихідних імпульсів ОВ?

## СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Мікропроцесори та цифрова електроніка [Електронний ресурс] : навч. посіб. для здобувачів ступеня бакалавра за освітньою програмою 141 - "Електроенергетика, електротехніка та електромеханіка", спеціалізації «Електротехнічні пристрої та електротехнологічні комплекси» / К. К. Победаш, В. А. Святненко ; КПІ ім. Ігоря Сікорського. – Електронні текстові данні (1 файл: 2,2 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2021. – 121 с. . <https://ela.kpi.ua/handle/123456789/45666>
2. Щерба А.А., Победаш К.К., Святненко В.А. Електроніка та мікросхемотехніка: Навчальний посібник для студентів напрямку підготовки “Електромеханіка” – К.:НТУУ«КПІ», 2013 – 358с.: іл. <http://ela.kpi.ua/handle/123456789/3569>
3. Схемотехніка електронних систем: У 3-х кн. Кн. 2. Цифрова схемотехніка: Підручник /Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 423 с.: іл.
4. Бабич М.П., Жуков І.А. Комп’ютерна схемотехніка: Навчальний посібник. – К.: “МК-Прес”, 2004. – 412с.: іл.