

Системы телекоммуникации, связи и защиты информации

УДК 621.391

В.Г. Вербицкий¹, П.В. Овчаренко², О.І. Радкевич¹, канд. техн. наук, В.І. Тихонов³, канд. техн. наук

Мережевий usb-адаптер для технології комутації потоків

Описано загальну архітектуру і принцип дії мережевого USB-адаптера для технології комутації потоків. Мережевий адаптер забезпечує автоматичний обмін командами і даними між буферами пам'яті двох суміжних вузлів мережі, що будується за принципом комутації потоків.

The general architecture and operational principles of USB-network adaptor introduced for the flow switching technology. The network adaptor provides automated control and data exchange between the two edged network nodes based on the flow-switching technique.

Ключові слова: комутація потоків, мережевий адаптер.

Вступ

Конкуренція на ринку телекомунікацій, з одного боку, і зростання вимог користувачів до якості телекомунікаційних послуг, з іншого боку, стимулюють індустрію телекомунікацій до пошуку нових стратегій розвитку галузі і створення більш ефективних технологій. Намагання зменшити операційні витрати призвели до зміщення акцентів від комутації каналів, характерних для телефонії, в сторону послуг на базі комутації пакетів.

Відома сучасна концепція поступового переходу до мереж наступних поколінь (мереж NGN) орієнтована на розробку і втілення стандартів для побудови опорної транспортної мережі, орієнтованої на з'єднання (проект MPLS-TP), а також на передбачувану конвергенцію різних типів мереж і послуг на основі IP-технології [1]. Використання протоколу IP є певним компромісом між існуючою інфраструктурою мереж і новими викликами, оскільки IP від початку не був створений для передачі трафіка реального часу, і тому має певні завади відносно забезпечення якості сервісу у застосуваннях реального часу. Протокол IPv4 майже використав свої ресурси (головним чином, ресурс адресного простору), а розгортання мереж на базі IPv6 потребує довгострокового перехідного періоду часу і значних інвестицій [2].

У зв'язку з цим, є актуальними науково-технічні дослідження в напрямку створення нових альтернативних методів інтеграції

телекомунікаційних мереж і послуг, які враховують і об'єднують можливість забезпечення високої якості сервісу в режимі комутації каналів і економічні переваги методу комутації пакетів. В роботі [3] запропоновано принцип динамічної комутації потоків, який передбачає можливість швидкого і багатоступінчастого переходу між двома крайніми режимами (від комутації пакетів до комутації каналів) з відповідною поступовою зміною якості сервісу від економічного до високоякісного. Принцип динамічної комутації потоків надає клієнту можливість самому оперативно у поточний момент часу обирати бажаний для нього компроміс між вартістю і якістю послуги.

Основна частина

Принцип динамічної комутації потоків потребує розробки спеціальних мережевих адаптерів, які забезпечують автоматичний обмін між буферами пам'яті для кожної суміжної пари вузлів мережі на рівні фізичного з'єднання (Physical Link Layer – PLL). Протоколною одиницею рівня PLL є октети двох типів: службові октети (що утворюють сегменти команд) і октети корисних даних (що утворюють сегменти корисних даних). Однак на даний час в літературі не описані мережеві адаптери такого типу. Авторами розроблено і реалізовано мережевий адаптер для рівня PLL з використанням порту USB і з'єднанням двох вузлів за допомогою кабеля типу UTP-5е. Аналогічний адаптер може бути реалізований для з'єднання вузлів за допомогою волоконно-оптичного кабеля.

Метою даної роботи є опис загальної архітектури і принципу дії мережевого USB-адаптера для технології комутації потоків.

Переважна більшість сучасних термінальних мережевих пристроїв має USB-порти для підключення різноманітного периферійного обладнання. Тому стандартний інтерфейс USB було обрано для першої реалізації спеціалізованого мережевого адаптера, який підтримує рівень фізичного з'єднання (PLL) у технології комутації потоків [3]. На рис.1. зображено функціональну схему з'єднання двох персональних комп'ютерів за допомогою двох PLL-адаптерів через USB-інтерфейс.

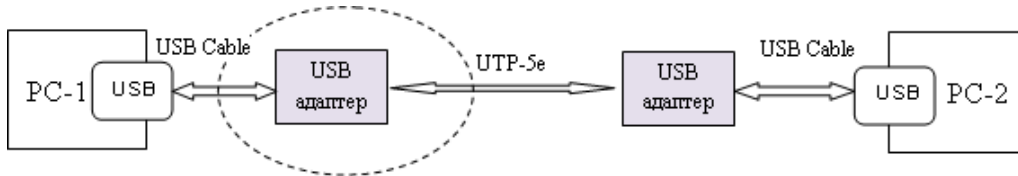


Рис. 1. Функціональна схема з'єднання комп'ютерів через USB-адаптер

Кожен USB-адаптер має два типи інтерфейсів: USB-інтерфейс (для підключення адаптера до USB-порту вузла мережі) і PLL-інтерфейс (для з'єднання між собою двох адаптерів за допомогою кабеля UTP-5e). Для підключення USB-адаптера до USB-порту було обрано інтерфейс USB 2.0 HighSpeed (USB 2.0 HS), що забезпечує максимальну швидкість обміну до 480 Мбіт/с [4]. Відомим способом підключення пристрою, побудованого на основі FPGA, до порту USB є застосування UTMI-трансиверу (наприклад, CY7C68000). Однак на поточний момент часу поставки в Україну окремих екземплярів даної мікросхеми економічно недоцільні. Тому було використано контролер шини USB типу FX2LP з серії Cypress Semiconductor USB microcontroller (а саме, мікросхему CY7C68013A-56PVXC). Контролер FX2LP є високоінтегрованою і слабо потужною мікросхемою що вміщує в одному чипі такі складові функціональні компоненти як: USB-2 трансивер, послідовний інтерфейс SIE, мікроконтролер 8051, а також периферійний інтерфейс що програмується. На рис.2 зображено блок-схему інтегральної мікросхеми FX2LP.

Максимальна швидкість обміну для FX2LP становить близько 420 Мбіт/с, що приблизно співвідноситься із максимальною швидкістю обміну по інтерфейсу USB-2. З урахуванням того, що мікросхема FX2LP містить вбудований USB-2 трансивер, ця мікросхема є більш економічною у порівнянні з використанням окремого зовнішнього трансивера чи послідовного інтерфейсу USB 2.0 SIE.

Архітектура черги slave FIFO (First-In-First-Out) для FX2LP має вісім блоків пам'яті по 512 байт кожний, які розташовані у кінці загальної оперативної пам'яті. Вони керуються сигналами FIFO, такими як IFCLK, SLCS#, SLRD, SLWR, SLOE, PKTEND, а також прапорами (flags). У процесі функціонування деякі з восьми блоків FIFO заповнюються чи звільнюються через послідовний інтерфейс SIE. Інші блоки FIFO підключаються до логіки вводу/виводу трансивера. Логіка трансферу має дві форми:

- GPIF (General Programmable Interface) для керуючих сигналів що генеруються всередині;
- slave FIFO інтерфейс для керування зовнішнім трансфером.

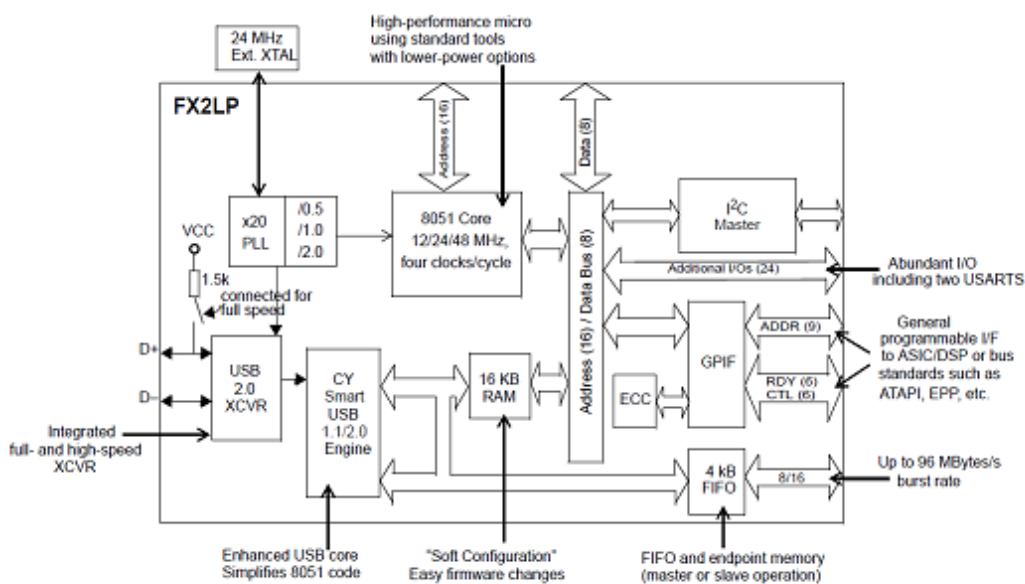


Рис. 2. Блок-схема контролера FX2LP

Така логіка використовує опцію slave FIFO для управління передачею даних з боку пристрою програмованої логіки PLD (programmable logic device), з підтримкою синхронізації від FX2LP для спрощення синхронізації між PLD і FX2LP.

Кінцеві блоки FIFO мікросхеми FX2LP фізично організовані у вигляді окремих блоків пам'яті розміром 256x16 біт. Послідовний інтерфейс SIE вбудованого контролера 8051 здатен переключати кожен з блоків пам'яті між двома доменами: USB (SIE) доменом і 8051-I/O Unit доменом. Ця комутація виконується віртуально миттєво, тобто інтервал між передачею "USB FIFOS" і "Slave FIFOS" практично дорівнює нулю. Оскільки фізично обидва домени є однією пам'яттю, жоден байт не передається між буферами. Це уможливує початок зчитування пристроєм PLD пакету даних USB як тільки цей пакет прийнято у FX2LP.

Наявність на борту материнської плати PCB (Printed Circuit Board) другого пристрою що програмується (окрім PLD) дає змогу зменшити вартість адаптера в цілому. Прошивка мікросхеми FX2LP може бути завантажена з персонального комп'ютера, завдяки чому відсутня необхідність окремої пам'яті для підтримки прошивки. Після того, як конфігурується мікросхема FX2LP, комп'ютер може конфігурувати програмовану користувачем вентиляну матрицю FPGA (Field-Programmable Gate Array) за допомогою USB-запитів до FX2LP. Інша перевага описаного підходу полягає в тому, що є можливість повного перепрограмування усього проекту адаптера безпосередньо з персонального комп'ютера (без застосування спеціального обладнання, наприклад JTAG чи програматорів EEPROM). Перепрограмування адаптера не потребує відключення адаптера від хосту. Гнучкість архітектури USB-адаптера на базі FX2LP спрощує можливість тиражування таких адаптерів.

Швидкодія мікросхеми FX2LP є достатньою для етапу розробки і тестування логіки роботи мережевого USB-адаптера за технологією комутації потоків. Для комерційного використання адаптерів такого типу треба значно підвищити його швидкодію. Усі необхідні для цього можливості вже існують на ринку телекомунікацій. Одним з таких рішень є використання мікросхеми Cypress Semiconductor's EZ-USB FX3, яка взаємодіє з надшвидким інтерфейсом USB 3.0. Архітектура цієї

мікросхеми подібна до архітектури FX2LP, однак в ній використовується процесор з ядром ARM9 замість 8051. Окрім того, FX3 має значно більший обсяг пам'яті та інтегрованої периферії.

Окрім описаної вище мікросхеми EZ-USB FX2LP CY7C68013, до складу мережевого PLL-адаптера також входить згадувана раніше вентиляна матриця FPGA, реалізована на мікросхемі Altera EP2C5T144C8N. Ця матриця має 4608 логічних елементів і 119 Кбайт вбудованої пам'яті типу SRAM (Static random-access memory). Контролер USB мікросхеми FX2LP перетворює трафік шини USB у дві черги FIFO (окремо для байтів команд і байтів корисних даних). Ці дві черги підключені до мікросхеми FPGA, яка реалізує основну логіку обробки даних в PLL-адаптері.

На рис.3 зображено схему взаємодії функціональних елементів USB-адаптера. В момент включення живлення адаптер не має прошивки, тому він здатен лише підключитися до хосту (персонального комп'ютеру) і чекати на завантаження прошивки і конфігурування. В якості додаткової опції, адаптер може мати окрему пам'ять I2C EEPROM, з якої мікроконтролер завантажує прошивку, однак при цьому логіка FPGA залишається не конфігурованою (оскільки обсяг даних конфігурації FPGA складає близько 140–150 Кбайт, в той час як EEPROM має лише 32 Кбайт).

Розглянемо процес прийому даних, що поступають на вхід FPGA з лінії зв'язку через вбудований у FPGA приймач LVDS (low-voltage differential signaling). Послідовність даних є асинхронною відносно тактової частоти пристрою і потребує нормалізації. Нормалізація даних послідовного потоку здійснюється за допомогою техніки пере-дискретизації (oversampling). Він забезпечує відновлення даних і часових міток (Clock and Data Recovery – CDR) цілком в межах цифрової логіки. Це зручно з точки зору модифікації і тиражування адаптерів. Для передискретизації використовується 6-кратне збільшення частоти дискретизації у порівнянні з заданою штатною швидкістю передачі даних. Послідовність часових міток утворюється опорними сигналами, що отримано шляхом зміщення фази сигналу базового тактового генератора на 30, 60 і 120 градусів. Імпульси даних сприймаються на позитивних і негативних перепадах рівнів отриманих сигналів. Таким чином формуються 6 вимірювань вхідного сигналу за час передачі одного біта інформації.

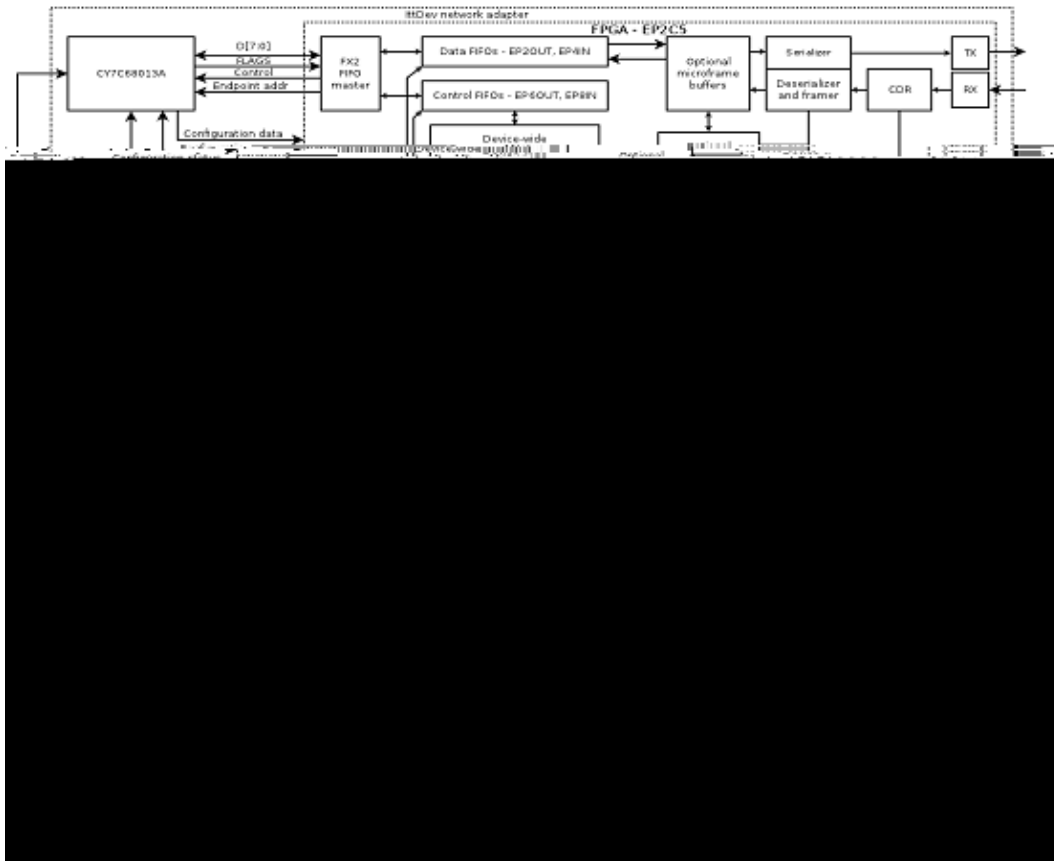


Рис.3 Схема взаємодії функціональних елементів PLL-адаптера.

Порівняння результатів передискретизації для різних зміщень фаз дозволяє обрати кращий за співпадінням результат, і водночас дає змогу скорегувати відхилення частоти та фази тактових генераторів суміжних мережевих пристроїв. Відновлені дані переміщуються у однакову часову зону за допомогою триступеневої схеми синхронізації.

Відновлений послідовний потік бітових даних поступає на вхід схеми перетворення з послідовного в паралельний вид (deserializer). Дані кодується лінійним кодом типу 8b/10b, який підтримує баланс постійної складової напруги в каналі зв'язку (DC balance), а також дозволяє передачу спеціальних символів. Ці спеціальні символи використовуються для логічної синхронізації окремих сегментів команд і сегментів корисних даних у загальному цифровому потоку, а також для динамічного управління потоком. Спеціальні символи вставляються в цифровий потік для визначення початку байтів команд або байтів даних.

Схема deserializer перетворює послідовність біт у паралельний 10-бітовий код, а також здійснює розділення окремих сегментів за допомогою спеціального символу «COMMA» і видає на виході 8-біт даних або символ «COMMA». Окрім того, схема виявляє помилки

передачі 10-бітових комбінацій і виставляє прапор помилки. Якщо дві помилки трапляються одне за одним, схема очікує появи наступного символу «COMMA» і починає логічну синхронізацію 10-бітових комбінацій спочатку.

Паралельний потік байт поступає у вхідну чергу FIFO. Коли ця черга заповнюється до певної міри, FIFO генерує прапор, який ініціює передачу даних з черги до USB-контролера. Дані вхідної черги передаються у внутрішню чергу контролера, з якої вони зчитуються по команді хоста, підключеного до адаптера. Ці дані обробляються драйвером ittdrv. Якщо вся вхідна черга FIFO майже заповнена, виставляється прапор gxfull, який генерує символ XOFF (припинити трансляцію). Цей символ передається на сторону передавача і блокує передачу цифрового потоку в канал зв'язку. У разі часткового очищення вхідної черги, прапор gxfull опускається. Відповідно на сторону передавача генерується і направляється символ XON (продовжити трансляцію).

Процес передачі даних в напрямку від хосту до каналу зв'язку ініціюється FX2 опусканням прапору «FIFO empty» (тобто сигналом того, що черга у FX2 на передачу вже не пуста). У наступний такт FPGA ініціює запит на зчитування даних, які переміщуються у чергу FPGA до тих

пір, поки прапор «FIFO empty» не буде піднято знову (або поки не заповниться черга FPGA). З черги FPGA дані у вигляді 10-бітових блоків передаються на 8b/10b кодер, який перетворює паралельний код у послідовний бітовий потік в каналі зв'язку в напрямку трансляції. Якщо вихідна черга є пустою, кодер послідовно видає символ «COMMA». Це дозволяє іншій стороні мати впевненість про наявність зв'язку, а також підтримувати в гарячому стані поточну синхронізацію на обох кінцях лінії.

На рис.4 зображено розташування інтегральних мікросхем та інших конструктивних елементів на платі мережевого PLL-адаптера. Плата адаптера має два фізичних з'єднувача: один USB для підключення до хосту (персонального комп'ютера) через стандартний інтерфейсний кабель USB Type B; інший – RJ-45 для підключення до лінії зв'язку (кабель UTP-5e).

На рис.5 зображено розводку друкованої плати USB-адаптера. Комплект з двох USB-адаптерів пройшов попередні випробування, які підтвердили функціональну коректність розробки і відповідність основним проектним параметрам на швидкості з'єднання 100 Мбіт/с з кабелем UTP-5e довжиною до 100 м.

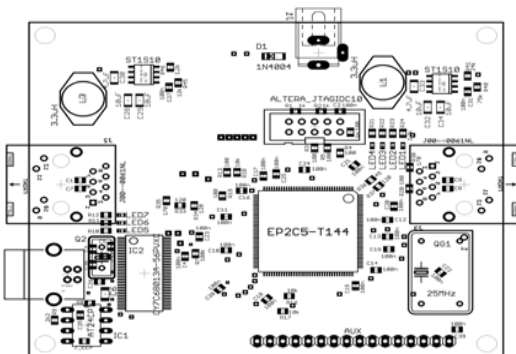


Рис. 4. Схема розташування елементів USB-адаптера.

Висновок

В роботі описано загальну архітектуру і принцип дії мережевого USB-адаптера для технології динамічної комутації потоків, яка опублікована в літературі і розглядається як одна з можливих альтернатив протоколу IPv6 для конвергенції мереж наступних поколінь з підтримкою високих стандартів якості сервісу. USB-адаптер реалізує у спрощеній формі

рівень фізичного з'єднання PLL у технології динамічної комутації потоків. Комплект з двох USB-адаптерів, описаних в роботі, розроблено, виготовлено і апробовано авторами в лабораторних умовах з метою перевірки основних алгоритмів динамічного керування потоками на рівні фізичного з'єднання. Результати тестування підтвердили функціональну коректність і дієздатність адаптера на швидкості 100Мбіт/с і довжиною кабелю до 100 м. Напрямоком подальших досліджень є реалізація USB адаптера на волоконно-оптичній лінії зв'язку з підвищеною швидкістю обміну і довжиною кабелю.

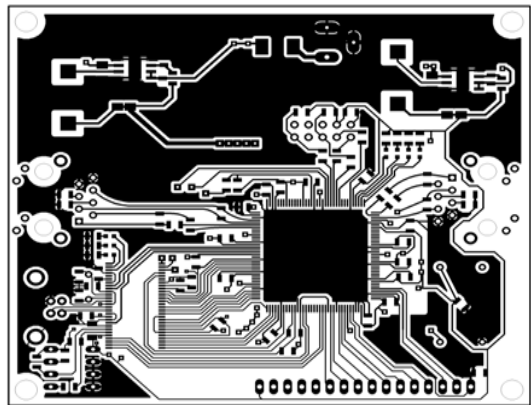


Рис. 5. Друкована плата USB-адаптера.

Література

1. Understanding MPLS-TP and Its Benefits. http://www.cisco.com/en/US/technologies/tk436/tk428/white_paper_c11-562013.pdf.
2. Yong Zheng. The Next Generation Network: Issues and Trends. <http://aut.researchgateway.ac.nz/bitstream/handle/10292/680/ZhengY.pdf>.
3. Пат. 56395 Україна; МПК H04L 12/28. /Спосіб динамічної комутації потоків в телекомунікаційних мережах. – Воробієнко П.П., Тіхонов В.І.; заявники та власники патенту Воробієнко П.П., Тіхонов В.І. – у 2010 08597; заявл. 09.07.2010; опубл. 10.01.2011. Бюл. № 1.
4. USB Implementers Forum, Inc., "USB 2.0 Specification" // web: http://www.usb.org/developers/docs/usb_20_101111.zip

¹ Інститут мікроприладів НАН України

² Egispol Ltd., м. Львів

³ Одеської національної академії зв'язку ім. О.С. Попова