

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

КОМП'ЮТЕРНА СХЕМОТЕХНІКА ІНСТРУКЦІЇ ДО ЛАБОРАТОРНОЇ РОБОТИ №1

Навчальний посібник

Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра
за освітньою програмою «Інтелектуальні сервіс-орієнтовані розподілені обчислювання»
спеціальності 122 «Комп'ютерні науки»

Укладачі: В. Г. Артюхов, О. А. Бритов, В. Ш. Гіоргізова-Гай, Б. А. Кирюша,
В. Ю. Стіканов

Електронне мережне навчальне видання

Київ
КПІ ім. Ігоря Сікорського
2022

Рецензент

Шумков Ю.С., к.т.н., доц, доцент кафедри інформаційно-вимірювальних технологій приладобудівного факультету КПІ ім. Ігоря Сікорського

Відповідальний редактор

Мельник І.В., д.т.н., професор

Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол № 1 від 02.09.2022 р.) за поданням Вченої ради Навчально-наукового інституту прикладного системного аналізу (протокол № 7 від 01.09.2022 р.

У навчальному посібнику викладена базова послідовність дій при моделюванні об'єктів схемотехніки засобами системи Cadence. Матеріали містять зразки команд та вікон, які супроводжують процес моделювання. Приділено увагу отриманню результатів без надлишкових узагальнень.

Приведений матеріал сприяє набуттю умінь для розв'язування конкретних схемотехнічних задач, застосовуванню сучасних інструментальних засобів.

Навчальний посібник призначений для здобувачів ступеня бакалавра за освітньою програмою «Інтелектуальні сервіс-орієнтовані розподілені обчислювання» спеціальності 122 «Комп'ютерні науки» та входить у комплект методичного забезпечення освітнього компонента «Комп'ютерна схемотехніка». Посібник буде також корисним здобувачам освіти інших ступенів та спеціальностей, пов'язаних з вивченням та моделюванням комп'ютерних систем.

Реєстр. № 22/23-04 Обсяг 0.6 авт. арк.

Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»
проспект Перемоги, 37, м. Київ, 03056
<https://kpi.ua>

Свідоцтво про внесення до Державного реєстру видавців, виготовлювачів і розповсюджувачів видавничої продукції ДК № 5354 від 25.05.2017 р.

© КПІ ім. Ігоря Сікорського, 2022

Зміст

Вступ.....	4
1. Мета та основні завдання лабораторної роботи :	4
Мета роботи.....	4
Основне завдання	4
Обладнання	4
Засоби безпеки.....	4
2. Порядок і рекомендації щодо виконання роботи	4
2.1 Побудувати схему логічного елемента.....	4
2.2 Створити завдання на моделювання	4
2.3 Змоделювати залежності та проаналізувати параметри , Зробити висновки	4
2.4 Створити звіт	4
2.5 Переслати звіт на сервер.....	4
2.6 Контрольні питання	5
3.Варіанти індивідуальних завдань	5
4. Інструкції для роботи у системі Cadence	12
4.1 Створення проекту	12
4.1.1 Запуск Cadence.....	13
4.1.2. Створення бібліотек	14
4.1.3. Побудова схем.....	15
4.1.4. Створення портів та символу.....	17
4.2 Моделювання	19
4.2.1. Створення схем для тестування (моделювання).....	19
4.2.2. Аналіз на постійному струмі із зміною параметра (DC Sweep Analysis)	21
4.2.3. Часовий аналіз (Transient Analysis)	25
4.2.4. Параметричний аналіз (Parametric Analysis).....	27
5. Вимоги до звіту	28
Література	29
Додаток 1: Титульний лист звіта з лабораторної роботи.....	29

Вступ

Розробка комп'ютерів і пошук і вдосконалення принципів їх роботи є важливою складовою частиною навчальних і робочих програм багатьох спеціальностей і освітніх програм.

Якісна підготовка фахівців не можлива без застосування сучасних засобів моделювання, максимально наближених до умов професійної роботи з потужними системами, забезпечуючими як абстрактні математичні розрахунки так і наочний показ проходження сигналів крізь елементи комп'ютерних систем.

Сучасним професійним стандартом моделювання і безперечним лідером у сучасній світовій промисловості є система Cadence, вміння роботи з якою відкриває додаткові кар'єрні можливості майбутнім фахівцям.

Можливість роботи з Cadence на початкових стадіях навчання надається завдяки участі КПП у міжнародному проєкті Eurograstice та спонсорській підтримці міжнародною компанією Мелексіс. Застосовування у навчальному процесі системи Cadence сприяє підготовці фахівців на цьому напрямку на світовому рівні.

1. Мета та основні завдання лабораторної роботи :

Мета роботи : вивчення засобів моделювання системи Cadence

Основне завдання – побудувати схему логічного елемента і проаналізувати його роботу

Обладнання: система Cadence з бібліотекою gpdk045

Засоби безпеки: особливі засоби не потрібні

2. Порядок і рекомендації щодо виконання роботи

2.1 Побудувати схему логічного елемента на nmos1v , pmos1v транзисторах згідно варіанта індивідуального завдання

2.2 Створити завдання на моделювання прохідних , залежностей (DC, Tran, AC, Calculator, Corner, Parametric Analysis)

2.3 Змоделювати залежності та проаналізувати параметри , Зробити висновки

2.4 Створити звіт (Microsoft office, file : ДА**_Призвище_Lab_1.doc)

2.5 Переслати звіт на сервер

<https://drive.google.com/drive/folders/1cogZeAMvdtjBZlM8C4ZkGphaqHCxa1AE?usp=sharing>/Lab1

або інше місце визначене викладачем.

Примітка :

2.6 Контрольні питання .

При захисті роботи відповідати на питання згідно виконаної роботи та лекційних тем на дату захисту

3.Варіанти індивідуальних завдань

Варіанти для *1:

№	Варіанти	Вихідні дані	Підпис	ДАТА
1.	Схема AND на 2 входи	Емність на виході <1 pf Затримка < 40 ns Напруга живлення 1 В		
2.	Схема AND на 3 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
3.	Схема AND на 4 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
4.	Схема NAND на 2 входи	Емність на виході <1 pf Затримка < 40 ns Напруга живлення 1 В		
5.	Схема NAND на 3 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
6.	Схема NAND на 4 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		

	,			
7.	Схема OR на 2 входи	Емність на виході <1 pf Затримка < 40 ns Напруга живлення 1В		
8.	Схема OR на 3 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
9.	Схема OR на 4 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
10	Схема NOR на 2 входи	Емність на виході <1 pf Затримка < 40 ns Напруга живлення 1 В		
11	Схема NOR на 3 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
12	Схема NOR на 4 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
13				
13	Схема AND на 2 входи	Емність на виході <1 pf Затримка < 30 ns Напруга живлення 1В		
14	Схема AND на 3 входи	Емність на виході <1 pf Затримка < 20 ns Напруга живлення 1 В		
15	Схема AND на 4 входи	Емність на виході <1 pf Затримка < 10 ns Напруга живлення 1В		

16	Схема NAND на 2 входи	Емність на виході <1 pf Затримка < 30 ns Напруга живлення 1В		
17	Схема NAND на 3 входи	Емність на виході <1 pf Затримка < 20 ns Напруга живлення 1В		
18	Схема NAND на 4 входи	Емність на виході <1 pf Затримка < 10 ns Напруга живлення 1 В		
19	Схема OR на 2 входи	Емність на виході <1 pf Затримка < 30 ns Напруга живлення 1В		
20	Схема OR на 3 входи	Емність на виході <1 pf Затримка < 20 ns Напруга живлення 1В		
21	Схема OR на 4 входи	Емність на виході <1 pf Затримка < 10 ns Напруга живлення 1В		
22	Схема NOR на 2 входи	Емність на виході <1 pf Затримка < 30 ns Напруга живлення 3 В		
23	Схема NOR на 3 входи	Емність на виході <1 pf Затримка < 20 ns Напруга живлення 1В		
24	Схема NOR на 4 входи	Емність на виході <1 pf Затримка < 10 ns Напруга живлення 1В		
25	Схема NOR на 4 входи	Емність на виході <1 pf Затримка < 50 ns Напруга живлення 1 В		

26	Схема AND на 2 входи	Емність на виході <2 pf Затримка < 30 ns Напруга живлення 1В		
27	Схема AND на 3 входи	Емність на виході <2 pf Затримка < 20 ns Напруга живлення 1В		
28	Схема AND на 4 входи	Емність на виході <2 pf Затримка < 10 ns Напруга живлення 1В		
29	Схема NAND на 2 входи	Емність на виході <2 pf Затримка < 30 ns Напруга живлення 1В		
30	Схема NAND на 3 входи	Емність на виході <2 pf Затримка < 20 ns Напруга живлення 1 В		
31	Схема AND на 2 входи	Емність на виході <1 pf Затримка < 14 ns Напруга живлення 1 В		
32	Схема AND на 3 входи	Емність на виході <2 pf Затримка < 14 ns Напруга живлення 1 В		
33	Схема AND на 4 входи	Емність на виході <3 pf Затримка < 14ns Напруга живлення 1 В		
34	Схема NAND на 2 входи	Емність на виході <1 pf Затримка < 14 ns Напруга живлення 1 В		
35	Схема NAND на 3 входи	Емність на виході <2 pf Затримка < 14 ns Напруга живлення 1 В		

Варіанти для *2:

№	Варіанти	Вихідні дані	Підпис	ДАТА
1.	Схема AND на 2 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
2.	Схема AND на 3 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
3.	Схема AND на 4 входи	Емність на виході <4 pf Затримка < 40 ns Напруга живлення 1 В		
4.	Схема NAND на 2 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
5.	Схема NAND на 3 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
6.	Схема NAND на 4 входи	Емність на виході <4 pf Затримка < 40 ns Напруга живлення 1 В		
	,			
7.	Схема OR на 2 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1В		
8.	Схема OR на 3 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		

9.	Схема OR на 4 входи	Емність на виході <4 pf Затримка < 40 ns Напруга живлення 1 В		
10	Схема NOR на 2 входи	Емність на виході <2 pf Затримка < 40 ns Напруга живлення 1 В		
11	Схема NOR на 3 входи	Емність на виході <3 pf Затримка < 40 ns Напруга живлення 1 В		
12	Схема NOR на 4 входи	Емність на виході <4 pf Затримка < 40 ns Напруга живлення 1 В		
13				
13	Схема AND на 2 входи	Емність на виході <2 pf Затримка < 30 ns Напруга живлення 1В		
14	Схема AND на 3 входи	Емність на виході <3 pf Затримка < 20 ns Напруга живлення 1 В		
15	Схема AND на 4 входи	Емність на виході <2 pf Затримка < 10 ns Напруга живлення 1В		
16	Схема NAND на 2 входи	Емність на виході <3 pf Затримка < 30 ns Напруга живлення 1В		
17	Схема NAND на 3 входи	Емність на виході <4 pf Затримка < 20 ns Напруга живлення 1В		

18	Схема NAND на 4 входи	Емність на виході <2 pf Затримка < 10 ns Напруга живлення 1 В		
19	Схема OR на 2 входи	Емність на виході <3 pf Затримка < 30 ns Напруга живлення 1В		
20	Схема OR на 3 входи	Емність на виході <2 pf Затримка < 20 ns Напруга живлення 1В		
21	Схема OR на 4 входи	Емність на виході <2 pf Затримка < 10 ns Напруга живлення 1В		
22	Схема NOR на 2 входи	Емність на виході <2 pf Затримка < 30 ns Напруга живлення 2 В		
23	Схема NOR на 3 входи	Емність на виході <2 pf Затримка < 20 ns Напруга живлення 1В		
24	Схема NOR на 4 входи	Емність на виході <2 pf Затримка < 10 ns Напруга живлення 1В		
25	Схема NOR на 4 входи	Емність на виході <2 pf Затримка < 50 ns Напруга живлення 1 В		
26	Схема AND на 2 входи	Емність на виході <3 pf Затримка < 30 ns Напруга живлення 1В		
27	Схема AND на 3 входи	Емність на виході <3 pf Затримка < 20 ns Напруга живлення 1В		

28	Схема AND на 4 входи	Емність на виході <3 pf Затримка < 10 ns Напруга живлення 1В		
29	Схема NAND на 2 входи	Емність на виході <3 pf Затримка < 30 ns Напруга живлення 1В		
30	Схема NAND на 3 входи	Емність на виході <3 pf Затримка < 20 ns Напруга живлення 1 В		
31	Схема AND на 2 входи	Емність на виході <1 pf Затримка < 15 ns Напруга живлення 1 В		
32	Схема AND на 3 входи	Емність на виході <2 pf Затримка < 15ns Напруга живлення 1 В		
33	Схема AND на 4 входи	Емність на виході <3 pf Затримка < 15 ns Напруга живлення 1 В		
34	Схема NAND на 2 входи	Емність на виході <1 pf Затримка < 15 ns Напруга живлення 1 В		
35	Схема NAND на 3 входи	Емність на виході <2 pf Затримка < 15 ns Напруга живлення 1 В		

4. Інструкції для роботи у системі Cadence

4.1 Створення проекту

Зайти в операційну систему Linux хмарного серверу кафедри відомим вам засобом

Станом на 1 січня 2020р мережева адреса серверу 10.12.42.155

4.1.1 Запуск Cadence

На запрошення операційної системи ввести

CADN

Відкриваються два вікна: Command Interpreter Window (Вікно інтерпретатора команд, рис. 1) и Library Manager (Менеджер бібліотек, рис. 2).

Примітка:

1) також може з'явитися вікно «What's New», Для запобігання цьому у наступних запусках Cadence оберіть «File > Close and Do Not Show Again».

2) якщо вікно Library Manager не з'явилося автоматично у вікні Command Interpreter Window оберіть *Tools > Library Manager*.

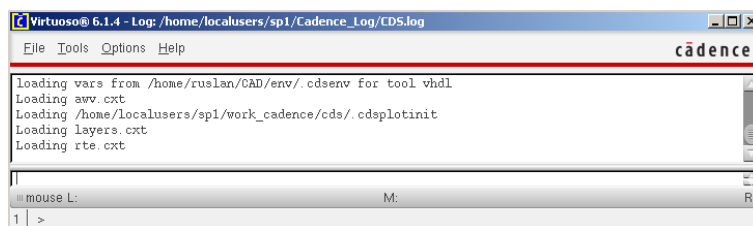


Рис. 1. Вікно Command Interpreter Window

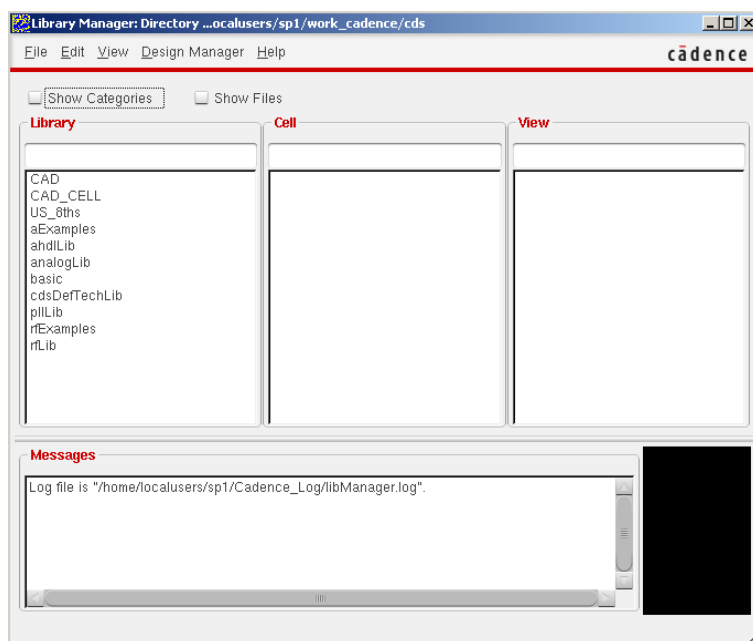


Рис. 2. Вікно Library Manager

Вікно Command Interpreter Window одне з найважливіших засобів системи Cadence що дозволяє керувати практично усіма частинами системи а саме:

- Вводити команди
- Міняти робоче середовище
- Запускати різноманітні засоби моделювання

- Контролювати хід виконання завдання, читати повідомлення, аналізувати помилки та інше.

Усі проекти Cadence формуються за допомогою бібліотек. Кожна бібліотека складається з комірок (cell). Кожна комірка має види (view) (структура подібна і фізично відповідає структурі файлової системи - каталог (бібліотека) має підкаталоги (комірки), кожен з яких має свої розділи (види)).

Існує три типи бібліотек:

- Набір бібліотек Cadence, які постачаються з Cadence (основні компоненти, такі як джерела напруги, джерела струму та інше).
- Бібліотеки, які постачаються у складі засобів для проектування (design kit) згідно обраної технології виробництва.
- Бібліотеки користувача.

Бібліотека користувача повинна бути пов'язана з технологічною бібліотекою або технологічним файлом які містять необхідну інформацію для проектування і виробництва схем

4.1.2. Створення бібліотек

У вікні Library Manager оберіть *File > New > Library*. У вікні (New Library, рис. 3) у полі Name введіть *tutorial* – ім'я бібліотеки, у полі Directory вкажіть каталог */home/localusers/<ваш_логін>/work_cadence/cdb*, у якому буде зберігатись бібліотека і натисніть ОК.

У вікні що з'явилося (Technology File for New Library, рис. 4 (а)) оберіть *Attach to an existing technology library*, натисніть ОК. У вікні що з'явилося (Attach Library to Technology Library, рис. 4 (б)) оберіть **gpdk045** и натисніть ОК.

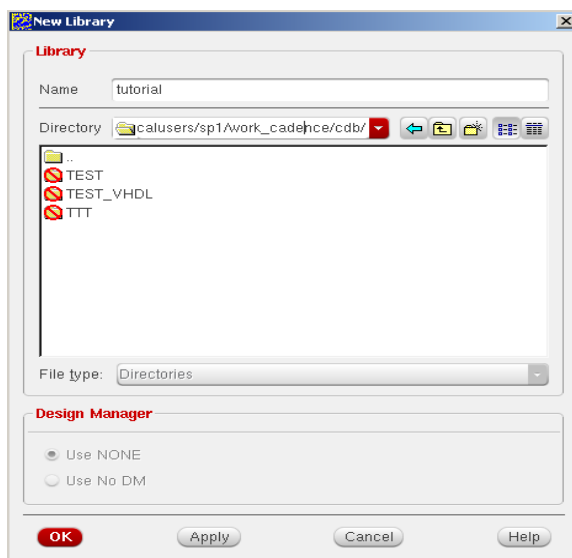
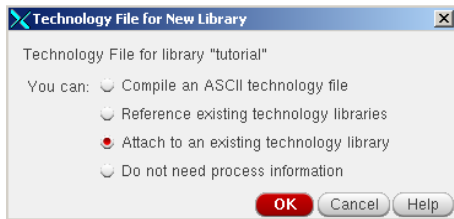
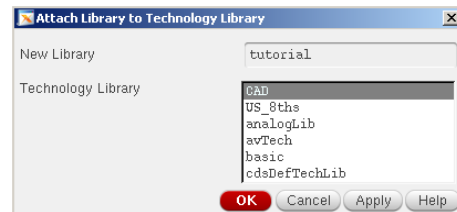


Рис. 3. Вікно New Library



(a)



(б)

Рис. 4. Створення зв'язку з технологічною бібліотекою

(a) Вікно Technology File for New Library (б) Вікно Attach Library to Technology Library

У вікні Library Manager у розділі Library з'явиться нова бібліотека *tutorial*.

4.1.3. Побудова схем

Існує два основних засоби побудови схем:

- Однорівневі (без ієрархії) схеми. Ви малюєте схему на одному рівні тобто на кресленні розміщуєте усі необхідні елементи. Такий спосіб призначений лише для невеликих проектів.

- Багаторівневі (ієрархічні) схеми. Ви будуєте блоки з простих схем для яких передчасно будуєте символи (symbol).

В даному прикладі, ви створите ієрархічну схему інвертора.

У вікні Library Manager оберіть створену вами бібліотеку *tutorial*, оберіть *File > New > Cell View*. У вікні що з'явилося (New File, рис. 5) у полі Cell введіть **inverter** – ім'я комірки, у полі Type оберіть *schematic*, а у полі Open with – *Schematic L* і натисніть OK.

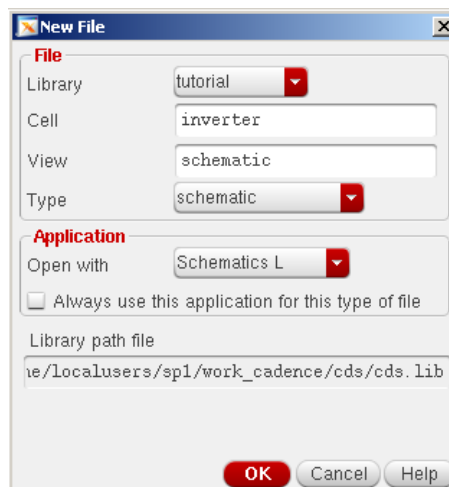


Рис. 5. Вікно New File

З'явиться вікно редактора схем Virtuoso (Virtuoso Schematic Editor, рис. 6).

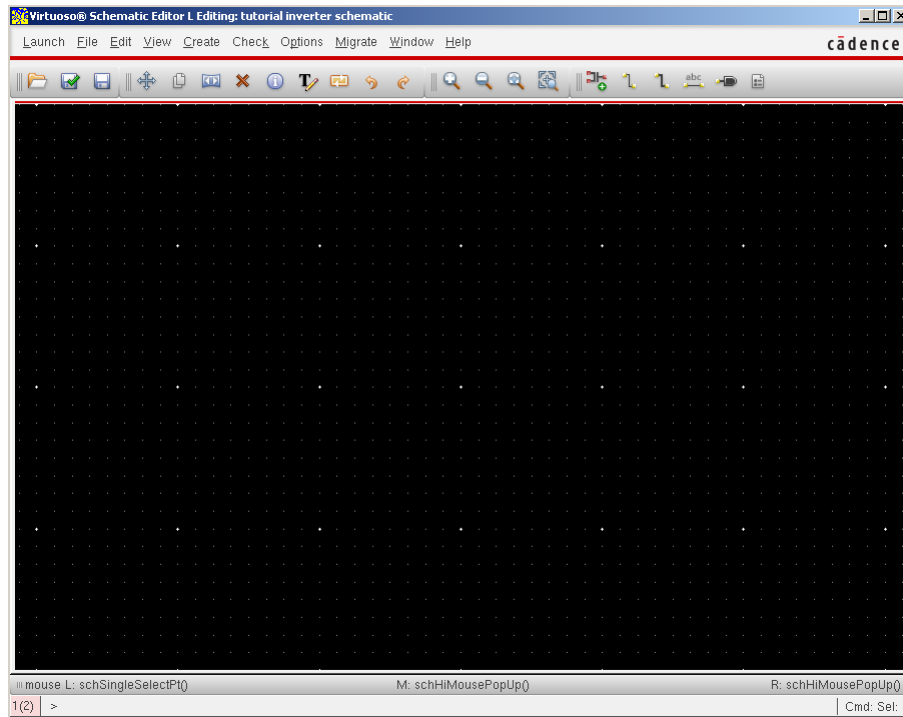


Рис. 6. Вікно редактора схем Virtuoso Schematic Editor

У вікні Virtuoso Schematic Editor оберіть *Create > Instance*. У вікні Add Instance (рис. 7) у полі Library введіть CAD – ім'я бібліотеки, у полі Cell введіть nmos – ім'я символ моделі МОП транзистора з каналом n-типу, переконайтесь, що у полі View введено symbol і натисніть Hide. Біля курсора з'явиться символ транзистора. Натисніть Esc для виходу з режиму. Аналогічно додайте р-канальний транзистор (Library: CAD, Cell: pmos).

Примітка: доданий компонент можна пересувати, обрав у вікні редактора *Edit > Move* і вказати компонент, або виконати інші дії згідно з можливостями розділу *Edit*

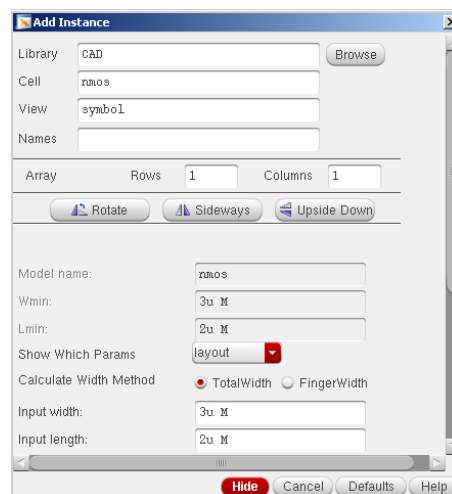


Рис. 7. Вікно Add Instance

Далі потрібно з'єднати компоненти. Компоненти можна з'єднати проводами (wire) або шинами (bus). У вікні редактора схем оберіть *Create > Wire (narrow)*, підведіть курсор до контакту першого компонента (червоний прямокутник),

активуйте, підведіть курсор до контакту другого компонента та активуйте. Зробіть це саме для інших з'єднань згідно Рис. 8.

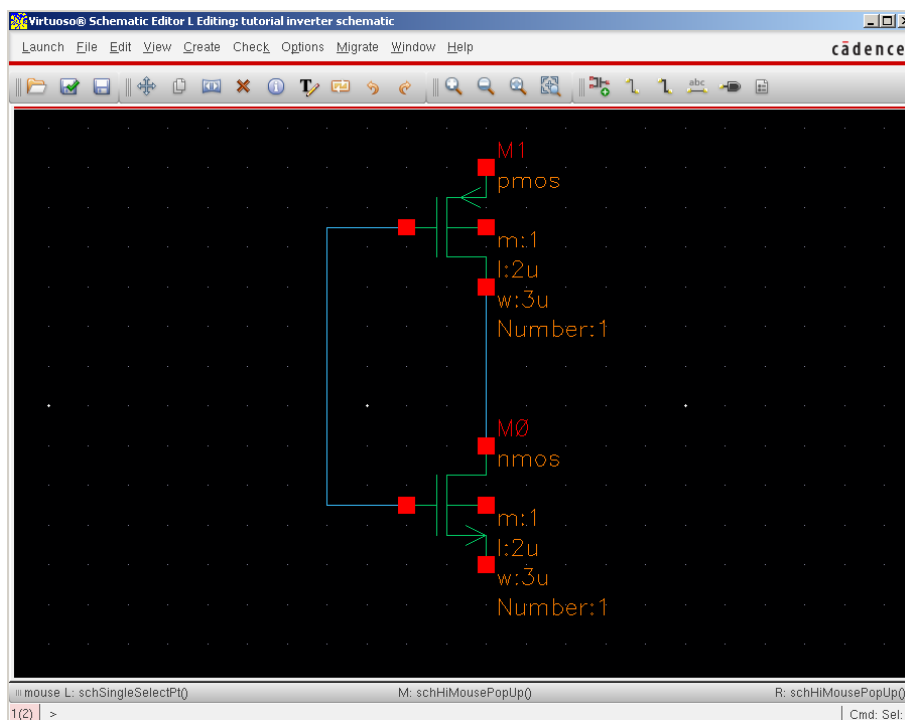


Рис. 8. Схема інвертора без портів

Базова схема створена. Зараз потрібно створити порти і символ.

4.1.4. Створення портів та символу

У Вікні Virtuoso Schematic Editor оберіть *Create > Pin*. У вікні Add Pin (рис. 9) у полі Pin Names введіть **In**, переконайтесь, що у полі Direction обрано input и натисніть Hide. Біля курсору з'явиться символ порту. Додайте порт у схему и з'єднайте його з затворами транзисторів.

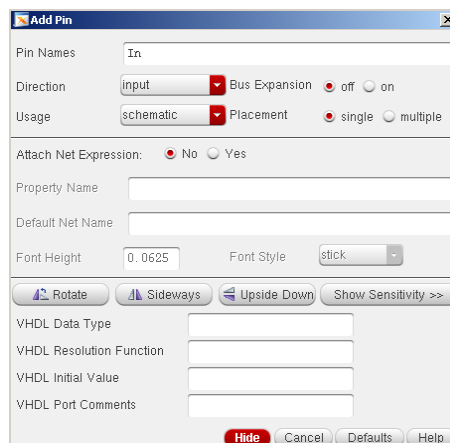


Рис. 9. Вікно Add Pin

Аналогічно, додайте порти Out (Direction: output), Vdd (Direction: inputOutput), Vss (Direction: inputOutput). Out з'єднайте зі стоками, Vdd з істочком р-

канального транзистору та підкладкою, V_{ss} – з истоком n-канального транзистора та контактом з підкладкою згідно рис. 10.

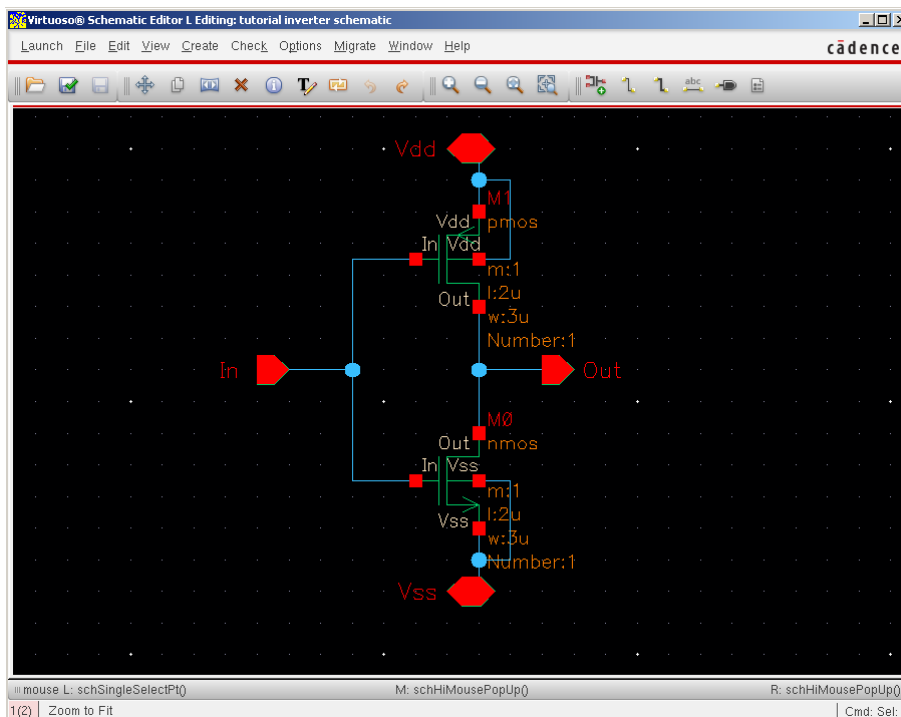
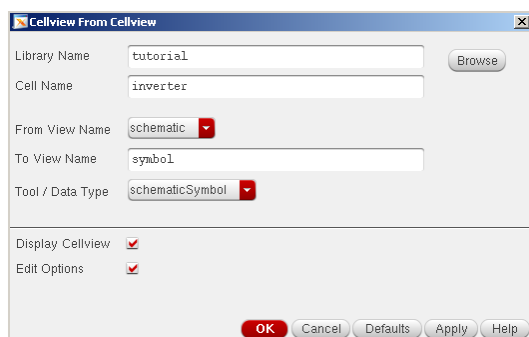
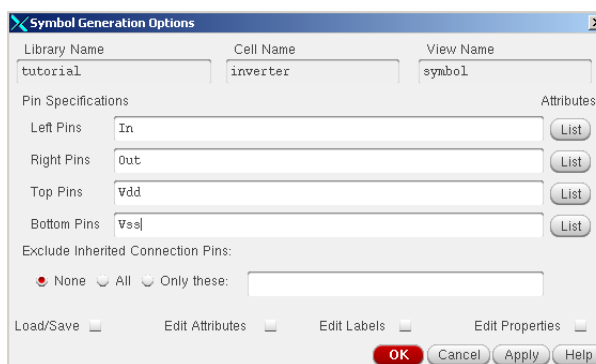


Рис. 10. Схема інвертора з портами

У вікні Virtuoso Schematic Editor оберіть *File > Check and Save*, потім *Create > Cellview > From Cellview*. У вікні Cellview From Cellview (рис. 11 (а)) нічого не змінюйте і натисніть OK. У вікні Symbol Generation Options у полі Top Pins введіть V_{dd} , у полі Bottom Pins – V_{ss} згідно рис. 11(б). Натисніть OK. З'явиться вікно Virtuoso Symbol Editor L (рис. 12).



(а)



(б)

Рис. 11. Створення символу схеми. (а) Вікно Cellview From Cellview. (б) Вікно Symbol Generation Options.

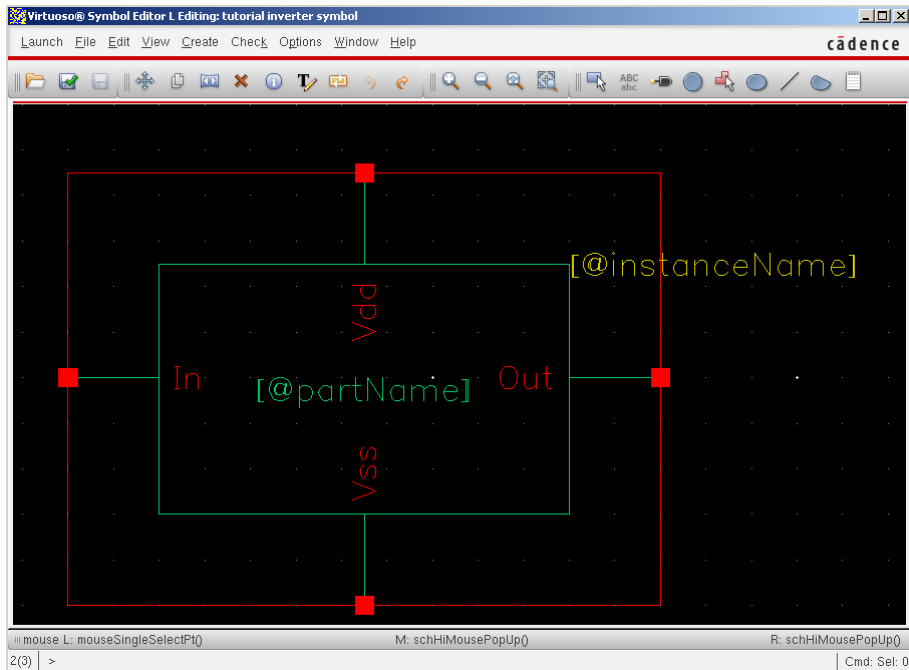


Рис. 12. Вікно Virtuoso Symbol Editor

Змініть вигляд символу: замість зеленого прямокутника намалуйте трикутник (для цього оберіть *Create > Shape > Polygon*), потім додайте коло (*Create > Shape > Circle*). З'єднайте елементи згідно рис. 13.

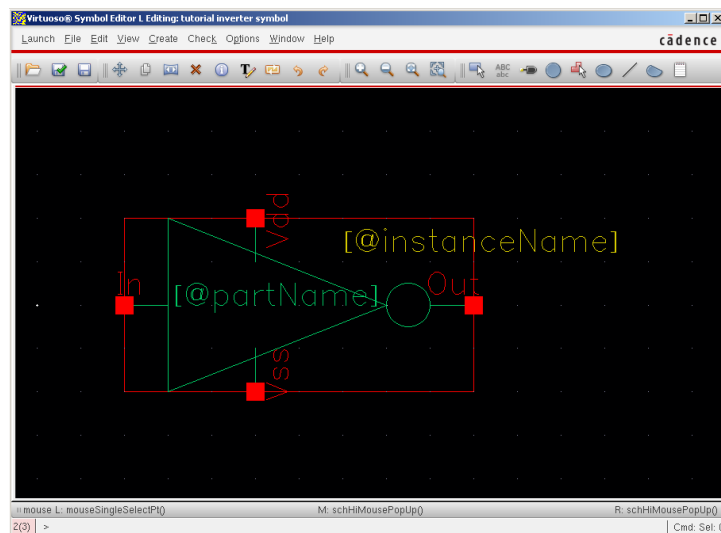


Рис. 13. Вікно Virtuoso Symbol Editor із після редагування

Схема інвертора готова для моделювання .

4.2 Моделювання

4.2.1. Створення схем для тестування (моделювання)

У бібліотеці tutorial створіть схему test_bench, згідно розділу 1.3. Додайте в схему інвертор (Library: tutorial, Name: inverter), згідно розділу 1.3.

Додайте в схему імпульсне джерело напруги (Library: analogLib, Name: vpulse): У полі DC voltage введіть 0, у полі Voltage 1 - 0, у полі Voltage 2 - Vdd, у поле Period – $1/BR$, у полях Rise Time, Fall Time – $1/BR/100$, Pulse Width – $1/BR/2 - 1/BR/100$. Вікно Edit Object Properties з параметрами джерела напруги згідно рис. 14. Натисніть Hide.

З'єднайте PLUS джерела із входом інвертора.

Додайте в схему постійне джерело напруги (Library: analogLib, Name: vdc): у полі DC voltage введіть Vdd.

Додайте в схему ємність (Library: analogLib, Name: cap). Залиште значення ємності (1 пФ). З'єднайте ємність з виходом інвертора.

Додайте в схему землю – порт з нульовим потенціалом (Library: analogLib, Name: gnd). З'єднайте з портом Vss інвертора, вільними виводами імпульсного джерела, ємності та відмінним портом (MINUS) джерела постійної напруги.

Додайте глобальні компоненти – джерела живлення (Library: analogLib, Name: vdd) і з'єднайте один з портом інвертора Vdd, другий з портом PLUS джерела постійної напруги .

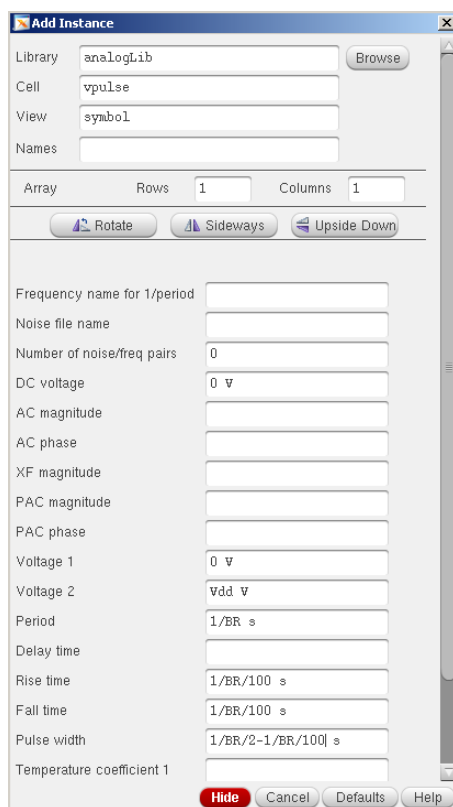


Рис. 14. Вікно з параметрами імпульсного джерела напруги.

Закінчена схема для тестування інвертору показана на рис. 15. Активуйте *File > Check and Save*.

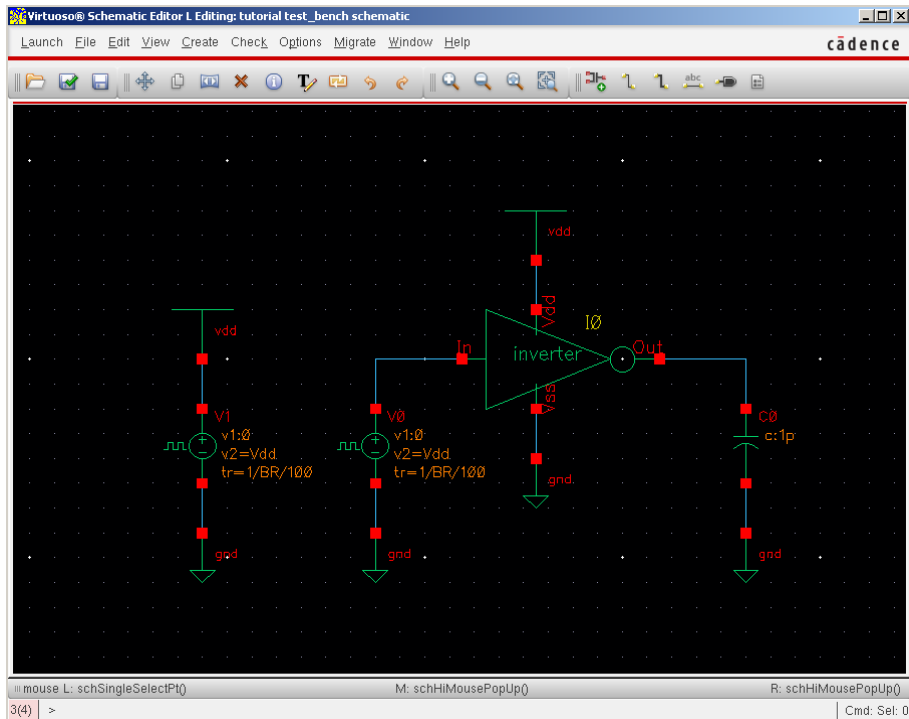


Рис. 15. Схема для тестування інвертора.

4.2.2. Аналіз на постійному струмі із зміною параметра (DC Sweep Analysis)

Ви отримаєте прохідну характеристику інвертора (графік залежності вихідної напруги від входної у сталому стані). У вікні редактора схем зі схемою для тестування інвертора оберіть *Launch > ADE GXL*. Відкриється вікно Launch ADE (G)XL, як на рис. 16.

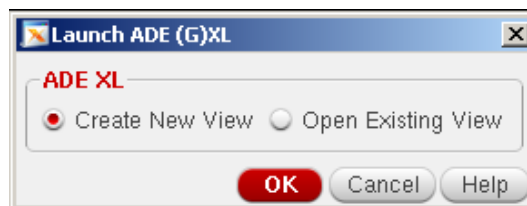


Рис. 16. Вікно Launch ADE (G)XL

Активуйте *Create New View*. Відкриється вікно *Create new ADE (G)XL view* як на рис. 17. У полі *Type* оберіть *adex1*, а у полі *Open with* – *ADE GXL* і натисніть *OK*.

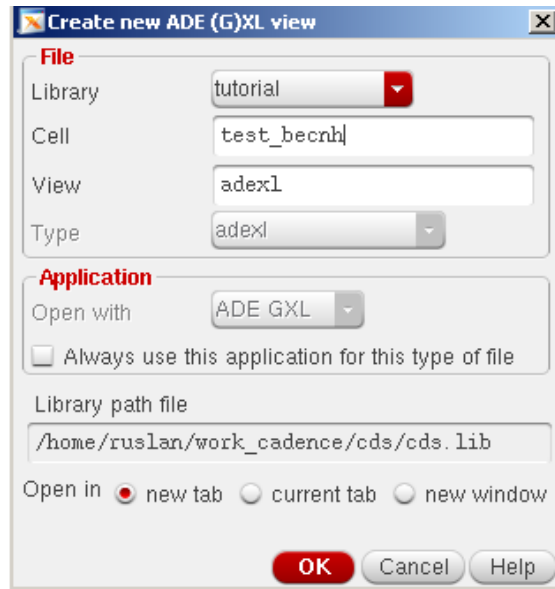


Рис. 17. Вікно Create new ADE(G)XL view

Відкриється вікно згідно рис. 18

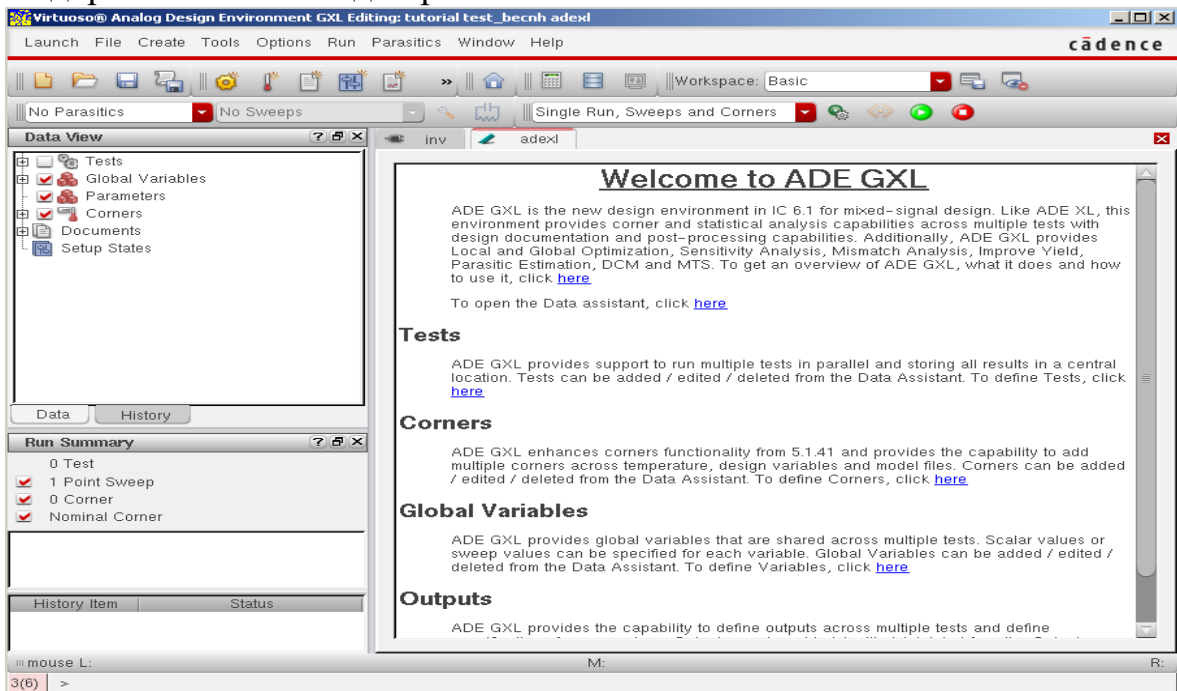


Рис. 18. Вікно Virtuoso Analog Design Environment GXL (ADE GXL)

У розділі Data View оберіть Tests >>> Click to add test

Відкриється вікно ADE XL Test Editor згідно рис. 20

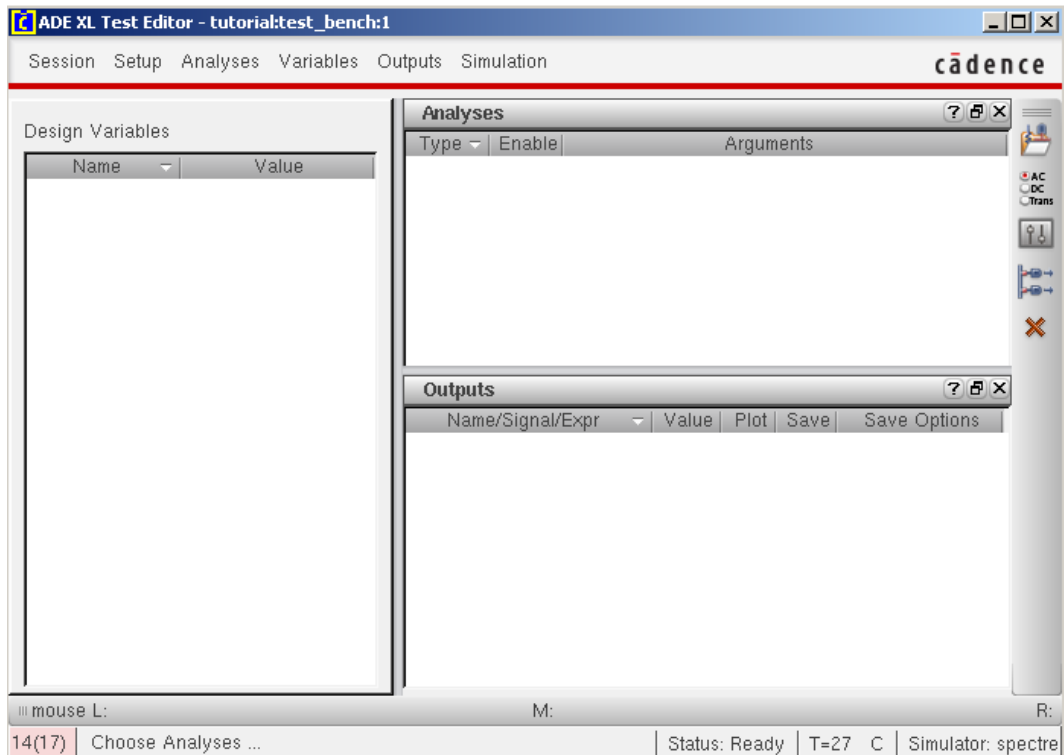


Рис. 20. Вікно ADE XL Test Editor

У вікні ADE XL Test Editor активуйте *Variables > Copy From Cellview* та вкажіть значення змінних BR - 2M (або 2e6), а Vdd - 3.3.

Оберіть тип аналізу. У вікні ADE XL Test Editor активуйте *Analyses > Choose ...* Заповніть поля згідно рис. 21 і натисніть ОК.

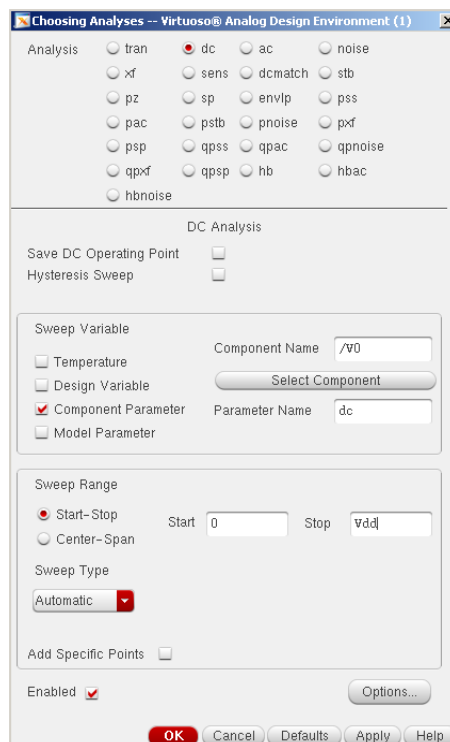


Рис. 21. Параметри аналізу DC

У вікні ADE XL Test Editor оберіть зверху *Outputs > To Be Plotted > Select On Schematic* і курсором оберіть дріт (wire) приєднаний до Out. Колір дроту зміниться а розділі (вікні) *Outputs* з'явиться обраний вихід.

Перевірте правильність обраних моделей. Для цього у вікні ADE XL Test Editor оберіть *Setup > Model Libraries* Моделі починаючи з *.../CAD* згідно рис. 22. Натисніть ОК.

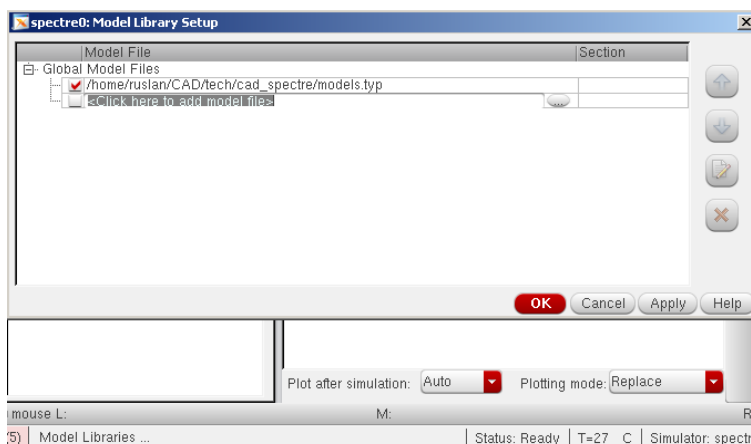


Рис. 22. Вікно Model Library Setup

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) активуйте зелене коло з білою стрілкою всередині, почекайте закінчення моделювання (червоне повідомлення знизу у вкладці *adexl*) і активуйте графічне зображення результатів моделювання як на Рис. 23

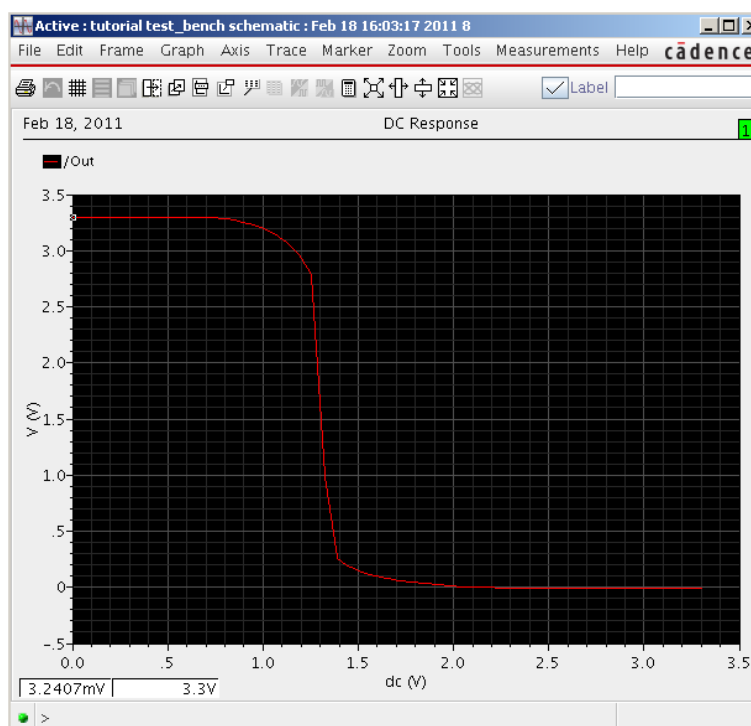


Рис. 23. Результати моделювання інвертора

Збережіть змінні оточення для моделювання

У вікні ADE XL Test Editor оберіть *Session > Save State ...* . (Saving State, рис. 24), У *Save state option* оберіть *Cellview* (замість *Directory*) і натисніть *OK*.

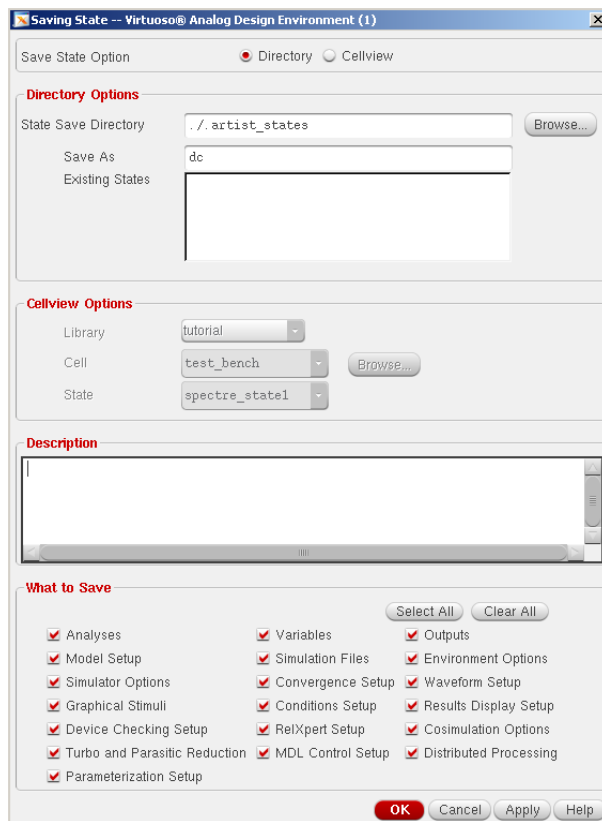


Рис. 24. Вікно Saving State

4.2.3. Часовий аналіз (Transient Analysis)

У вікні ADE XL Test Editor активуйте *Analyses > Choose ...* З'явиться вікно у якому змініть поля як рис. 25 і натисніть *OK*.

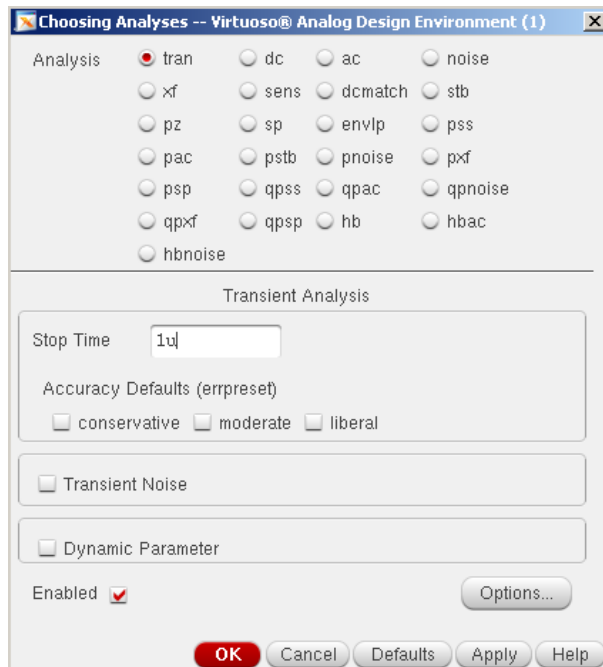


Рис. 25. Вікно для часового моделювання

У вікні ADE XL Test Editor активуйте *Outputs > To Be Plotted > Select On Schematic* і курсором оберіть дріт (wire) приєднаний до In.

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) активуйте зелене коло з білою стрілкою всередині, почекайте закінчення моделювання (червоне повідомлення знизу у вкладці *adexl*) і активуйте графічне зображення результатів моделювання як на Рис. 25.



Рис. 25. Результати часового аналізу.

Визначте затримки за допомогою маркерів або вбудованого калькулятора (функція *delay*)

Для зміни схеми поверніться до схеми тестування інвертора, оберіть курсором символ інвертора і активуйте *Edit > Hierarchy > Descend Edit ...* У вікні Descend, натисніть ОК. Відкриється схема інвертора. Активуйте р-канальний транзистор. Оберіть *Edit > Properties > Object*. У полі Width збільште і натисніть ОК. Активуйте *File > Check And Save*, потім *Edit > Hierarchy > Return*.

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) на вкладці *adexl* поміняйте Plotting Mode на *Append*.

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) активуйте зелене коло з білою стрілкою всередині, почекайте закінчення моделювання (червоне повідомлення знизу у вкладці *adexl*) і активуйте графічне зображення результатів моделювання як на Рис. 26 (для зручності вхідний сигнал видалено).

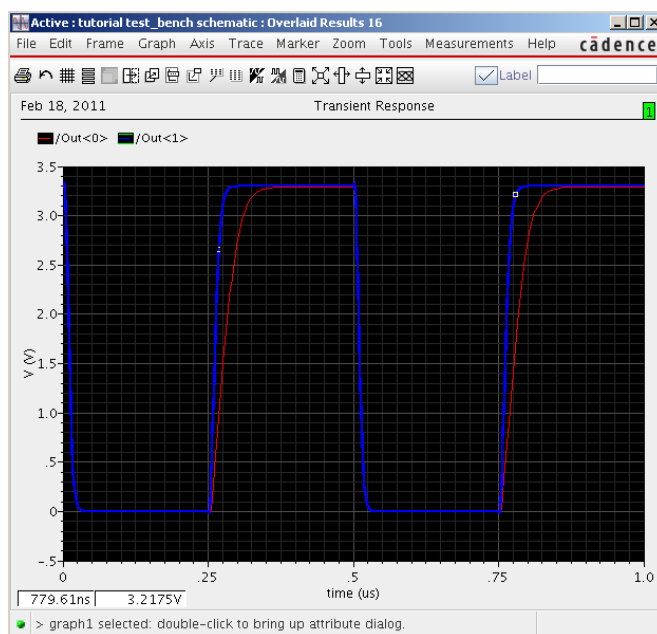


Рис. 26. Порівняння вихідної напруги інвертора до (червоне) та після зміни (блакитне)

Визначте затримки за допомогою маркерів або вбудованого калькулятора (функція *delay*)

4.2.4. Параметричний аналіз (Parametric Analysis)

Можна зробити це різними способами. Один з них – за допомогою засобів *Corners*:

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) у розділі *Data View* активуйте

Corners > Click to add corner. У полі *Temperature* вкажіть значення -40, 27, 80. Активуйте курсором поле *Add Variable ...* і оберіть *Vdd* (напруга живлення). У полі праворуч вкажіть значення 3.0, 3.3, 3.6. Натисніть кнопку *Add/Update Corner*. Результат згідно рис. 27.

У вікні Virtuoso Analog Design Environment GXL (ADE GXL) активуйте зелене коло з білою стрілкою всередині, почекайте закінчення моделювання (червоне повідомлення знизу у вкладці *adexl*) і активуйте графічне зображення результатів моделювання як на Рис. 28.

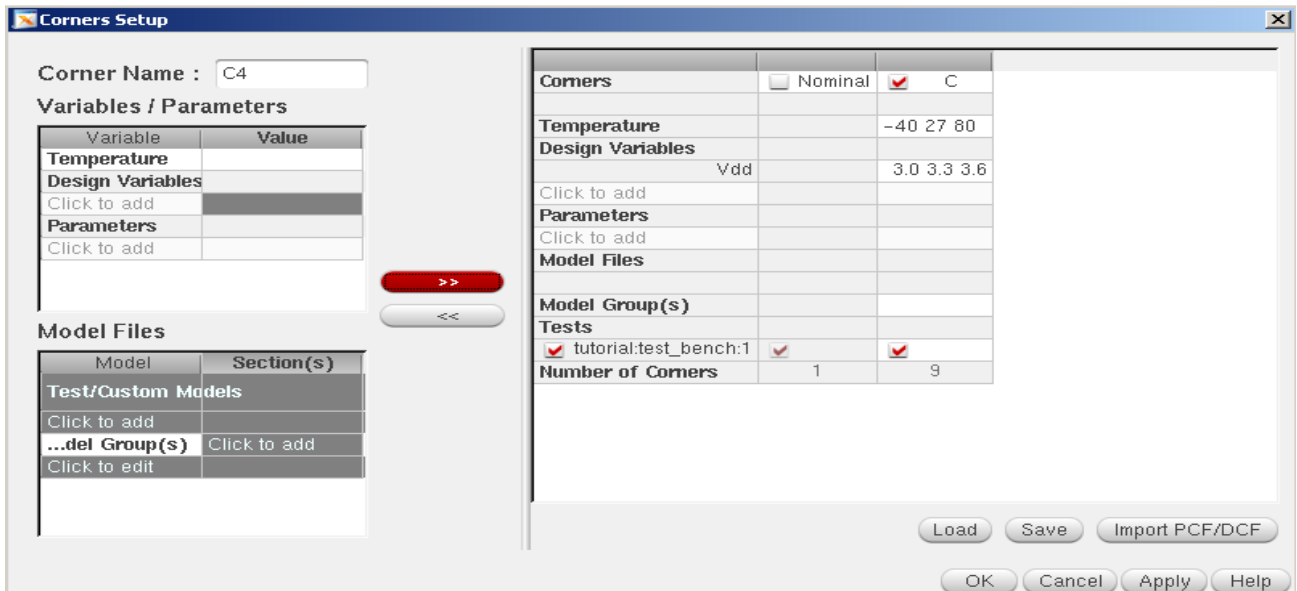


Рис. 27. Вікно Corner Setup

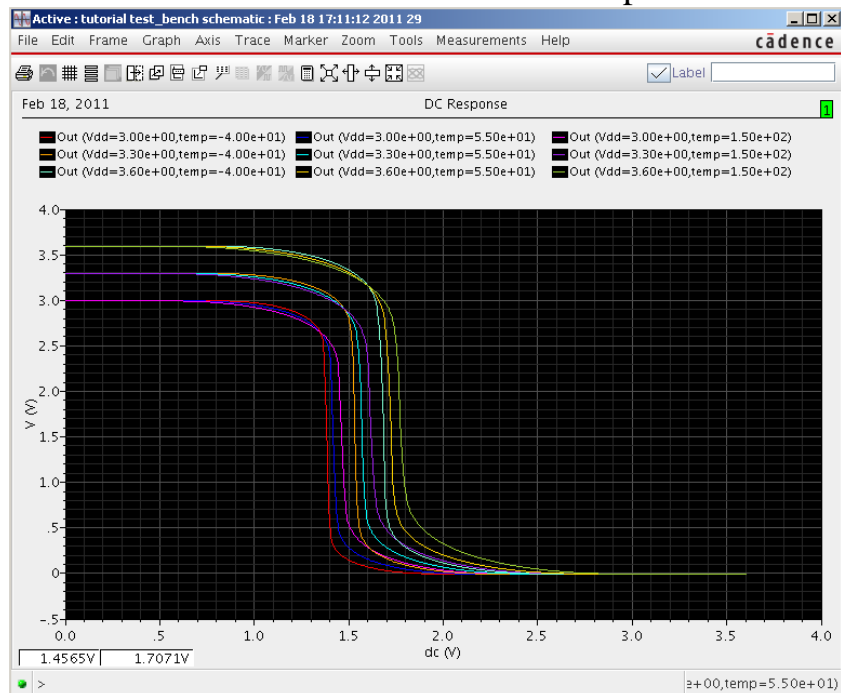


Рис. 28. Множина з дев'яти характеристик при зміні параметрів моделювання

5. Вимоги до звіту:

1. Титульний лист (див Додаток 1)
2. Зміст (Table of Contents)
3. Завдання
4. Теоретичні відомості
5. Етапи роботи (розрахунки, схеми , формули, графіки,аналіз)
6. Висновки
7. Список літератури

Література

1. Software Download:
вебсайт.URL:https://www.cadence.com/en_US/home/support/software-downloads.html (дата звернення: 14.07.2022).
2. Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка. Методи побудови та проектування. Навчальний посібник.-К.: «МК-Прес». 2004.-576с.

Додаток 1: Титульний лист звіта з лабораторної роботи

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

«Комп'ютерна схемотехніка»

(назва кредитного модуля)

Звіт з лабораторної роботи 1

Виконав ст. гр ДА** Іванов І.І

Дата _____

Керівник Стіканов В.Ю.

Київ – 2020